



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I527132 B

(45)公告日：中華民國 105 (2016) 年 03 月 21 日

(21)申請案號：100128699

(22)申請日：中華民國 100 (2011) 年 08 月 11 日

(51)Int. Cl. : H01L21/50 (2006.01)

H01L23/538 (2006.01)

(30)優先權：2010/09/02 美國

12/874,446

(71)申請人：奧瑞可國際公司(美國) ORACLE INTERNATIONAL CORPORATION (US)
美國(72)發明人：哈瑞達 約翰 HARADA, JOHN A. (US)；道格拉斯 大衛 DOUGLAS, DAVID C.
(US)；多斯特 羅伯特 DROST, ROBERT J. (US)

(74)代理人：林志剛

(56)參考文獻：

US 6376904B1

US 6392143B1

US 2008/0099892A1

審查人員：廖崑男

申請專利範圍項數：20 項 圖式數：6 共 35 頁

(54)名稱

晶片封裝，電子計算裝置及用以傳遞信號之方法

CHIP PACKAGE, ELECTRONIC COMPUTING DEVICE AND METHOD FOR COMMUNICATING
A SIGNAL

(57)摘要

描述一種斜坡堆疊晶片封裝。此晶片封裝包括半導體晶粒或晶片之垂直堆疊，其係於水平方向被彼此偏移，藉此界定一具有暴露墊之階地。一高頻寬的斜坡組件(其被設置幾乎平行於階地)被電氣地且機械式耦合至暴露墊。例如，斜坡組件可使用以下而被耦合至半導體晶粒：焊料、微彈簧及/或各向異性導電膜。再者，每一半導體晶粒包括一靜態彎曲以致每一半導體晶粒之末端區段係平行於該方向且被機械地耦合至該斜坡組件。這些末端區段可促成介於晶片與斜坡組件間之信號的高頻寬通訊(例如，經由近處通訊)。

A ramp-stack chip package is described. This chip package includes a vertical stack of semiconductor dies or chips that are offset from each other in a horizontal direction, thereby defining a terrace with exposed pads. A high-bandwidth ramp component, which is positioned approximately parallel to the terrace, is electrically and mechanically coupled to the exposed pads. For example, the ramp component may be coupled to the semiconductor dies using: solder, microsprings and/or an anisotropic conducting film. Furthermore, each of the semiconductor dies includes a static bend so that an end segment of each of the semiconductor dies is parallel to the direction and is mechanically coupled to the ramp component. These end segments may facilitate high-bandwidth communication of signals between the chips and the ramp component, for example, via proximity communication.

指定代表圖：

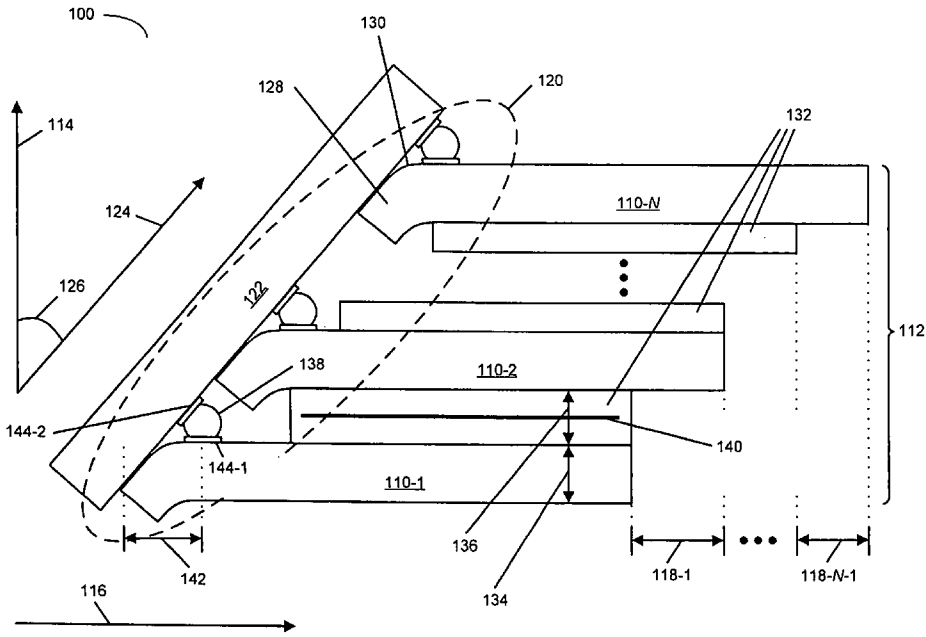


圖1

- 符號簡單說明：
- 100 . . . 晶片封裝
 - 110-1, 110-2, 110-N . . . 半導體晶粒
 - 112 . . . 堆疊
 - 114 . . . 垂直方向
 - 116 . . . 水平方向
 - 118-1, 118-N-1 . . . 偏移值
 - 120 . . . 步進階地
 - 122 . . . 斜坡組件
 - 124 . . . 方向
 - 126 . . . 角度
 - 128 . . . 末端區段
 - 130 . . . 靜態彎曲
 - 132 . . . 黏著層
 - 134, 136 . . . 厚度
 - 138 . . . 焊料球
 - 140 . . . 散熱材料
 - 142 . . . 距離
 - 144-1, 144-2 . . . 焊料墊

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100128699

※申請日：100 年 08 月 11 日

※IPC 分類：H01L 21/50, 23/538 (2006.01)

一、發明名稱：(中文／英文)

晶片封裝，電子計算裝置及用以傳遞信號之方法

Chip package, electronic computing device and method for communicating a signal

二、中文發明摘要：

描述一種斜坡堆疊晶片封裝。此晶片封裝包括半導體晶粒或晶片之垂直堆疊，其係於水平方向被彼此偏移，藉此界定一具有暴露墊之階地。一高頻寬的斜坡組件（其被設置幾乎平行於階地）被電氣地且機械式耦合至暴露墊。例如，斜坡組件可使用以下而被耦合至半導體晶粒：焊料、微彈簧及/或各向異性導電膜。再者，每一半導體晶粒包括一靜態彎曲以致每一半導體晶粒之末端區段係平行於該方向且被機械地耦合至該斜坡組件。這些末端區段可促成介於晶片與斜坡組件間之信號的高頻寬通訊（例如，經由近處通訊）。

三、英文發明摘要：

A ramp-stack chip package is described. This chip package includes a vertical stack of semiconductor dies or chips that are offset from each other in a horizontal direction, thereby defining a terrace with exposed pads. A high-bandwidth ramp component, which is positioned approximately parallel to the terrace, is electrically and mechanically coupled to the exposed pads. For example, the ramp component may be coupled to the semiconductor dies using: solder, microsprings and/or an anisotropic conducting film. Furthermore, each of the semiconductor dies includes a static bend so that an end segment of each of the semiconductor dies is parallel to the direction and is mechanically coupled to the ramp component. These end segments may facilitate high-bandwidth communication of signals between the chips and the ramp component, for example, via proximity communication.

四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

100：晶片封裝

110-1, 110-2, 110-N：半導體晶粒

112：堆疊

114：垂直方向

116：水平方向

118-1, 118-N-1：偏移值

120：步進階地

122：斜坡組件

124：方向

126：角度

128：末端區段

130：靜態彎曲

132：黏著層

134, 136：厚度

138：焊料球

140：散熱材料

142：距離

144-1, 144-2：焊料墊

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明一般而言係有關一種半導體晶片封裝之設計。更明確地，本發明係有關一種包括一配置於堆疊中之晶片族群及一斜坡組件的晶片封裝，該斜坡組件係與其包括靜態彎曲之半導體晶粒的末端區段上之晶片通訊。

【先前技術】

相較於連接至印刷電路板之個別封裝的晶片，包括堆疊之半導體晶片的晶片封裝可提供顯著較高的性能。這些晶片封裝亦提供某些優點，諸如下列能力：使用堆疊中之不同晶片上的不同製程、結合較高密度的邏輯和記憶體、及使用較少的電力來轉移資料。例如，實施動態隨機存取記憶體（DRAM）之晶片的堆疊可使用一基礎晶片中之高金屬層數的、高性能的邏輯程序以實施輸入/輸出（I/O）及控制器功能，而一組較低金屬層數的、DRAM 特殊處理過的晶片可被使用於該堆疊之剩餘晶片。以此方式，結合之晶片組可具有較佳的性能及較低的成本，相較於以下方式：一種包括使用 DRAM 製程所製造之 I/O 和控制器功能的單一晶片；一種包括使用邏輯製程所製造之記憶體電路的單一晶片；或一種藉由嘗試使用單一製程來製作邏輯和記憶體兩者之實體結構而建構的系統。

然而，欲獲得低成本、高性能（例如，高頻寬）之互連於堆疊的半導體晶片之間可能是困難的。例如，半導體

晶片可使用晶片堆疊中之表面上的暴露焊墊 (bond pads) 間之焊線 (wire bond) 而被電耦合，其中晶片係彼此偏移以界定晶片邊緣之梯狀鋸齒。但雖然這些焊線可使用低成本的組裝技術來實施，其所得的焊線通常具有低的頻寬。

反之，矽穿孔 (TSV) 通常具有較焊線更高的頻寬。於 TSV 製造技術中，將晶片處理以致在其主動面上之一或更多金屬層被導電地連接至其背面上之新的墊。接著，晶片被黏性地連接於一堆疊中，以致一晶片之背面上的新墊得以完成與一相鄰晶片之主動面上的相應墊之導電接觸。

然而，TSV 通常具有較焊線更高的成本。這是因為 TSV 通過一晶片之主動矽層。結果，TSV 佔據了其可能已被用於電晶體或佈線之區域。此機率成本可能很大。例如，假如 TSV 排除或排外直徑為 $20\mu\text{m}$ ，且 TSV 被置於 $30\mu\text{m}$ 之節距上，則約 45% 之矽區域被 TSV 所損耗。此約略為堆疊中之晶片中的任何電路之每區域成本的兩倍。（事實上，製造費用 (overhead) 可能甚至更高，因為電路通常會散開以容納 TSV，其浪費更多區域。）此外，製造 TSV 通常需要額外的處理操作，其亦增加了成本。

因此，需要一種提供堆疊晶片之優點而無上述問題的晶片封裝。

【發明內容】

本發明之一實施例係提供一種晶片封裝。此晶片封裝包括一組配置在垂直方向之垂直堆疊中的半導體晶粒，其係實質上垂直於垂直堆疊中之第一半導體晶粒。此外，各半導體晶粒（在該第一半導體晶粒之後）從垂直堆疊中緊接在前的半導體晶粒以水平方向被偏移一偏移值，藉此界定一步進階地（stepped terrace）於垂直堆疊之一側上。再者，一斜坡組件被電氣地且堅固地機械式耦合至半導體晶粒。此斜坡組件被置於垂直堆疊之該一側上，且係幾乎平行於沿著步進階地之方向，其係介於水平方向與垂直方向之間。此外，每一半導體晶粒包括：一靜態彎曲以致該些半導體晶粒係平行於該方向且被機械地耦合至該斜坡組件。

注意：關聯與該彎曲之每一該些半導體晶粒中的應力可小於該半導體晶粒之降服強度（yield strength）。再者，每一該些半導體晶粒之厚度可被界定以致每一半導體晶粒具有促成彎曲之彎曲力矩（moment）。

斜坡組件可使用多種技術而被電氣地耦合至該些半導體晶粒。例如，斜坡組件可被焊接至每一該些半導體晶粒，諸如於每一該些半導體晶粒之該末端區段上。替代地或額外地，斜坡組件可藉由微彈簧及/或各向異性導電膜而被電氣地耦合至每一該些半導體晶粒之該末端區段。再者，於某些實施例中，斜坡組件可使用電容耦合的近處通訊而將電信號電氣地耦合於該斜坡組件與每一該些半導體晶粒的該末端區段之間。

於某些實施例中，斜坡組件包括：一光學波導，其組態成沿著該方向以傳遞一光學信號；及一組光學耦合組件，其中該組光學耦合組件中之一既定的光學耦合組件可將該光學信號光學地耦合至該組半導體晶粒中之一既定的半導體晶粒之該末端區段。注意：該光學耦合可包括光學近處通訊。

此外，多種技術可被用以對準該晶片封裝中之組件。例如，每一半導體晶粒之該末端區段的表面可包括一蝕刻坑，及針對該些半導體晶粒中之該些蝕刻坑，斜坡組件包括一相應的蝕刻坑。再者，該晶片封裝可包括一組球，其中該組球中之一既定的球機械地耦合該末端區段之該表面中的該蝕刻坑與該斜坡組件中之該相應的蝕刻坑。

另一實施例提供一種包括晶片封裝之電子裝置（諸如電腦系統）。

另一實施例提供一種用以傳遞信號之方法。於此方法期間，該信號被傳遞於斜坡組件中，該斜坡組件被電氣地且堅固地機械式耦合至該組配置在垂直方向之垂直堆疊中的半導體晶粒。注意：半導體晶粒被彼此偏移於水平方向，藉此界定步進階地於垂直堆疊之一側上。再者，斜坡組件被置於幾乎平行於沿著步進階地之方向的垂直堆疊之一側上，其係介於水平方向與垂直方向之間。接著，該信號被耦合至該組半導體晶粒之一既定的半導體晶粒，於該既定半導體晶粒之一末端區段上，其中該既定半導體晶粒包括一靜態彎曲以致該末端區段係平行於該方向且被機械式

耦合至該斜坡組件。

【實施方式】

描述一種晶片封裝、一種包括晶片封裝之電子裝置、及一種用以傳遞信號於晶片封裝中之方法的實施例。此晶片封裝包括半導體晶粒之一垂直堆疊或者在水平方向上彼此偏移之晶片，藉此界定一具有暴露墊之階地。一高頻寬的斜坡組件（其被設置幾乎平行於階地）被電氣地且機械式耦合至暴露墊。例如，斜坡組件可使用以下而被耦合至半導體晶粒：焊料（solder）、微彈簧及/或各向異性導電膜。再者，每一半導體晶粒包括一靜態彎曲以致每一半導體晶粒之末端區段係平行於該方向且被機械地耦合至該斜坡組件。這些末端區段可促成半導體晶粒與斜坡組件間之信號的高頻寬通訊（例如，經由近處通訊）。

藉由去除半導體晶粒中昂貴且佔面積的矽穿孔（TSV），晶片封裝可提供高頻寬及低成本。例如，可藉由避免半導體晶粒中與TSV相關的處理操作和浪費掉的區域來減少成本。因此，可使用標準的處理來製造堆疊中之晶片。再者，相較於焊線（wire bonding），焊料（solder）、微彈簧及/或各向異性導電膜可具有較低的成本及/或可提供增進的可靠性。此外，相較於焊線，斜坡組件可提供較高的組件間通訊頻寬以及減少的潛時（latency）；並且相較於那些由包括TSV之半導體晶粒所提供者可具有差不多的通訊頻寬以及潛時。

現在描述晶片封裝之實施例。圖 1 代表一方塊圖，其說明一晶片封裝 100 之側視圖。此晶片封裝（其有時被稱為「斜坡堆疊晶片封裝」）中，一組半導體晶粒 110 被配置於垂直方向 114 之堆疊 112 中。注意：垂直方向 114 係實質上垂直於堆疊 112 中之半導體晶粒 110-1（而因此，實質上垂直於半導體晶粒 110-1 中之水平方向 116）。此外，各半導體晶粒（在半導體晶粒 110-1 之後）可從堆疊 112 中一緊接在前的半導體晶粒以水平方向 116 被偏移一相關的偏移值 118，藉此界定一步進階地 120 於堆疊 112 之一側上。這些偏移值可針對該組半導體晶粒 110 具有一恆定值或者可於該組半導體晶粒 110 中有變化（亦即，步進階地 120 中之不同步進的偏移值可為不同）。

再者，高頻寬的斜坡組件 122 被堅固地機械式且電氣地耦合至半導體晶粒 110，藉此促成介於半導體晶粒 110 之間的通訊及/或供應電力至半導體晶粒 110。此斜坡組件 122 被置於堆疊 112 之一側上，且幾乎平行於沿著步進階地 120 之方向 124（以角度 126），其係介於水平方向 116 與垂直方向 114 之間。此外，介於半導體晶粒 110 與斜坡組件 122 之間的堅固機械式及/或電氣耦合可發生於半導體晶粒 110 之末端區段（諸如末端區段 128）上，其中半導體晶粒 110 包括靜態彎曲（諸如靜態彎曲 130）以致每一半導體晶粒 110 之末端區段係平行於方向 124。例如，堅固機械式及電氣耦合至末端區段可經由焊料球（諸如焊料球 138）而發生。如稍後之進一步描述，這些末端

區段可提供一促成介於斜坡組件 122 與半導體晶粒 110 間之信號（諸如光信號或電信號）的通訊之大共面區域。

注意：關聯與靜態彎曲之每一該些半導體晶粒 110 中的應力可小於每一該些半導體晶粒 110 中之一半導體之降服強度。再者，每一該些半導體晶粒 110 之厚度 134 被界定以致每一該些半導體晶粒 110 具有一促成靜態彎曲之彎曲力矩。因此，靜態彎曲可具有小的彎曲半徑，其可確保有較大的區域給於介於末端區段與斜坡組件 122 之間的共面重疊。

堆疊 112 中之半導體晶粒 110 可藉由黏著層 132（諸如在 150° C 於 10 秒內硬化的環氧樹脂或膠）。再者，該組半導體晶粒 110 中之一既定半導體晶粒可具有一額定厚度 134，而黏著層 132 可具有一額定厚度 136。然而，注意：於某些實施例中，堆疊 112 中之至少一些半導體晶粒 110 及/或黏著層 132 的厚度可為不同（例如，半導體晶粒 110 和黏著層 132 之任一或兩者的厚度可沿著垂直方向 114 而改變）。

於一範例實施例中，厚度 134 為介於 50 與 100 μm 之間。（然而，於其他實施例中，厚度 134 可介於 30 與 250 μm 之間。）注意：針對介於 50 與 100 μm 之間的額定厚度 134，角度 126 可介於 10 與 15 度之間。一般而言，額定厚度 134 係取決於（部分地）堆疊 112 中之半導體晶粒 110 的數目。再者，注意：黏著層 132 之額定厚度 136 可高達 600 μm 。（然而，於其他實施例中，厚度 136 可小

如 $10\mu\text{m}$ 。)

此外，偏移值 118 可根據方向 124（或角度 126）及用以將斜坡組件 122 堅固地機械式耦合至該組半導體晶粒 110 之焊料（諸如焊料球 138）的額定厚度來決定。注意：焊料之厚度可於堆疊 112 上幾乎為恆定或者可於堆疊上改變（沿著垂直方向 114）。

於某些實施例中，在垂直方向 114 上涵蓋該組半導體晶粒 110 之累積的位置誤差（亦即，在涵蓋堆疊 112 之半導體晶粒的垂直位置中的累積位置誤差）係小於關連與該組半導體晶粒 110 及介於半導體晶粒 110 間之黏著層 132 的垂直誤差之總和。例如，累積位置誤差可關連與：半導體晶粒 110 之厚度變化、黏著層 132 之厚度變化、及/或在至少某些黏著層 132 中之一選擇性熱散佈材料 140（諸如壓形的石墨纖維）的厚度變化。於某些實施例中，累積位置誤差可小於 $1\mu\text{m}$ ，且可小如 $0\mu\text{m}$ 。此外，該組半導體晶粒 110 可具有平面中之最大位置誤差（亦即在距離 142 之最大誤差），其係關連與半導體晶粒 110 之邊緣變化（諸如鋸齒線位置中之變化），其係小於一預界定值（例如，最大位置誤差可小於 $1\mu\text{m}$ ，且可小如 $0\mu\text{m}$ ）。此可藉由使用一種拾起並放置工具以使用半導體晶粒 110 上之光學對準標記（諸如基準標記）來組裝晶片封裝 100 而完成，以致測得相對於半導體晶粒 110 之鋸齒道中心的距離 142。此外，於組裝期間，半導體晶粒 110 可參照一組裝組件或配件，其包括一鏡射步進階地 120 之步進階地（以取代

將半導體晶粒 110-1 後之各半導體晶粒參照堆疊 112 中其緊接在前的半導體晶粒）。

注意：爲了考量垂直方向 114 上之機械對準誤差，焊料凸塊或墊（諸如焊料墊 144-1 及/或焊料墊 144-2）及/或焊料球 138 之高度和節距可於至少某些半導體晶粒 110 之間沿著垂直方向 114 而改變。例如，距離 142（亦即，焊料墊 144-1 相對於半導體晶粒 110-1 之鋸齒道中心的位置）可爲 $60\mu\text{m}$ 且焊料墊 144 可各具有 $80\mu\text{m}$ 之寬度。再者，焊料球（諸如焊料球 138）在重流或熔化之前可具有 $120\mu\text{m}$ 之直徑，及在熔化後介於 40 與 $60\mu\text{m}$ 之間的約略厚度。於某些實施例中，二或更多列的焊料球可將斜坡組件 122 堅固地耦合至一既定的半導體晶粒。

圖 2 呈現一說明晶片封裝 100 之頂視圖的方塊圖，其中堆疊 112（圖 1）包括四個半導體晶粒 110。晶片封裝 100 之此視圖說明：於某些實施例中，焊料墊 210 可具有非矩形的形狀。例如，焊料墊 210 可具有橢圓形狀，諸如那些具有 $80\mu\text{m}$ 寬及 $120\mu\text{m}$ 長的形狀。半導體晶粒 110 及/或斜坡組件 122 上之這些焊料墊形狀可承受一些水平及/或垂直位置誤差。

於某些實施例中，焊料墊可被移除至斜坡組件 122 之邊緣。如此可促成垂直定向（亦即，圖 1 中之角度 126 可爲 0 度）。此組態可促成一種記憶體模組，其中關連與輸入/輸出（I/O）信號線及電力線之接點或墊係位於斜坡組件之邊緣上（而非於「脊柱」下）。以此方式，斜坡組件

中之數個擴散層可被減少。例如，於此記憶體模組中，可有 60 個接點或墊沿著斜坡組件 122 之邊緣。

如圖 3（其呈現一說明晶片封裝 300 之側視圖的方塊圖）中所示，於某些實施例中，斜坡組件 122 包括一可選的光學波導 310，其組態成沿著方向 124 以傳遞光學信號。再者，一組可選的耦合元件（諸如可選的耦合元件 312）可將光學信號光學地耦合至及/或自半導體晶粒 110 之一或更多末端區段，其中一既定的耦合元件將光學信號光學地耦合至及/或自一既定的半導體晶粒（因此，可選的耦合元件 312 可將光學信號光學地耦合至及/或自半導體晶粒 110-2 之末端區段）。注意：可選的耦合元件可為光學耦合元件，諸如：繞射光柵、斜角反射器或鏡、光束分裂器及/或透鏡。如以下所進一步描述，於某些實施例中，傳遞光學信號至及/或自末端區段可涉及光學耦合信號之光學近處通訊（其可提供高頻寬且低潛時的通訊）。

另一方面，於其他實施例中，諸如圖 1 中所示者，斜坡組件 122 包括一傳遞電信號之信號線。於這些實施例中，斜坡組件 122 可使用多種技術而被電氣地及/或機械式地耦合至半導體晶粒 110 之末端區段，該些技術包括：焊料、微彈簧、微球（以一種坑中球的架構，其係參考圖 4 而被描述於下）、及/或各向異性導電膜（諸如各向異性彈性體膜，其有時被稱為「各向異性導電膜」）。再者，如以下之進一步描述，電信號至及/或自末端區段之通訊可涉及近處通訊（PxC），諸如經由斜坡組件 122 及末端

區段之表面上（或表面附近）的 PxC 連接器（未顯示）之電容耦合信號的電容耦合近處通訊（其可提供高頻寬及低潛時的通訊）。

因此，於某些實施例中，介於斜坡組件 122 與半導體晶粒 110 的末端區段之間（及，更一般性地，介於晶片封裝的組件之間或介於晶片封裝與外部裝置之間）的通訊可涉及電磁耦合信號之 PxC，諸如：電容耦合信號之通訊（其被稱為「電近處通訊」）、光學耦合信號之通訊（其被稱為「光學近處通訊」）、電磁耦合信號之通訊（其被稱為「電磁近處通訊」）、電感耦合信號之通訊、及/或導電耦合信號之通訊。

於其中使用 PxC 以傳遞電信號之實施例中，所得之電接觸的阻抗可（一般地）為傳導性的及/或電容性的，亦即，可具有包括同相組件及/或異相組件之複合阻抗。不論電接觸機制為何（諸如，焊料、微彈簧、各向異性層，等等），假如與接觸相關之阻抗為傳導性的，則可使用習知的傳輸和接收 I/O 電路於晶片封裝之實施例中的組件中。然而，針對具有複合（及，可能為可變的）阻抗之接觸，則傳輸和接收 I/O 電路可包括美國專利申請案 12/425,871（由 Robert J. Drost 等人於 2009 年四月 17 日提出申請，律師登錄號 SUN09-0285，案名為「Receive Circuit for Connectors with Variable Complex Impedance」）中所述之一或更多實施例，其內容被併入於此以供參考。

雖然前述實施例說明晶片封裝之特定架構，但數種技術和架構亦可被用於實施組件之機械對準。例如，如圖 4（其呈現一說明晶片封裝 400 之側視圖的方塊圖）中所示，半導體晶粒 110 及/或斜坡組件 122 可使用一種球與坑對準技術（及，更一般性地，負特徵中之正特徵的對準技術）而相對於彼此地定位。特別地，球（諸如球 412）可被置於蝕刻坑（諸如蝕刻坑 410）中以機械式地耦合及相對地對準半導體晶粒 110 之末端區段與斜坡組件 122。於某些實施例中，球與坑對準技術被用以對準步進階地 112 中之半導體晶粒 110。雖然圖 4 係說明球，但亦可使用多種正特徵，諸如半球狀凸塊。因此，一般而言，晶片封裝中之組件上的機械式鎖定的正與負表面特徵之組合可被使用以對準及/或組裝晶片封裝。

現在描述方法之實施例。圖 5 呈現一說明一種方法 500 之流程圖，該方法 500 係用以傳遞信號於晶片封裝（諸如圖 1 及 2 中之晶片封裝 100）中。於此方法期間，信號被傳遞於斜坡組件中，該斜坡組件被電氣地且堅固地機械式耦合至一組配置於垂直方向上之垂直堆疊中的半導體晶粒（操作 510）。注意：半導體晶粒被彼此偏移於水平方向，藉此界定步進階地於垂直堆疊之一側上。再者，斜坡組件被置於幾乎平行於沿著步進階地之方向的垂直堆疊之一側上，該方向係介於水平方向與垂直方向之間。接著，信號被耦合至該組半導體晶粒中之一既定的半導體晶粒，於該既定半導體晶粒之末端區段上（操作 512），其中

該既定半導體晶粒包括一靜態彎曲以致該末端區段係平行於該方向且被機械式耦合至該斜坡組件。

於方法 500 之某些實施例中，可有額外的或較少的操作。此外，該些操作之順序可被改變，及/或二或更多操作可被結合為單一操作。

現在描述電子裝置之實施例。圖 6 呈現一方塊圖，其說明一包括晶片封裝 610（其可為晶片封裝之前述實施例的一者）之電子裝置 600。

於一範例實施例中，一晶片封裝（諸如晶片封裝之前述實施例的一者）可促成高性能的裝置。例如，於某些實施例中，斜坡堆疊晶片封裝被包括於雙線內（in-line）記憶體模組中。例如，可有高達 80 個記憶體裝置（諸如動態隨機存取記憶體或其他型式的記憶體儲存裝置）於斜坡堆疊晶片封裝中。假如需要的話，「壞的」或故障的記憶體裝置可被除能。因此，可使用 72 個記憶體裝置（在 80 個內）。再者，此架構可展現記憶體模組中之記憶體裝置的完整頻寬，以致僅有極少或者沒有潛時延遲於任何記憶體裝置之存取時。

另一方面，雙線內記憶體模組可包括各可包括一斜坡堆疊晶片封裝之多數欄位。例如，可有四個斜坡堆疊晶片封裝（其各包括九個記憶體裝置）於雙線內記憶體模組中。

於某些實施例中，這些雙線內記憶體模組之一或更多（其可包括一或更多斜坡堆疊晶片封裝）可被耦合至一處

理器。例如，處理器可使用電容耦合信號之電容性近處通訊而被耦合至一或更多雙線內記憶體模組。接著，處理器可使用 C4 焊料球而被安裝於一基底上。

因此，電子裝置 600 可包括一裝置或系統，諸如 VLSI 電路、開口、集線器、橋、路由器、通訊系統、儲存區域網路、資料中心、網路（諸如局部區域網路）、及/或電腦系統（諸如多核心處理器電腦系統）。再者，電腦系統可包括（但不限定於）：伺服器（諸如多插槽、多框架伺服器）、筆記型電腦、通訊裝置或系統、個人電腦、工作站、主機電腦、刀鋒、企業電腦、資料中心、可攜式計算裝置、超級電腦、網路附加儲存（NAS）系統、儲存區域網路（SAN）系統、及/或其他電子計算裝置。注意：一既定的電腦系統可於一位置上或者可被分布於多數、地理上分散的位置。

晶片封裝 100（圖 1 及 2）、300（圖 3）和 400（圖 4）、以及電子裝置 600 可包括較少的組件或額外的組件。例如，可能有界定於斜坡堆疊晶片封裝中之半導體晶粒堆疊中的斷裂，諸如由於不包括斜坡組件上之一或更多半導體晶粒的焊料墊。此外，晶片封裝之一實施例中的一或更多組件可包括：一光學調變器、一光學多工器（諸如增加濾波器）、一光學解多工器（諸如刪除濾波器）、一光學濾波器及/或一光學開關。

此外，雖然這些裝置及系統被顯示為具有數個離散項目，但這些實施例應被視為可能出現之各種特徵的功能性

描述而非此處所述之實施例的結構示意圖。結果，於這些實施例中，二或更多組件可被結合為單一組件及/或一或更多組件之位置可被改變。此外，前述實施例中之功能可被較多地實施於硬體而較少地實施於軟體，或者較少於硬體而較多於軟體，如本技術中所已知者。

雖然前述實施例係使用晶片封裝中之半導體晶粒（諸如矽），但於其他實施例中，可將半導體之外的不同材料使用為一或更多這些晶片中的基底材料。然而，於其中使用矽之實施例中，可使用標準的矽處理來製造半導體晶粒 110（圖 1 至 4）。這些半導體晶粒可提供支援邏輯及/或記憶體功能之矽區域。

再者，回來參考圖 1，斜坡組件 122 可為被動組件，諸如具有用以電耦合至半導體晶粒 110 之金屬軌跡的塑膠基底。例如，斜坡組件 122 可使用射出成型塑膠。另一方面，斜坡組件 122 可為另一具有一或更多微影界定的佈線、信號線或光學波導之半導體晶粒。例如，可選的光學波導 310（圖 3）可使用絕緣體上之矽的技術來實施。於其中斜坡組件 122 包括半導體晶粒之實施例中，可包括主動裝置（諸如限制放大器）以減少信號線之間的串音。此外，可使用差動發信以減少主動或被動斜坡組件 122 中之串音。

於某些實施例中，斜坡組件 122 包括電晶體及佈線，其係經由焊料球（諸如焊料球 138）以將資料及電力信號來回移動於半導體晶粒 110 之間。例如，斜坡組件 122 可

包括高電壓信號。這些信號可使用如下元件而被降壓以供用於半導體晶粒 110：降壓調整器（諸如電容至電容降壓調整器）、以及電容及/或電感離散組件，以耦合至半導體晶粒 110。

此外，斜坡組件 122 可包括一用於記憶體之緩衝器或邏輯晶片、及/或通至外部裝置及/或系統之 I/O 連接器。例如，I/O 連接器可包括一或更多：焊球、焊線、邊緣連接器及/或 PxC 連接器，用以耦合至外部裝置。於某些實施例中，這些 I/O 連接器可位於斜坡組件 122 之背部表面上，且斜坡組件 122 可包括一或更多矽穿孔（TSV），其係將 I/O 連接器耦合至靠近半導體晶粒 110 之額外連接器，諸如 PxC 連接器或焊料墊（例如，焊料墊 144-2）。

於某些實施例中，在晶片封裝之一或更多實施例中的斜坡組件 122 及半導體晶粒 110 被安裝於一可選基底上（諸如印刷電路板或半導體晶粒）。此可選基底可包括：焊球、焊線、邊緣連接器及/或 PxC 連接器，用以耦合至外部裝置。假如這些 I/O 連接器係位於可選基底之背部表面上，則可選基底可包括一或更多 TSV。

如先前所述，於某些實施例中，可選的散熱材料 140（及，更一般性地，介於具有高熱傳導性的半導體晶粒 110 之間的中間材料）可協助移除在一或更多半導體晶粒 110 及/或斜坡組件 122 上於電路之操作期間所產生的熱。此熱管理可包括任何下列熱路徑：於半導體晶粒 110 之平面中的第一熱路徑；於黏著層 132 之平面中的第二熱路徑

；及/或於可選的散熱材料 140 之平面中的第三熱路徑。特別地，與這些熱路徑關連的熱通量可經由晶片封裝之一邊緣上的熱耦合而被彼此獨立地管理。注意：此熱管理可包括使用：相位改變冷卻、浸沒冷卻、及/或冷卻板。同時注意：與第一熱路徑關連的熱通量（其擴散通過晶片封裝之邊緣上的橫斷面區域）為額定厚度 134 之函數。因此，晶片封裝中之熱管理可隨著半導體晶粒 110 之較大或較小額定厚度而不同。

注意：當面對較低的半導體晶粒產量或者用以在封裝與組裝前廣泛地測試所需的高花費時，容許某項再加工之封裝技術是更為成本效益高的。因此，於其中介於半導體晶粒 110 與斜坡組件 122 之間的機械式及/或電耦合是可重配對的實施例中，可藉由容許再加工（諸如替換一個在組裝、測試或預燒期間被發現為壞的晶片）以增加晶片封裝之產量。在這方面，可重配對的機械式或電耦合應被理解成可被重複地（亦即，二或更多次）建立及打斷而無須再加工或加熱（諸如利用焊料）之機械式或電耦合。於某些實施例中，可重配對的機械式或電耦合係涉及設計成彼此耦合之陽性及陰性組件（諸如扣合在一起的組件）。

於某些實施例中，可以有可選的囊封於前述實施例中之晶片封裝的至少一部分周圍。此外，介於晶片封裝中的組件間之空氣間隙可被填充以增進熱移除。此可藉由減少角度 126 來促成，亦即，半導體晶粒 110 可被更朝向垂直方向 114 地傾斜。

以上描述係爲了使任何熟悉此項技術人士得以製造及使用本發明，且係在特定應用及其需求之背景下提供。此外，本發明之實施例的先前描述僅爲了說明及描述之目的而提供。其並非想要排除其他或限制本發明於所揭露之形式。因此，對於熟悉此項技術之從業人員而言，許多修飾及改變將是很顯見的，且此處所界定之一般性原則可被應用於其他的實施例及應用而不背離本發明之精神及範圍。此外，先前實施例之討論並不是要限制本發明。因此，本發明不應被限制於所示之實施例，而應包括符合此處所揭露之原則和特徵的最廣範圍。

【圖式簡單說明】

圖 1 係一方塊圖，其說明依據本發明之一實施例的晶片封裝之側視圖。

圖 2 係一方塊圖，其說明依據本發明之一實施例之圖 1 中的晶片封裝之頂視圖。

圖 3 係一方塊圖，其說明依據本發明之一實施例的晶片封裝之側視圖。

圖 4 係一方塊圖，其說明依據本發明之一實施例的晶片封裝之側視圖。

圖 5 係一流程圖，其說明一種用以傳遞信號於依據本發明之一實施例的晶片封裝中之方法。

圖 6 係一方塊圖，其說明一種包括一依據本發明之一實施例的晶片封裝之電子裝置。

注意：類似的參考數字係參照所有圖式中之相應的部件。再者，相同部件之諸多實例是由一共同字首（以破折號分隔其實例編號）來標示。

【主要元件符號說明】

100：晶片封裝

110：半導體晶粒

110-1, 110-2：半導體晶粒

110-N：半導體晶粒

112：堆疊

114：垂直方向

116：水平方向

118：偏移值

118-1, 118-N-1：偏移值

120：步進階地

122：斜坡組件

124：方向

126：角度

128：末端區段

130：靜態彎曲

132：黏著層

134：厚度

136：厚度

138：焊料球

140：散熱材料

142：距離

144-1：焊料墊

144-2：焊料墊

210：焊料墊

300：晶片封裝

310：光學波導

312：耦合元件

400：晶片封裝

410：蝕刻坑

412：球

600：電子裝置

610：晶片封裝

七、申請專利範圍：**1.一種晶片封裝，包含：**

一組配置在垂直方向之垂直堆疊中的半導體晶粒，其係實質上垂直於該垂直堆疊中之第一半導體晶粒，其中在該第一半導體晶粒後之各半導體晶粒從該垂直堆疊中緊接在前的半導體晶粒以水平方向被偏移一偏移值，藉此界定一步進階地於該垂直堆疊之一側上；及

一斜坡組件，其被電氣地且堅固地機械式耦合至該些半導體晶粒，其中該斜坡組件被置於該垂直堆疊之該一側上，

其中該斜坡組件係幾乎平行於沿著該步進階地之方向，其係介於該水平方向與該垂直方向之間，及

其中每一該些半導體晶粒包括一靜態彎曲以致每一該些半導體晶粒之末端區段係平行於沿著該步進階地之該方向且被機械地耦合至該斜坡組件。

2.如申請專利範圍第 1 項之晶片封裝，其中關聯與該靜態彎曲之每一該些半導體晶粒中的應力係小於該半導體晶粒之降服強度。

3.如申請專利範圍第 1 項之晶片封裝，其中每一該些半導體晶粒之厚度被界定以致每一該些半導體晶粒具有一促成該靜態彎曲之彎曲力矩。

4.如申請專利範圍第 1 項之晶片封裝，其中該斜坡組件被焊接至每一該些半導體晶粒。

5.如申請專利範圍第 1 項之晶片封裝，其中該斜坡組

件係藉由微彈簧而被電氣地耦合至每一該些半導體晶粒之該末端區段。

6.如申請專利範圍第 1 項之晶片封裝，其中該斜坡組件係藉由焊料而被電氣地耦合至每一該些半導體晶粒之該末端區段。

7.如申請專利範圍第 1 項之晶片封裝，其中該斜坡組件係藉由各向異性導電膜而被電氣地耦合至每一該些半導體晶粒之該末端區段。

8.如申請專利範圍第 1 項之晶片封裝，其中該斜坡組件包括：

一光學波導，其組態成沿著平行於該步進階地之該方向以傳遞一光學信號；及

一組光學耦合組件，其中該組光學耦合組件中之一既定的光學耦合組件組態成將該光學信號光學地耦合至該組半導體晶粒中之一既定的半導體晶粒之該末端區段。

9.如申請專利範圍第 8 項之晶片封裝，其中該組光學耦合組件中之光學耦合組件包括光至電轉換器。

10.如申請專利範圍第 1 項之晶片封裝，其中該斜坡組件組態成使用電容耦合的近處通訊而將電信號電氣地耦合於該斜坡組件與每一該些半導體晶粒的該末端區段之間。

11.如申請專利範圍第 1 項之晶片封裝，其中每一該些半導體晶粒之該末端區段的表面包括一蝕刻坑；

其中，針對該些半導體晶粒中之每一該些蝕刻坑，該

斜坡組件包括一相應的蝕刻坑；及

該晶片封裝進一步包括一組球，其中該組球中之一既定的球機械地耦合該末端區段之該表面中的該蝕刻坑與該斜坡組件中之該相應的蝕刻坑。

12.一種包括晶片封裝之電子計算裝置，其中該晶片封裝包括：

一組配置在垂直方向之垂直堆疊中的半導體晶粒，其係實質上垂直於該垂直堆疊中之第一半導體晶粒，其中在該第一半導體晶粒後之各半導體晶粒從該垂直堆疊中緊接在前的半導體晶粒以水平方向被偏移一偏移值，藉此界定一步進階地於該垂直堆疊之一側上；及

一斜坡組件，其被電氣地且堅固地機械式耦合至該些半導體晶粒，其中該斜坡組件被置於該垂直堆疊之該一側上，

其中該斜坡組件係幾乎平行於沿著該步進階地之方向，其係介於該水平方向與該垂直方向之間，及

其中每一該些半導體晶粒包括一靜態彎曲以致每一該些半導體晶粒之末端區段係平行於沿著該步進階地之該方向且被機械地耦合至該斜坡組件。

13.如申請專利範圍第 12 項之電子計算裝置，其中關聯與該靜態彎曲之每一該些半導體晶粒中的應力係小於該半導體晶粒之降服強度。

14.如申請專利範圍第 12 項之電子計算裝置，其中每一該些半導體晶粒之厚度被界定以致每一該些半導體晶粒

具有一促成該靜態彎曲之彎曲力矩。

15.如申請專利範圍第 12 項之電子計算裝置，其中該斜坡組件被焊接至每一該些半導體晶粒。

16.如申請專利範圍第 12 項之電子計算裝置，其中該斜坡組件係藉由下列之一者而被電氣地耦合至每一該些半導體晶粒之該末端區段：微彈簧、焊料及各向異性導電膜。

17.如申請專利範圍第 12 項之電子計算裝置，其中該斜坡組件包括：

一光學波導，其組態成沿著沿著該步進階地之該方向以傳遞一光學信號；及

一組光學耦合組件，其中該組光學耦合組件中之一既定的光學耦合組件組態成將該光學信號光學地耦合至該組半導體晶粒中之一既定的半導體晶粒之該末端區段。

18.如申請專利範圍第 17 項之電子計算裝置，其中該組光學耦合組件中之光學耦合組件包括光至電轉換器。

19.如申請專利範圍第 12 項之電子計算裝置，其中該斜坡組件組態成使用電容耦合的近處通訊而將電信號電氣地耦合於該斜坡組件與每一該些半導體晶粒的該末端區段之間。

20.一種用以傳遞信號之方法，包含：

將該信號傳遞於一斜坡組件中，該斜坡組件被電氣地且堅固地機械式耦合至一組配置在垂直方向之垂直堆疊中的半導體晶粒，其中該些半導體晶粒被彼此偏移於水平方

向，藉此界定步進階地於該垂直堆疊之一側上，及其中該斜坡組件被置於幾乎平行於沿著該步進階地之方向的該垂直堆疊之該一側上，其係介於該水平方向與該垂直方向之間；以及

將該信號耦合至該組半導體晶粒之一既定的半導體晶粒，於該既定半導體晶粒之一末端區段上，其中該既定半導體晶粒包括一靜態彎曲以致該末端區段係平行於沿著該步進階地之該方向且被機械式耦合至該斜坡組件。

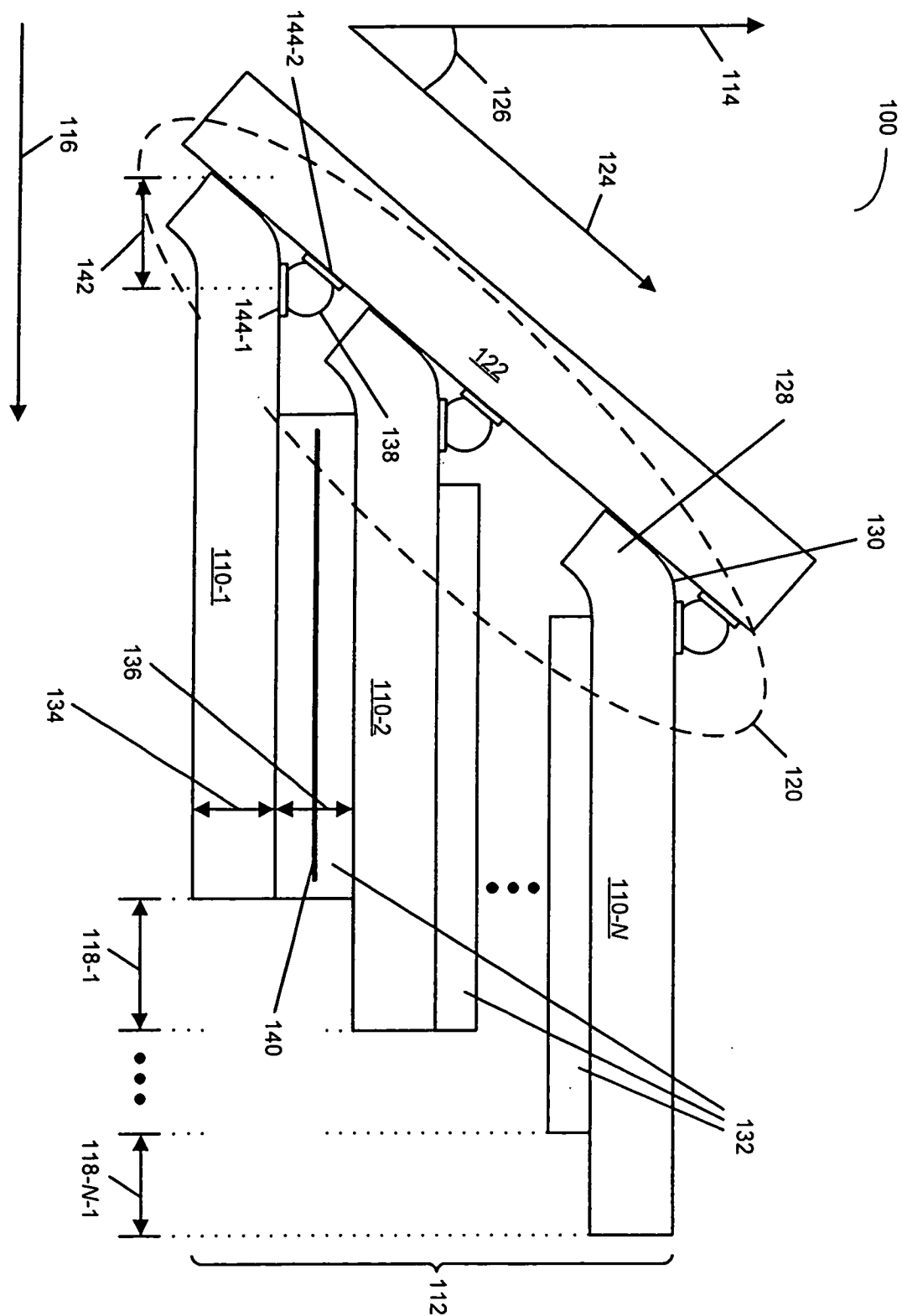


圖 1

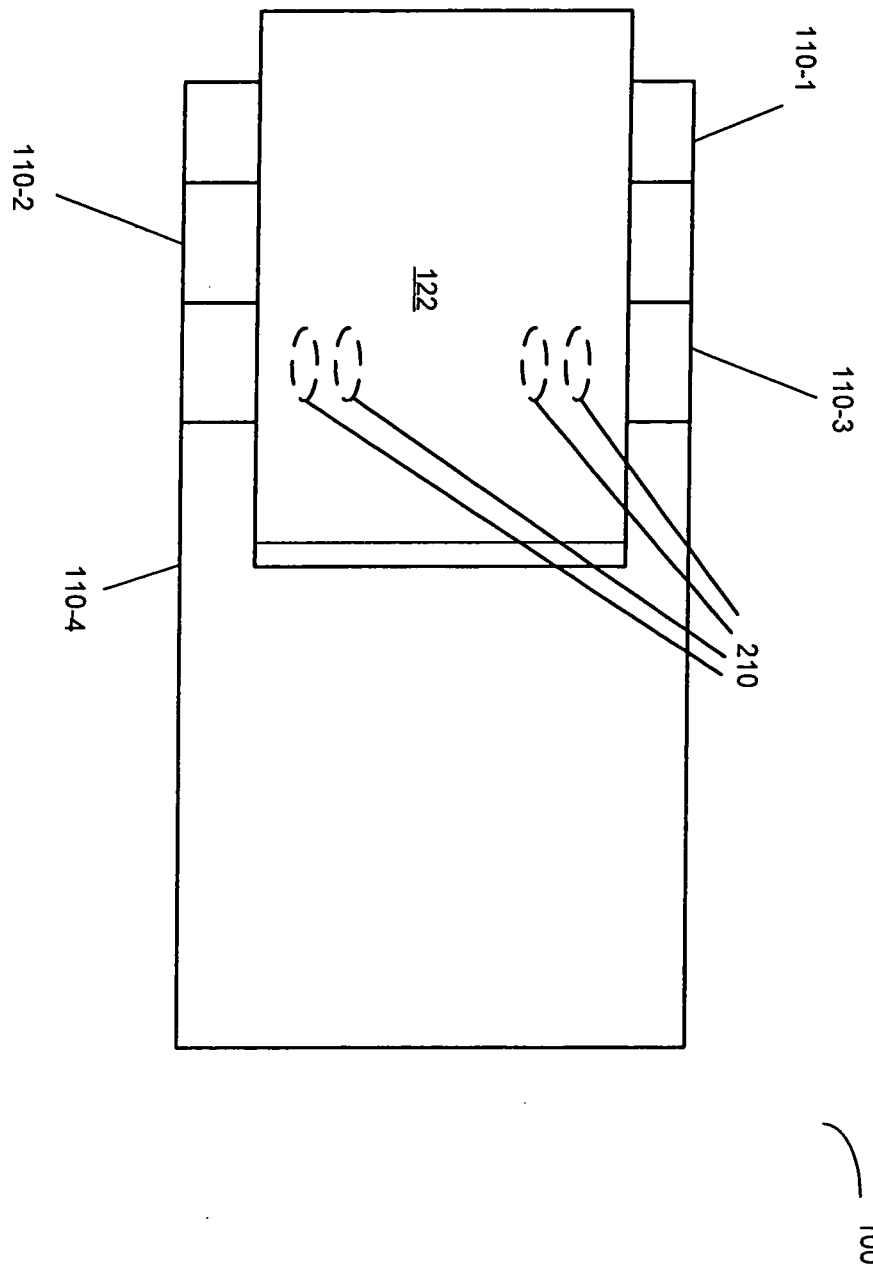
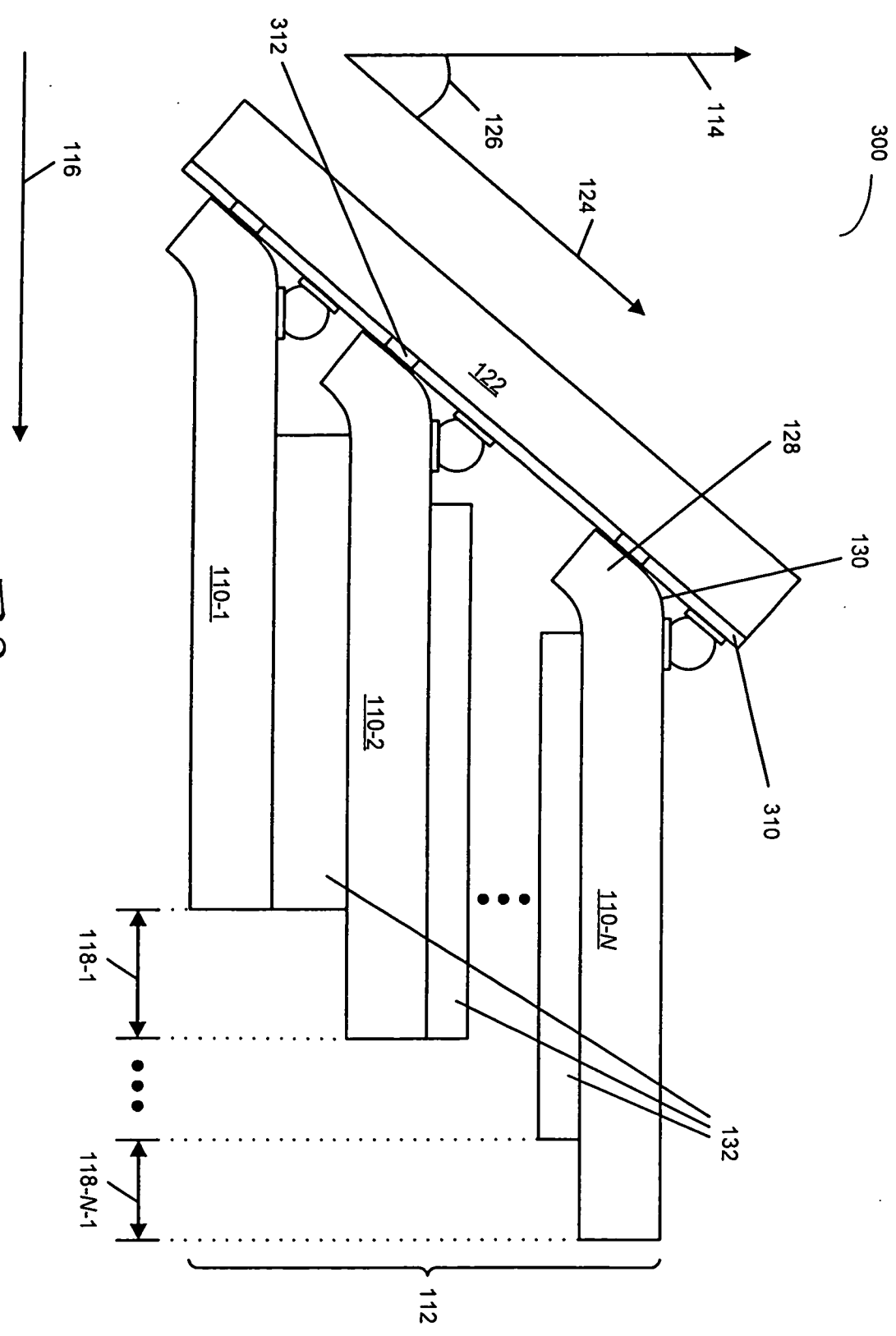


圖2



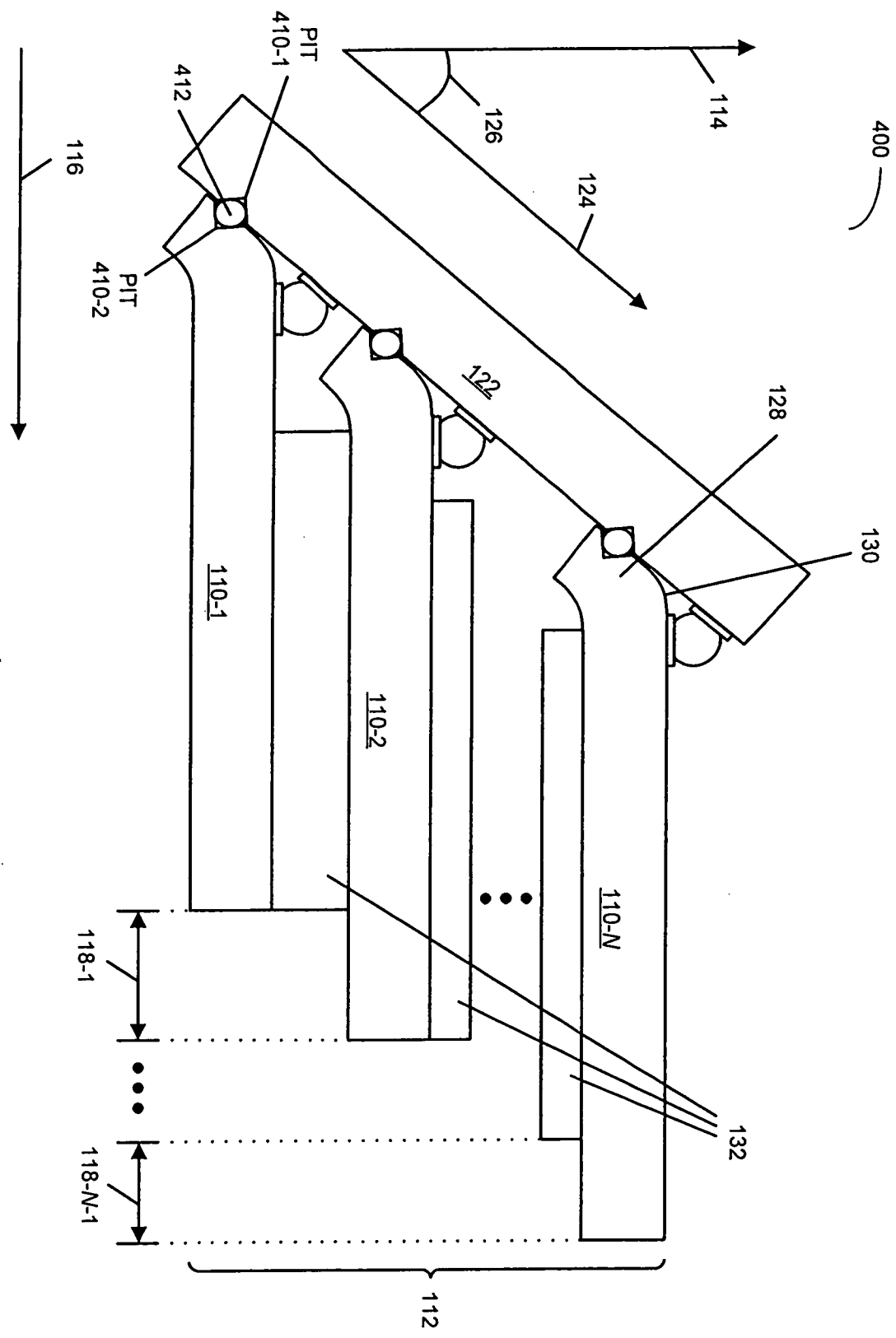


圖 4

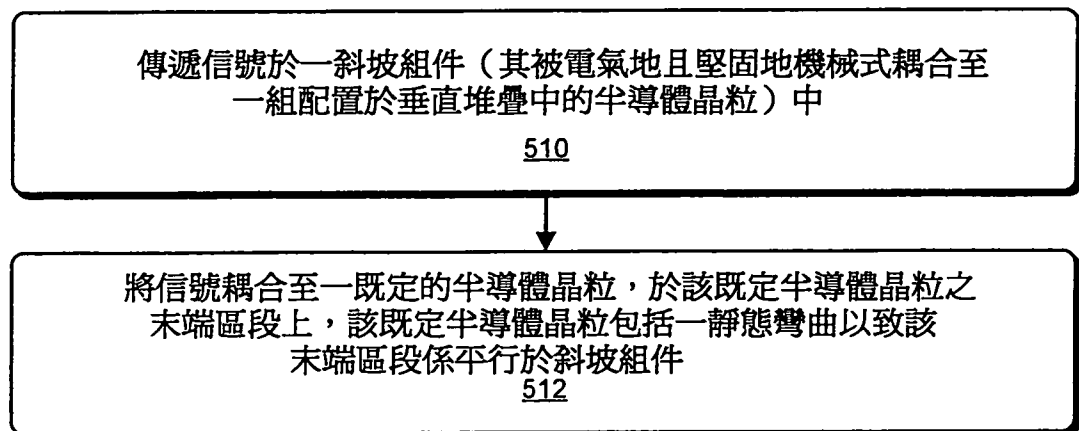


圖 5

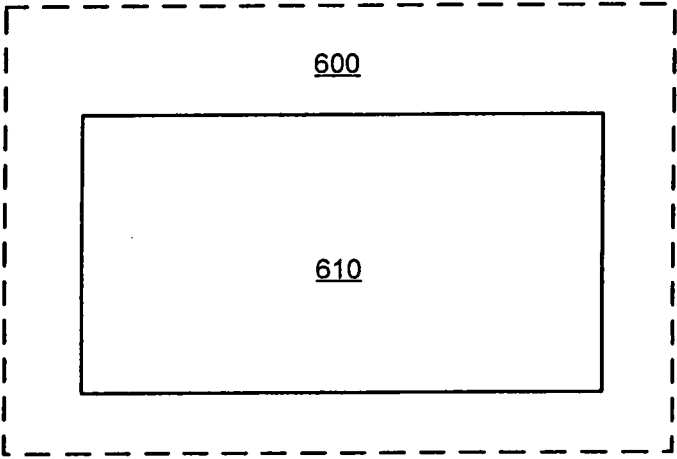


圖 6