

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3877401号
(P3877401)

(45) 発行日 平成19年2月7日(2007.2.7)

(24) 登録日 平成18年11月10日(2006.11.10)

(51) Int. Cl.

F I

H O 1 L 21/56 (2006.01)

H O 1 L 21/56

R

H O 1 L 23/50 (2006.01)

H O 1 L 23/50

A

請求項の数 5 (全 14 頁)

(21) 出願番号	特願平9-327967	(73) 特許権者	000001889
(22) 出願日	平成9年11月28日(1997.11.28)		三洋電機株式会社
(65) 公開番号	特開平10-313082		大阪府守口市京阪本通2丁目5番5号
(43) 公開日	平成10年11月24日(1998.11.24)	(74) 代理人	100131071
審査請求日	平成16年9月3日(2004.9.3)		弁理士 ▲角▼谷 浩
(31) 優先権主張番号	特願平9-55166	(72) 発明者	谷 孝行
(32) 優先日	平成9年3月10日(1997.3.10)		大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
(33) 優先権主張国	日本国(JP)	(72) 発明者	関端 隆
			大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
		(72) 発明者	兵藤 治雄
			大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体チップを固着するアイランドと、前記アイランドに近接する複数のリード端子と、前記アイランドおよび前記リード端子表面より凹み、且つ、前記アイランドおよび前記リード端子の裏面側と連続した底板とで形成されたリードフレームを準備する工程と、

前記アイランドの表面に半導体チップを固着し、前記半導体チップと前記リード端子とを電氣的に接続する工程と、

少なくとも前記半導体チップ及び前記リード端子を含む前記リードフレームの表面全体を被覆し、前記リードフレームの裏面の前記底板を露出するように樹脂層で封止する工程と、

前記リードフレームの前記底板を除去して前記アイランドと前記リード端子の裏面を前記樹脂層から露出させる工程と、

前記樹脂層を切断して前記半導体チップを含む個々の素子に分離する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項2】

前記リードフレームは帯状あるいは矩形状の金属薄板をその表面からハーフエッチングして前記アイランドおよび前記リード端子を形成することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】

前記リードフレームは予め前記アイランドおよびリード端子を形成したフレームに板厚

が一樣の底板を張り合わせて形成することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 4】

前記樹脂層を形成する工程の後、前記リード端子を裏面からハーフカットしスリット孔を形成することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 5】

前記スリット孔を形成して前記底板を除去した後、前記アイランド、前記リード端子及び前記スリット孔の表面にメッキ層を形成することを特徴とする請求項 4 に記載の半導体装置の製造方法。

【発明の詳細な説明】

10

【0001】

【発明の属する技術分野】

本発明は半導体装置に関し、特に、半導体装置のチップ面積と、半導体装置をプリント基板等の実装基板上に実装する実装面積との比率で表す実装有効面積率を向上させた半導体装置に関する。

【0002】

【従来の技術】

一般的にシリコン基板上にトランジスタ素子が形成された半導体装置は、図 10A に示すような構成が主に用いられる。1 はシリコン基板、2 はシリコン基板 1 が実装される放熱板等のアイランド、3 はリード端子、及び 4 は封止用の樹脂モールドである。

20

トランジスタ素子が形成されたシリコン基板 1 は、同図に示すように、銅ベースの放熱板等のアイランド 2 に半田等のろう材 5 を介して固着実装され、シリコン基板 1 の周辺に配置されたリード端子 3 にトランジスタ素子のベース電極、エミッタ電極とがそれぞれワイヤーボンディングによってワイヤー 6 で電氣的に接続されている。コレクタ電極に接続されるリード端子はアイランドと一体に形成されており、シリコン基板をアイランド上に実装することで電氣的に接続された後、エポキシ樹脂等の熱硬化型樹脂 4 によりトランスファーマールドによって、シリコン基板とリード端子の一部を完全に被覆保護し、3 端子構造の半導体装置が提供される。

図 10B を参照して、上記のトランスファーマールドでは、上下金型 7、8 で形成したキャビティ 9 の内部にダイボンド及びワイヤボンドを施したリードフレーム 10 を設置し、この状態でキャビティ 9 内に樹脂を注入することにより行われる。

30

【0003】

【発明が解決しようとする課題】

第 1 の課題：

樹脂モールドされた半導体装置は、通常、ガラスエポキシ基板等の実装基板上に実装され、実装基板上に実装された他の半導体装置、回路素子と電氣的に接続され所定の回路動作を行うための一部品として取り扱われる。

【0004】

図 11 は、実装基板上に半導体装置を実装したときの断面図を示し、20 は半導体装置、21、23 はベース又はエミッタ電極用のリード端子、22 はコレクタ用のリード端子、30 は実装基板である。

40

実装基板 30 上に半導体装置 20 が実装される実装面積は、リード端子 21、22、23 とそのリード端子と接続される導電パッドで囲まれた領域によって表される。実装面積は半導体装置 20 内のシリコン基板（半導体チップ）面積に比べ大きく、実際に機能を持つ半導体チップの面積に比べ実装面積の殆どはモールド樹脂、リード端子によって取られている。

【0005】

ここで、実際に機能を持つ半導体チップ面積と実装面積との比率を有効面積率として考慮すると、樹脂モールドされた半導体装置では有効面積率が極めて低いことが確認されている。有効面積率が低いことは、半導体装置 20 を実装基板 30 上の他の回路素子と接続使

50

用とする場合に、実装面積の殆どが機能を有する半導体チップとは直接関係のないデッドスペースとなる。有効面積率が小さいと上記したように、実装基板 30 上でデッドスペースが大きくなり、実装基板 30 の高密度小型化の妨げとなる。

【0006】

特に、この問題はパッケージサイズが小さい半導体装置に顕著に現れる。例えば、EIA規格であるSC-75A外形に搭載される半導体チップの最大サイズは、図12に示すように、0.40mm×0.40mmが最大である。この半導体チップを金属リード端子とワイヤーで接続し、樹脂モールドすると半導体装置の全体のサイズは、1.6mm×1.6mmとなる。この半導体装置のチップ面積は0.16mm²で、半導体装置を実装する実装面積は半導体装置の面積とほぼ同様として考えて、2.56mm²であるため、この半導体装置の有効面積率は約6.25%となり、実装面積の殆どが機能を持つ半導体チップ面積と直接関係のないデッドスペースとなっている。

10

【0007】

この有効面積率に関する問題は、特に、上記したようにパッケージサイズが極めて小さく、チップサイズが大きい半導体装置において顕著に現れるが、半導体チップを金属リード端子でワイヤー接続し、樹脂モールドする、樹脂封止型の半導体装置であれば同様に問題となる。

近年の電子機器、例えば、パーソナルコンピュータ、電子手帳等の携帯情報処理装置、8mmビデオカメラ、携帯電話、カメラ、液晶テレビ等において用いられる実装基板は、電子機器本体の小型化に伴い、その内部に使用される実装基板も高密度小型化の傾向にある。

20

【0008】

しかし、上記の先行技術の樹脂封止型の半導体装置では、上述したように、半導体装置を実装する実装面積にデッドスペースが大きいため、実装基板の小型化に限界があり、実装基板の小型化の妨げの一つの要因となっていた。

第2の課題：

ところで、有効面積率を向上させる先行技術として特開平3-248551号公報がある。この先行技術について、図13にもとづいて簡単に説明する。この先行技術は、樹脂モールド型半導体装置を実装基板等を実装したときの実装面積をできるだけ小さくするために、半導体チップ40のベース、エミッタ、及びコレクタ電極と接続するリード端子41、42、43を樹脂モールド44の側面より外側に導出させず、リード端子41、42、43を樹脂モールド44側面と同一面となるように形成することが記載されている。

30

【0009】

この構成によれば、リード端子41、42、43の先端部分が導出しない分だけ実装面積を小さくすることができ、有効面積率を若干向上させることはできる。

しかし、上記の半導体装置では、半導体チップと接続されるリード端子の先端部分は樹脂モールド44の底面部のコーナー部で折り曲げ加工されるために、その折り曲げ工程時の応力に十分耐えられる構造することから、樹脂モールド内に埋め込まれた各リード端子の長さを十分にしなければならず、結果的に樹脂モールドサイズが実装する半導体チップサイズに比べて大きくなり有効面積率の低下には至らない。さらに、半導体チップと接続される各リード端子を必要とし、材料コスト面及び製造工程が煩雑となり、製造コストを低減できない課題がある。

40

【0010】

第3の課題：

有効面積率を最大限大きくするには、上記したように、半導体チップを直接実装基板上に実装することにより、半導体チップ面積と実装面積とがほぼ同一となり有効面積率が最大となる。

半導体チップを実装基板等の基板上に実装する一つの先行技術として、例えば、特開平6-338504号公報に示すように、半導体チップ45上に複数のバンプ電極46を形成したフリップチップを実装基板47にフェイスダウンボンディングする技術が知られてい

50

る（図14参照）。この先行技術は、通常、MOSFET等、シリコン基板の同一主面にゲート（ベース）電極、ソース（エミッタ）電極、ドレイン（コレクタ）電極が形成され、電流或いは電圧のパスが横方向に形成される比較的発熱量の少ない横型の半導体装置に主に用いられる。

【0011】

しかし、トランジスタデバイス等のようにシリコン基板が電極の一つとなり、各電極が異なる面に形成され電流のパスが縦方向に流れる縦型の半導体装置では、上記のフリップチップ技術を使用することは困難である。

第4の課題：

半導体チップを実装基板等の基板上に実装する他の先行技術として、例えば、特開平7-38334号公報に記載されている示すように、実装基板51上に形成された導電パターン52上に半導体チップ53をダイボンディングし、半導体チップ53周辺に配置された導電パターン52と半導体チップ53との電極をワイヤ54で接続する技術が知られている（図15参照）。この先行技術では、先に述べたシリコン基板が一つの電極を構成した縦型構造のトランジスタ等の半導体チップに用いることはできる。

【0012】

半導体チップ53とその周辺に配置された導電パターン52とを接続するワイヤ54は通常、金細線が用いられることから、金細線とボンディング接続されるボンディング接合部のピール強度（引張力）を大きくするために、約200～300の加熱雰囲気中でボンディングを行うことが好ましい。しかし、絶縁樹脂系の実装基板上に半導体チップをダイボンディングする場合には、上記した温度まで加熱すると実装基板に歪みが生じること、及び、実装基板上に実装されたチップコンデンサ、チップ抵抗等の他の回路素子を固着する半田が溶融するために、加熱温度を約100～150程度にしてワイヤボンディング接続が行われているため、ボンディング接合部のピール強度が低下する問題がある。

【0013】

この先行技術では、通常、ダイボンディングされた半導体チップはエポキシ樹脂等の封止用樹脂で被覆保護されるために、ピール強度の低下はエポキシ樹脂の熱硬化時の収縮等によって接合部が剥離されるという問題がある。

第5の課題：

金型内に設置したときのリードフレーム10とキャビティ9との位置合わせ精度はプラス・マイナス50μ程度が限界である。このため、アイランド2の大きさは前記合わせ精度を考慮した大きさに設計しなければならない。従って、合わせ精度の問題は、パッケージの外形寸法に対するアイランド2の寸法を小さくし、これがパッケージの外形寸法に対して収納可能な半導体チップ1の最大寸法に制限を与えていた。

【0014】

本発明は、上述した事情に鑑みて成されたものであり、本発明は、半導体装置のベース、エミッタ及びコレクタ用の外部接続電極を同一平面上に配置し、半導体チップ面積と実装基板上に実装される半導体装置の実装面積との比率である有効面積率を最大限向上させ、実装面積のデットスペースを最小限小さくできる半導体装置の製造方法を提供する。

【0015】

【課題を解決するための手段】

本発明は、上記の課題を解決するために、以下の特徴を持つものである。

第1に、アイランド上に半導体チップを設置し、チップとリード端子とを電氣的に接続し、全体を封止して、パッケージ外形の少なくとも一部を前記絶縁材料に切断した面によって構成したものである。

【0016】

第2に、樹脂と共にリード端子を切断し、切断面を用いて外部接続端子を構成するものである。

第3に、半導体チップを固着するアイランドと前記アイランドから延在形成され隣接する前記アイランド上に固着した前記半導体チップの外部接続用電極となる複数のリード端子

10

20

30

40

50

とからなるフレームが連結バーによって複数の列方向（又は行方向）に配置されたリードフレームを準備する工程と、前記アイランドの一主面上に半導体チップを固着し、前記半導体チップが固着された前記アイランドと前記列方向（又は行方向）に隣接する前記リード端子とを電氣的に接続する工程と、少なくとも前記半導体チップ、及び前記リード端子の表面を被覆し前記アイランド及び前記リード端子の反主面を露出するように前記リードフレーム上に樹脂層を形成する工程と、前記半導体チップが固着された前記アイランドと前記半導体チップと電氣的に接続された前記リード端子とを囲む領域で個々に分割する工程とを具備することを特徴としている。

【0017】

【発明の実施の形態】

以下に本発明の実施の形態を詳細に説明する。

図1は本発明の半導体装置を示す（A）断面図、（B）上面図、（C）側面図で、図2（A）は裏面図、図2（B）はその概略斜視図である。所望の能動素子を形成したシリコン半導体チップ72が導電性の接着剤やAu-Si共晶によってアイランド61の一主面上に接着されている。アイランド61は外部接続電極の一部100として使用される。リード端子62、63がアイランド61とは離れた位置に複数本設けられている。半導体チップ72の表面部分に形成した電極パッドとリード端子62、63の表面とがボンディングワイヤ73によって電氣的に接続される。半導体チップ72とボンディングワイヤ73を含めて、アイランド61とリード端子62、63が樹脂81でモールドされて、大略直方体のパッケージ形状を形成する。樹脂81は熱硬化性エポキシ樹脂である。アイランド61とリード端子62、63は、厚さが約0.2mmの銅系の金属材料から成る。樹脂81の外形寸法は、縦×横×高さが、約0.7mm×1.0mm×0.6mmである。アイランド61の裏面側と、リード端子62、63の裏面側は樹脂81の表面に露出する。アイランド61とリード端子62、63の露出した表面には金属メッキ層82が形成される。そして、アイランド61とリード端子62、63はそれぞれ、外部接続端子100、101、102を構成する。

【0018】

直方体のパッケージ外形を形成する6面のうち、少なくとも上面81aはモールド金型等によって形成された面で構成される。前記6面の内、側面81c、81d、81e、81fは樹脂81を切断した切断面で構成される。該切断面に沿ってリード端子62、63の切断面が露出する。アイランド61は複数の突起部61aを有し、これらの突起部61aの切断面も露出する。そして、プリント基板に対してアイランド61及びリード端子62、63の、裏面81bと側面81c、81eに露出した部分を外部接続電極100、101、102として半田付けし、この装置を実装する。

【0019】

以上に説明した半導体装置は、以下の方法によって得ることができる。

第1工程：（図3）

先ず、図3に示すようなリードフレーム60を準備する。図3Aはリードフレーム60の平面図であり、図3Bは図3AのX-X断面図である。本発明で用いられるリードフレーム60は、多数のフレーム64が行方向（又は列方向）に複数個配置されており、複数のフレーム64は連結バー65によって互いに連結されている。該フレーム64は、半導体チップの搭載部となるアイランド61と、外部接続用電極となる複数のリード端子62、63を有する。そして、互いに連結された複数のフレーム64が同じく連結バー65によって外枠66、66の間に連結される。更に、フレーム64に隣接して他のフレーム64Aが連結バー65Aによって同様に連結される。フレーム64のアイランド61に対して、隣のフレーム64Aのアイランド61Aに保持されたリード端子62A、63Aが対応する。この様にフレーム64を行・列方向に複数配置することで、1本の短冊状のリードフレーム60に例えば100個のフレーム64を配置する。各アイランド61、61Aから延在される各リード端子62、63、62A、63Aは、その中間部分の両側がくさび状に形成され、部分的に細く形成されている。

10

20

30

40

50

また、このリードフレーム 60 内には、アイランド 61、61A...及びリード端子 62、63、62A、63Aの表面より凹んだ底板 67 が形成される。この底板 67 はアイランド 61、61A...及びリード端子 62、63、62A、63Aの裏面側と連続している。

【0020】

上記の底板 67 を有するリードフレーム 60 は、例えば、約 0.2 mm 厚の銅系の金属材料で形成された帯状あるいは矩形状のリードフレーム用金属薄板を用意し、このリードフレーム用金属薄板の一主面上に、上記したアイランド 61、61A...及び 62、63、62A、63A からなるフレーム 64、64A、連結バー 65、65A 及び外枠部 66、66 のパターンに合致したハードマスクまたはホトレジストマスクを形成し、該マスクで被覆されない前記金属薄板の露出表面を約 0.15 mm 程度エッチングする事によって得ることができる。この様なハーフエッチング処理によって、アイランド 61、61A...等の周囲（図 3A 内でハッチングした領域）に板厚約 0.05 mm の底板 67 を選択的に設けることができる。ここでは、リードフレーム 60 の板厚及び底板 67 の板厚は必要に応じて適宜に設定することができる。また、板厚が一樣な底板 67 だけを別に用意し、フレーム 64 を形成したリードフレーム 60 と張り合わせる事によっても形成することができる。

10

【0021】

第 2 工程：（図 4）

次に、リードフレーム 60 に対してダイボンド工程とワイヤボンド工程を行う。図 4A 及び図 4B に示すように、各アイランド 61、61A の一主面上に Ag ペースト、半田等の導電ペースト 71 を塗布し、その導電ペースト 71 を介して各アイランド 61、61A 上に半導体チップ 72 を固着する。ここでは、導電ペースト 71 で各アイランド上に半導体チップを固着したが、各アイランド表面に金メッキを行い、そのメッキ上に半導体チップを共晶接続することも可能である。

20

【0022】

更に、半導体チップ 72 の表面に形成されたボンディングパッドと、これに対応するリード端子 62、63 とをワイヤ 73 でワイヤボンディングする。ワイヤ 73 は例えば直径が 20 μ の金線から成る。ここで、ワイヤ 73 は各アイランド 61 上に固着した半導体チップ 72 の表面電極と、その隣に隣接した他のアイランド 61A から延在するリード端子 62A、63A とを接続する。

30

半導体チップ 72 が固着された各アイランド 61、61A の裏面は、係る半導体チップ 72 の一つの外部接続用電極 100 となり、ワイヤで電気的に接続されたリード 62A、63A、62、63 は他の外部接続用電極 101、102 となる。アイランド 61、61A の裏面を接続用端子の 1 つとして用いる形態は、半導体チップ 72 として例えばトランジスタ、パワー MOSFET 等の、電流経路が垂直方向になる半導体デバイス素子に適している。

【0023】

半導体チップ 72 を固着するために塗布された導電性ペースト 71 は、図 4 から明らかなように、半導体チップ 72 が固着されるアイランド 61、61A 上に選択的に塗布形成する。リード端子 62、63...上に導電性ペースト 71 が付着すると、ワイヤボンディングを行う場合に、ボンディング装置のキャピラリーの先端部分に導電性ペーストがつまりボンディング不良が生じ生産性が低下する恐れがあるためである。この様な問題がない場合には、導電性ペーストをフレーム 64、64A 全面に塗布しても良い。

40

【0024】

第 3 工程：（図 5）

次に、全体を樹脂モールドする。図 5A に示すように、リードフレーム 60 上にエポキシ樹脂等の熱硬化性の封止用樹脂層 81 を形成し、各フレーム 64、64A...、半導体チップ 72 及びワイヤ 72 を封止保護する。樹脂層 81 は、素子 A、素子 B、素子 C... を個別にパッケージングするものではなく、半導体チップ 72 の全部を被うように形成する

50

。モールド後のリードフレーム 60 の状態を図 5 B に示す。

この樹脂層 81 は、リードフレーム 60 の外周に高さ数 mm の枠材（図示しない）を配置し、その枠材で囲まれた領域内にエポキシ樹脂等の熱硬化性の樹脂を充填し、約 150 ～ 約 200 の温度で加熱処理を行い形成する。あるいは別の方法として、リードフレーム 60 を射出成形用の金型内に配置し、該金型内にエポキシ樹脂を充填、成形するトランスファーマールド技術によっても形成することもできる。

【0025】

第 4 工程：（図 6）

次に、リードフレーム 60 の裏面側にスリット孔 91 を形成する。このスリット孔 91 は、ダイシング装置のブレードによってリードフレーム 60 の裏面側をハーフカットすることにより形成したものであり、ハーフカットしたスリット孔 91 の深さは、少なくとも底板 67 の板厚を超えるものとする。そして、このスリット孔 91 は、各リード端子 62、63 . . . の中間に形成されたくさび状部分の付近に一本あるいは複数本形成する。

【0026】

第 5 工程：（図 7 A）

次に、図 7 A に示すように、リードフレーム 60 の裏面側表面を機械的あるいは化学的に削り、底板 67 を除去する。底板 67 の厚みは比較的薄いためにバフ等の研磨でリードフレーム 60 の裏面を削ることで容易に除去することができる。この工程により、各アイランド 61、各リード端子 62、63 のパターンが裏面側に露出し、これらが連結バー 65 によって連結された状態になる。

【0027】

第 6 工程：（図 7 B）

底板 67 を除去した後、同図に示すように、外部接続電極となる露出したアイランド 61、61A . . .、リード端子 62、63、62A、63A . . . 及びスリット孔 91 の表面に半田メッキ等のメッキ層 82 を形成する。このメッキ層 82 は、リードフレーム 60 を電極の一方とする電解メッキ法により行われる。スリット孔 91 はリード端子 62、63 の板厚の全部を切断していないので、アイランド 61 とリード端子 62、63 はまだ電気的な導通が保たれている。更に各アイランド 61、61A . . . 等を形成するフレーム 64、64A . . . が連結バー 65、65A によって共通接続されている。このように露出した金属表面のすべてが電気的に導通しているので、一回のメッキ工程でメッキ層 82 を形成することができる。

【0028】

第 7 工程：（図 8）

次に、樹脂層 81 を切断して各々の素子 A、素子 B、素子 C . . . を分離する。即ち、半導体チップ 72 を固着したアイランド 61 と半導体チップ 72 と電気的に接続されたリード端子 62A、63A とを囲む領域（同図の矢印 83、及び図 4 A の一点鎖線 83）で切断することにより、図 1 に示した半導体装置を形成する。切断にはダイシング装置が用いられ、ダイシング装置のブレードによって樹脂層 81 とリードフレーム 60 とを同時に切断する。切断する際には裏面側（スリット孔 91 を設けた側）にブルーシート（例えば、商品名：UV シート、リンテック株式会社製）を貼り付けた状態で、前記ダイシングブレードがブルーシートの表面に到達するような切削深さで行う。スリット孔 91 が位置する箇所では、少なくともスリット孔 91 の側壁に付着したメッキ層 82 を残すように形成する。この様に残存させたメッキ層 82 は、半導体装置をプリント基板上に実装する際に利用される。また、切断したリード端子の他方はアイランドに連続する突起部 61a として残存し、切断した連結バー 65、65A は突起部 61b（図 1 B に示した）として残存する。切断されたリード端子 62、63 及び突起部 61a、61b の切断面は、樹脂層 81 の切断面と同一平面を形成し、該同一平面に露出する。

【0029】

以上の方法によって製造された半導体装置は、以下のメリットを有する。

分割された半導体装置の各外部接続用電極の側面にはメッキ層 82 が形成されるので、実

10

20

30

40

50

装基板上に半田固着した際に該半田が切断面の上部まで（スリット孔 91 の側壁に相当する部分）容易に盛り上がって半田フィレットを形成する。従って半田接合力が向上し熱ストレス等の応力による劣化を防止することができる。

【0030】

また、分割された半導体装置の各外部接続用電極 100、101、102 の終端は、図 2 A に示すように、半導体装置の終端部分でくさび状に形成されるために各接続用電極 100、101、102 が樹脂層 81 の側面から抜け落ちることを防止している。

本願発明者は、チップサイズが $0.40\text{ mm} \times 0.40\text{ mm}$ のトランジスタチップをアイランド 61 上に設置し、上述の製造方法によってパッケージサイズが $1.0\text{ mm} \times 0.7\text{ mm}$ の半導体装置（図 1（B）参照）を実現した。この時の、アイランドから形成された外部接続用電極 100 のサイズは $0.6\text{ mm} \times 0.6\text{ mm}$ 、リード端子 62、63 から形成された外部接続用電極 101、102 のサイズは $0.25\text{ mm} \times 0.15\text{ mm}$ とすることができた。これら各外部接続用電極 100、101、102 及び半導体装置自体のサイズは実装される半導体チップサイズに応じて任意に設定することができる。

ここで、上述した本発明の半導体装置の製造方法によって製造された半導体装置の有効面積率を、図 12 に示した従来の半導体装置と比較してみると、従来例で説明した半導体装置のチップサイズは、 $0.40\text{ mm} \times 0.40\text{ mm}$ で、この半導体チップ 61 を金属リード端子とワイヤーで接続し、樹脂モールドすると半導体装置の全体のサイズが $1.6\text{ mm} \times 1.6\text{ mm}$ となる。従って、半導体装置の面積は 2.56 mm^2 となり、チップ面積が 0.16 mm^2 になる。

一方、半導体装置を実装する実装面積は半導体装置の面積とほぼ同様として考えて 2.56 mm^2 であるため、従来の半導体装置の有効面積率は約 6.25% であった。

【0031】

それに対して、本発明の製造方法によって製造された半導体装置は、チップサイズを同様にしても、金属製リード端子がパッケージから導出しないため、半導体装置サイズを $1.0\text{ mm} \times 0.7\text{ mm}$ とすることができ、その面積が 0.7 mm^2 となる。従って、有効面積率は 22.85% と従来と比べて約 3.6 倍向上する事ができ、実装基板上に実装する実装面積のデットスペースを小さくすることができ、実装基板の小型化に寄与することができる。

【0032】

そして、多数個の素子をまとめてパッケージングするので、個々にパッケージングする場合に比べて無駄にする材料を少なくでき。材料費の低減につながる。更に、パッケージの外形をダイシング装置のブレードで切断することにより構成したので、あらかじめリードフレーム 60 の外枠 66、66 に位置あわせマークを形成しておき、該マークを使用してダイシングを行うことにより、リードフレーム 60 のパターンに対する樹脂外形の精度を向上できる。即ち、モールド金型による合わせ精度がプラス・マイナス $50\text{ }\mu$ 程度であるのに対して、ダイシング装置によって切断した樹脂外形はプラス・マイナス $10\text{ }\mu$ 程度に小さくできる。合わせ精度を小さくできることは、アイランド 61 の面積を増大して、搭載可能な半導体チップ 72 のチップ面積を増大できることを意味する。

【0033】

尚、上述した実施形態では、3 端子用のリードフレームを用いて説明をしたが、4 端子用にする場合には、図 9 に示すように、アイランド 61 から 3 本のリード端子 62、63、68 を延在させて上述した方法で製造を行えば 4 端子用の半導体装置を提供することができる。

また、上述した実施形態では、各アイランドに 1 つの半導体チップを固着したが、1 つのアイランドに、例えばトランジスタを複数個固着すること、及び、トランジスタと縦型パワー MOSFET 等の他の素子との複合固着も可能である。この様な場合には、リードフレームは図 9 に示すような多数のリード端子を有するものが使用される。

【0034】

さらに、本実施形態では、半導体チップ 72 にトランジスタを形成したが、縦型或いは比

10

20

30

40

50

較的発熱量の少ない横型のデバイスであればこれに限らず、例えば、パワーMOSFET、IGBT、HBT等のデバイスを形成した半導体チップであっても、本発明に応用ができることは説明するまでもない。加えて、リード端子の本数を増大することでBIP、MOS型等の集積回路等にも応用することができる。

【0035】

【発明の効果】

以上に説明したように、本発明によれば、少なくとも一つの樹脂面をダイシングブレードによる切断面で構成することにより、アイランド61と樹脂面との寸法精度を向上できる。従って、アイランド61の面積を増大して、収納可能な半導体チップ72のチップサイズを増大できる。

10

【0036】

更に、本発明の半導体装置の製造方法によれば、半導体チップを固着し外部接続用電極となるアイランドとそのアイランドから延在形成され隣接するアイランド上に固着した半導体チップの他の外部接続用電極となる複数のリード端子とからなるフレームが連結バーによって複数の列方向（又は行方向）に配置されたリードフレームの各アイランド上に導電ペーストを付着して半導体チップを固着し、列方向（又は行方向）に隣接するリード端子と電氣的に接続して、半導体チップ、及びリード端子の表面を被覆しアイランド及びリード端子の反主面を露出するようにリードフレーム上に樹脂層を形成し、半導体チップが固着されたアイランドと半導体チップと電氣的に接続されたリード端子とを囲む領域で個々に分割することにより、外部接続用電極となるアイランド及びリード端子とが封止用の樹脂層の側面から導出せずに同一平面上に形成し外観寸法を著しく小型化した半導体装置を容易に形成することができる。その結果、半導体装置の外観寸法を著しく小型化にすることができ、実装基板上に実装したときの不必要なデットスペースを無くすことができ、実装基板の小型化に大きく寄与することができる。

20

【図面の簡単な説明】

【図1】本発明の半導体装置を示す図。

【図2】本発明の半導体装置を示す図。

【図3】本発明の半導体装置の製造方法を説明する図。

【図4】本発明の半導体装置の製造方法を説明する図。

【図5】本発明の半導体装置の製造方法を説明する図。

30

【図6】本発明の半導体装置の製造方法を説明する図。

【図7】本発明の半導体装置の製造方法を説明する図。

【図8】本発明の半導体装置の製造方法を説明する図。

【図9】他の実施の形態を説明する図。

【図10】従来の半導体装置を説明する断面図。

【図11】従来の半導体装置を説明する断面図。

【図12】従来の半導体装置を説明する平面図。

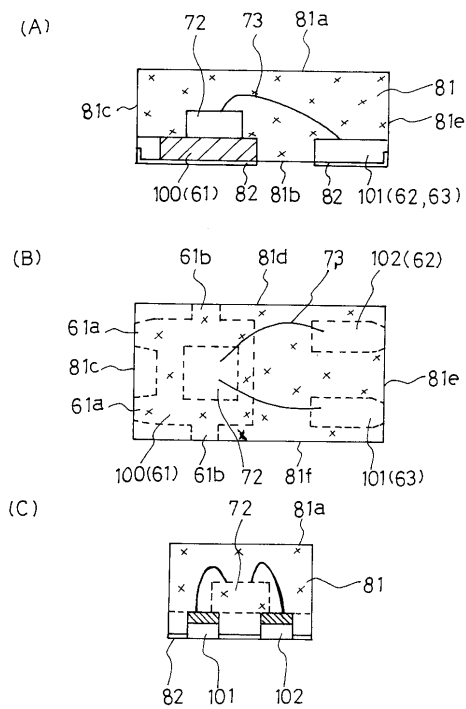
【図13】従来の半導体装置を説明する平面図。

【図14】従来の半導体装置を実装基板上に実装した断面図。

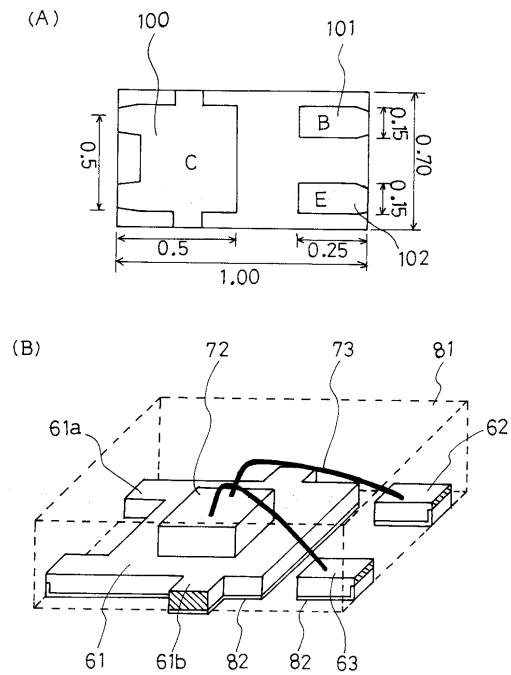
【図15】従来の半導体装置を実装基板上に実装した断面図。

40

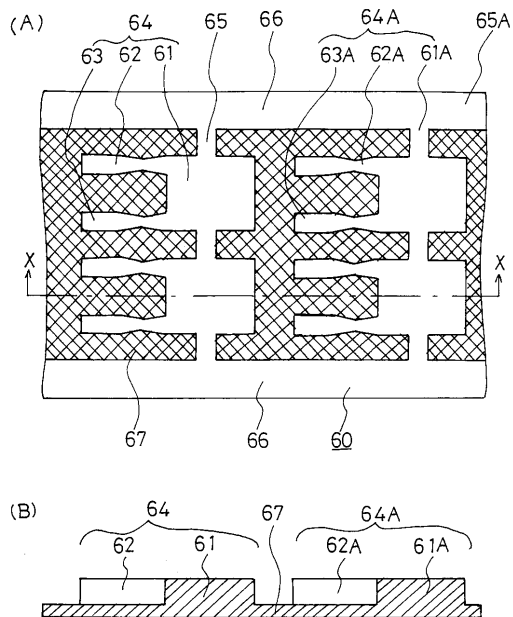
【図 1】



【図 2】

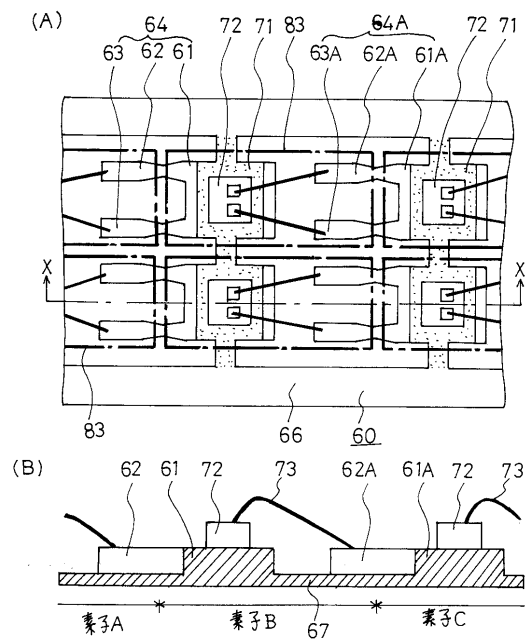


【図 3】



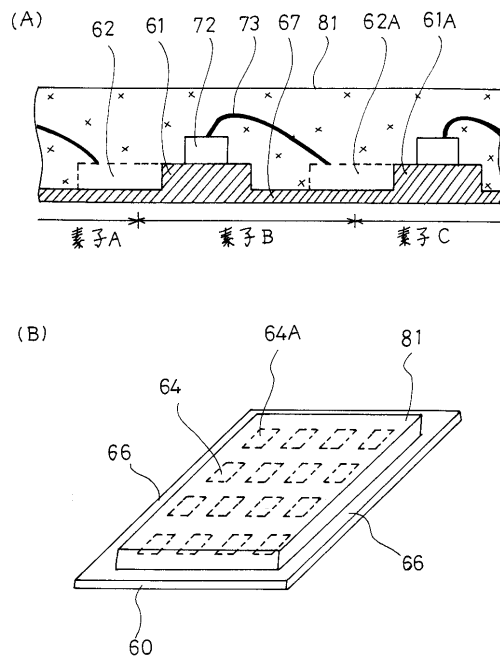
60: リードフレーム 61 61A: アイランド
 62, 63, 62A, 63A: リード端子
 64 64A: フレーム
 65: 連結バー 66: 外枠部

【図 4】

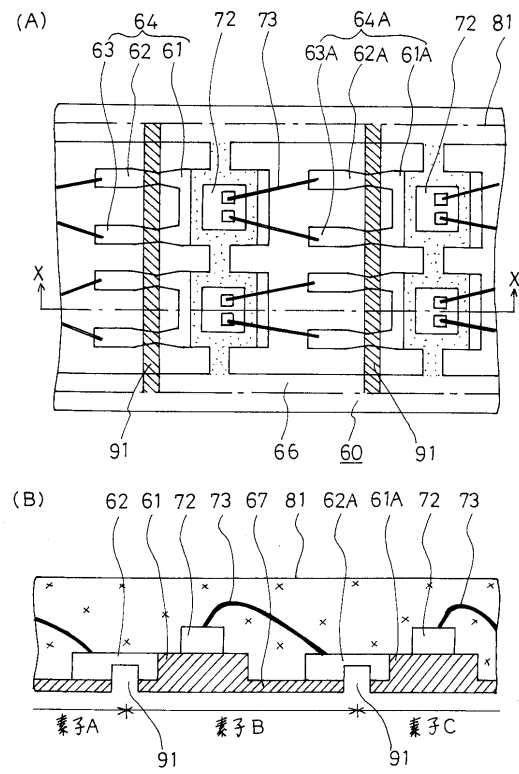


60: リードフレーム 61, 61A: アイランド
 62, 63, 62A, 63A: リード端子
 64 64A: フレーム 65: 連結バー
 66: 外枠部 71: 導電ペースト
 72: 半導体チップ

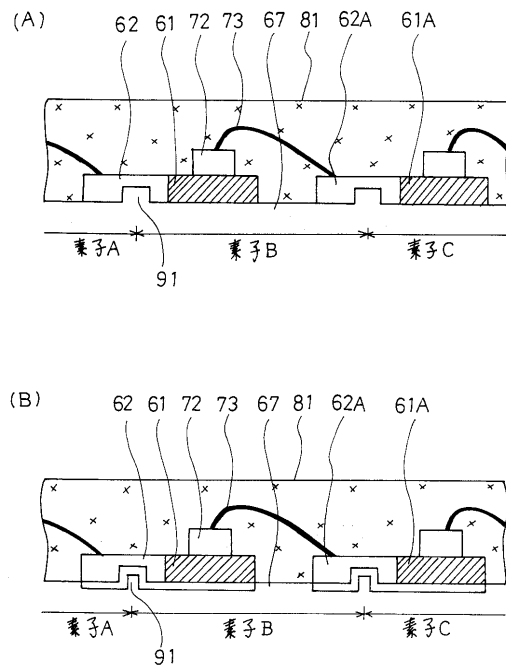
【図 5】



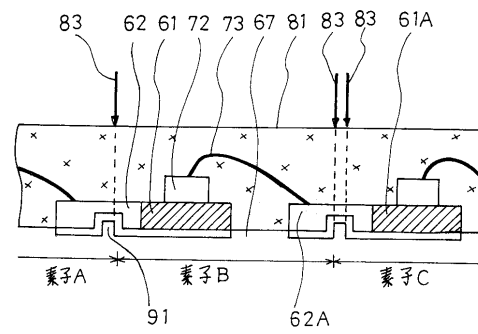
【図 6】



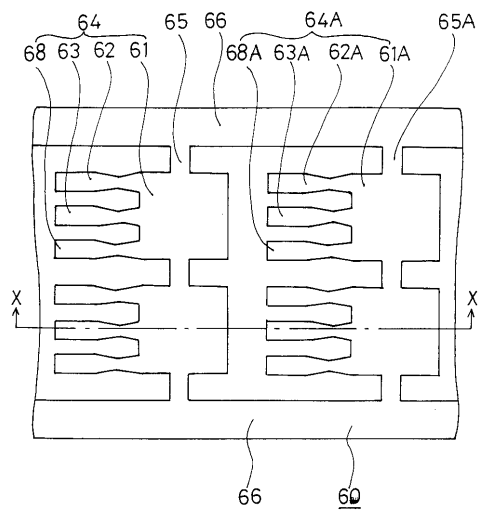
【図 7】



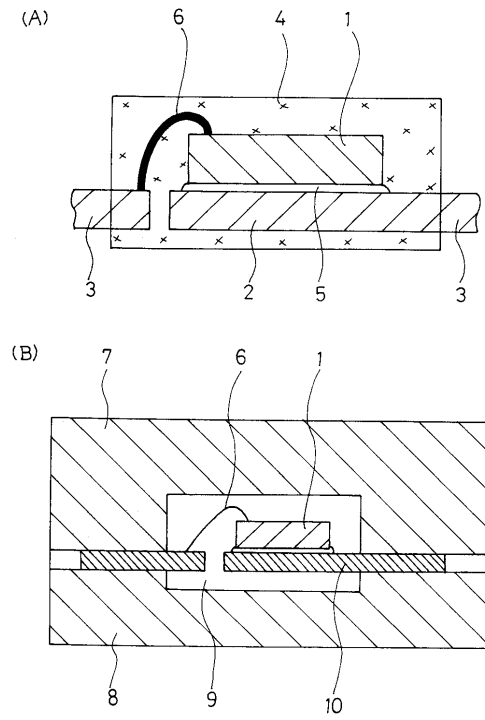
【図 8】



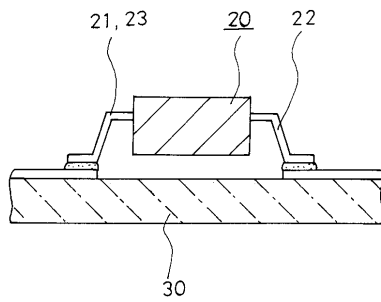
【 図 9 】



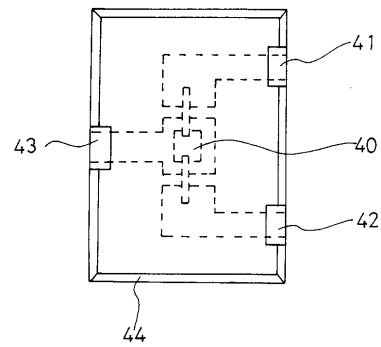
【 図 1 0 】



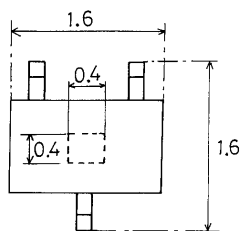
【 図 1 1 】



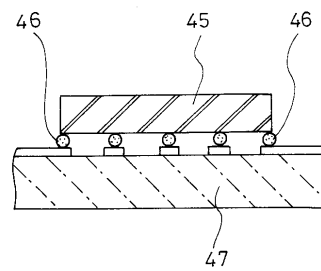
【 図 1 3 】



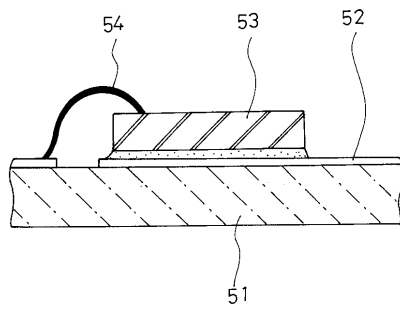
【 図 1 2 】



【 図 1 4 】



【図 15】



フロントページの続き

審査官 河本 充雄

(56)参考文献 特開平09-298256(JP,A)

(58)調査した分野(Int.Cl.,DB名)

H01L 23/28-23/31

H01L 21/56

H01L 23/12

H01L 23/48-23/50

H05K 3/00