

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5073292号

(P5073292)

(45) 発行日 平成24年11月14日 (2012.11.14)

(24) 登録日 平成24年8月31日 (2012.8.31)

(51) Int. Cl.	F I
H O 1 L 27/10 (2006.01)	H O 1 L 27/10 4 3 1
G 1 1 C 17/12 (2006.01)	G 1 1 C 17/00 3 0 4 B
G 1 1 C 16/04 (2006.01)	G 1 1 C 17/00 6 2 2 Z

請求項の数 7 (全 10 頁)

(21) 出願番号	特願2006-551018 (P2006-551018)	(73) 特許権者	500587067
(86) (22) 出願日	平成16年1月23日 (2004.1.23)		アギア システムズ インコーポレーテッド
(65) 公表番号	特表2007-522655 (P2007-522655A)		アメリカ合衆国、18109 ペンシルヴァニア、アレントアウン、アメリカン パークウェイ エヌイー 1110
(43) 公表日	平成19年8月9日 (2007.8.9)	(74) 代理人	100094112
(86) 国際出願番号	PCT/US2004/001772		弁理士 岡部 譲
(87) 国際公開番号	W02005/081258	(74) 代理人	100064447
(87) 国際公開日	平成17年9月1日 (2005.9.1)		弁理士 岡部 正夫
審査請求日	平成19年1月19日 (2007.1.19)	(74) 代理人	100085176
審判番号	不服2010-15372 (P2010-15372/J1)		弁理士 加藤 伸晃
審判請求日	平成22年7月9日 (2010.7.9)	(74) 代理人	100104352
			弁理士 朝日 伸光

最終頁に続く

(54) 【発明の名称】 ホット・キャリアでプログラムされるワン・タイム・プログラマブル (OTP) メモリのための方法および装置

(57) 【特許請求の範囲】

【請求項 1】

ワン・タイム・プログラマブル・メモリをプログラムするための方法であって、
 トランジスタのアレイを取得するステップと、
 ホット・キャリア・トランジスタ・エージング技法を使用して少なくとも1つの前記トランジスタの特性を変更して、前記少なくとも1つのトランジスタをプログラムするステップとを含み、前記ホット・キャリア・エージング技法はゲート酸化膜へのキャリアの注入を含み、前記キャリアの注入は、トラップの生成及びトラップへの注入のうちの少なくとも1つを引き起こし、変更された前記特性は前記少なくとも1つのトランジスタのしきい値電圧における変化であり、前記方法はさらに、

前記少なくとも1つのトランジスタの前記しきい値電圧における前記変化を感知することにより、プログラムされた前記少なくとも1つのトランジスタを検出するステップを含み、

前記検出するステップにおけるトランジスタ電流は、前記プログラムするステップにおけるトランジスタ電流と逆方向であり、

前記検出するステップは、(i) 前記トランジスタのアレイのそれぞれについてのソース端子を正の電位にまで引き上げるステップと、(i i) 選択された行に沿ったすべてのトランジスタについてのゲート端子を正の電位にまで引き上げるステップと、(i i i) ドレイン電圧が、プリチャージ電圧レベルから前記正のゲート端子電位よりもセル・トランジスタのしきい値電圧だけ低い電圧まで変化しているかどうかを検出するステップとを

10

20

含む、方法。

【請求項 2】

前記プログラムするステップが、前記少なくとも 1 つのトランジスタにストレスの多い電圧を印加して、前記ホット・キャリア・トランジスタ・エージングを引き起こすステップをさらに含む、請求項 1 に記載の方法。

【請求項 3】

前記プログラムするステップが、前記少なくとも 1 つのトランジスタのドレインおよびゲートにストレスの多い電圧を印加して、前記少なくとも 1 つのトランジスタの前記しきい値電圧における前記変化を引き起こすステップをさらに含む、請求項 1 に記載の方法。

【請求項 4】

前記プログラムするステップが、前記少なくとも 1 つのトランジスタの飽和電流における変化を引き起こす、請求項 1 に記載の方法。

【請求項 5】

ワン・タイム・プログラマブル・メモリであって、

トランジスタのアレイを含み、ホット・キャリア・トランジスタ・エージングを使用して少なくとも 1 つの前記トランジスタの特性を変更して、前記少なくとも 1 つのトランジスタがプログラムされ、前記ホット・キャリア・エージングはゲート酸化膜へのキャリアの注入を含み、前記キャリアの注入は、トラップの生成及びトラップへの注入のうちの少なくとも 1 つを引き起こすものであり、変更された前記特性は前記少なくとも 1 つのトランジスタのしきい値電圧における変化であり、さらに、

前記少なくとも 1 つのトランジスタの前記変更された特性を感知する回路を含み、

前記感知する回路におけるトランジスタ電流は、前記プログラムされるときのトランジスタ電流と逆方向であり、

前記回路は前記少なくとも 1 つのトランジスタの前記しきい値電圧における前記変化を感知し、前記回路は、(i) 前記トランジスタのアレイのそれぞれについてのソース端子を正の電位にまで引き上げ、(i i) 選択された行に沿ったすべてのトランジスタについてのゲート端子を正の電位にまで引き上げ、(i i i) ドレイン電圧が、プリチャージ電圧レベルから前記正のゲート端子電位よりもセル・トランジスタのしきい値電圧だけ低い電圧まで変化しているかどうかを検出する、ワン・タイム・プログラマブル・メモリ。

【請求項 6】

ワン・タイム・プログラマブル・メモリ素子であって、

ホット・キャリア・トランジスタ・エージングを使用してトランジスタ特性を変更してプログラムされる少なくとも 1 つのトランジスタを含み、前記ホット・キャリア・エージングはゲート酸化膜へのキャリアの注入を含み、前記キャリアの注入は、トラップの生成及びトラップへの注入のうちの少なくとも 1 つを引き起こすものであり、変更された前記トランジスタ特性は前記少なくとも 1 つのトランジスタのしきい値電圧における変化であり、さらに、

前記少なくとも 1 つのトランジスタの前記変更された特性を感知する回路を含み、

前記感知する回路におけるトランジスタ電流は、前記プログラムされるときのトランジスタ電流と逆方向であり、

前記回路は前記しきい値電圧における前記変化を感知し、前記回路は、(i) 前記少なくとも 1 つのトランジスタについてのソース端子を正の電位にまで引き上げ、(i i) 前記少なくとも 1 つのトランジスタについてのゲート端子を正の電位にまで引き上げ、(i i i) ドレイン電圧が、プリチャージ電圧レベルから前記正のゲート端子電位よりもセル・トランジスタのしきい値電圧だけ低い電圧まで変化しているかどうかを検出する、ワン・タイム・プログラマブル・メモリ素子。

【請求項 7】

集積回路であって、

ワン・タイム・プログラマブル・メモリを備え、前記ワン・タイム・プログラム・メモリは、

10

20

30

40

50

トランジスタのアレイを含み、ホット・キャリア・トランジスタ・エージングを使用して少なくとも1つの前記トランジスタの特性を変更して、前記少なくとも1つのトランジスタがプログラムされており、前記ホット・キャリア・エージングはゲート酸化膜へのキャリアの注入を含み、前記キャリアの注入は、トラップの生成及びトラップへの注入のうちの少なくとも1つを引き起こすものであり、変更された前記特性は前記少なくとも1つのトランジスタのしきい値電圧における変化であり、さらに、

前記少なくとも1つのトランジスタの前記変更された特性を感知する回路を含み、

前記感知する回路におけるトランジスタ電流は、前記プログラムされるときのトランジスタ電流と逆方向であり、

前記回路は前記少なくとも1つのトランジスタの前記しきい値電圧における前記変化を感知し、前記回路は、(i) 前記トランジスタのアレイのそれぞれについてのソース端子を正の電位にまで引き上げ、(i i) 選択された行に沿ったすべてのトランジスタについてのゲート端子を正の電位にまで引き上げ、(i i i) ドレイン電圧が、プリチャージ電圧レベルから前記正のゲート端子電位よりもセル・トランジスタのしきい値電圧だけ低い電圧まで変化しているかどうかを検出する、集積回路。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に電子メモリ・デバイスを含む集積回路に関し、より詳細にはワン・タイム・プログラマブル (OTP) メモリに関する。

20

【背景技術】

【0002】

ワン・タイム・プログラマブル (OTP) メモリをしばしば使用して、プログラム・コードおよび他の情報を記憶することがある。他の利点のうちでもとりわけ、OTPメモリの一度限りという性質により、権限を認められたプログラム・コードが権限の認められていないプログラム・コードを用いて修正され、または上書きされてしまうことがなくなる。OTPメモリは、例えばヒューズブル・リンク・メモリ技術、アンチヒューズ・メモリ技術、またはフローティング・ゲート不揮発性メモリ技術を使用して実施することができる。ヒューズブル・リンクは、「とばされる」、すなわちこれらに高電流を流すことにより、高抵抗を有するようにされる金属配線または多結晶シリコン配線である。その結果、ヒューズブル・リンクは、ある程度の量の金属配線または多結晶シリコン配線の物理的破壊を示すことになる。ヒューズブル・リンクは、比較的大きく、またプログラムするために比較的大きな電流を必要とする。アンチヒューズは、高電圧を印加することによる金属酸化膜半導体 (MOS) キャパシタ・ゲート酸化膜誘電体の部分的な物理破壊または劣化を用いたものである。より低抵抗の導電経路が、このキャパシタの酸化膜誘電体を介した電極間に形成される。アンチヒューズ技術は、プログラムするために比較的高い電圧を必要とし、相補形金属酸化膜半導体 (CMOS) 技術と共にうまくはスケールアップされない。現在のCMOS技術に関連するより薄いMOSゲート酸化膜では、信頼性があるようには一貫してプログラムされない。

30

【発明の開示】

40

【発明が解決しようとする課題】

【0003】

フローティング・ゲート不揮発性メモリは、FET (field-effect transistor) 電界効果トランジスタ) の絶縁化され、または接続されていない (浮遊した) ゲート上への電荷の注入を必要とする。このゲート上への電荷の蓄積は、このトランジスタのしきい値電圧を変化させ、このしきい値電圧については、読取り動作中に感知することができる。フローティング・ゲート不揮発性メモリは、「フラッシュ」不揮発性メモリのために使用される。フローティング・ゲート不揮発性メモリは、プログラムするのに比較的高い電圧を、また時には比較的大きな電流も必要とする。さらに、フローティング・ゲート不揮発性メモリは、通常は追加の特殊なCMOS処理を必要とし、それによ

50

って製造コストが増大してしまう。

したがって、サイズが小さく、低電圧および小電流でプログラムすることができる改善されたOTPメモリが必要になっている。

【課題を解決するための手段】

【0004】

一般に、ホット・キャリアにより引き起こされる劣化を使用して、1つまたは複数のトランジスタ特性を変更してプログラムされるワン・タイム・プログラマブル・メモリ・デバイスが開示されている。ワン・タイム・プログラマブル・メモリ・デバイスは、トランジスタのアレイから構成されている。このアレイ中のトランジスタは、このトランジスタの飽和電流、しきい値電圧、またはその両方に対する変化など、1つまたは複数のトランジスタ特性のホット・キャリアにより引き起こされる変化を使用して選択的にプログラムされる。このトランジスタ特性に対する変化は、知られているホット・キャリア・トランジスタのエージング原理と同様にして達成される。本発明では、かかる特性変更をOTPメモリ・デバイス中のメモリ・セルに対して選択的に適用して、所望の方法でこのOTPメモリ・デバイスをプログラムすることができることが確認されている。

10

【0005】

本発明は、低電圧および小電流でプログラムすることができる小型で低コストのOTPメモリを提供する。本発明のOTPメモリは、たとえあるにしても追加の処理ステップがほとんどなく、またたとえあるにしても製造コストを最小限にしか増大させない通常のCMOS処理技法を用いて製造することができる。本発明のOTPメモリは、将来のCMOS技術と共にスケール可能である。

20

本発明、ならびに本発明のさらなる特徴および利点のより完全な理解については、以降の詳細な説明および図面を参照することによって得られよう。

【発明を実施するための最良の形態】

【0006】

図1は、従来の2行かける2列のメモリ・セル110-1、1乃至110-i、jのヒュージブル・リンクまたはアンチヒューズのOTPメモリ・アレイ100を示すものである。これらのメモリ・セル110-1、1乃至110-i、jは、全体が複数の（または直列の）行および列を有する格子パターンに一般に配列されたヒュージブル素子と直列なFETトランジスタから構成される。図1に示すように、例示のOTPアレイ100は、複数iの行（ $i=2$ ）および複数jの列（ $j=2$ ）を含んでいる。各列には、多くの場合に「プリチャージ電圧レベル」と呼ばれる第1の所定の電圧レベルの電力が供給され、各行には第2の所定の電圧レベルの電力が供給される。これらの第1および第2の所定の電圧レベルは、一般的にこの選択された実施形態に依存する。

30

【0007】

図1に示すように、OTPアレイ100の各トランジスタ110のゲートは、これらの一連の行のうちの特定の行に接続される。各トランジスタのソースは、一般にこのヒューズ素子を介してアースにプログラム可能に接続され、各トランジスタのドレインは、これらの一連の列のうちの特定の列へと接続される。このヒューズ素子は、ヒュージブル・リンクまたはアンチヒューズとされてもよい。ヒュージブル・リンクは、十分な大きさと持続期間のリンクを介して電流を流すことによってプログラムして、このリンクの電気特性を低抵抗から高抵抗へと変化させる。アンチヒューズは、このアンチヒューズの両端に十分な大きさの電圧を印加することによってプログラムして、その電気特性を高抵抗から低抵抗へと変化させる。このヒュージブル・リンクまたはアンチヒューズについてのプログラミング電流またはプログラミング電圧は、この例示されたセル・トランジスタ、または図には示していない追加のトランジスタを介して経路指定することができる。

40

【0008】

図2は、例えば集積回路の一部を含むことができる2行かける2列のメモリ・セル210-1、1乃至210-i、jのOTPメモリ・アレイ200を示している。これらのメモリ・セル210-1、1乃至210-i、jは、全体が複数の（または直列の）行お

50

よび列を有する格子パターンに一般に配列されたFETトランジスタから構成される。図3は、図2の各メモリ・セル210内のFETトランジスタの様々な端子を示す概略図である。図2に示すように、例示のOTPアレイ200は、複数 i の行($i=2$)、および複数 j の列($j=2$)を含んでいる。各列には、多くの場合に「プリチャージ電圧レベル」と呼ばれる第1の所定の電圧レベルの電力が供給され、各行には、第2の所定の電圧レベルの電力が供給される。これらの第1および第2の所定の電圧レベルについての電圧は、一般的にその選択された実施形態に依存する。

【0009】

図2に示すように、OTPアレイ200の各トランジスタ210のゲートは、これらの一連の行のうちの特定の行に接続される。各トランジスタのソースは、一般にアースに接続され、各トランジスタのドレインは、これらの一連の列のうちの特定の列に接続される。本発明によれば、OTPアレイ200は、トランジスタ特性（飽和電流、しきい値またはこれらの両方）のホット・キャリアによって引き起こされた変化を使用してプログラムされる。

【0010】

ホット・キャリア・エージング

ホット・キャリア・エージングとは、このデバイスのドレイン端におけるこのゲート酸化膜へのキャリアの注入によって引き起こされる長い時間にわたってのトランジスタ特性の劣化のことである。この酸化膜へのキャリア注入は、このドレイン近くにおける酸化膜損傷、およびトラップの生成またはトラップへの注入を引き起こす。その結果、このチャンネル移動度は悪化し、デバイス飽和電流の減少がもたらされる。さらに、このチャンネル領域のドレイン端においてこのデバイスしきい値の局所的な増大が引き起こされる。ホット・キャリア・トランジスタ劣化が加速され、その結果、このトランジスタ劣化が、デバイスの最適化により、あるいはそれほど高くはないドレイン電圧およびゲート電圧の（またはこれら両方の）印加により比較的短時間に引き起こされる可能性がある。

【0011】

本発明では、前述のトランジスタ特性の劣化を使用して、有利にOTPメモリをプログラムすることができることを確認している。図2のFETトランジスタ210は、このFETトランジスタの適切な端子に「ストレスの多い」電圧レベルを印加して、ホット・キャリア・トランジスタ劣化を引き起こすことにより、選択的に「プログラム」することができる。これらのストレスの多い電圧レベルは、通常の論理電圧レベル(V_{DD})またはそれよりわずかに高い電圧レベルとすることができる。本発明によって必要とされるストレスの多い電圧レベルは、他の提案されるOTPメモリによって必要とされる電圧レベルほどは高くなく、また通常の論理トランジスタまたは入出力トランジスタと、通常の回路設計技法とを使用して簡単に実現することができる。

【0012】

OTPメモリ・アレイ200中のトランジスタ210を選択的にプログラムした後に、プログラムされたトランジスタ210は、かなり低い飽和電流、またはプログラミング中にストレス電圧が印加された場所に近いこのチャンネルの端部におけるより低いしきい値電圧、あるいはこれらの両方を有することになる。したがって、プログラムされたセルは、このより低い飽和電流を感知するか、またはこのより低いしきい値電圧を感知することによって読取り動作中に検出することができる。

【0013】

図4は、OTPメモリ・セルのために使用されるトランジスタと同様な典型的なMOSFETトランジスタ400の断面図である。MOSFETトランジスタ400の基本構造および機能については、よく知られている。MOSFETトランジスタ400は、シリコン基板430上に形成される。ソース450およびドレイン440が、比較的高い濃度の不純物注入によって形成される。ゲート絶縁膜460、一般的には二酸化ケイ素が、チャンネル領域480上に形成される。ゲート電極470、一般的には多結晶シリコンが、このゲート絶縁膜上に形成される。

10

20

30

40

50

【0014】

よく知られているように、2つの一般的な形のMOS FETトランジスタ、すなわちn-チャネル形およびp-チャネル形のトランジスタが存在する。N-チャネル・トランジスタが、本明細書中においては本発明の例証の目的のために使用される。p-チャネル・トランジスタも本発明のために使用することができることを理解されたい。よく知られているように、n-チャネル・トランジスタは、p形基板上、または代わりにp-ウェル上に構成され、ソース450およびドレイン440についてはn-形不純物の注入物を有する。

【0015】

図5Aは、本発明の機能を組み込んでいるOTPメモリ・セル500の第1の実施形態のプログラミングステップを示す概略図である。OTPメモリ・セル500は、例えばMOS FETトランジスタとして実施することができる。図5Aに示すように、OTPメモリ・セル500は、「ストレスの多い」電圧レベルをこのドレイン ($V_{dstress}$) およびゲート ($V_{gstress}$) に印加することによりこのしきい値電圧に対するホット・キャリア誘導変化を使用してプログラムされる。このトランジスタ特性のホット・キャリア劣化は、このチャネル領域のドレイン端においてこのデバイスしきい値の局所的増大を引き起こす、このドレイン近くの酸化膜損傷区域510 (トラップ) を生成する。

【0016】

図5Bは、図5AのOTPメモリ・セル500の読取りステップを示す概略図である。OTPメモリ・セル500を読み取るときには、これらのトランジスタ電流がプログラミング中の電流と逆方向になっているときに、より低い飽和電流およびしきい値電圧が最も明らかになる。例示の目的でこのドレインがプログラム動作 (図5A) 中に正である端子として定義される場合には、次いでこのソースは、読取り動作 (図5B) 中に正の端子となる。読取り動作中には、より高いしきい値のチャネル領域がこのアースされたドレインの近くにあり、その結果、そのより高いしきい値は、この正にバイアスされたソース接合の空間電荷領域によって隠されないことになる。

【0017】

読取り動作中には、異なるセンシング技法およびセンシング回路を使用して、どのトランジスタ特性が使用されるかに応じてプログラムされたセルをプログラムされていないセルから識別するはずである。セルが図5Aおよび図5BのOTPメモリ・セル500などにおけるこのセルのしきい値電圧における変化を引き起こすことによってプログラムされている場合には、次いでセル500は、(i) すべてのセルについてのソース端子を正の電位 (V_{DD}) まで引き上げ、(ii) この選択された行に沿ったすべてのセルについてのゲート接続を正の電位 (V_{DD}) まで引き上げることによって読み取られる。次いで、この列 (ドレイン) 電圧は、そのプリチャージ電圧レベル (アース) からこのソース電位 (V_{DD}) よりもセル・トランジスタしきい値電圧 (V_t) だけ低い電圧まで変化するはずである。これらのプログラムされたセルは、これらのプログラムされていないセルよりも高い V_t を有するはずであり、これについては、この列に接続されたセンス増幅器によって検出されるはずである。

【0018】

図6Aは、本発明の機能を組み込んだOTPメモリ・セル600の第2の実施形態のプログラミングステップを示す概略図である。図6Aに示すように、OTPメモリ・セル600は、「ストレスの多い」電圧レベルをこのソース ($V_{sstress}$) およびゲート ($V_{gstress}$) に印加することにより、その飽和電流に対するホット・キャリア誘導変化を使用して製造中にプログラムされる。このトランジスタ特性のホット・キャリア劣化は、このソースの近くに酸化膜損傷区域610 (トラップ) を生成し、この区域はこのチャネル移動度を劣化させ、デバイス飽和電流の減少を引き起こしている。

【0019】

図6Bは、図6AのOTPメモリ・セル600の読取りステップを示す概略図である。セルが、図6Aおよび6BのOTPメモリ・セル400などにおけるこのセル飽和電流に

10

20

30

40

50

おける変化を誘導することによってプログラムされている場合には、次いでこのセル・ソース端子は、アース電位に留まるはずである。この選択された行（ゲート端子）は、正の電位（ V_{DD} ）まで引き上げられるはずであり、電流は、このプリチャージされた高い（ V_{DD} ）列から引き出されるはずである。この列電圧はアースに向かって減衰するはずである。この減衰率は、列キャパシタンスとセル飽和電流とに依存するはずである。したがって、アクティブなプログラムされたセルに関連する列は、プログラムされていないセルに関連する列よりもゆっくりした割合で減衰するはずである。これらの列に接続されたセンス増幅器は、このプログラムされた列電圧の減衰率とプログラムされていない列電圧の減衰率の間を識別するはずである。

【0020】

本発明のさらなる変形例においては、ホット・キャリア・プログラマブル・トランジスタ・セルは、これらの構造を調整することによって機能を拡張して飽和電流および／またはしきい値電圧における変化をより顕著なものにし、あるいはこれらの変化がさらに低いプログラミング電圧でまたはさらに短いプログラミング電圧の印加中に引き起こされるようにすることができる。ホット・キャリア効果についての最適なトランジスタ設計については、当技術分野においてよく知られている（例えば、急激なドレイン接合プロファイルおよび非LDD（lightly doped drain低濃度ドーピングしたドレイン））。プログラミング中にこのストレス電圧を受ける接合については、飽和電流および／またはしきい値電圧における、より顕著な変化がもたらされるように調整することが可能である。他の接合は、普通の論理トランジスタ接合と同じままにすることが可能であり、これについては、ホット・キャリア誘導変化の影響を比較的受けないように設計される。

【0021】

本明細書中に示され説明されるこれらの実施形態および変形形態は、単に本発明の原理の例示的なものにすぎず、また本発明の範囲および趣旨を逸脱することなく様々な変更形態を当業者が実施することが可能であることを理解されたい。例えば、本発明のこれらのOTPメモリ・セルは、数個のOTPビットしか必要としない用途についてのアレイ化されていないストレージ素子として使用することもできる。本発明のこれらOTPメモリ・セルは、セル当たり2ビット以上を記憶する多レベルのフラッシュ・セルまたは不揮発性セルとして実施することも可能である。本発明のこれらOTPメモリ・セルは、SRAM（Static Random Access Memoryスタティック・ランダム・アクセス・メモリ）およびDRAM（Dynamic Random Access memoryダイナミック・ランダム・アクセス・メモリ）の修復、ウェーハおよびチップの識別コーディングおよび特性付けコーディング、アナログ回路トリミング、電子ヒューズ、フィールド・プログラマブル・ロジック・デバイス、ならびに暗号符号化されたマクロまたはシステムなど、高密度用途および低密度用途のために使用することができる低コストの代替OTP素子を実現する。

【図面の簡単な説明】

【0022】

【図1】従来のヒューズブル・リンクまたはアンチヒューズのOTPメモリ・アレイを示す図である。

【図2】本発明の機能を組み込んだOTPメモリ・アレイ示す図である。

【図3】図2の各メモリ・セルの様々な端子を示す概略図である。

【図4】典型的なMOS FETトランジスタの断面図である。

【図5A】本発明の機能を組み込んだOTPメモリ・セルの第1の実施形態のプログラミングステップを示す概略図である。

【図5B】本発明の機能を組み込んだOTPメモリ・セルの第1の実施形態の読取りステップを示す概略図である。

【図6A】本発明の機能を組み込んだOTPメモリ・セルの第2の実施形態のプログラミングステップを示す概略図である。

【図6B】本発明の機能を組み込んだOTPメモリ・セルの第2の実施形態の読取りステ

10

20

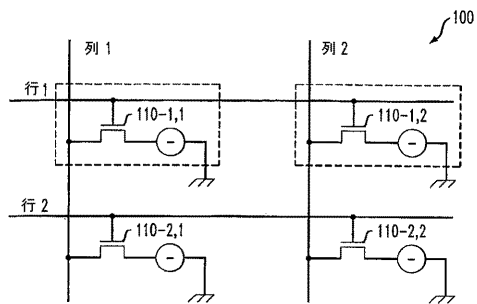
30

40

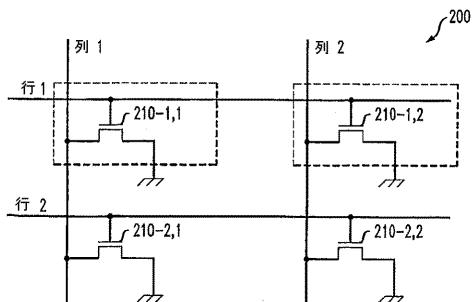
50

ップを示す概略図である。

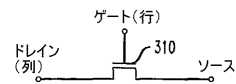
【図 1】



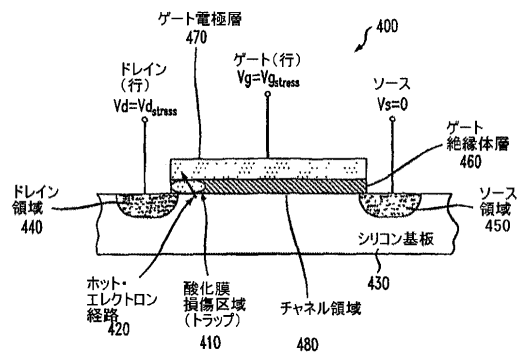
【図 2】



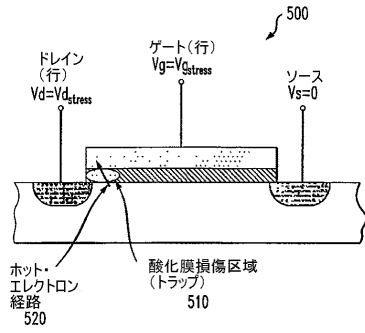
【図 3】



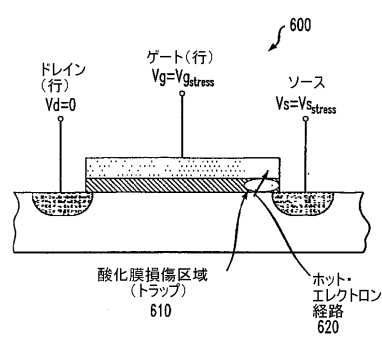
【図 4】



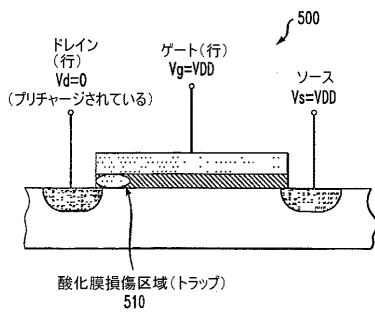
【図 5 A】



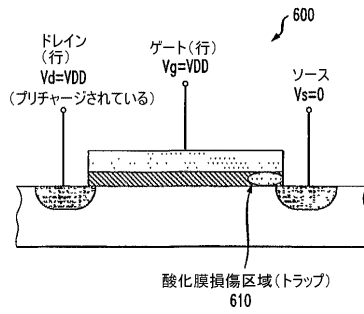
【図 6 A】



【図 5 B】



【図 6 B】



フロントページの続き

- (72)発明者 コーラー, ロス, アラン
アメリカ合衆国 18104 ペンシルヴァニア, アレントアウン, アスペン ドライヴ 107
- (72)発明者 マックパートランド, リチャード, ジョセフ
アメリカ合衆国 18064 ペンシルヴァニア, ナザレス, ヘザー レーン 243
- (72)発明者 シング, ランビア
アメリカ合衆国 32835 フロリダ, オーランド, モニア ウェイ 8005

合議体

審判長 北島 健次

審判官 恩田 春香

審判官 近藤 幸浩

- (56)参考文献 特開2000-049242 (JP, A)

- (58)調査した分野(Int.Cl., DB名)

H01L 27/10-27/115

H01L 21/8229-21/8247

H01L 29/78