

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2018-511168

(P2018-511168A)

(43) 公表日 平成30年4月19日 (2018.4.19)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/8234 (2006.01)	H O 1 L 27/088 E	5 F 0 3 8
H O 1 L 27/088 (2006.01)	H O 1 L 29/06 3 O 1 D	5 F 0 4 8
H O 1 L 29/06 (2006.01)	H O 1 L 29/91 D	5 F 1 1 0
H O 1 L 29/861 (2006.01)	H O 1 L 27/088 3 3 1 E	
H O 1 L 29/868 (2006.01)	H O 1 L 29/06 3 O 1 V	
審査請求 未請求 予備審査請求 未請求 (全 31 頁) 最終頁に続く		

(21) 出願番号 特願2017-545244 (P2017-545244)
 (86) (22) 出願日 平成28年2月26日 (2016.2.26)
 (85) 翻訳文提出日 平成29年10月25日 (2017.10.25)
 (86) 国際出願番号 PCT/US2016/019917
 (87) 国際公開番号 W02016/138468
 (87) 国際公開日 平成28年9月1日 (2016.9.1)
 (31) 優先権主張番号 62/126,240
 (32) 優先日 平成27年2月27日 (2015.2.27)
 (33) 優先権主張国 米国 (US)

(71) 出願人 515140314
 ディー スリー セミコンダクター エル
 エルシー
 アメリカ合衆国、75001 テキサス州
 、アディソン、15050 イースト ベ
 ルトウッド パークウェイ
 (74) 代理人 100104411
 弁理士 矢口 太郎
 (72) 発明者 ハリントン サード、トーマス、イー。
 アメリカ合衆国、75001 テキサス州
 、アディソン、15050 イースト ベ
 ルトウッド パークウェイ

最終頁に続く

(54) 【発明の名称】 縦型電力装置内の表面装置

(57) 【要約】

【解決手段】 半導体装置は、超接合MOSFET、IGBT、ダイオードなどの縦型電力装置と、半導体装置の上面に沿って電氣的に活性である1若しくはそれ以上の横型装置を有する表面装置とを有する。

【選択図】 図5

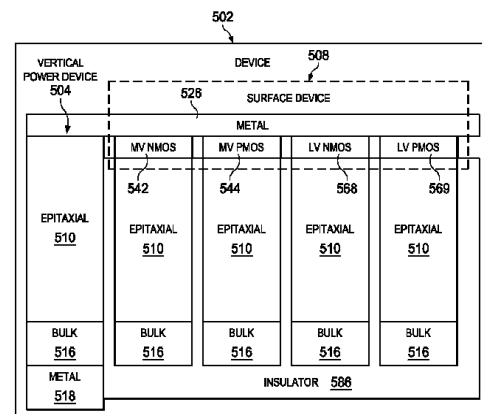


FIG. 5

【特許請求の範囲】

【請求項 1】

半導体装置であって、

前記半導体装置の縦軸に沿って電氣的に活性であり、前記半導体装置の裏面に少なくとも 1 つの 1 次電気端子を有する縦型電力装置と、

前記半導体装置の上面に沿って電氣的に活性である 1 若しくはそれ以上の横型装置を有する表面装置と

を有する半導体装置。

【請求項 2】

請求項 1 記載の半導体装置において、

前記縦型電力装置は、超接合金属酸化物半導体電界効果トランジスタ（S J M O S F E T）を形成するものである半導体装置。

【請求項 3】

請求項 1 記載の半導体装置において、

前記縦型電力装置は、超接合金属酸化物半導体電界効果トランジスタ（S J M O S F E T）と絶縁ゲートバイポーラトランジスタ（I G B T）とを有するものである半導体装置。

【請求項 4】

請求項 1 記載の半導体装置において、

前記縦型電力装置は、超接合金属酸化物半導体電界効果トランジスタ（S J M O S F E T）と、絶縁ゲートバイポーラトランジスタ（I G B T）と、電力ダイオードとを有するものである半導体装置。

【請求項 5】

請求項 2 記載の半導体装置において、

前記 1 若しくはそれ以上の横型装置は、N 型 MOS（N M O S）トランジスタ、P 型 MOS（P M O S）トランジスタ、横方向拡散 MOS（L D M O S）トランジスタ、N P N バイポーラ接合トランジスタ（N P N）、P N P バイポーラ接合トランジスタ（P N P）、フローティングゲート MOS トランジスタ、ダイオード、抵抗器、コンデンサ、インダクタ、および可溶体のうちの 1 若しくはそれ以上を含み、

前記表面装置は、前記縦型電力装置を制御するように構成されるものである半導体装置。

【請求項 6】

請求項 2 記載の半導体装置において、

前記 1 若しくはそれ以上の横型装置は、消去可能プログラマブル読み出し専用メモリ（E P R O M）、電氣的消去可能プログラマブル読み出し専用メモリ（E E P R O M）、ステートマシン、アナログデジタル変換器、デジタルアナログ変換器、ゲートドライバ、温度センサ、論理ゲート、プロセッサ、および任意の他の混合アナログデジタル回路構造物のうちの 1 若しくはそれ以上を形成するように相互接続され、

前記表面装置は、前記縦型電力装置を制御するように構成されるものである半導体装置。

【請求項 7】

請求項 5 記載の半導体装置において、

前記表面装置は、中電圧領域と低電圧領域とを有し、

前記中電圧領域は、N M O S 領域と P M O S 領域とを有し、

前記低電圧領域は、N M O S 領域と P M O S 領域とを有するものである半導体装置。

【請求項 8】

請求項 1 記載の半導体装置において、さらに、

前記半導体装置の上部に金属層を有するものであり、

前記金属層は、前記縦型電力装置と前記表面装置とを相互接続するものである半導体装置。

10

20

30

40

50

【請求項 9】

請求項 1 記載の半導体装置において、

前記表面装置の一部は前記縦型電力装置の一部に点在して配置され、それにより、前記縦型電力装置からの熱が放熱され、前記半導体装置の全体的な温度が低下するものである半導体装置。

【請求項 10】

請求項 8 記載の半導体装置において、さらに

前記縦型電力装置を前記表面装置から分離する絶縁体を有するものであり、

前記半導体装置はシリコン・オン・インシュレータ装置として形成され、前記絶縁体はシリコン酸化物およびアルミニウム酸化物のうちの 1 つである半導体装置。

10

【請求項 11】

半導体装置であって、

前記半導体装置の縦軸に沿って電氣的に活性であり、前記半導体装置の裏面にコレクタ端子を有する絶縁ゲートバイポーラトランジスタ (IGBT) を形成する縦型電力装置と、

前記半導体装置の上面に沿って電氣的に活性である 1 若しくはそれ以上の横型装置を有する表面装置と

を有する半導体装置。

【請求項 12】

請求項 11 記載の半導体装置において、

前記 1 若しくはそれ以上の横型装置は、N 型 MOS (NMOS) トランジスタ、P 型 MOS (PMOS) トランジスタ、横方向拡散 MOS (LDMOS) トランジスタ、NPN バイポーラ接合トランジスタ (NPN)、PNP バイポーラ接合トランジスタ (PNP)、フローティングゲート MOS トランジスタ、ダイオード、抵抗器、コンデンサ、インダクタ、および可溶体のうちの 1 若しくはそれ以上を含み、

前記表面装置は、前記縦型電力装置を制御するように構成されるものである半導体装置。

20

【請求項 13】

請求項 11 記載の半導体装置において、

前記 1 若しくはそれ以上の横型装置は、消去可能プログラマブル読み出し専用メモリ (EPROM)、電氣的消去可能プログラマブル読み出し専用メモリ (EEPROM)、ステートマシン、アナログデジタル変換器、デジタルアナログ変換器、ゲートドライバ、温度センサ、論理ゲート、プロセッサ、および任意の他の混合アナログデジタル回路構造物のうちの 1 若しくはそれ以上を形成するように相互接続され、

前記表面装置は、前記縦型電力装置を制御するように構成されるものである半導体装置。

30

【請求項 14】

請求項 11 記載の半導体装置において、

前記表面装置は、中電圧領域と低電圧領域とを有し、

前記中電圧領域は、NMOS 領域と PMOS 領域とを有し、

前記低電圧領域は、NMOS 領域と PMOS 領域とを有するものである半導体装置。

40

【請求項 15】

請求項 11 記載の半導体装置において、さらに、

前記半導体装置の上部に金属層を有するものであり、

前記金属層は、前記縦型電力装置と前記表面装置とを相互接続するものである半導体装置。

【請求項 16】

請求項 11 記載の半導体装置において、

前記表面装置の一部は前記縦型電力装置の一部に点在して配置され、それにより、前記縦型電力装置からの熱が放熱され、前記半導体装置の全体的な温度が低下するものである

50

半導体装置。

【請求項 17】

請求項 11 記載の半導体装置において、さらに

前記縦型電力装置を前記表面装置から分離する絶縁体を有するものであり、

前記半導体装置はシリコン・オン・インシュレータ装置として形成され、前記絶縁体はシリコン酸化物およびアルミニウム酸化物のうちの 1 つである半導体装置。

【請求項 18】

半導体装置であって、

前記半導体装置の縦軸に沿って電氣的に活性であり、前記半導体装置の裏面にカソード端子を有するダイオードを形成する縦型電力装置と、

前記半導体装置の上面に沿って電氣的に活性である 1 若しくはそれ以上の横型装置を有する表面装置とを有する半導体装置。

【請求項 19】

請求項 18 記載の半導体装置において、

前記 1 若しくはそれ以上の横型装置は、N 型 MOS (NMOS) トランジスタ、P 型 MOS (PMOS) トランジスタ、横方向拡散 MOS (LDMOS) トランジスタ、NPN バイポーラ接合トランジスタ (NPN)、PNP バイポーラ接合トランジスタ (PNP)、フローティングゲート MOS トランジスタ、ダイオード、抵抗器、コンデンサ、インダクタ、および可溶体のうちの 1 若しくはそれ以上を含み、

前記 1 若しくはそれ以上の横型装置は、消去可能プログラマブル読み出し専用メモリ (EPROM)、電氣的消去可能プログラマブル読み出し専用メモリ (EEPROM)、ステートマシン、アナログデジタル変換器、デジタルアナログ変換器、ゲートドライバ、温度センサ、論理ゲート、プロセッサ、および任意の他の混合アナログデジタル回路構造物のうちの 1 若しくはそれ以上を形成するように相互接続され、

前記表面装置は、前記縦型電力装置を制御するように構成されるものである半導体装置。

【請求項 20】

請求項 18 記載の半導体装置において、

前記表面装置は、中電圧領域と低電圧領域とを有し、

前記中電圧領域は、NMOS 領域と PMOS 領域とを有し、

前記低電圧領域は、NMOS 領域と PMOS 領域とを有するものである半導体装置。

【請求項 21】

請求項 18 記載の半導体装置において、さらに

前記縦型電力装置を前記表面装置から分離する絶縁体を有するものであり、

前記半導体装置はシリコン・オン・インシュレータ装置として形成され、前記絶縁体はシリコン酸化物およびアルミニウム酸化物のうちの 1 つである半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、縦型電力装置ダイ内に多くのタイプの表面装置（例えば、NMOS、PMOS など）を集積して埋め込む方法に関する。特に、本開示は、電力装置導電領域を特定のブレークダウン電圧を維持可能に設計するとともに最上面ドーピング領域を様々な表面装置を収容可能に設計すること、あるいは電力装置および様々な表面装置を完全に電氣的に絶縁されたシリコン・オン・インシュレータ・アーキテクチャ (silicon-on-insulator architecture) と互換性があるように設計することのいずれかによって、縦型電力装置内に表面装置を集積し埋め込む方法および設計について詳述する。

【背景技術】

【0002】

システムコストを削減し、機能性を高め、高い精度と効率を実現する必要性が高まって

10

20

30

40

50

いるため、半導体は常に高集積化に向かって進んでいる。1 若しくはそれ以上の縦型電力装置と、単一のダイ内のロジック、アナログ、混合信号回路、センサとを集積することは多くのアプリケーションにとって利点がある。この利点には、集積による製品コストの削減、高機能化、構成要素適合性の改善、共有基板による熱適合性の改善などがある。

【発明の概要】

【課題を解決するための手段】

【0003】

超接合MOSFET、IGBT、ダイオードなどの縦型電力装置は多くの電力用途に使用されており、その一例はスイッチモード電源のMOSFETである。これらの用途の多くでは、制御回路（例えば、マイクロプロセッサ）を電力装置と最適な方法で接続可能にする外部回路を必要とする。例えば、多くの用途では、制御回路と電力装置との間を接続して最適なスイッチに必要なゲート電圧を電力装置に提供するために、別個のゲートドライバICを必要とする。システムコストを削減し、機能性を高め、高い精度と効率を実現するためには、電力装置ダイ内に様々なタイプの制御回路を埋め込むことができれば効果的である。本開示は、縦型装置ダイ内に多くのタイプの表面装置（例えば、NMOS、PMOSなど）を集積して埋め込む方法を提供する。

【図面の簡単な説明】

【0004】

【図1】図1は、本開示による縦型電力装置と混合信号表面装置とを含む装置のブロック図である。

【図2A】図2Aは、本開示によるバルクシリコン上のエピタキシャル内の混合信号装置と組み合わされた縦型電力超接合MOSFET（super junction MOSFET：SJ MOSFET）を有する半導体装置の断面図である。

【図2B】図2Bは、SJ MOSFETの一部の断面図である。

【図2C】図2Cは、表面装置の断面図である。

【図2D】図2Dは、装置の中電圧領域の断面図である。

【図2E】図2Eは、MV NMOS領域におけるトランジスタの断面図である。

【図2F】図2Fは、MV PMOS領域におけるトランジスタの断面図である。

【図2G】図2Gは、装置の低電圧領域の断面図である。

【図2H】図2Hは、LV NMOS領域におけるトランジスタの断面図である。

【図2I】図2Iは、LV PMOS領域におけるトランジスタの断面図である。

【図2J】記載なし。

【図3A】図3Aは、本開示によるバルクシリコン上のエピタキシャル内の混合信号装置と組み合わされた縦型IGBTを有する半導体装置の断面図である。

【図3B】図3Bは、IGBTの一部の断面図をより詳細に示したものである。

【図3C】図3Cは、表面装置の断面図である。

【図4A】図4Aは、本開示によるバルクシリコン上のエピタキシャル内の混合信号装置と組み合わされた縦型電力ダイオードを有する半導体装置の断面図である。

【図4B】図4Bは、ダイオードの一部の断面図をより詳細に示したものである。

【図5】図5は、本開示によるシリコン・オン・インシュレータ（silicon-on-insulator：SOI）技術を使用して形成された縦型電力装置および混合信号表面装置を含む半導体装置のブロック図である。

【図6A】図6Aは、バルクシリコン上のエピタキシャルに形成され、シリコン・オン・インシュレータ技術を使用して絶縁体によって分離された縦型SJ MOSFETおよび表面装置を有する装置の断面図である。

【図6B】図6Bは、SJ MOSFETの一部の断面図である。

【図6C】図6Cは、MV NMOS領域の断面図である。

【図6D】図6Dは、MV PMOS領域の断面図である。

【図6E】図6Eは、LV NMOS領域の断面図である。

【図6F】図6Fは、LV PMOS領域の断面図である。

【図 7 A】図 7 A は、シリコン・オン・インシュレータ技術を使用する I G B T の一部および表面装置を含む装置の断面図である。

【図 7 B】図 7 B は、縦型 I G B T の断面図である。

【図 8 A】図 8 A は、シリコン・オン・インシュレータ技術を使用するダイオードおよび表面装置を含む装置の断面図である。

【図 8 B】図 8 B は、ダイオードの一部の断面図をより詳細に示したものである。

【図 9】図 9 は、混合信号表面装置を有する縦型電力装置を有する装置の 3 次元図である。

【発明を実施するための形態】

【0005】

10

以下、本開示の種々の実施形態の作製および使用について詳述するが、本開示は、多種多様な特定の文脈で具体化できる応用可能な多数の発明概念を提供することを理解すべきである。本明細書に説明する具体的な実施形態は、本発明を作製および使用する具体的な方法を単に例示したものであって、本発明の範囲を制限するものではない。

【0006】

M O S F E T、I G B T、ダイオードなどの縦型電力装置は、装置内部の電流の主な方向が縦型、すなわち上から下、下から上、またはその両方である半導体構造物である。さらに、超接合 M O S F E T のような縦型超接合装置は、1 つおきの n ー型領域と p ー型領域との間の電荷バランスを利用して、電荷バランスなしで達成可能であるよりも低いオン抵抗 (on-resistance: R_{ON}) およびより高いブレイクダウン電圧 (breakdown voltage: BV) を達成する。I G B T およびダイオードの構成は、常に電荷バランス構造を採用しているわけではないが、電力効率の点で有利な場合には採用することがある。

20

【0007】

縦型電力装置とは対照的に、ロジック回路、アナログ回路、混合信号回路、およびメモリ回路（ここではまとめて「回路素子」と呼ぶ）を構成するために使用される半導体装置素子は、主に表面装置である。これらの装置は、上面から数ミクロン内の横方向の電流フロー（例えば、上面ソース、ゲート、およびドレイン端子を有する N M O S トランジスタ）、上面より上の横方向の電流フロー（ポリシリコンまたは薄膜抵抗）、または表面に集められ（表面に集まるように電流が縦方向に流れ、次いで横方向、次に縦方向に戻る）、上面から下面または下面から上面には流れない（例えば、上面エミッタ、基部、およびコレクタ端子を有する N P N バイポーラトランジスタ）、表面から数ミクロン（通常は 5 μ m 以下）内のみの縦方向の電流フローを採用している。このクラスの表面装置構造物は、上面の容量性素子、上面より上の容量性および誘導性素子、さらに E P R O M、E E P R O M、およびフラッシュ E E P R O M のような電荷トラッピング不揮発性メモリ素子を含む。

30

【0008】

好適な実施形態は、様々な表面タイプの回路素子を収容可能な上面ドーピング領域を有するバルクシリコン上のエピタキシャルに実装された縦型電流フロー電力 M O S F E T、I G B T、またはダイオードを含む。上面ドーピング領域は、より少ないおよびより多い正味ドーピングレベルの埋め込みウェルを、同じドーピングタイプでも反対のドーピングタイプでも収容するのに十分な深さになるように設計され、同時に（超接合電荷バランス領域の有無にかかわらず）下方の電力装置ドリフト領域は、縦型電力装置に要求されるブレイクダウン電圧を依然としてサポートするのに十分に高く設計されている。この上面ドーピング領域を M V ー P ウェル（中電圧 p ー型ウェル）と呼ぶ。この M V ー P ウェル領域が縦型装置の表面に配置され、かつ電力装置の低電圧側に電氣的に接続されるので、また電力装置の高電圧側が縦型構造の裏面に印加され、かつこの高電圧側が縦型装置の下から上に降下するので、M V ー P ウェル領域は電位ゼロボルトに効果的にバイアスされる。したがって、M V ー P ウェル領域は、電力装置ドリフト領域（超接合 M O S F E T の場合、1 つおきの p ー型および n ー型超接合カラムを含む）に広がるように引き伸ばすことがで

40

50

き、反対のドーピングタイプのウェル用のドーピングウェルホストとして機能し得るので、両方の導電タイプ装置（横方向、可変電圧能力の表面NMO SおよびPMO S）およびバイポーラトランジスタをMV-Pウェル領域内に埋め込むことができる。

【0009】

好適な実施形態で説明したように、縦型電力装置とロジック、アナログ、不揮発性メモリ、および混合信号回路（表面装置）との集積は、バルクシリコン基板上のエピタキシャルを使用して達成できるが、SOI（シリコン・オン・インシュレータ）基板を使用しても達成できる。SOI基板を使用する代替的な実施形態は、隣接する表面タイプ回路領域から横方向に絶縁された縦型電流フロー電力MOSFET、IGBT、またはダイオード、あるいは絶縁体封入トレンチによる付加的な縦型電流フロー電力MOSFET、IGBT、またはダイオード領域であり、前記トレンチは電力装置ドリフト領域に広がり、SOIの下部絶縁体と交差し、各装置領域に対して完全な誘電体分離を提供する。各縦型電力装置の高電圧端子へのアクセスは、任意のハンドルウェハ（使用される場合）および高電圧端子の領域内のSOI絶縁体の裏面パターン化およびエッチングによって得られる。MOSFETの場合、任意のハンドルウェハ（使用される場合）およびSOI絶縁体は各ドレイン領域上にパターン化され、エッチングされ、裏面メタライゼーションは各MOSFETドレイン領域上に残るように堆積され、パターン化され、エッチングされる。IGBTの場合、任意のハンドルウェハ（使用される場合）およびSOI絶縁体はパターン化され、エッチングされ、p+注入が実行され、アニールされ、裏面金属は各IGBTコレクタ領域に残るように堆積され、パターン化され、エッチングされる。ダイオードの場合、任意のハンドルウェハ（使用される場合）およびSOI絶縁体は各カソード領域上にパターン化され、エッチングされ、裏面メタライゼーションは各ダイオードカソード領域上に残るように堆積され、パターン化され、エッチングされる。

【0010】

隣接する誘電的に絶縁された表面装置領域を有する超接合MOSFETのSOIプロセス実施の詳細な実施例を以下に説明する。開始SOIはどのようなタイプであってもよく、例えば（スマートカット（商標）のような水素注入や他の分離技術を使用する）分離技術によるウェハボンディング、または酸素注入による分離（Separation by Implantation of Oxygen: SIMOX）のような酸素注入技術などである。今日のSOI実装の大半は、絶縁体上部に比較的薄いシリコン（数ミクロン）を使用しているため、集積化された電力装置に対する実装は、通常、完全に誘電的に絶縁された横型高電圧装置（例えば、横方向拡散MOS（lateral diffuse MOS: LDMOS））か、あるいはドレイン（MOSFET）、コレクタ（IGBT）またはカソード（ダイオード）への上面コンタクトを備えた縦型電力装置に対するものであり、ドレイン（MOSFET）、コレクタ（IGBT）またはカソード（ダイオード）への裏面コンタクトを備えた縦型電力装置に対するものではない。

【0011】

ウェハボンディング技術を使用して構成されたSOIウェハ上に縦型超接合MOSFETを構築するためのプロセスフローの一例は以下の通りである。

1) 低いn-型ドーピング（ 1×10^{16} atoms/cm³未満）を有するバルクシリコンウェハから開始する。

2) この開始バルクシリコンウェハを使用してウェハボンディング技術によってSOIベースウェハを構成する前に、開始シリコンウェハにN+砒素ドーピング（線量 2×10^{15} atoms/cm²以上）を注入し、これは後に超接合MOSFETの高濃度ドレインを形成する。

3) 高濃度N+ウェハ表面上にSiO₂を成長させ、選択されたウェハボンディングSOI製造技術の通常の方法でSOIベースウェハの構成を完了する。

4) 多重エピタキシャル堆積超接合を実装するために、複数のエピタキシャル層を堆積し、各エピタキシャル層にマスクされたp-型注入を実行することによって、SOIウェハの上面に超接合p-型カラムを構築する。

5) トレンチ超接合を実装するために、1回の堆積でSOIウェハの上面に超接合エピタキシの全厚を堆積させ、トレンチをエッチングし、例えば選択的なp型エピタキシでトレンチを再充填するか、p型ドーパントを側壁に注入するか、SiO₂またはSiO₂とポリシリコンなどとの組み合わせでトレンチを再充填することなどによって超接合を形成する。

6) 多重エピタキシャルおよびトレンチ超接合の両方の実装において、底部SOI分離酸化物まで下に伸びる深トレンチ(トレンチ超接合の実装における超接合トレンチとは異なる)をエッチングし、これらのトレンチを酸化物でエッチング後充填して、超接合電力装置領域をCMOS、バイポーラ、不揮発性メモリ、および他の混合信号領域(すなわち、表面装置領域)から誘電的に絶縁する。

7) 前面の処理が完了した後に、

a) 裏面ハンドルウェハの厚さのすべてまたは一部を研削する。後続の処理には、薄いウェハ(10ミル以下)を処理する能力を必要とする。

b) 超接合領域のみににおいて、(もしあれば)裏面ハンドルウェハの厚さの残部と裏面の分離酸化物とをパターン化し、エッチングして、裏面の高濃度にドーパされたN+ドレインシリコンを露出させる。

c) 裏面金属を堆積させて、裏面ドレインシリコンとの電氣的接触を作る。

d) 複数の誘電的に絶縁された縦型超接合MOSFETを形成するために、裏面メタライゼーションをパターン化して、それぞれの独立したドレイン接続を分離する。裏面ハンドルウェハのパターン化およびエッチングとSOI分離酸化物のパターン化およびエッチングとの間に絶縁層の堆積が必要な場合もあるが、それは続いて行われる裏面金属堆積がハンドルウェハと接触しないようにするためであるが、接触すると裏面金属エッチングを終端させることが困難になることもある。さらに、裏面に複数の絶縁された縦型超接合MOSFETドレインを備えた構成をパッケージングするには、パッケージダイパドルは複数の接続ゾーンを有する必要がある。

8) 上述のようなSOI構成の場合、CMOS、バイポーラ、不揮発性メモリ、および他の混合信号領域(すなわち、表面装置領域)はそれぞれ、縦型電力装置領域からお互いに誘電的に絶縁され、これについての特定の実施形態は図5~図8Bで図示および説明する。

【0012】

図1を参照すると、装置102は、縦型電力装置104および混合信号表面装置108を含む。

【0013】

縦型電力装置104は、バルクシリコン116上のエピタキシャルシリコン110の一部として形成され、金属126および金属118に接続される。縦型電力装置104は、SJ MOSFET、IGBT、シリコン接合ダイオード、ショットキーダイオード、または複合装置のような単一の高出力装置を形成する並列に接続された半導体装置を含む。金属126と金属118との間の装置102の高さは、縦型電力装置104の所与のブレークダウン電圧をサポートできるほど十分に高い。縦型電力装置104の最上部は、装置102の最上部のドーピング領域の一部を形成する。縦型電力装置104は、高電圧端子を上面に戻さずに金属118等を介して高電圧端子を裏面に出す裏面接続を有する。裏面端子は、ドレイン(MOS)、コレクタ(IGBT)、またはカソード(ダイオード)などの1次の高電圧通電端子である。裏面端子は、装置の主要機能に関与していない寄生容量や寄生接合のような寄生端子ではない。

【0014】

表面装置108は、バルクシリコン116上に形成されたエピタキシャルシリコン110内またはその上面に形成された1若しくはそれ以上の複数のアナログ装置およびデジタル装置を含む混合信号装置である。表面装置108は、中電圧(medium voltage: MV)領域120および低電圧(low voltage: LV)領域122を含む。代替的な実施形態は、1若しくはそれ以上のMV領域、1若しくはそれ以上のLV

10

20

30

40

50

領域、あるいは1若しくはそれ以上のMV領域と1若しくはそれ以上のLV領域との組み合わせを使用する。表面装置108を形成する電子回路は装置102の上面に沿って電氣的に活性なので、表面装置108からの電流は底部の金属118または装置102の裏面には流れない。表面装置108は、縦型電力装置104の最上部と共に、装置102の最上部のドーピング領域を形成する。表面装置108を形成する装置は、装置102の上面の横軸に沿って電氣的に活性である横型装置であるか、または表面装置領域内に1次の電氣的活性が閉じ込められる縦型装置（NPNトランジスタ等）のどちらかである。

【0015】

特定の実施形態では、表面装置108を形成する電子回路は、縦型電力装置104を制御するために使用される。特定の実施形態では、表面装置108は、1若しくはそれ以上の横型NMOS、横型PMOS、LDMOS、縦型NPN、縦型PNP、横型NPN、および横型PNPトランジスタを含む。特定の実施形態では、表面装置108の回路は、1若しくはそれ以上のEPROM（消去可能プログラマブル読み出し専用メモリ）またはEEPROM（電氣的に消去可能プログラマブル読み出し専用メモリ）不揮発性メモリ素子を形成する。特定の実施形態では、表面装置108は、1若しくはそれ以上の容量性、誘導性および抵抗性素子を含む。代替的な実施形態は、トランジスタ、抵抗器、コンデンサなどの表面装置108に形成された任意の数またはタイプの電気部品を有することができ、これによりアナログデジタル変換器、デジタルアナログ変換器、論理ゲート、メモリ、プロセッサ、ステートマシン、EPROM、EEPROM、論理ゲートなどの任意の数のデジタルあるいはアナログ部品が形成される。

【0016】

MV領域120は、NMOS領域142およびPMOS領域144の内部に1若しくはそれ以上のトランジスタを有する。追加の実施形態では、NMOS領域142とPMOS領域144との間の特定のトランジスタは、互いに補完して単純な論理ゲートおよびメモリから複雑なステートマシンおよびプロセッサへCMOS論理回路を形成する。

【0017】

LV領域122は、NMOS領域168およびPMOS領域169の内部に1若しくはそれ以上のトランジスタを有する。LV領域122は、MV領域120のトランジスタよりも低電圧でより小さいトランジスタサイズを使用する。

【0018】

金属126は、1若しくはそれ以上の金属の層を含む。縦型電力装置104に電流を流すために、金属の最上層は厚く（厚さ約2～5マイクロメートル[μm]）されている。

【0019】

表面装置108を接続する金属126の部分のために、金属126は、厚さ約0.3～1.0μmでシリコンに最も近い、MV領域120およびLV領域122の高密度配線のための1若しくはそれ以上のより薄い下部金属層を含んでもよい。次に、これらのより薄い層には、最上金属層の厚い電力装置金属層がかぶせられる。縦型電力装置104の上にあるより薄い金属の層126はスタックされ、厚い最上金属層からより薄い金属層を通して最終的に縦型電力装置104まで電流を運ぶためのビアを含む。

【0020】

バルクシリコン116上のエピタキシャルシリコン110の一部は表面装置108の下に電流を流さないで、エピタキシャルシリコン110のこの部分は、縦型電力装置104を形成するエピタキシャルシリコン110の一部よりも低温である。特定の実施形態では、表面装置108の各領域は、縦型装置領域の周りまたは内部に戦略的に配置または点在して配置され、縦型電力装置104から熱を放熱させ、装置102の全体的な温度を低下させる。

【0021】

図2Aを参照すると、バルクシリコン上のエピタキシャル内または上にある混合信号装置と組み合わされた縦型電力超接合MOSFET（super junction MOSFET：SJ MOSFET）を有する半導体装置202の断面図が示されている。装置2

10

20

30

40

50

02は、図1の装置102の実施形態である。

【0022】

装置202は、すべてバルクシリコン216上のエピタキシャルシリコン210内または上に形成される第1のSJMOSEFT部分204、第2のSJMOSEFT部分206、および表面装置208を含む。

【0023】

第1のSJMOSEFT部分204および第2のSJMOSEFT部分206は、互いに電氣的に接続している。追加のSJMOSEFT部分を含めることで、装置202上に形成されたSJMOSEFTの電力処理能力を高めてもよい。

【0024】

エピタキシャルシリコン210は、N型エピタキシャル層214内に形成されたP型シリコンカラム212を含む。P型シリコンカラム212およびN型エピタキシャル層214は、約 $4 \sim 6 \times 10^{15}$ (中E15) cm^{-3} から約 $1 \sim 3 \times 10^{16}$ (低E16) cm^{-3} の濃度にドーピングされる。N+層216は、ウェハの裏面の金属層218と接触するバルクシリコンの層である。

【0025】

特定の実施形態では、P型カラム212は、n+バルク基板上に配置された1若しくはそれ以上のn型エピタキシャルシリコン堆積のそれぞれに、マスクされたp型注入を実行することによって構成される。特定の実施形態では、P型カラム212は、n+バルク基板上に配置されたn型エピタキシャル領域にトレンチをエッチングし、トレンチ側壁にP型インプラントを注入し、ドーピングされていないエピタキシャルシリコンまたはシリコン酸化物(silicon oxide)をトレンチに再充填することによって構成される。特定の実施形態では、P型カラム212は、n+バルク基板上に配置されたn型エピタキシャル領域にトレンチをエッチングし、トレンチ内でシリコン酸化物を成長させ、トレンチ側壁にP型インプラントを注入し、ドーピングされたまたはドーピングされていないポリシリコンをトレンチに再充填することによって構成される。

【0026】

特定の実施形態では、高電圧終端領域は装置202のSJMOSEFTに必要とされないが、それは隣接する超接合カラムの電荷バランスを乱さないように十分に低い内部電荷を有するトレンチ絶縁材料に、十分な電氣的分離を提供する縦型にエッチングされた絶縁トレンチを追加するためである。特定の実施形態では、縦型にエッチングされた絶縁トレンチは、P型のカラム幅を実質的に二等分して電荷バランスを維持する。

【0027】

特定の実施形態では、縦型にエッチングされた絶縁トレンチは、N型のカラム幅を実質的に二等分して電荷バランスを維持する。バルクシリコン上のエピタキシャル技術を使用する設計では、SOI技術に存在するような縦型にエッチングされた絶縁トレンチが追加され、バルク上のエピタキシャル技術において使用される高電圧終端領域が消費する面積を低減する。縦型にエッチングされた絶縁トレンチは、表面装置の領域を電力装置の各領域から横方向に電氣的に絶縁する一方で、バルク上のエピタキシャル設計には底部絶縁体がないので、依然として接合/ドリフト絶縁に依存して縦型の電氣的絶縁を提供する。

【0028】

特定の実施形態では、表面装置208は、中電圧(medium voltage: MV)領域220および低電圧(low voltage: LV)領域222を含む。表面装置208は、例として4つのトランジスタを含む。代替的な実施形態は、ただ1つのMV領域、ただ1つのLV領域、またはその組み合わせを有することができ、トランジスタ、抵抗器、コンデンサなどの任意の数またはタイプの電気部品を有することができるので、これによりアナログデジタル変換器、デジタルアナログ変換器、論理ゲート、メモリ、プロセッサ、ステートマシン、EPROM、EEPROM、論理ゲートなどの任意の数またはタイプのデジタルまたはアナログ部品が形成される。

【0029】

10

20

30

40

50

パッシベーション層 224 は装置 202 の上面を覆って、装置 202 が環境要因の影響を受けにくいようにする。パッシベーション層 224 は、酸化物、窒化物、ポリイミドなどの 1 若しくはそれ以上で形成される。

【0030】

図 2B は、SJMOSFET 部分 204 の断面をより詳細に示す。

【0031】

金属 226 は、SJMOSFET 部分 204 のソースと、SJMOSFET 部分 206 などの他の SJMOSFET 部分のソースとを相互接続する。代替的な実施形態では、多層金属トポロジを使用してもよい。多層金属トポロジはすべての層にアルミニウム (Al) を使用してもよく、あるいは、最上層が装置 202 の SJMOSFET の高電力要件を 10 処理するのに十分に厚い (厚さ約 2~5 マイクロメートル [μm]) 限り、最下層の金属層に対する Al と最上層の金属層に対する銅 (Cu) とを組み合わせ使用してもよい。MV 領域 220 および LV 領域 222 の金属層のために、金属層 226 は、厚さ約 0.3~1.0 μm でシリコンに最も近い、MV 領域 220 および LV 領域 222 の高密度配線のための 1 若しくはそれ以上のより薄い下部金属層を有していてもよい。次に、これらのより薄い層には、最上金属層の厚い電力装置金属層がかぶせられる。より薄い金属層を有する装置 202 の SJMOSFET 部分に対して、下部金属層および下部ビア層のスタックは、最上金属層からシリコン内の SJMOSFET に電流を運ぶ。

【0032】

ビア 228 は、コンタクト底部を有するタングステン (W) プラグと、チタン (Ti) 20 、窒化チタン (TiN)、またはそれらの組み合わせなどのバリア層で裏打ちされた側壁とで作られる。

【0033】

層間絶縁膜 (Interlayer dielectric: ILD) 230 は、多結晶シリコンからなるゲート 238 と金属 226 との間の誘電体材料の層である。装置 202 の SJMOSFET のような電力装置は、表面から最も近くに非荷電非ドープ酸化物層 (非プラズマ強化堆積) を有する複数の SiO_2 (酸化物) 層を典型的に有し、ドープされた (例えば、PSG (フォスフォシリケートガラス)) およびプラズマ堆積酸化物 (例えば、PETEOS (プラズマ強化テトラエチルオルトシリケート)) が続く。

【0034】

電界酸化物 232 は電力装置のための層電界酸化物であり、通常 (表面に) 厚く堆積された酸化物であり (すなわち、シリコンの局所酸化 (local oxidation of silicon: LOCOS) ではない)、湿式エッチングされて 45° に非常に近い傾斜が与えられてスムーズに変化する電界を維持する。これは、電力装置が (電界がほぼ縦型である) コア領域から (電界が水平および縦型の組み合わせであり、ほぼ水平である) 終端領域に遷移する際に重要である。

【0035】

ゲート酸化物 234 は、ゲート 238 を n カラムおよび p ボディ 236 から分離する。

【0036】

p ボディドーピング 236 は、VDMOS (縦型拡散金属酸化物半導体) 装置とも呼ばれる SJMOSFET 部分 204 のチャネル領域を形成する。p ボディ 236 は N+ および p ベースのドーピング領域を含むが、図示していない。

【0037】

ゲート 238 はポリシリコンを有し、ゲート 238 に印加される電圧は、装置 202 の SJMOSFET のソースとドレインとの間を通過する電流の量を制御する。

【0038】

図 2C は、表面装置 208 の断面図である。表面装置 208 は、中電圧 (medium voltage: MV) 領域 220 および低電圧 (low voltage: LV) 領域 222 を含む。中電圧領域 220 および低電圧領域 222 は、それぞれ 2 つの例示的 M 50

OSFET装置を有する。別の実施形態では、表面装置208は、アナログ信号処理およびデジタル信号処理のうちの1若しくはそれ以上を実行する追加のトランジスタおよび部品を含む。代替的な一実施形態では、表面装置208は、SJ MOSFET装置202のオン／オフ状態を制御するために使用されるステートマシンを形成する追加のトランジスタを含む。表面装置208は、エピタキシャルシリコン210の上部に形成された中電圧P型ウェル（medium voltage P-type well：MV Pウェル）240を含む。MV Pウェル240はおよそ低～中 $E16\text{ cm}^{-3}$ 濃度にドーピングされ、その下限は、MV Pウェル240のドーピング濃度がN型エピタキシャル層214のバックグラウンドドーピング濃度よりも高くなるように、N型エピタキシャル層214の濃度によって制限される。

10

【0039】

図2Dは、装置202の中電圧領域220の断面図である。中電圧領域220は、中電圧N型金属酸化物半導体（medium voltage N-type metal oxide semiconductor：MV NMOS）領域242および中電圧P型金属酸化物半導体（medium voltage P-type metal oxide semiconductor：MV PMOS）領域244を含む。

【0040】

MV NMOS領域242は、MV Pウェル240内に形成されたトランジスタ246を含む。

【0041】

MV PMOS領域244は、MV Nウェル250内に形成されたトランジスタ248を含む。MV Nウェル250は、MV Pウェル240の内部に形成され、中 $E16\text{ cm}^{-3}$ 濃度にドーピングされ、その下限は、MV Nウェル250のドーピング濃度がMV Pウェル240のバックグラウンドドーピング濃度よりも高くなるように、MV Pウェル240のドーピング濃度によって制限される。

20

【0042】

図2Eは、MV NMOS領域242におけるトランジスタ246の断面図である。トランジスタ246は、ゲート252と、ソース254と、ドレイン256とを含む。ゲート252は、ゲート252に印加される電圧に基づいてソース253とドレイン254との間の電流を制御する多結晶シリコンで作られる。ゲート酸化物層255は、ゲート252をエピタキシャルシリコン210から分離する。ソース253は、MV Pウェル240内のエピタキシャルシリコン210の上部に形成されたN+領域256およびN++領域257を有する。ドレイン254は、MV Pウェル240内のエピタキシャルシリコン210の上部に形成されたN+領域258およびN++領域259を有する。N++領域257および259のドーズ量は約 $3\sim7\text{ E}15\text{ cm}^{-2}$ で、濃度は約 $7\sim9\times10^{19}$ （高 $E19$ ）～中 $E20\text{ cm}^{-3}$ である。N+領域256および258は、N++領域257および259をそれぞれ囲んで、横方向電界をグレードアウトし、トランジスタ246を中電圧レベルで動作可能にする。N+領域256および258のドーズ量は高 $E13\sim$ 高 $E14\text{ cm}^{-2}$ で、濃度は中 $E17\sim$ 高 $E18\text{ cm}^{-3}$ である。

30

【0043】

図2Fは、MV PMOS領域244におけるトランジスタ248の断面図である。トランジスタ248は、ゲート260と、ソース261と、ドレイン262とを含む。ゲート260は、ゲート260に印加される電圧に基づいてソース261とドレイン262との間の電流を制御する多結晶シリコンで作られる。ゲート酸化物層263は、ゲート260をエピタキシャルシリコン210から分離する。ソース261は、MV Nウェル250内のエピタキシャルシリコン210の上部に形成されたP+領域264およびP++領域265を有する。ドレイン262は、MV Nウェル250内のエピタキシャルシリコン210の上部に形成されたP+領域266およびP++領域267を有する。P++領域265および267のドーズ量は約 $1\sim5\text{ E}15\text{ cm}^{-2}$ で、濃度は中 $E19\sim$ 中 $E20\text{ cm}^{-3}$ である。P+領域264および266は、P++領域265および26

40

50

7をそれぞれ囲んで、横方向電界をグレードアウトし、トランジスタ248を中電圧レベルで動作可能にする。P+領域264および266のドーズ量は高E13～高E14 cm^{-2} で、濃度は中E17～高E18 cm^{-3} である。

【0044】

図2Gは、装置202の低電圧領域222の断面図である。低電圧領域222は、低電圧N型金属氧化物半導体(low voltage N-type metal oxide semiconductor: LV NMOS)領域268および低電圧P型金属氧化物半導体(low voltage P-type metal oxide semiconductor: LV PMOS)領域269を含む。

【0045】

LV NMOS領域268は、LV P-ウェル272内に形成されたトランジスタ270を含む。LV P-ウェル272は、MV P-ウェル240の内部に形成され、約中E16～中E17 cm^{-3} のドーピング濃度を有する。

【0046】

LV PMOS領域269は、LV N-ウェル273内に形成されたトランジスタ271を含む。LV N-ウェル273は、MV P-ウェル240の内部に形成され、約高E16～中E17 cm^{-3} のドーピング濃度を有し、その下限は、LV N-ウェル273のドーピング濃度がMV P-ウェル240のバックグラウンドドーピング濃度よりも高くなるように、MV P-ウェル240のドーピング濃度によって制限される。

【0047】

図2Hは、LV NMOS領域268におけるトランジスタ270の断面図である。トランジスタ270は、ゲート274と、ソース275と、およびドレイン276とを含む。ゲート274は、ゲート274に印加される電圧に基づいてソース275とドレイン276との間の電流を制御する多結晶シリコンで作られる。ゲート酸化物層277は、ゲート274をエピタキシャルシリコン210から分離する。ソース275は、MV P-ウェル240の内部に形成されたLV P-ウェル272内のエピタキシャルシリコン210の上部に形成されたN++領域278を有する。ドレイン276は、LV P-ウェル272内のエピタキシャルシリコン210の上部に形成されたN++領域279を有する。N++領域278および279のドーズ量は約3～7 $\text{E}15 \text{ cm}^{-2}$ で、濃度は高E19～中E20 cm^{-3} である。

【0048】

図2Iは、LV PMOS領域269におけるトランジスタ271の断面図である。トランジスタ271は、ゲート280と、ソース281と、ドレイン282とを含む。ゲート280は、ゲート280に印加される電圧に基づいてソース281とドレイン282との間の電流を制御する多結晶シリコンで作られる。ゲート酸化物層283は、ゲート280をエピタキシャルシリコン210から分離する。ソース281は、LV N-ウェル273内のエピタキシャルシリコン210の上部に形成されたP++領域285を有する。ドレイン282は、LV N-ウェル273内のエピタキシャルシリコン210の上部に形成されたP++領域284を有する。P++領域284および285のドーズ量は約1～5 $\text{E}15 \text{ cm}^{-2}$ で、濃度は中E19～中E20 cm^{-3} である。

【0049】

図2Jは、SJ MOSFET部分204と並列である超接合IGBT(super junction IGBT: SJ IGBT)部分207を含む縦型電力装置を有する装置の断面図である。SJ IGBTをSJ MOSFETと並列で提供することにより、複合超接合IGBTおよびMOSFET高電圧装置が形成される。SJ IGBT部分207およびSJ MOSFET部分204のゲートバスは、SJ IGBT部分207およびSJ MOSFET部分204のオンオフタイミングを個別に制御するために分離可能である。SJ IGBT部分207およびSJ MOSFET部分204の相対的オンオフタイミングを最適化することにより、MOSFETの優れたスイッチング速度とIGBTの優れた電流処理能力とを組み合わせた複合装置が得られる。特定の実施形態では、埋め込み混合信号回

10

20

30

40

50

路は、S J I G B T 部分 2 0 7 および S J M O S F E T 部分 2 0 4 の相対的なオンオフタイミングを制御して、複合装置のスイッチング速度および電流処理能力を最適化する。

【0050】

図 3 A を参照すると、バルクシリコン上のエピタキシャル内の混合信号装置と組み合わされた縦型 I G B T を有する半導体装置 3 0 2 の断面図が示されている。装置 3 0 2 は、図 1 の装置 1 0 2 の実施形態である。

【0051】

第 1 の I G B T 部分 3 0 4 および第 2 の I G B T 部分 3 0 6 は、互いに電氣的に接続している。追加の I G B T 部分を含めることで、装置 3 0 2 上に形成された I G B T の電力処理能力を高めてもよい。

10

【0052】

エピタキシャルシリコン 3 1 0 は N ー型エピタキシャル層 3 1 4 を含み、この N ー型エピタキシャル層 3 1 4 は、約 $4 \sim 6 \times 10^{15}$ (中 E 1 5) cm^{-3} $\sim$ 約 $1 \sim 3 \times 10^{16}$ (低 E 1 6) cm^{-3} の濃度にドーピングされる。バルクシリコン N + 層 3 1 6 および金属層 3 1 8 は、ウェハの裏面に形成される。

【0053】

表面装置 3 0 8 は、中電圧 (medium voltage : MV) 領域 3 2 0 および低電圧 (low voltage : LV) 領域 3 2 2 を含む。表面装置 3 0 8 は、4 つのトランジスタを含む。代替的な実施形態は、ただ 1 つの MV 領域、ただ 1 つの LV 領域、またはその組み合わせを有することができ、トランジスタ、抵抗器、コンデンサなどの任意の数またはタイプの電気部品を有することができるので、これによりアナログデジタル変換器、デジタルアナログ変換器、論理ゲート、メモリ、プロセッサ、ステートマシンなどの任意の数またはタイプのデジタルまたはアナログ部品が形成される。

20

【0054】

パッシベーション層 3 2 4 は、装置 3 0 2 の上面を覆って、装置 3 0 2 が環境要因の影響を受けにくいようにする。パッシベーション層 3 2 4 は、酸化物、窒化物、ポリイミドなどの 1 若しくはそれ以上で形成される。

【0055】

図 3 B は、I G B T 部分 3 0 4 の断面をより詳細に示す。

【0056】

金属 3 2 6 は、I G B T 部分 3 0 4 のエミッタと、I G B T 部分 3 0 6 などの他の I G B T 部分のエミッタとを相互接続する。代替的な実施形態では、多層金属トポロジを使用してもよい。多層金属トポロジはすべての層にアルミニウム (Al) を使用してもよく、あるいは、最上層が装置 3 0 2 の I G B T の高電力要件を処理するのに十分に厚い (厚さ約 $2 \sim 5$ マイクロメートル [μm]) 限り、最下層の金属層に対する Al と最上層の金属層に対する銅 (Cu) とを組み合わせ使用してもよい。MV 領域 3 2 0 の MV N M O S トランジスタ 3 4 6 のソースは、金属 3 2 6 によって装置 3 0 2 の I G B T のエミッタに接続されている。

30

【0057】

ビア 3 2 8 は、コンタクト底部を有するタングステン (W) プラグと、チタン (Ti)、窒化チタン (TiN)、またはそれらの組み合わせなどのバリア層で裏打ちされた側壁とで作られる。

40

【0058】

層間絶縁膜 (Interlayer dielectric : ILD) 3 3 0 は、多結晶シリコンからなるゲートと金属 3 2 6 との間の誘電体材料の層である。装置 3 0 2 の I G B T のような電力装置は、表面から最も近くに非荷電非ドーピング酸化物層 (非プラズマ強化堆積) を有する複数の SiO_2 (酸化物) 層を典型的に有し、ドーピングされた (例えば、PSG) およびプラズマ堆積酸化物 (例えば、PETEOS) が続く。

【0059】

電界酸化物 3 3 2 は電力装置のための層電界酸化物であり、(表面に) 厚く堆積された

50

酸化物であり（すなわち、シリコンの局所酸化（local oxidation of silicon: LOCOS）ではない）、湿式エッチングされて45°に非常に近い傾斜が与えられてスムーズに変化する電界を維持する。これは、電力装置が（電界がほぼ縦型である）コア領域から（電界が水平および縦型の組み合わせであり、ほぼ水平である）終端領域に遷移する際に重要である。

【0060】

ゲート酸化物334は、ウェハのエピタキシャルシリコン310内のN型エピタキシャル層314からゲート338を分離する。

【0061】

低E16cm⁻³～低E18cm⁻³のドーピング範囲を有するPボディドーピング336は、IGBT部分306のエピタキシャルシリコン310の上面に向かって形成される。N++層331は、Pボディ336内に形成される。

【0062】

ゲート338はポリシリコンを有し、ゲート338に印加される電圧は、装置302のIGBTのエミッタとコレクタとの間を通過する電流の量を制御する。図面を分かりやすくするために、ゲート接触および制御は示していない。

【0063】

P+層339は、N+層316とP-N接合を形成して、第1のIGBT部分304のコレクタを形成する。

【0064】

図3Cは、表面装置308の断面図である。表面装置308は、中電圧（medium voltage: MV）領域320および低電圧（low voltage: LV）領域322を含む。中電圧領域320および低電圧領域322は、それぞれ2つの例示的MOSFET装置を有する。別の実施形態では、表面装置308は、アナログ信号処理およびデジタル信号処理のうちの1若しくはそれ以上を実行する追加のトランジスタおよび部品を含む。代替的な一実施形態では、表面装置308は、装置302のIGBTのオン/オフ状態を制御するために使用されるステートマシンを形成する追加のトランジスタを含む。表面装置308は、エピタキシャルシリコン310の頂部に形成された中電圧P型ウェル（medium voltage P-type well: MV P-ウェル）340を含む。MV P-ウェル340はおおよそ低～中E16cm⁻³濃度にドーピングされ、その下限は、MV P-ウェル340のドーピング濃度がN型エピタキシャル層314のバックグラウンドドーピング濃度よりも高くなるように、N型エピタキシャル層314の濃度によって制限される。

【0065】

金属326は、ILD330の頂部に単一の不連続層として形成される。代替的な実施形態では、MV領域320およびLV領域322の金属層のために、金属層326は、厚さ約0.3～1.0μmでシリコンに最も近い、MV領域320およびLV領域322の高密度配線のための1若しくはそれ以上の「薄い」下部金属層を有していてもよい。次に、これらの薄い層には、最上金属層の厚い電力装置金属層がかぶせられる。薄い金属層を有する装置302のIGBT部分に対して、下部金属層および下部ビア層のスタックは、最上金属層からシリコン内のIGBTに電流を運ぶ。

【0066】

中電圧領域320は、中電圧N型金属酸化物半導体（medium voltage N-type metal oxide semiconductor: MV NMOS）領域342および中電圧P型金属酸化物半導体（medium voltage P-type metal oxide semiconductor: MV PMOS）領域344を含む。MV NMOS領域342は、MV P-ウェル340内に形成されたトランジスタ346を含む。MV PMOS領域344は、MV N-ウェル350内に形成されたトランジスタ348を含む。

【0067】

10

20

30

40

50

MV N-ウェル350は、MV P-ウェル340の内部に形成され、中E16 cm^{-3} 濃度にドーピングされ、その下限は、MV N-ウェル350のドーピング濃度がMV P-ウェル340のバックグラウンドドーピング濃度よりも高くなるように、MV P-ウェル340のドーピング濃度によって制限される。

【0068】

MV NMOS領域342のトランジスタ346およびMV PMOS領域344のトランジスタ348はそれぞれ、図2Eのトランジスタ246および図2Fのトランジスタ248と形態および機能において同様である。

【0069】

低電圧領域322は、低電圧N-型金属酸化半導体 (low voltage N-type metal oxide semiconductor: LV NMOS) 領域368および低電圧P-型金属酸化半導体 (low voltage P-type metal oxide semiconductor: LV PMOS) 領域369を含む。LV NMOS領域368は、LV P-ウェル372内に形成されたトランジスタ370を含む。LV P-ウェル372は、MV P-ウェル340の内部に形成され、約中E16～中E17 cm^{-3} のドーピング濃度を有する。

【0070】

LV PMOS領域369は、LV N-ウェル373内に形成されたトランジスタ371を含む。LV N-ウェル373は、MV P-ウェル340の内部に形成され、約高E16～中E17 cm^{-3} のドーピング濃度を有し、その下限は、LV N-ウェル373のドーピング濃度がMV P-ウェル340のバックグラウンドドーピング濃度よりも高くなるように、MV P-ウェル340のドーピング濃度によって制限される。

【0071】

LV NMOS領域368のトランジスタ370およびLV PMOS領域369のトランジスタ371はそれぞれ、図2Hのトランジスタ270および図2Iのトランジスタ271と形態および機能において同様である。

【0072】

図4Aを参照すると、バルクシリコン上のエピタキシャル内または上にある混合信号装置と組み合わされた縦型電力ダイオードを有する半導体装置402の断面図が示されている。装置402は、図1の装置102の実施形態である。

【0073】

第1のダイオード部分404および第2のダイオード部分406は、互いに電氣的に接続している。追加のダイオード部分を含めることで、装置402上に形成されたダイオードの電力処理能力を高めてもよい。

【0074】

エピタキシャルシリコン410は、N-型エピタキシャル層414を含み、このN-型エピタキシャル層414は、約4～6 $\times 10^{15}$ (中E15) cm^{-3} から約1～3 $\times 10^{16}$ (低E16) cm^{-3} の濃度にドーピングされる。N+層416は、ウェハの裏面の金属層418と接触するバルクシリコンの層である。

【0075】

表面装置408は、中電圧 (medium voltage: MV) 領域420および低電圧 (low voltage: LV) 領域422を含む。表面装置408は、4つのトランジスタを含む。代替的な実施形態は、ただ1つのMV領域、ただ1つのLV領域、またはその組み合わせを有することができ、トランジスタ、抵抗器、コンデンサなどの任意の数またはタイプの電気部品を有することができるので、これによりアナログデジタル変換器、デジタルアナログ変換器、論理ゲート、メモリ、プロセッサ、ステートマシンなどの任意の数またはタイプのデジタルまたはアナログ部品が形成される。

【0076】

パッシベーション層424は、装置402の上面を覆って、装置402が環境要因の影響を受けにくいようにする。パッシベーション層424は、酸化物、窒化物、ポリイミド

10

20

30

40

50

などの1若しくはそれ以上で形成される。

【0077】

MV領域420は、MV NMOSトランジスタ446およびMV PMOSトランジスタ448を含む。MV領域420およびそのそれぞれのトランジスタは、図2CのMV領域220および図3CのMV領域320の形態および機能と同様である。

【0078】

LV領域422は、LV NMOSトランジスタ470およびLV PMOSトランジスタ471を含む。LV領域422およびそのそれぞれのトランジスタは、図2CのLV領域222および図3CのLV領域322のトランジスタと形態および機能において同様である。

【0079】

図4Bは、ダイオード部分404の断面をより詳細に示す。

【0080】

金属426は、ダイオード部分404のアノードと、ダイオード部分406などの他のダイオード部分のアノードとを相互接続する。代替的な実施形態では、装置402のダイオードの高電力要件を処理するためのアルミニウム(A1)の厚い層を有する多層金属トポロジにおいて、A1または銅(Cu)が使用される。多層金属トポロジでは、全面的にA1が使用されるか、あるいはシリコンの近くでA1が使用され、上層でCuが使用される。装置402に電流を流すために、金属の最上層は厚く(厚さ約2~5マイクロメートル(μm))されている。MV領域420のMV NMOSトランジスタ446のソースは、金属426によって装置402のダイオードのエミッタに接続されている。

【0081】

ビア428は、コンタクト底部を有するタングステン(W)プラグと、チタン(Ti)、窒化チタン(TiN)、またはそれらの組み合わせなどのバリア層で裏打ちされた側壁とで作られる。

【0082】

層間絶縁膜(Interlayer dielectric:ILD)430は、金属426を装置402の電氣的に活性な部分から分離する誘電体材料の層である。装置402のダイオードのような電力装置は、表面に最も近くに非荷電非ドーパ酸化物層(非プラズマ強化堆積)を有する複数のSiO₂(酸化物)層を典型的に有し、ドーパされた(例えば、PSG)およびプラズマ堆積酸化物(例えば、PETEOS)が続く。

【0083】

電界酸化物432は電力装置のための層電界酸化物であり、(表面に)厚く堆積された酸化物であり(すなわち、シリコンの局所酸化(local oxidation of silicon:LOCOS)ではない)、湿式エッチングされて45°に非常に近い傾斜が与えられてスムーズに変化する電界を維持する。これは、電力装置が(電界がほぼ縦型である)コア領域から(電界が水平および縦型の組み合わせであり、ほぼ水平である)終端領域に遷移する際に重要である。

【0084】

高 $E18\text{cm}^{-3}$ から低 $E20\text{cm}^{-3}$ の範囲でドーピングされたP+層433は、ダイオード部分404のエピタキシャルシリコン410の上面に向かって形成され、ビア428によって金属426に接続される。インターフェース435は、P+層433とNドーパされたエピタキシャル層414との間のインターフェースであり、P-N接合を形成してシリコン接合ダイオードを作る。インターフェース437は、ビア429とNドーパされたN型エピタキシャル層414との間のインターフェースであり、金属-半導体接合を形成してショットキーダイオード用のショットキー障壁を作る。追加の実施形態では、装置402のダイオードは、シリコン接合ダイオードのみを有し、ショットキーダイオードのみを有し、またはシリコン接合ダイオードおよびショットキーダイオードの任意の組み合わせを有する。

【0085】

10

20

30

40

50

図5は、シリコン・オン・インシュレータ（silicon-on-insulator：SOI）技術を使用して形成された縦型電力装置504および混合信号表面装置508を含む半導体装置502のブロック図である。一実施形態では、縦型電力装置504は表面装置508によって制御される。縦型電力装置504および表面装置508は、エピタキシャルシリコン510上に形成され、絶縁体586によって分離される。

【0086】

縦型電力装置504は1若しくはそれ以上の電力装置を有し、そのサブセットは互いに並列に接続されてSJMOSEFT、IGBT、シリコン接合ダイオード、ショットキーダイオードなどのような1若しくはそれ以上の電力装置を形成する。縦型電力装置504は金属526と金属518との間に接続され、金属はそれぞれ1若しくはそれ以上の金属の層を含んでいてもよい。電力は、ウェハの上面または前側にある金属526と、ウェハの底面または裏側にある金属518との間で、縦型電力装置504を通して流れる。

【0087】

表面装置508は、アナログ回路およびデジタル回路のうちの1若しくはそれ以上を有する混合信号装置である。表面装置508は、MV NMOS領域542、MV PMOS領域544、LV NMOS領域568、およびLV PMOS領域569などの1若しくはそれ以上のMOS領域を含む。各領域は、1若しくはそれ以上のトランジスタを有する1若しくはそれ以上の回路を有し、種々の回路は金属526によって相互接続される。代替的な実施形態は、トランジスタ、抵抗器、コンデンサなどの表面装置508に形成された任意の数またはタイプの電気部品を有することができ、これによりアナログデジタル変換器、デジタルアナログ変換器、論理ゲート、メモリ、プロセッサ、ステートマシン、EPROM、EEPROM、論理ゲートなどの任意の数のデジタルあるいはアナログ部品が形成される。

【0088】

MV NMOS領域542およびMV PMOS領域544は中電圧レベルで動作し、LV NMOS領域568およびLV PMOS領域569は低電圧レベルで動作する。各領域は、選択的に、絶縁体586によって互いに分離される。

【0089】

エピタキシャルシリコン510の一部は表面装置508の下に電流を流さないで、エピタキシャルシリコン510のこの部分は、縦型電力装置504を形成するエピタキシャルシリコン510よりも低温である。特定の実施形態では、表面装置508の各領域は、縦型装置領域の周りまたは内部に戦略的に配置または点在して配置され、それにより、縦型電力装置504から熱を放熱させ、装置502の全体的な温度を低下させる。

【0090】

図6Aは、バルクシリコン616上のエピタキシャルシリコン610上に形成され、絶縁体686によって分離される縦型SJMOSEFTおよび表面装置608を有する装置602の断面図である。装置602は、図5の装置502の実施形態である。ハンドルウェハ690は、取り扱いおよび処理中に装置602を支持する。第1のSJMOSEFT部分604は、エピタキシャルシリコン610内に形成されたP型カラム612を含む。表面装置608は、絶縁体686によってそれぞれ分離された、MV NMOS領域642、MV PMOS領域644、LV NMOS領域668、およびLV PMOS領域669を有する。MV NMOS領域642、MV PMOS領域644、LV NMOS領域668、およびLV PMOS領域669は、エピタキシャルシリコン610内にP型カラムを含まない。MV NMOS領域642、MV PMOS領域644、LV NMOS領域668、およびLV PMOS領域669はそれぞれ、それぞれの領域で具体化される装置のタイプに必要な半導体ドーピングタイプおよび濃度を有する単一のウェルを含む。

【0091】

図6Bは、第1のSJMOSEFT部分604の断面図である。第1のSJMOSEFT部分604は、パッシベーション層624、金属626、ILD630、ゲート638

、Pーボディドーピング636、ゲート酸化物634、Pー型カラム612、Nー型エピタキシャル層614、N＋層616、金属618を含み、絶縁体686によって囲まれている。第1のSJMOSFET部分604の形態および機能は、図2Aおよび2Bの第1のSJMOSFET部分204の形態および機能と同様である。絶縁体686は、装置602の一部である他の回路から第1のSJMOSFET部分604を分離して絶縁する。

【0092】

図6Cは、MV NMOS領域642の断面図である。MV NMOS領域642は、エピタキシャルシリコン610内のウェハの上面に形成される。MV NMOS領域642は、絶縁体686によって囲まれ、MV NMOS領域642の上および内部に形成された電気回路を絶縁する。MV NMOS領域642は中電圧レベルを使用し、トランジスタ646を含む。MV Pーウェル640は、他の半導体ドーピングタイプおよび濃度のウェルを含まない。MV Pーウェル640の代替的な実施形態は、他の半導体ドーピングタイプおよび濃度のウェルを含み得る。

【0093】

トランジスタ646は、エピタキシャルシリコン610内に形成されたMV NMOS領域642から酸化物655によって分離されたゲート652を含む。トランジスタ646は、N＋層657およびN＋層656によって形成されたソース653を含む。トランジスタ646は、N＋層659およびN＋層658によって形成されたドレイン654を含む。

【0094】

図6Dは、MV PMOS領域644の断面図である。MV PMOS領域644は、エピタキシャルシリコン610内のウェハの上面に形成される。MV PMOS領域644は、絶縁体686によって囲まれ、MV PMOS領域644の上および内部に形成された電気回路を絶縁する。MV PMOS領域644は中電圧レベルを使用し、トランジスタ648を含む。MV Nーウェル650は、他の半導体ドーピングタイプおよび濃度のウェルを含まない。MV Nーウェル650の代替的な実施形態は、MV Nーウェル650内に形成された他の半導体ドーピングタイプおよび濃度のウェルを使用する。

【0095】

トランジスタ648は、エピタキシャルシリコン610内に形成されたMV PMOS領域644から酸化物663によって分離されたゲート660を含む。トランジスタ648は、P＋層665およびP＋層664によって形成されたソース661を含む。トランジスタ648は、P＋層665およびP＋層664によって形成されたドレイン662を含む。

【0096】

トランジスタ646のドレイン654およびトランジスタ648のドレイン662は、金属626によって接続されている。一実施形態では、トランジスタ646のゲート652およびトランジスタ648のゲート660は電氣的に接続されてCMOSインバータの入力を形成し、トランジスタ646のドレイン654およびトランジスタ648のドレイン662はCMOSインバータの出力を形成する。

【0097】

図6Eは、LV NMOS領域668の断面図である。LV NMOS領域668は、エピタキシャルシリコン610内のウェハの上面に形成される。LV NMOS領域668は、絶縁体686によって囲まれ、LV NMOS領域668の上および内部に形成された電気回路を絶縁する。LV NMOS領域668は低電圧レベルを使用し、トランジスタ670を含む。LV Pーウェル672は、他の半導体ドーピングタイプおよび濃度のウェルを含まない。LV Pーウェル672の代替的な実施形態は、他の半導体ドーピングタイプおよび濃度のウェルを含み得る。

【0098】

トランジスタ670は、エピタキシャルシリコン610内に形成されたLV NMOS領域668から酸化物677によって分離されたゲート674を含む。トランジスタ67

10

20

30

40

50

0 は、N++層 678 によって形成されたソース 675 を含む。トランジスタ 670 は、N++層 679 によって形成されたドレイン 676 を含む。

【0099】

図 6F は、LV PMOS 領域 669 の断面図である。LV PMOS 領域 669 は、エピタキシャルシリコン 610 内のウェハの上面に形成される。LV PMOS 領域 669 は、絶縁体 686 によって囲まれ、LV PMOS 領域 669 の上および内部に形成された電気回路を絶縁する。LV PMOS 領域 669 は低電圧レベルを使用し、トランジスタ 671 を含む。LV N-ウェル 673 は、他の半導体ドーピングタイプおよび濃度のウェルを含まない。LV N-ウェル 670 の代替的な実施形態は、LV N-ウェル 670 内に形成された他の半導体ドーピングタイプおよび濃度のウェルを使用する。

10

【0100】

トランジスタ 671 は、エピタキシャルシリコン 610 内に形成された LV PMOS 領域 669 から酸化物 683 によって分離されたゲート 680 を含む。トランジスタ 671 は、P++層 685 によって形成されたソース 681 を含む。トランジスタ 671 は、P++層 684 によって形成されたドレイン 682 を含む。明確にするために、中間金属層およびゲートへのコンタクトは示していない。

【0101】

トランジスタ 670 のドレイン 676 およびトランジスタ 671 のドレイン 682 は、金属 626 によって接続されている。一実施形態では、トランジスタ 670 のゲート 674 およびトランジスタ 671 のゲート 680 は電氣的に接続されて CMOS インバータの入力を形成し、トランジスタ 670 のドレイン 676 およびトランジスタ 671 のドレイン 682 は CMOS インバータの出力を形成する。

20

【0102】

図 7A は、第 1 の IGBT 部分 704 および表面装置 708 を含む装置 702 の断面図である。装置 702 は図 5 の装置 502 の実施形態であり、図 6A の装置 602 と異なる点は、図 7A の実施形態における縦型電力装置が縦型電力 IGBT であるのに対し、図 6A の実施形態における縦型電力装置は縦型電力 SJMOSFET であるという点である。ハンドルウェハ 790 は、取り扱いおよび処理中に装置 702 を支持する。

【0103】

表面装置 708 は、図 6A の表面装置 608 と形態および機能において同様であり、MV NMOS 領域 742、MV PMOS 領域 744、LV NMOS 領域 768、および LV PMOS 領域 769 を含む。MV NMOS 領域 742、MV PMOS 領域 744、LV NMOS 領域 768、および LV PMOS 領域 769 の各々は、絶縁体 786 によって囲まれている。MV NMOS 領域 742、MV PMOS 領域 744、LV NMOS 領域 768、および LV PMOS 領域 769 の各々は、エピタキシャルシリコン 710 の頂部に形成されたトランジスタを有する。代替的な実施形態では、それぞれが任意の数の電気部品を含む任意の数の MOS 領域が組み合わされて、1 つ若しくは以上の縦型電力装置を制御するために使用され得る表面装置 708 を形成する。

30

【0104】

図 7B は、装置 702 の縦型 IGBT の断面図である。装置 702 の縦型 IGBT は、ゲート 738 を含むトレンチゲート IGBT である。明確にするために、中間金属層およびゲートへのコンタクトは示していない。

40

【0105】

金属 726 は、IGBT 部分 704 のエミッタと、表面装置 708 を含む他の電子回路とを相互接続する。代替的な実施形態では、多層金属トポロジを使用してもよい。多層金属トポロジはすべての層にアルミニウム (Al) を使用してもよく、あるいは、最上層が装置 702 の IGBT の高電力要件を処理するのに十分に厚い (厚さ約 2~5 マイクロメートル [μm]) 限り、最下層の金属層に対する Al と最上層の金属層に対する銅 (Cu) とを組み合わせ使用してもよい。MV NMOS 領域 742 のトランジスタのソースは、金属 726 によって装置 702 の IGBT のエミッタに接続されている。

50

【0106】

ビア728は、コンタクト底部を有するタングステン（W）プラグと、チタン（Ti）、窒化チタン（TiN）、またはそれらの組み合わせなどのバリア層で裏打ちされた側壁とで作られる。

【0107】

ILD730は、エピタキシャルシリコン710の頂部と金属726との間の誘電体材料の層である。装置702のIGBTのような電力装置は、表面から最も近くに非荷電非ドーパ氧化物層（非プラズマ強化堆積）を有する複数のSiO₂（氧化物）層を典型的に有し、ドーパされた（例えば、PSG）およびプラズマ堆積氧化物（例えば、PETEOS）が続く。

10

【0108】

ゲート氧化物734は、ウェハのエピタキシャルシリコン710内のN型エピタキシャル層714からゲート738を分離する。

【0109】

Pボディドーピング736は、IGBT部分704のエピタキシャルシリコン710の上面に向かって形成される。N++層731は、Pボディ736内に形成される。

【0110】

ゲート738はポリシリコンを有し、ゲート738に印加される電圧は、装置702のIGBTのエミッタとコレクタとの間を通過する電流の量を制御する。図面を分かりやすくするために、ゲート接触および制御は示していない。

20

【0111】

P+層739は、N+層316とP-N接合を形成して、第1のIGBT部分704のコレクタを形成する。

【0112】

図8Aは、第1のダイオード部分804および表面装置808を含む装置802の断面図である。装置802は、図5の装置502の実施形態であり、図6Aの装置602と異なる点は、図8Aの実施形態における縦型電力装置が縦型電力ダイオードであるのに対し、図6Aの実施形態における縦型電力装置は縦型電力SJMOSETであるという点である。装置802は、ハンドルウェハなしで示している。

30

【0113】

表面装置808は、図6Aの表面装置608と形態および機能において同様であり、MV NMOS領域842、MV PMOS領域844、LV NMOS領域868、およびLV PMOS領域869を含む。MV NMOS領域842、MV PMOS領域844、LV NMOS領域868、およびLV PMOS領域869の各々は、絶縁体886によって囲まれている。MV NMOS領域842、MV PMOS領域844、LV NMOS領域868、およびLV PMOS領域869の各々は、エピタキシャルシリコン810の頂部に形成されたトランジスタを有する。代替的な実施形態では、それぞれが任意の数の電気部品を含む任意の数のMOS領域が組み合わされて、1つ若しくは以上の縦型電力装置を制御するために使用され得る表面装置808を形成する。

【0114】

40

図8Bは、ダイオード部分804の断面をより詳細に示す。

【0115】

金属826は、ダイオード部分804のアノードと表面装置802とを相互接続する。代替的な実施形態では、金属826は、ダイオード部分804のアノードと、他のダイオード部分のアノードとを相互接続する。他の代替的な実施形態では、多層金属トポロジを使用してもよい。多層金属トポロジはすべての層にアルミニウム（Al）を使用してもよく、あるいは、最上層が装置802のダイオードの高電力要件を処理するのに十分に厚い（厚さ約2～5マイクロメートル[μm]）限り、最下層の金属層に対するAlと最上層の金属層に対する銅（Cu）とを組み合わせ使用してもよい。

【0116】

50

ビア828は、コンタクト底部を有するタングステン(W)プラグと、チタン(Ti)、窒化チタン(TiN)、またはそれらの組み合わせなどのバリア層で裏打ちされた側壁とで作られる。

【0117】

ILD830は、金属826を装置802の電氣的に活性な部分から分離する誘電体材料の層である。装置802のダイオードのような電力装置は、表面に最も近くに非荷電非ドーパ酸化物層(非プラズマ強化堆積)を有する複数のSiO₂(酸化物)層を典型的に有し、ドーパされた(例えば、PSG)およびプラズマ堆積酸化物(例えば、PETEOS)が続く。

【0118】

P+層833は、ダイオード部分804のエピタキシャルシリコン810の上面に向かって形成され、ビア828によって金属826に接続される。インターフェース835は、P+層833とNドーパされたエピタキシャル層814との間のインターフェースであり、P-N接合を形成してシリコン接合ダイオードを作る。インターフェース837は、ビア829とNドーパされたN型エピタキシャル層414との間のインターフェースであり、金属-半導体接合を形成してショットキーダイオード用のショットキー障壁を作る。追加の実施形態では、装置802のダイオードは、シリコン接合ダイオードのみを有し、ショットキーダイオードのみを有し、またはシリコン接合ダイオードおよびショットキーダイオードの任意の組み合わせを有する。

【0119】

図9は、混合信号表面装置を有する縦型電力装置を有する装置902の3次元図である。装置902は、図5の装置502の実施形態である。

【0120】

SJMOSFET904は、P型カラム912を有するエピタキシャルシリコン910内に形成される。SJMOSFET904の形態および機能は、図2Aおよび図2Bに記載したSJMOSFETのものと同様である。SJMOSFET904のゲートは並列に接続されたいくつかのゲートを含み、その一部は切り詰められてMV領域920のための空間を作る。SJMOSFET904のドレインは、金属層918に接続されたN+層916によって底部または裏側に形成される。

【0121】

表面装置908は、MV NMOSトランジスタ946およびMV PMOSトランジスタ948から形成されるCMOSインバータを有するMV領域920を含む。トランジスタ946のゲート952およびトランジスタ948のゲート960は、並列に接続されてCMOSインバータへの入力を形成する。トランジスタ946のドレイン954およびトランジスタ948のドレイン962は、互いに接続されてCMOSインバータの出力を形成する。トランジスタ946のソース953は、SJMOSFET904の並列に接続されたソースに接続されている。トランジスタ948のソース961は、電圧V_{DD}に接続されている。

【0122】

MV NMOSトランジスタ946は、MV P-ウェル940の内部に形成される。MV PMOSトランジスタ948は、MV P-ウェル940に形成されたMV N-ウェル950の内部に形成される。

【0123】

本開示に提示される実施形態は、本発明の実現可能な実施例を提供することを意図しているが、本発明を限定することを意図するものではない。例えば、シリコン以外の他の材料をベース半導体材料として使用できる。当業者によって認識されるように、P型バルクシリコンまたはエピタキシャル層(N型ではない)を使用し、ドーパントタイプを反転させて相補型装置を形成すると同様に、必要に応じてN型およびP型領域の様々な範囲のドーピングレベルを使用できる。種々のタイプおよび厚さの酸化物材料を使用できる。プレーナゲートおよびトレンチゲートの両方を含む高電圧装置のための種々のタイ

10

20

30

40

50

プのゲート構造を採用できる。任意の一実施形態の任意の特徴、要素、または利点は、他の実施形態の特徴、要素および利点と組み合わせることができる。

【図 1】

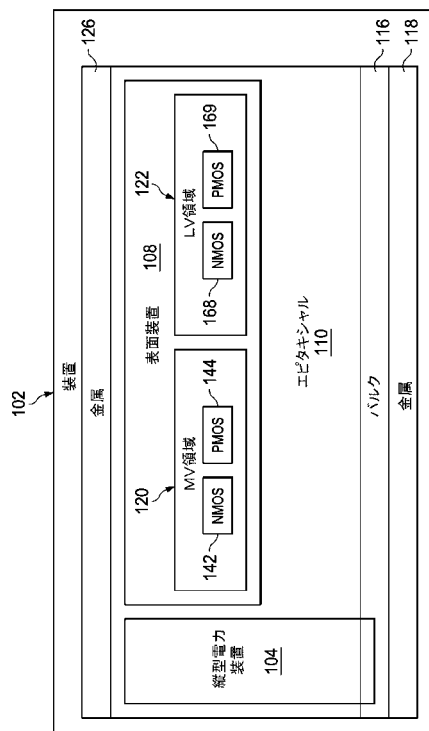


FIG. 1

【図 2 A】

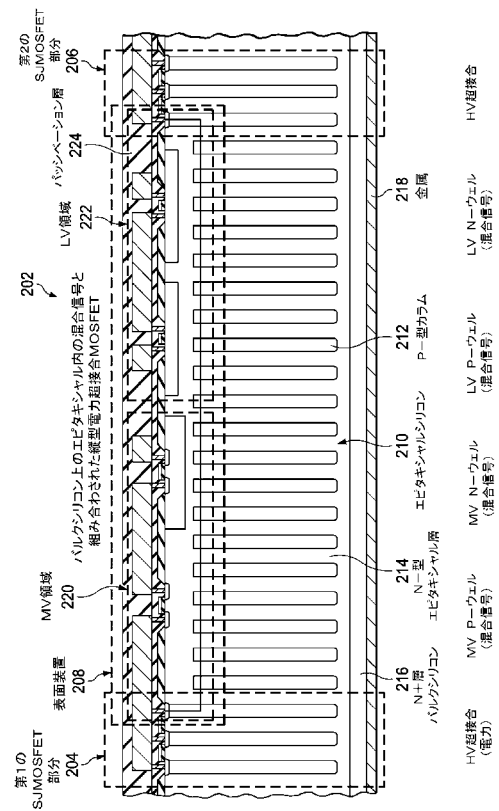


FIG. 2A

【図 2 B】

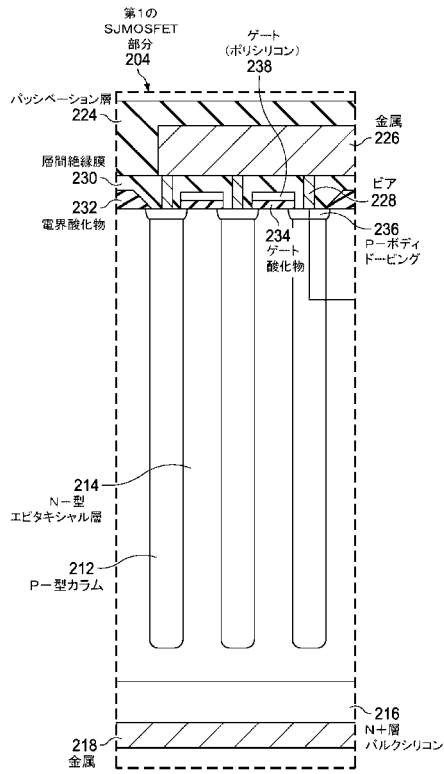


FIG. 2B

【図 2 C】

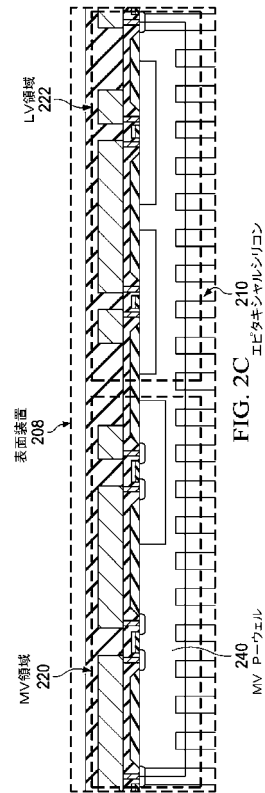


FIG. 2C

【図 2 D】

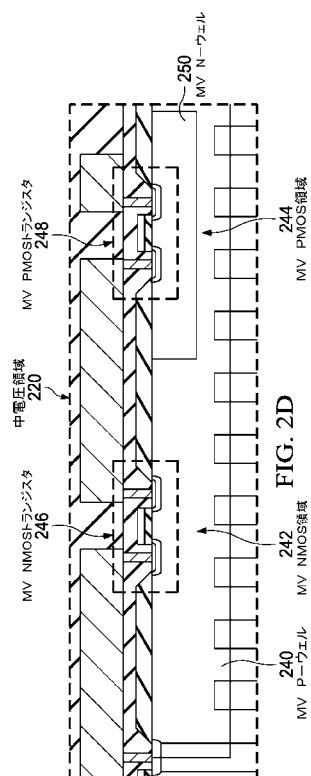


FIG. 2D

【図 2 E】

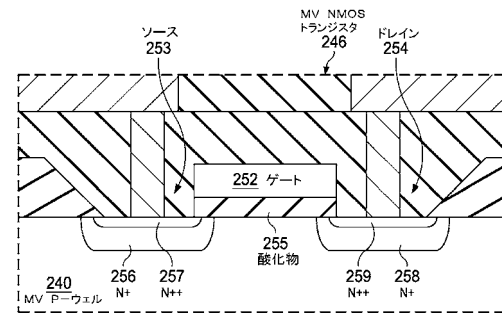


FIG. 2E

【図 2 F】

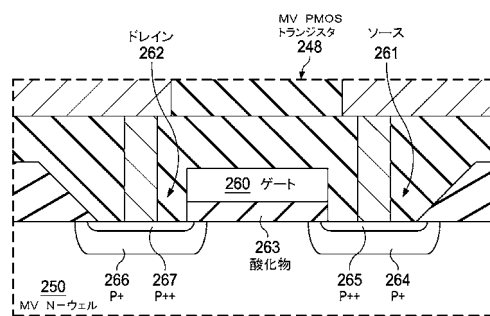
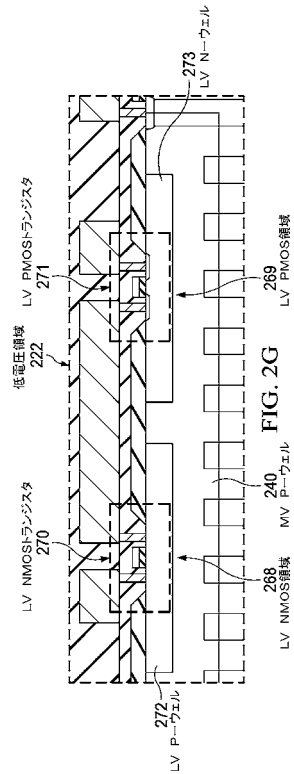


FIG. 2F

【図 2 G】



【図 2 H】

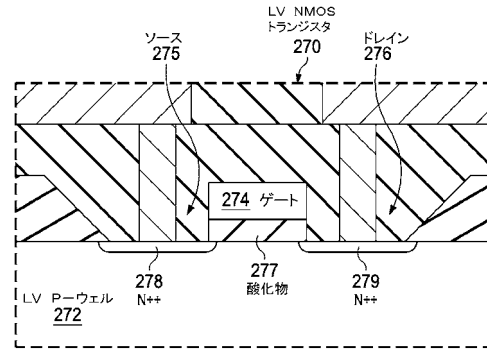


FIG. 2H

【図 2 I】

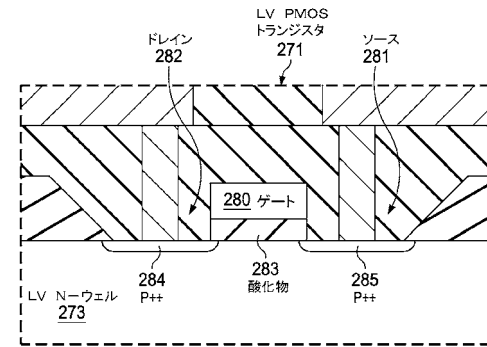


FIG. 2I

【図 2 J】

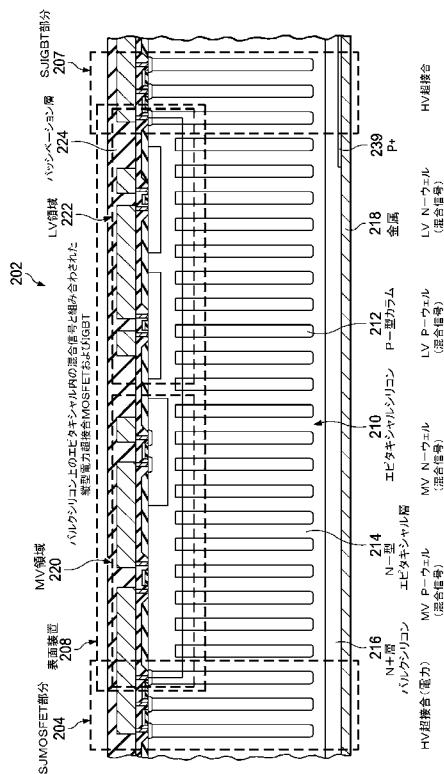


FIG. 2J

【図 3 A】

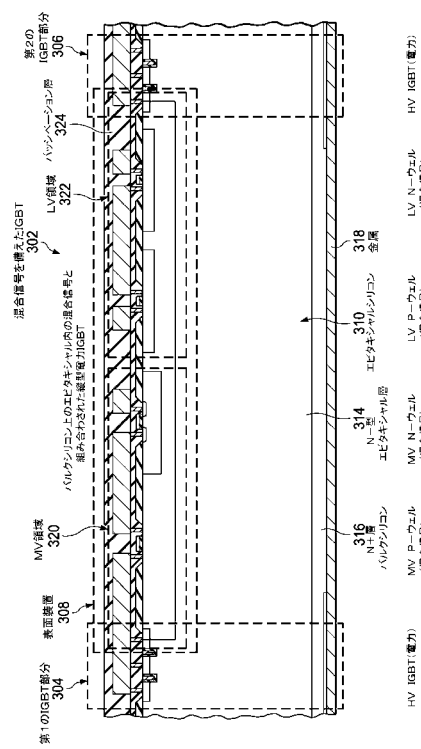
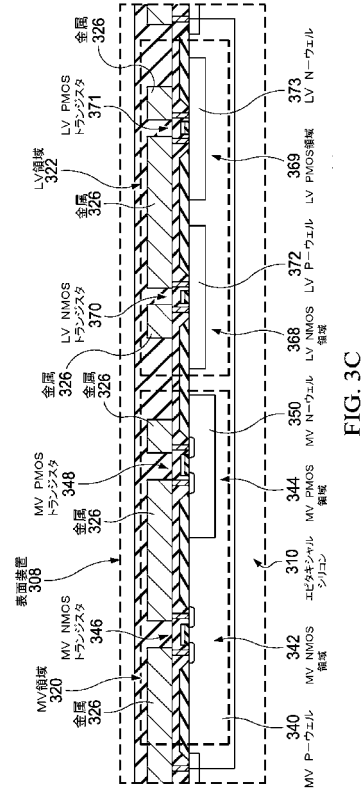
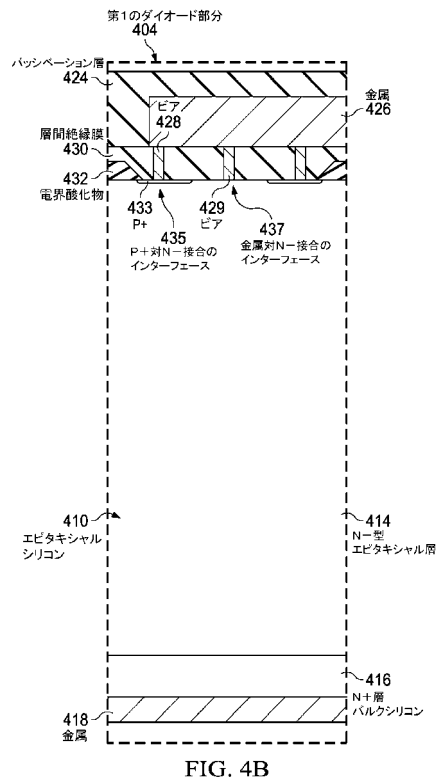


FIG. 3A

【図 3 C】



【図 4 B】



【 図 5 】

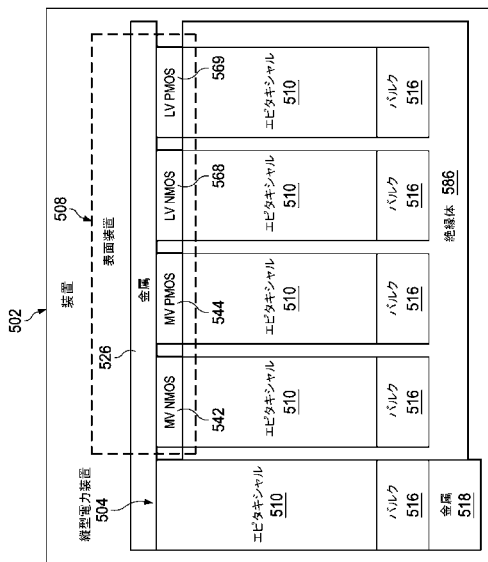


FIG. 5

【図 6 A】

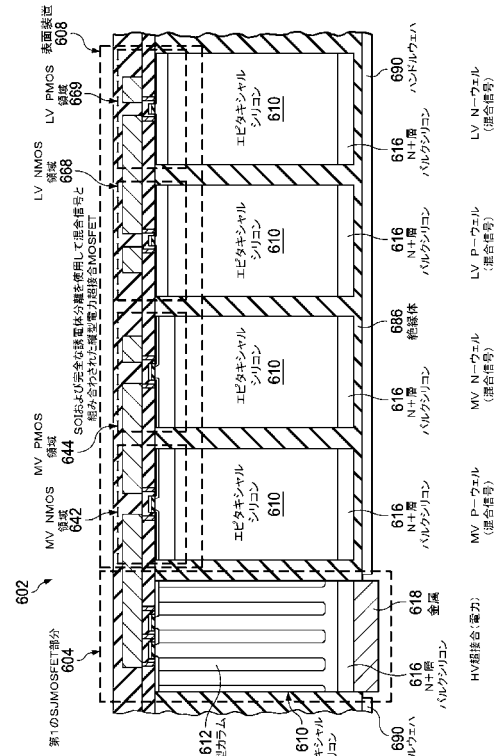


FIG. 6A

【图 6 B】

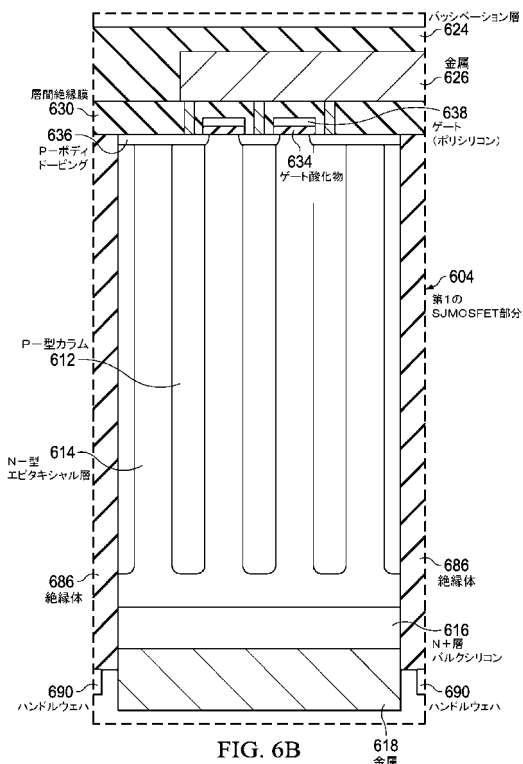


FIG. 6B

【図 6 C】

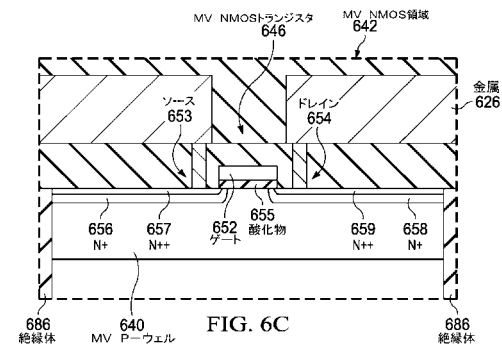


FIG. 6C

【図 6 D】

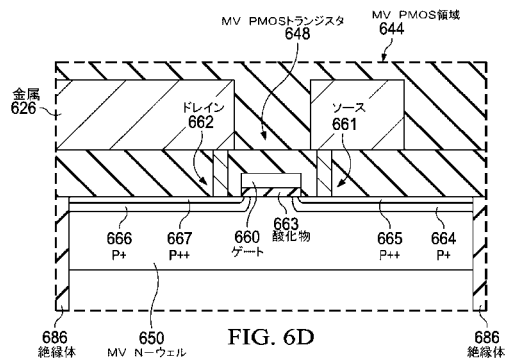
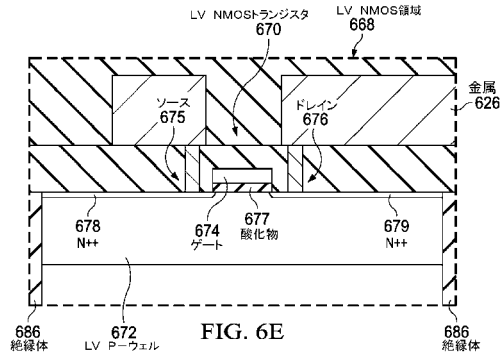
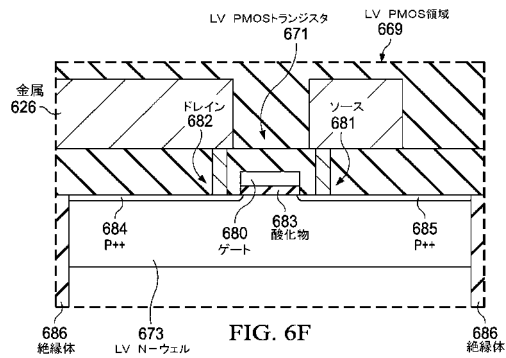


FIG. 6D

【図 6 E】



【図 6 F】



【図 7 A】

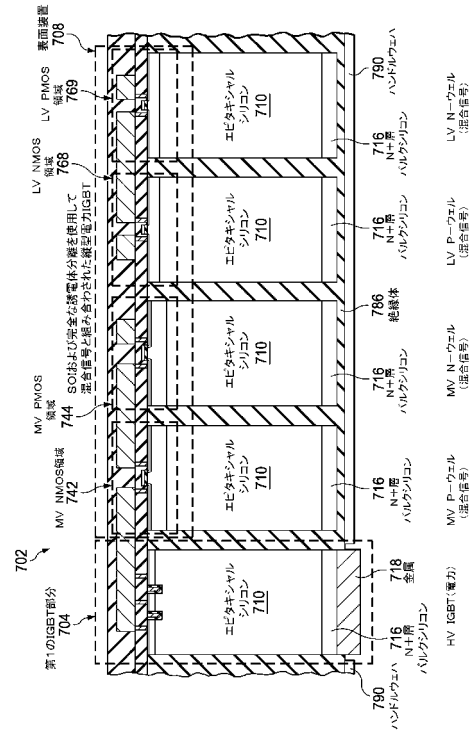


FIG. 7A

【図 7 B】

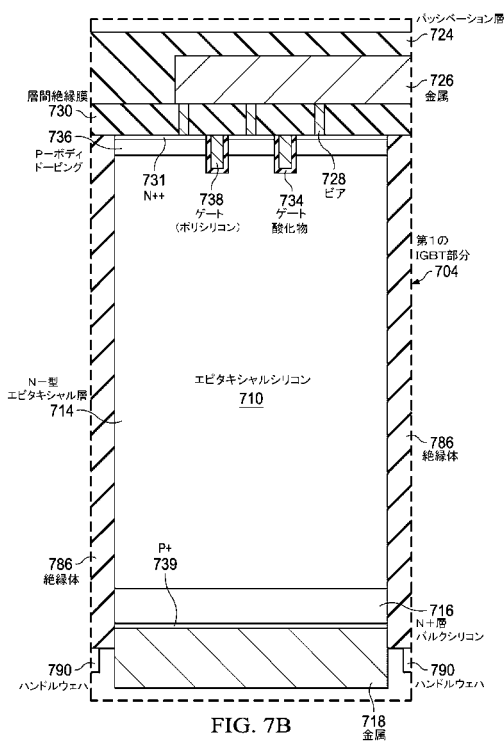


FIG. 7B

【図 8 A】

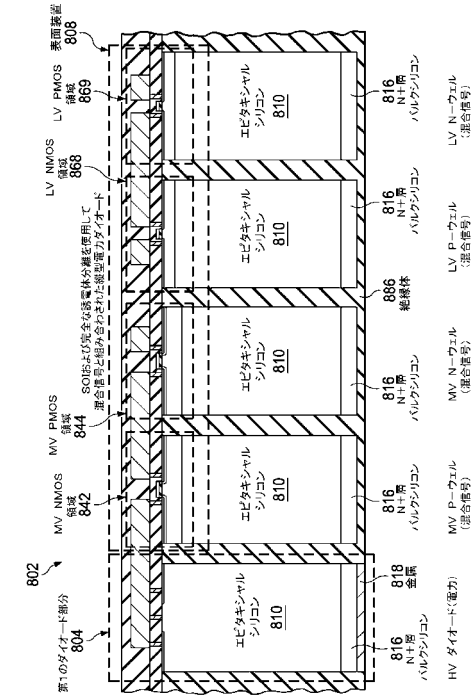
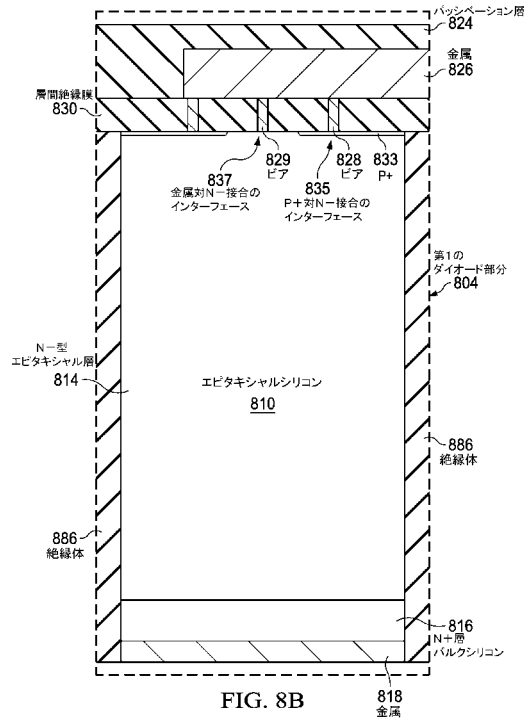
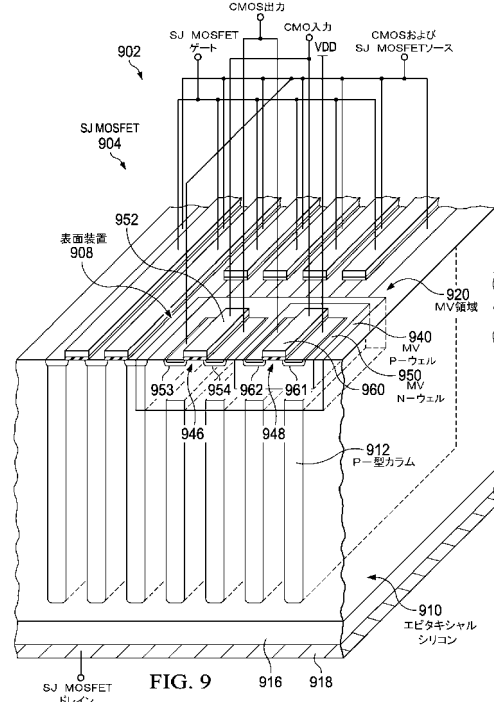


FIG. 8A

【図 8 B】



【図 9】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US16/19917
A. CLASSIFICATION OF SUBJECT MATTER IPC(8) - H01L 21/84, 29/78, 29/73 (2016.01) CPC - H01L 21/84, 29/7816, 29/7393 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC(8): H01L 21/761, 21/762, 21/84, 21/336, 29/02, 29/04, 29/06, 29/66, 29/73, 29/735, 29/732, 29/78; H02M 7/537 (2016.01) CPC: H01L 21/761, 21/762, 21/84, 21/336, 27/1203, 29/02, 29/04, 29/06, 29/66, 29/78, 29/4238, 29/7393, 29/7813, 29/7816, 29/7824		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) PatSeer (US, EP, WO, JP, DE, GB, CN, FR, KR, ES, AU, IN, CA, RU, AT, CH, TH, BR, PH, CN, INPADOC Data); EBSCO; ProQuest; IEEE; Google Scholar; Google Patents; Lens; KEYWORDS: semiconductor, vertical, power, surface, top, back, side, bottom, lateral, terminal, SJMOSFET, MOS, transistor, super junction, LDMOS, diode, Schottky, IGBT, insulated gated bipolar, memory, flash, EPROM		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2013/0249001 A1 (WILLMEROTH, A et al.) September 26, 2013; figure 1; paragraphs [0027-0030, 0048, 0051, 0059-0060]; claim 8 of Willmeroth	1-2, 8
Y		3-21
Y	US 2012/0161286 A1 (BHALLA, A) June 28, 2012; figure 2A; paragraphs [0025]	3-4, 11-17
Y	US 2008/0266922 A1 (MUMTAZ, A et al.) October 30, 2008; figure 9, paragraphs [0005, 0067, 0072]; claim 30 of Mumtaz	5-7, 10, 13, 17, 19, 21
Y	US 2014/0094009 A1 (CHIH, Y et al.) April 03, 2014; figure 2, paragraph [0013]	7, 14, 20
Y	US 5,578,841 A (VASQUEZ, B et al.) November 26, 1996; figure 1; abstract; column 5, lines 15-20	9, 16
Y	US 2007/0138648 A1 (VINN, C et al.) June 21, 2007; paragraph [0023]	18-21
☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 29 April 2016 (29.04.2016)		Date of mailing of the international search report 72 MAY 2016
Name and mailing address of the ISA/ Mail Stop PCT, Attn: ISA/US, Commissioner for Patents P.O. Box 1450, Alexandria, Virginia 22313-1450 Facsimile No. 571-273-8300		Authorized officer Shane Thomas PCT Helpdesk: 571-272-4300 PCT OSP: 571-272-7774

フロントページの続き

(51)Int.Cl.	F I		テーマコード (参考)
<i>H 0 1 L</i> 27/06 (2006.01)	<i>H 0 1 L</i>	27/06	1 0 2 A
<i>H 0 1 L</i> 21/822 (2006.01)	<i>H 0 1 L</i>	27/04	U
<i>H 0 1 L</i> 27/04 (2006.01)	<i>H 0 1 L</i>	29/78	6 5 3 A
<i>H 0 1 L</i> 29/78 (2006.01)	<i>H 0 1 L</i>	29/78	6 5 2 H
<i>H 0 1 L</i> 21/76 (2006.01)	<i>H 0 1 L</i>	29/78	6 5 6 C
<i>H 0 1 L</i> 29/739 (2006.01)	<i>H 0 1 L</i>	29/78	6 5 6 E
<i>H 0 1 L</i> 21/8238 (2006.01)	<i>H 0 1 L</i>	29/78	6 5 5 A
<i>H 0 1 L</i> 27/092 (2006.01)	<i>H 0 1 L</i>	27/092	B
<i>H 0 1 L</i> 29/872 (2006.01)	<i>H 0 1 L</i>	29/86	3 0 1 F
<i>H 0 1 L</i> 29/786 (2006.01)	<i>H 0 1 L</i>	29/91	K
	<i>H 0 1 L</i>	29/78	6 1 3 A
	<i>H 0 1 L</i>	29/78	6 1 3 Z
	<i>H 0 1 L</i>	27/04	H

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72)発明者 チュー、ジジュン

アメリカ合衆国、 7 5 0 0 1 テキサス州、アディソン、 1 5 0 5 0 イースト ベルトウッド
パークウェイ

Fターム(参考) 5F038 AZ08 BH16 CA02 CA08 DF03 DF04 DF05 DF12 EZ06 EZ14
EZ15 EZ20
5F048 AA01 AA05 AB01 AB04 AB10 AC01 AC03 AC06 AC07 AC10
BA06 BA09 BA16 BA20 BB01 BB02 BB03 BB05 BB19 BC02
BC03 BC07 BC12 BC18 BD04 BD07 BD10 BE02 BE03 BE04
BE05 BE06 BF02 BF07 BF11 BF16 BG07 CA01 CB07
5F110 AA04 AA11 BB03 BB04 BB05 BB12 CC02 EE09 NN23 NN25
NN35 NN62 NN71 NN74 NN78