

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G06F 1/32 (2006.01)

G06F 13/40 (2006.01)



[12] 发明专利说明书

专利号 ZL 03810283.8

[45] 授权公告日 2008 年 9 月 3 日

[11] 授权公告号 CN 100416462C

[22] 申请日 2003.1.17 [21] 申请号 03810283.8

[30] 优先权

[32] 2002. 3. 14 [33] US [31] 10/097,338

[86] 国际申请 PCT/US2003/001531 2003.1.17

[87] 国际公布 WO2003/079199 英 2003.9.25

[85] 进入国家阶段日期 2004.11.8

[73] 专利权人 英特尔公司

地址 美国加利福尼亚州

[72] 发明人 T·舍恩博恩

[56] 参考文献

CN 1235423 A 1999.11.17

CN 1276070 A 2000.12.6

US 20020017920 A1 2002.2.14

EP 0788059 A1 1997.8.6

US 5666068 A 1997.9.9

审查员 张 潇

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 杨 凯 王 勇

权利要求书 3 页 说明书 16 页 附图 6 页

[54] 发明名称

降低经由差分串行数据链路耦合的发送器和接收器的功率使用量的方法和设备

[57] 摘要

公开了采用差分串行数据链路上的带内信号以降低链路所耦合的发送器和接收器的功率使用量的方法和设备。

1. 一种与发送器、接收器以及包括连接所述发送器和接收器的至少两条线路的差分串行数据链路配合使用的方法，包括：

生成表示所述至少两条线路的差分串行数据链路之间的电压差的绝对值的信号；

对所述生成信号积分，从而生成积分信号；

确定所述积分信号是否小于预定门限；

如果所述积分信号降到预定门限以下，则发信号通知所述接收器的至少一部分进入第二状态；

响应所述发信号通知，把所述接收器的至少一部分从第一状态转变到第二状态。

2. 如权利要求 1 所述的方法，其特征在于，所述第一状态是正常功率状态，以及所述第二状态是降低功率状态。

3. 如权利要求 1 所述的方法，其特征在于还包括把所述发送器的至少一部分从所述第一状态转变到所述第二状态。

4. 如权利要求 1 所述的方法，其特征在于，所述生成信号的积分还包括让 RC 电路放电；以及如果与所述 RC 电路相关的电压降到所述预定门限以下，则执行对所述接收器的至少一部分的所述信号通知。

5. 如权利要求 4 所述的方法，其特征在于还包括当预计有来自所述发送器的后续通信时，把所述接收器的至少一部分从所述第二状态转变到所述第一状态。

6. 如权利要求 5 所述的方法，其特征在于，所述接收器从所述第二状态到所述第一状态的所述转变通过以下步骤来执行：

对所述 RC 电路充电；以及

如果与所述 RC 电路相关的电压超过所述预定门限，则发信号通知所述接收器的至少一部分退出所述第二状态。

7. 如权利要求 2 所述的方法, 其特征在于还包括:

使所述发送器的至少一部分从正常功率状态转变到降低功率状态。

8. 如权利要求 1 所述的方法, 其特征在于, 所述发送器和接收器是 DC 耦合的, 以及所述差分串行数据链路被 DC 端接于所述发送器和接收器。

9. 如权利要求 1 所述的方法, 其特征在于, 所述发送器和接收器是 DC 耦合的, 以及所述差分串行数据链路被 AC 端接于所述接收器并且被 DC 端接于所述发送器。

10. 如权利要求 1 所述的方法, 其特征在于, 所述发送器和接收器是 DC 耦合的, 以及所述差分串行数据链路被 AC 端接于所述接收器和所述发送器。

11. 如权利要求 3 所述的方法, 其特征在于, 使所述发送器的至少所述部分转变到所述第二状态还包括:

使所述差分串行数据链路的所述至少两条线路断开与所述发送器相关的至少两个端接电阻器; 以及

在所述发送器上把 DC 偏置电压连接到所述差分串行数据链路的第一和第二条线。

12. 如权利要求 1 所述的方法, 其特征在于, 所述发送器和接收器是 AC 耦合的, 以及所述差分串行数据链路被 DC 端接于所述发送器和所述接收器。

13. 如权利要求 3 所述的方法, 其特征在于, 使所述发送器的至少所述部分转变到所述第二状态还包括:

使所述差分串行数据链路的所述至少两条线路断开与所述发送器相关的至少两个端接电阻器; 以及

在所述发送器上把 DC 偏置电压连接到所述差分串行数据链路的第一和第二条线。

14. 如权利要求 1 所述的方法，其特征在于，所述发送器和接收器是 AC 耦合的，而且所述差分串行数据链路被 AC 端接于所述接收器以及被 DC 端接于所述发送器。

15. 如权利要求 3 所述的方法，其特征在于，使所述发送器的至少所述部分转变到所述第二状态还包括：

使所述差分串行数据链路的所述至少两条线路断开与所述发送器相关的至少两个端接电阻器；以及

在所述发送器上把 DC 偏置电压连接到所述差分串行数据链路的第一和第二条线。

降低经由差分串行数据链路耦合的发送器 和接收器的功率使用量的方法和设备

发明领域

一般来讲,本发明涉及差分通信链路,更具体来讲,涉及用于降低经由差分串行数据链路耦合的发送器和接收器的功率使用量的方法和设备。

发明背景

过去十年中,一直采用外部设备互连(PCI)标准把外部设备(例如网卡、调制解调器、图形卡)连接到计算机中的微处理器和其它设备。PCI是一种总线技术,它通过若干(通常为32-64个)并行通道来传递同步数据。PCI和PCI-X(外部设备互连扩展)的吞吐量的范围在133 MBps到1.1 GBps。

众所周知,微处理器速度这些年来得到显著提高。虽然PCI和PCI-X标准目前足以在处理器与输入/输出(I/O)设备之间传递数据,但如果处理器速度继续按照预期情况提高,则PCI标准不久便会过时,因为把PCI标准的速度提高到超过其当前极限是极其昂贵的。

为此,最近已经开发了新的I/O体系结构。该体系结构目前被称作第三代输入输出(3GIO)接口标准。与PCI不同,3GIO(有时称作Arapahoe)是点对点串行通信技术。3GIO不是包含发送同步数据的32或64通道的总线,而是采用许多较少的通道来传递不同步的数据。(以3GIO标准传递的数据包括用来使发送器和接收器同步的内嵌时钟信号。)3GIO体系结构比PCI和PCI-X标准要快得多。它目前允许以2.5G比特/秒传输数据,并且预计扩大到铜的理论极限(即10G比特/秒)。

3GIO 体系结构的基本链路是低电压差分驱动的连接器对。如果希望双向通信,则使用两个低电压差分驱动的连接器对、即发送对和接收对。设备之间的带宽可通过添加连接器对以形成多个通信通道来扩大。但是,差分链路在 3GIO 体系结构内仍然保留两个设备之间的基本通信通道。

3GIO 之前的已知差分串行链路协议不断地通过差分链路来交换数据。当采用这些早期协议的发送器没有实际数据要传递时,通过链路传递伪数据。以这种方式传递伪数据在 AC 耦合和/或 AC 端接的差分链路的上下文中是特别符合需要的,因为安静线路(即没有伪数据的线路)上的电压将随着 AC 耦合和/或 AC 端接电容器放电以及随后再充电而漂移。这个电压可能使线路超出接收器的范围。

这种不希望的漂移在传送实际数据时也可能随着时间的过去而出现。为了避免传送实际数据时的这种不希望的漂移,编码方案、如 8B10B(即 8 比特/10 比特)被用于采用 AC 耦合的差分链路。选择上述伪代码以及 8B10B 代码以保证 AC 耦合电容器两端的 DC 电压电平基本上保持水平(即,在各预定时间周期中传送与“0”比特同样多的“1”比特,从而避免耦合电容器的不希望的放电/充电)。

由于这涉及电压漂移,因此功率管理技术不太经常与差分串行数据链路配合使用。对于使用功率管理技术的范围,进入和退出功率管理状态由边带信号来驱动。但是,这些边带技术的不利之处在于,它们需要边带通信线路,并且涉及长的等待时间。

附图简介

图 1 是通过差分串行数据链路连接的示例发送器和接收器的示意说明。

图 2 是图 1 的发送器的更详细视图。

图 3 是图 1 的接收器的示意说明,图中表示成具有根据本发明的理论构造的静噪检波器。

图 4 是流程图，说明图 3 的静噪检波器的操作。

图 5 是图 3 的静噪检波器的实现的更详细视图。

图 6 是图 3 和图 5 的积分器和静噪有效电路的实现的更详细视图。

图 7 是采用 DC 耦合和 DC 端接的差分链路的电路图。

图 8 是另一种发送器的示意说明。

图 9 是采用 DC 耦合和 AC 端接的差分链路的电路图。

图 10 是采用 AC 耦合和 DC 端接的差分链路的电路图。

图 11 是采用 AC 耦合和 AC 端接的差分链路的电路图。

图 12 是图表，说明输入 AC 耦合电路的带内唤醒信号，以及 AC 耦合电路响应该唤醒信号的可能输出。

图 13 是根据本发明的理论构造的另一个接收装置的示意图。

图 14 是与图 1 类似的示意说明，但表示第二接收器和第二差分串行数据链路。

实例说明

虽然本文所公开的设备和方法特别适合与按照 3GIO 标准工作的差分串行数据链路配合使用，但本领域的技术人员容易理解，本发明的理论绝不是限于 3GIO 环境。相反，本领域的技术人员容易理解，本发明的理论可与任何差分串行数据链路配合使用，而与它采用的通信协议无关。

发送装置 10、接收装置 12 和差分串行数据链路 14 如图 1 所示。为了简化说明，在图 1 的差分链路 14 中仅给出一个差分对线路 16、18。但是，本领域的技术人员知道，如果例如对于链路 14 需要双向通信和/或附加带宽，则可包含附加的差分线路对。

发送器 10 通过差分链路 14 产生及发送差分信号。发送器 10 可按照任何已知的串行数据链路协议、例如 3GIO、infiniband、xau、SATA 等工作，并且可通过任何方式来构造。发送器 10 的一个示范

实现的示意说明如图 2 所示。虽然所示发送器 10 是电流型驱动器,但本领域的技术人员知道,电压型驱动器同样可用于此目的。

为了产生要通过串行链路 14 的线路 16、18 传送的高速差信号,发送器 10 配备了一对晶体管 20、22。晶体管 20、22 可通过例如图 2 所示的 MOSFETS 或者通过其它任何类型的可控开关器件来实现。如图 2 所示,各晶体管 20、22 的一个端子耦合到电源。各晶体管 20、22 的相对端子通过驱动器端接阻抗 26、28 接地。各晶体管 20、22 的基极与控制器 30 相联系。控制器 30(它可例如通过编程微处理器来实现)在相反时间使晶体管 20、22 导通和截止,从而通过串行链路 14 的线路 16、18 产生及发送差信号。

更具体来讲,控制器 30 配备了要通过串行链路 14 传送的数字数据。这个数据存储在与控制器 30 相关联的队列(未示出)中。至少在队列包含要传送的数据时,控制器 30 根据用于通过差分链路 14 发送表示来自队列的数据的电压差信号的通信协议,使晶体管 20、22 导通和截止。如图 2 所示,最好是通过电阻器实现的驱动器端接阻抗 26、28 用于至少在发送器 10 经由晶体管 20、22 传送数据时,把线路 16、18 偏置到 DC 电压。为了发送逻辑值“1”,控制器 30 在预定时间周期中使其中一个晶体管 20 导通而使另一个晶体管 22 截止,从而在差分链路 14 上建立电压差,其中线路 16 处于高于线路 18 的电位。为了发送逻辑值“0”,控制器 30 在预定时间周期中使晶体管 22 转换为导通状态而使晶体管 20 转换为非导通状态,从而在链路 14 上建立电压差,其中线路 18 处于高于线路 16 的电位。

在接收器 12 处接收线路 16、18 的相对电位的变化。如同发送器 10 一样,接收器 12 可按照任何已知的串行数据链路协议(例如 3GIO、infiniband、xau1、SATA 等)工作,并且可通过任何方式来构造。接收器 12 的一个示范实现的示意说明如图 3 所示。

为了接收和解释串行链路 14 传送的数据信号,接收器 12 配备了差分检波器 34。本领域的技术人员知道,差分检波器 34 可通过许多

方式来实现。作为示例而不是限制,差分检波器 34 可通过传统的差分运算放大器来实现。运算放大器最好被选择成具有高增益。

如图 3 所示,差分检波器 34 的输出被传递到传统信号调节电路 36。信号调节电路 36 包含诸如滤波器、放大器和/或电平移动器的各种传统电路,并且用作模/数转换器,以便把差分检波器 34 的输出调节成将由数据处理电路 38 读取的数字信号。[虽然在图 3 的说明中不是接收器 12 的一部分,但本领域的技术人员知道,数据处理电路 38(它可以是编程微处理器或其它逻辑器件)可以可选地作为接收器 12 的组成部分。]当线路 16 上的电压比线路 18 上的电压超出预定量时,差分检波器 34 和信号调节电路 36 共同为数据处理电路 38 提供表示逻辑“1”的数字信号,而当线路 18 上的电压比线路 16 上的电压超出预定量时,为数据处理电路 38 提供表示逻辑“0”的数字信号。

为了节省功率,在接收器 12 不需要接收数据时,接收器 12 的一个或多个元件进入降低功率状态。本文所用的“降低功率状态”是主要元件使用减少的电或不用电的状态。功率相对正常功率状态减少的程度与实现相关,并且可以是例如高达 50 的因子。所述发送器 10 在预定时间周期中检测到在其队列中没有要传送的数据时,进入降低功率状态。接收器 12 检测到在预定时间周期中发送器 10 没有发送数据,则所述接收器 12 或其元件自动进入降低功率状态。换言之,由于当发送器 10 处于唤醒状态时,所述发送器 10 不断通过链路 14 传送数据(实际数据或伪数据),因此在预定时间周期中差分串行数据链路的安静(即来自发送器 10 的数据流的中断)对于接收器 12 是表示它应该进入降低功率状态的带内信号。虽然在接收器 12 寻找数据信号的缺少作为其进入降低功率状态的信号的含义上讲,这个带内信号是无源的,但本领域的技术人员知道,有源带内信号也可用于此目的。例如,如果有源降低功率协议,则发送器 10 可适合于经由差分串行数据链路 14 向接收器 12 发送预定编码带内信号,以及接收器 12 可适合于在检测到预定编码带内信号并对其解码后进入降低功率状

态。或者，带外信号可用来使接收器 12 进入降低功率状态。作为选择，无论采用例如以上所述的无源带内信令协议、有源带内信令协议还是采用带外信号来使接收器 12 进入降低功率状态，当接收器 12 识别该带内信号时，确认信号可经由链路 14 从接收器 12 发回到发送器 10。在这种情况下，发送器 10 或其部分可在收到确认之前一直保持正常功率状态，以便在接收器 12 没有确认第一个降低功率信号时提供重试降低功率信号的机制。

回到所述实例，也就是使用无源带内降低功率信号和有源带内唤醒信号以便使接收器 12 进入降低功率状态以及唤醒接收器 12，接收器 12 还配备了静噪检波器 40。所述静噪检波器 40 响应通过差分串行数据链路 14 接收的预定带内信号，使接收器 12 的一个或多个元件进入降低功率状态和/或唤醒一个或多个元件。在图 3 所示的设备中，当通过差分链路 14 接收到请求功率降低的带内信号时，静噪检波器 40 产生输出信号，驱动静噪有效电路 44 使接收器 12 的一个或多个元件功率下降；以及当通过差分链路 14 接收到请求功率提高的带内信号时，静噪检波器 40 产生输出信号，驱动静噪有效电路 44 提高处于降低功率状态的元件的功率。

虽然本领域的技术人员容易理解，许多不同形式的带内信号中的任一种可用来指示静噪检波器 40 使接收器 12 或其部分进入降低功率状态，但在所述设备中，带内信号是在至少预定的时间长度(例如预定数量的比特单元)中出现的差分串行数据链路 14 的线路 16、18 之间实质 DC 差的缺少。当发送器 10 确定不需要经由链路 14 的数据传输(例如可通过检测在某个预定时间长度中发送器的队列中是否没有数据来作出这个判定)时，则使两个晶体管 20、22 变为截止状态，从而停止经由链路 14 发送差分数据信号。因此，线路 16、18 被静止，使得它们之间不存在实质的电压差。在至少预定时间周期中的这种实质电压差的缺少是对接收器 12 的预定带内信号，表示发送器 10 不准备发送数据，以及接收器或其元件应该进入降低功率状态。在使线路

16、18 安静之后,发送器 10 可进入降低功率状态(除非如以上所述预期确认信号)。发送器 10 中那些不要求检测对于唤醒发送器 10 并将其从降低功率状态转变为正常功率(即唤醒)状态的需要的所有元件被驱动为降低功率状态,从而保存功率。

当接收器 12 检测到在至少预定时间周期中线路 16、18 之间没有出现实质的 DC 电压差,则接收器 12 或其部分从正常功率状态转变为降低功率状态。接收器 12 中除要求检测唤醒信号并发起唤醒序列的那些元件之外的所有元件均被驱动为降低功率状态,从而保存功率。

虽然本领域的技术人员容易理解,许多不同形式的带内信号中的任一种可用来指示静噪检波器 40 唤醒接收器 12 或其部分,但在所述设备中,带内信号是在至少预定的时间长度(例如预定数量的比特单元)中差分串行数据链路 14 的线路 16、18 之间基本保持恒定的 DC 差。当发送器 10 确定需要经由链路 14 的数据传输(例如可通过检测队列中的数据来作出这个判定)时,则转变为正常功率(即唤醒)状态,并经由链路 14 向接收器 12 发送带内唤醒信号。具体来讲,发送器 10 把线路 16、18 其中之一或两者驱动到预定 DC 电压,从而在至少预定的时间长度中建立链路 14 的线路 16、18 之间的预定电压差。本领域的技术人员知道,可通过在至少预定的时间周期中把线路之一从初始电压电平(它可以可选地为零)驱动到不同的电压电平并保持,或者通过把两条线路同时驱动到不同的电压电平(即,在至少预定的时间周期中,把线路 16、18 中的第一线路驱动到第一 DC 电压并保持,以及基本同时地把线路 16、18 中的第二线路驱动到不同于第一 DC 电压的第二 DC 电压并保持),可实现线路 16、18 之间的电压差。但是,所述实例在至少预定的时间周期中,仅把线路 16、18 其中之一驱动到预定 DC 电压并保持。

当接收器 12 检测到线路 16、18 之间已经在至少预定时间周期中保持了 DC 电压差,则接收器 12 或其部分从降低功率状态转变为正

常功率状态。一旦完成了到正常功率状态的这种转变,发送器 10 向接收器 12 发送数据。发送器 10 最好在发送带内唤醒信号之后延迟足够的时间周期,从而确保接收器 12 被适当地唤醒并准备接收数据。

或者,不是如上所述的 DC 信号,而是可通过 AC 开关信号来实现带内唤醒信号。例如,当发送器 10 确定需要经由链路 14 的数据传输时,它进入正常功率状态,并开始交替使晶体管 20、22 导通和截止,以便经由链路 14 向接收器发送多个电压差信号作为带内唤醒信号。电压差信号在它们不包含任何信息的意义上讲,可构成“伪数据”。它们在至少预定的时间周期中在线路 16、18 上的出现(即线路之间的电压差)构成带内唤醒信号。当接收器 12 识别这个带内信号时,接收器 12 或其部分从降低功率状态转变为正常功率状态。一旦完成了到正常功率状态的这种转变,发送器 10 向接收器 12 发送数据。在向接收器发送实际数据之前,发送器 10 在足够的时间周期内发送伪数据,从而确保接收器 12 被适当地唤醒并准备接收数据。

图 4 的流程图表示静噪检波器 40 的操作的更详细视图。具体来讲,在框 50,静噪检波器 40 确定差分串行数据链路 14 的线路 16、18 之间的电压差的绝对值($|D^+ - D^-|$)是否小于或等于预定门限(K)。差的绝对值是需要,因为静噪检波器 40 只关心电压差的大小而不是它的极性,因为在足够的时间周期上的足够大小的电压差是数据传递的指示,而与差的极性无关。如果差分串行数据链路 14 的线路 16、18 之间的电压差的绝对值($|D^+ - D^-|$)小于或等于预定门限(K,它可能例如 80 毫伏),则计时器(它可通过触发器或传统计时器来实现)被启动(框 52)。否则,静噪检波器继续监测线路 16、18 中是否有持续的静止电压事件。

假定计时器已经被启动(框 52),静噪检波器 40 进入一个循环,其中静噪检波器 40 反复检查以确定差分串行数据链路 14 的线路 16、18 之间的电压差的绝对值($|D^+ - D^-|$)是否小于或等于预定门限(K)(框 54),直到通过计时器测量出已经超过预定时间周期(X)(框

56)。如果线路 16、18 之间的电压差的绝对值($|D^+ - D^-|$)在整个时间周期 X 中保持低于或等于预定门限(K),则接收器 12 进入功率管理状态(框 58),且计时器被重置(框 60)。否则,计时器被重置(框 62),且控制返回到框 50。

当接收器 12 处于功率管理状态时,静噪检波器 40 监测线路 16、18 以确定差分串行数据链路 14 的线路 16、18 之间电压差的绝对值($|D^+ - D^-|$)是否超过预定门限(K)(框 64)。如果线路 16、18 上的电压差超过该门限,则计时器被启动(框 66),以及静噪检波器 40 进入一个循环,其中静噪检波器 40 反复检查以确定差分串行数据链路 14 的线路 16、18 之间电压差的绝对值($|D^+ - D^-|$)是否大于预定门限(K)(框 68),直到通过计时器测量出已经超过预定时间周期(Y)为止(框 70)。如果线路 16、18 之间的电压差的绝对值($|D^+ - D^-|$)在整个时间周期 Y 中保持高于预定门限(K),则接收器 12 退出功率管理状态(框 72),以及计时器被重置(框 74)。否则,计时器被重置(框 76),控制返回到框 64。

图 5 表示一种示范静噪检波器 40 的更详细视图。在所述实例中,静噪检波器 40 包括差分检波器 146 以检测链路 14 的线路 16、18 之间的电压差,以及产生表示该差值的输出信号。所述静噪检波器 40 的差分检波器 146 通过具有低增益的差分运算放大器来实现,使得小的变化不会被驱动为逻辑“1”或“-1”。如图 5 所示,所述静噪检波器 40 还包括整流器 147 和积分器 148。所述整流器 147 没有增益,并用于确保到积分器的任何非零输入具有正极性(即整流器 147 的输出是差分检波器 146 的输出的绝对值)。积分器 148 用作上述计时器,以及对整流器 147 的输出信号求积分,从而产生积分信号。积分信号最好与预定门限进行比较。当积分信号下降到低于该门限时,静噪检波器的输出(它可以可选地为积分信号)使静噪有效电路 44 指示接收器 12 或其一个或多个元件进入降低功率状态,如上所述。另一方面,当积分信号超过该门限时,静噪检波器 40 的输出使静噪有效电路 44 指示接收器 12 或其一个或多个元件从降低功率状态中醒来,如上所

述。

图 6 详细说明积分器 148 的一种可能实现。如图所示, 积分器 148 可以可选地通过与电阻器 156 串联的电容器 150 来实现。因此, 在本实现中, 差分检波器 146 的输出信号的积分通过对电容器 150 充电来进行。电容器 150 的规格最好以如下方式确定: 如果电容器 150 两端的电压超过预定门限, 则检波器 146 所检测的电压差在至少预定的时间周期中处于基本适当的电平, 因此静噪有效电路 44 将发信号让处于降低功率状态的适当元件唤醒。另一方面, 如果电容器 150 两端的电压下降到低于预定门限, 则线路 16、18 之间的电压差被抑制, 以及静噪有效电路则发信号让适当元件进入降低功率状态。

图 6 说明静噪有效电路 44 的一种可能实现。如图所示, 所述静噪有效电路 44 包括晶体管 154 和晶体管 155。本领域的技术人员知道, 晶体管 154 可通过许多方式来实现, 但在所述实例中, 它由 PMOS 晶体管来实现。同样, 晶体管 155 可通过许多方式来实现, 但在所述实例中, 它由 NMOS 晶体管来实现。如图 6 所示, 晶体管 154 的第一端子耦合到电源。晶体管 154 的第二端子耦合到第二晶体管 155 的第一端子。晶体管 155 的第二端子接地。晶体管 154、155 的栅极彼此相连, 并与积分器 148 相联系。当积分信号达到足够的电平时, 晶体管 154 导通。另一方面, 当积分信号接近零电压时, 晶体管 155 导通。当晶体管 154 导通时, 晶体管 155 截止, 反之亦然。当晶体管 154 导通时, 在晶体管 154 的第二端子与晶体管 155 的第一端子之间设置的节点 158 上产生电压。当晶体管 155 导通时, 节点 158 连接到地。

晶体管 154 的第二端子与晶体管 155 的第一端子之间的节点 158 连接到接收器 112 的一些部分或元件, 以便发信号指示那些部分或元件在正常功率状态与降低功率状态之间移动, 如图 3 所示。具体来讲, 当电容器 150 两端的电压(即积分信号)达到足够的电平、从而把晶体管 154 转换为导通状态时, 向处于降低功率状态的接收器 12 的

元件提供一个信号,以便将其唤醒到正常功率状态。

对于此例,与差分串行数据链路 14 配合使用的通信协议要求数据(例如实际数据和伪数据)的连续交换,因此差分检波器 146 和整流器 147 的输出信号足以使电容器 150 两端的电压保持在足够使晶体管 154 处于导通状态的电平上。另一方面,使链路 14 静止、从而使差分检波器 146 的输出下降为零导致电容器 150 按照积分器 148 的 RC 时间常数放电,使得与电容器 150 相关的电压下降到低于晶体管 154 的导通门限,从而使晶体管 154 截止,以及使得当电容器电压接近零时,晶体管 155 导通。使晶体管 154 截止以及使晶体管 155 导通将把节点 158 上的电压驱动到地,从而发信号通知接收器 12 的至少某个(某些)部分进入降低功率状态。

本领域的技术人员知道,通过差分串行数据链路 14 进行通信的发送器 10 和接收器 12 可以是 DC 耦合(参见图 7 和图 9)或者 AC 耦合的(参见图 10 和图 11)。AC 耦合常用于发送器 10 在不同于接收器 12 的 DC 偏置电平工作(即发送器 10 和接收器 12 的共模电压不同)的情况下。为了保持这个 DC 电压差,AC 耦合电容器 160、162 连接在链路 14 的各线路 16、18 中,如图 10 和图 11 所示。在这个环境中,线路 16、18 可被偏置到第一 DC 电压电平,而且可通过开始在线路 16、18 上连续交换数据(伪数据或实际数据),或者通过把线路 16、18 其中之一或者两者驱动到不同的 DC 电平,产生带内唤醒信号或数据信号。这个带内信号可以可选地引起接收器 12 的共模电压的偏移。这种偏移可以可选地作为对接收器的唤醒信号。

另一方面,DC 耦合可用于在发送器 10 与接收器 12 之间没有出现任何 DC 偏压差的情况下。在 DC 耦合的上下文中,省略 AC 耦合电容器 160、162。

本领域的技术人员容易理解,分路阻抗 164、166 常常用于到接收器 12 的传输线路 14、16 的阻抗匹配。执行阻抗匹配以避免信号反射,这是众所周知的。当仅使用电阻性阻抗时,如图 7 和图 10 所示,

传输线路 14、16 被称作 DC 端接。当电容器 167 耦合在电阻器 164、166 与地之间时,如图 9 和图 11 所示,线路 14、16 被称作 AC 端接。

图 7 说明发送器 10 和接收器 12,它们在通信上通过差分串行数据链路 14 耦合。这个电路采用 DC 耦合和 DC 端接。图 9 说明采用 DC 耦合与 AC 端接的发送器 10、接收器 12 以及差分链路 14。图 10 说明采用 AC 耦合与 DC 端接的发送器 10、接收器 12 以及差分链路 14。图 11 说明采用 AC 耦合与 AC 端接的发送器 10、接收器 12 以及差分链路 14。由于存在 AC 耦合电容器 160、162 和/或 AC 端接电容器 167,因此图 9-11 的电路产生了图 7 的 DC 耦合/DC 端接电路中没有出现的问题。

具体来讲,在 AC 耦合和/或 AC 端接系统中,当发送器 10 和接收器 12 处于其降低功率状态时,有能够允许 AC 耦合和/或 AC 端接电容器 160、162、167 放电。但是,如果低等待时间是该系统的要求,则这是不希望的。换言之,如果希望快速唤醒接收器 12 以便开始传递数据,则 AC 耦合和端接电容器 160、162、167 不应该被允许放电,因为在那些电容器 160、162、167 达到其充电状态之前不应该开始传递。此外,在降低功率和/或转变(即降低功率状态与正常功率状态之间的状态)状态期间允许 AC 耦合和/或端接电容器 160、162、167 在充电与未充电状态之间漂移可能使电容器上的电压超出接收器 12 的工作范围。

为了避免与没有通信的时期之后使电容器 160、162、167 重新充电相关的延迟,以及避免允许电压漂移超出接收器 12 的工作范围所引起的可能错误,发送器 10 经过修改,如图 8 所示。具体来讲,发送器 10 配备了与端接电阻器 26、28 串联的开关 175、176,而且电源 177 有选择地经由开关 179 耦合到线路 16、18,用于把线路 16、18 偏置到预期 DC 电压。当发送器 10 进入降低功率状态时,开关 175、176 闭合,从而从线路 16、18 中消除端接电阻器 26、28。线路 16、18 的各端也经由开关 179 耦合到电源 177。因此,线路 16、18

上的电压不允许漂移,而是被维持在电源 177 的 DC 偏置电平。因此, AC 耦合和/或端接电容器 160、162、167 不放电,而仍然大约保持在偏置电源的 DC 电平。

当需要唤醒事件时,通过以下步骤,线路 16、18 立即准备好用于通信:(1)使开关 175、176 开路,从而把端接电阻器 26、28 重新连接到其相应的线路 16、18,以及(2)经由开关 179 从线路 16、18 断开电源 177。电源 177 可以可选地始终保持连接到线路 16、18,但这种方法将使用多于有选择地耦合和分离电源 177 时的功率,如上所述。DC 偏置电源 177 具有高阻抗,从而降低功率使用量。端接电阻器 26、28 通过开关 175、176 被有效地从电路中断开,从而节省功率。如果它们没有经过这种处理,则它们会从电源 177 中毫无意义地耗用功率。

图 10 说明一个示范 AC 耦合电路 168,它包括 AC 耦合电容器 160、162 和电阻性分路阻抗 164、166。由于电容器 160、162 对于 DC 信号起开路的作用,因此,如果带内唤醒信号是至少预定持续时间和预定大小(即数据速率低于 AC 耦合电路 168 的 RC 时间常数)的 DC 差信号,则 AC 耦合电容器 160、162 不会让整个 DC 信号通过。相反,如图 12 所示,当例如线路 16 上的发送器输出(即 AC 耦合电路 168 的输入信号)看似方波时,来自 AC 耦合电路 168 的输出看似减幅脉冲。脉冲衰变的时间率取决于 AC 耦合电路的 RC 常数(例如 AC 耦合电容器 160 和分路电阻 166 的规格)。因此,在 AC 耦合和带内 DC 唤醒信号的上下文中,带内唤醒信号到达接收器 12,因此,如果交换速率小于 AC 时间常数,则差分检波器 146 可具有显著低于发送器 10 产生的带内唤醒信号的能量。因此,为了确保积分信号超过唤醒接收器 12 或其部分所需的门限,必须适当地确定 AC 耦合电容器 160 和 162、分路电阻 64 和 66、积分器 48 的电容器 150 的规格。虽然可选择许多不同的规格配置,但是一个可能的实例是把耦合电容器 160、162 的规格确定为 1600 皮法(pf),分路电阻 64、66 确定为 50

欧姆, 积分器 148 的电容器 10 确定为 1pf, 以及积分器 148 的电阻器 156 确定为 1000 欧姆。另外, 带内信号必须足够迅速地改变, 从而使 AC 耦合电容器 160、162 的阻抗显得较小。换言之, 缓慢上升的信号因 AC 耦合电容器 160、162 的阻断效应而不是唤醒信号的最佳选择。静噪检波器 40 的 RC 时间常数应该小于 AC 耦合电路的 RC 时间常数。

由于一些接收器 12 可能没有设计成接收在零伏附近摆动的信号, 因此有时希望把接收器 12 的输入 DC 偏置到预定电压。图 10 表示实现这个目的的一个可能方法。具体来讲, DC 电压源 170 连接到线路 16、18, 以便把这些线路偏置到预期电平。如图 10 所示, 阻塞电容器 172、174 用来保持接收器 12 的 DC 偏置输入与 AC 耦合电路 168 的输出之间的 DC 隔离。当使用阻塞电容器 172、174 时, 它们的规格应该确定为至少是积分器 148 的电容器 150 的十倍。当接收器处于降低功率状态时, DC 偏置 170 也可用来把接收器 12 的输入保持为恒定 DC 电平。

本领域的技术人员知道, 选取阻塞电容器 172、174 和 DC 偏置 170 以便优化接收器 12 的操作。因此, 在一些情况下, 可能希望消除阻塞电容器 172、174, 并端接于 DC 偏置 170。在另一些情况下, 可能希望消除阻塞电容器 172、174 以及 DC 偏置 170。本领域的技术人员非常了解如何选择输入偏置电路来优化接收器的操作。因此, 这个主题在此不作进一步论述。

有可能使用接收器 12 所接收的带内唤醒信号的数量来传递信息。例如, 根据需要, 所公开的方法和设备可修改为响应顺序带内信号来依次唤醒接收器 12 的不同部分。具有可被分开唤醒的两个不同部分 176、178 的经修改的接收器如图 13 所示。

如图 13 所示, 经修改的接收器包括差分检波器 146、积分器 148 和静噪有效电路 44, 如上所述。如图 13 所示, 静噪有效电路 44 用于有选择地发信号通知接收器的至少第一部分 178 进入或退出降低

功率状态。在经修改的接收器中，第二静噪有效电路 182 用于有选择地发信号通知接收器的至少第二部分 176 进入或退出降低功率状态。在本例中，虽然第一静噪有效电路 44 如上所述响应第一带内唤醒信号而发信号通知其相应的接收器部分 178 退出降低功率状态，但在本例中，第二静噪有效电路 182 具有高于第一静噪有效电路 44 的门限，使得它不会响应第一带内唤醒信号而发信号通知其相应的接收器部分 176 退出降低功率状态。相反，如果经由链路 14 从发送器 10 所接收的第二带内唤醒信号使积分器 148 输出的积分信号达到高于第一电平的第二电平，则第二静噪有效电路 182 只唤醒其相应的接收器部分 176。各种已知的电路可用来使第二静噪有效电路 182 不响应第一带内信号，其中包括例如电平移动电路，它把到第二静噪有效电路 182 的 PMOS 和 NMOS 晶体管(类似于静噪有效电路 44 的晶体管 154、155)的栅极的输入分成两半，用于两个带内信号唤醒方法。

第一和第二带内唤醒信号可以相同。或者，带内唤醒信号可具有例如持续时间和/或大小的差异。虽然为简洁起见而仅论述了两个带内唤醒信号和两个接收器部分 176、178，但本领域的技术人员知道，任何数量的带内唤醒信号可用来唤醒任何数量的接收器部分，只要没有背离本发明的范围或实质。带外降低功率信号或者带内降低功率信号均可用来依次使接收器的各个部分 176、178 进入降低功率状态。或者，上述带内降低功率信号方法可用来使接收器的所有预期部分进入降低功率状态，使得虽然接收器的逐个唤醒可行，但各接收器部分无法依次进入降低功率状态。

从上文中，本领域的技术人员知道，已经提出一些方法和设备，用于利用一个或多个带内信号来降低经由差分串行数据链路耦合的发送器和接收器的功率使用量。有利的是，带内信号的使用避免了使用边带信号和边带连接，这转化为每个信号所需的更低成本和更高带宽。所公开的方法不是基于时钟的，而且可与任何差分链路通信协议配合使用。此外，所公开的方法和设备在没有传送数据时实现明显的

功率节省。退出和进入功率节省模式(即降低功率状态)的等待时间也较低(例如 3-200 纳秒,而且可能在每秒 2.5 千兆传输时低至 1 比特单元(例如 400 皮秒))。

虽然利用上述无源带内信令协议使接收器 12 进入降低功率状态以及利用上述有源带内唤醒协议把接收器 12 从降低功率状态唤醒到正常功率状态是有利的,但本领域的技术人员知道,可以按照其它方法,只要没有背离本发明的范围和实质。例如,上述技术中任一种均可在没有另一种技术时使用(例如,退出降低功率状态的带内信令与进入降低功率状态的带外信号结合,进入降低功率状态的无源带内信令与退出降低功率状态的带外信号结合,进入降低功率状态的有源带内信令协议与退出降低功率状态的有源带内信令协议结合等),和/或上述两种技术都可被其它信令技术(例如,进入降低功率状态的有源带内信令协议与退出降低功率状态的带外信令结合等)所取代。但是,降低功率信号其中的至少一个应该是带内信号(即经由差分串行数据链路 14 传送的信号)。

虽然以上论述的大部分集中于使接收器 12 从降低功率状态唤醒到唤醒状态,但本领域的技术人员知道,本文所公开的带内信令技术可用于在任何两个预期状态之间转换接收器 12。作为示例而不是限制,带内信令技术可用来使接收器 12 从降低功率状态转变到重置状态,或者使接收器 12 从降低功率状态转变到降低功率状态,其中接收器 12 所接收的带内信号通过第二差分串行数据链路 214 被转发到第二接收器 212,如图 14 所示。

虽然本文已经描述了根据本发明的理论构造的某些设备,但本专利的覆盖范围不限于此。相反,本专利涵盖在字面上或者在等效原则下完全落入所附权利要求的范围内的本发明理论的所有实施例。

图 4

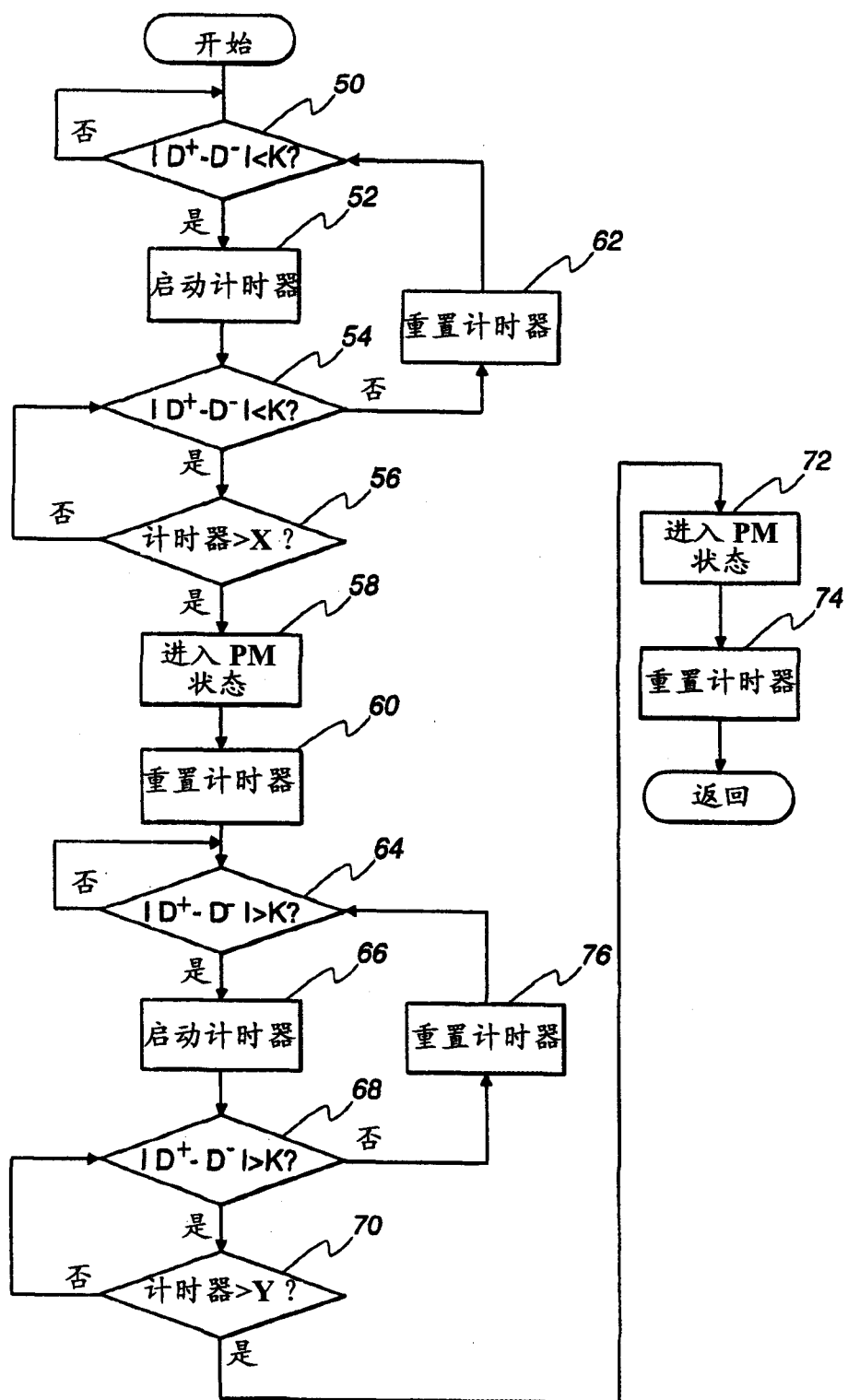


图 5

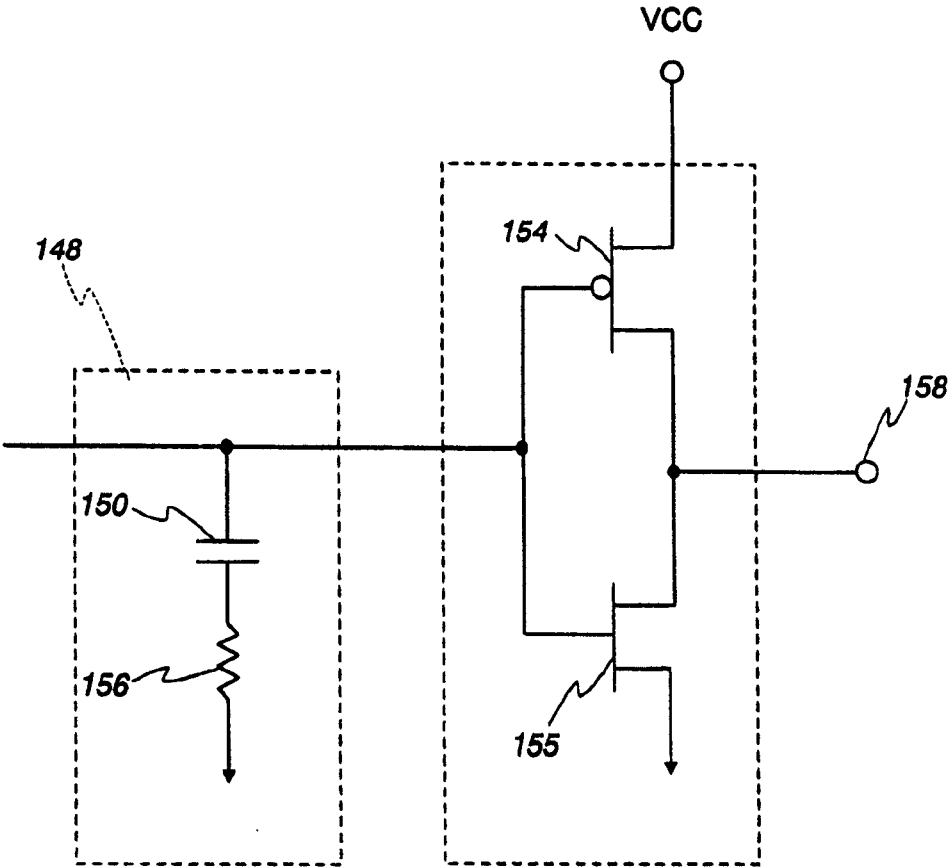
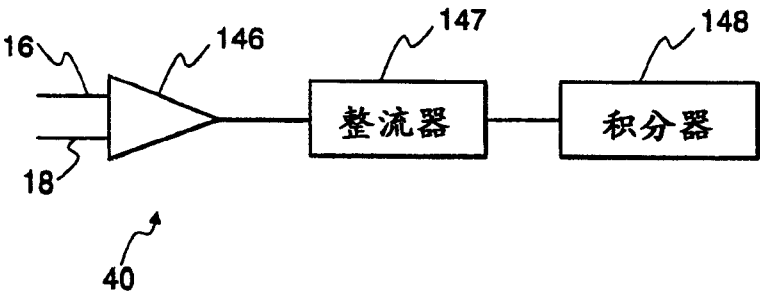


图 6

图 7

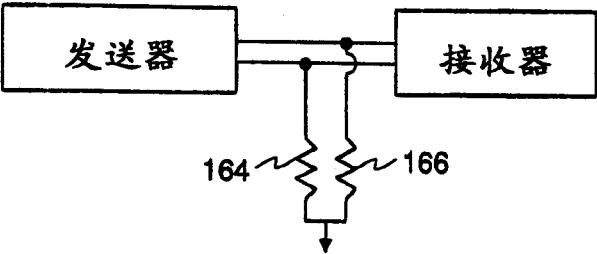


图 8

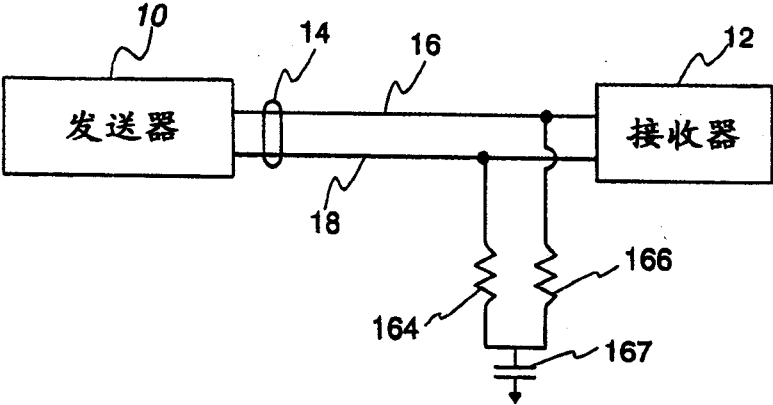
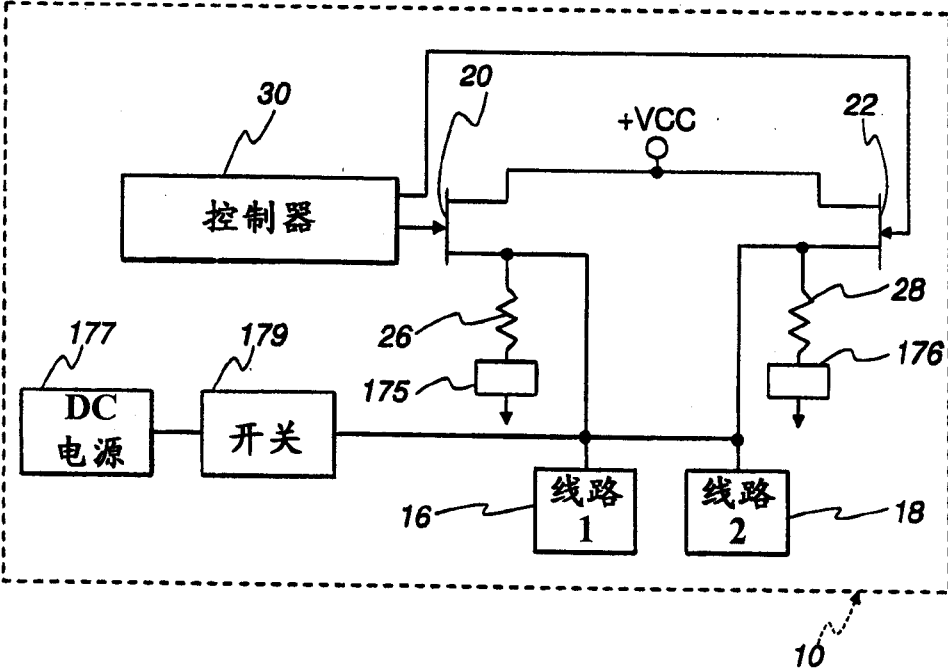


图 9

图 10

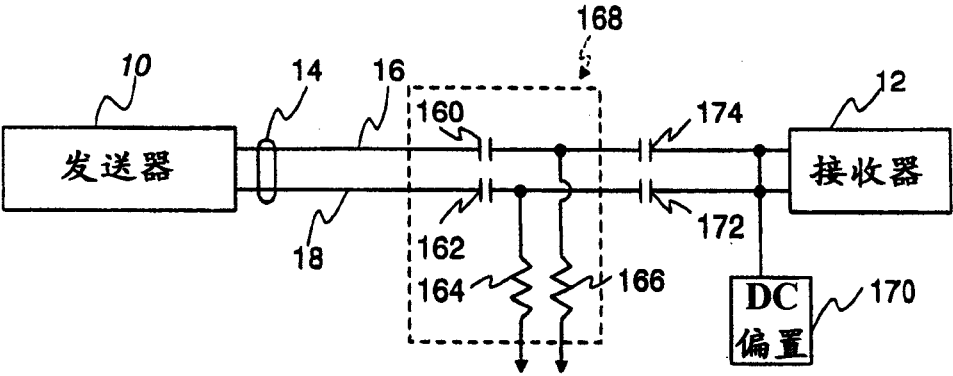


图 11

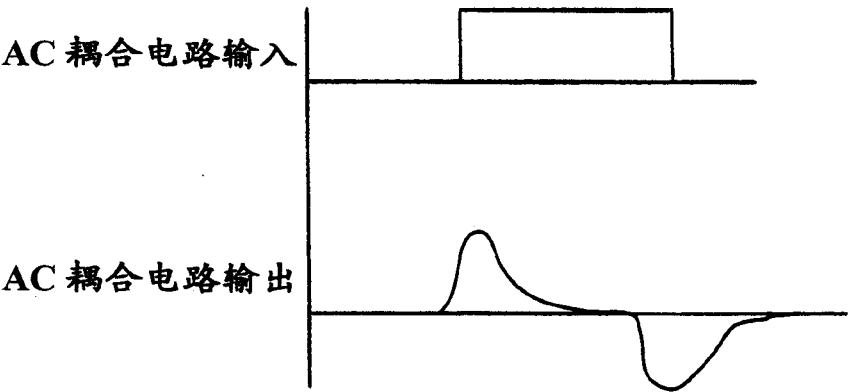
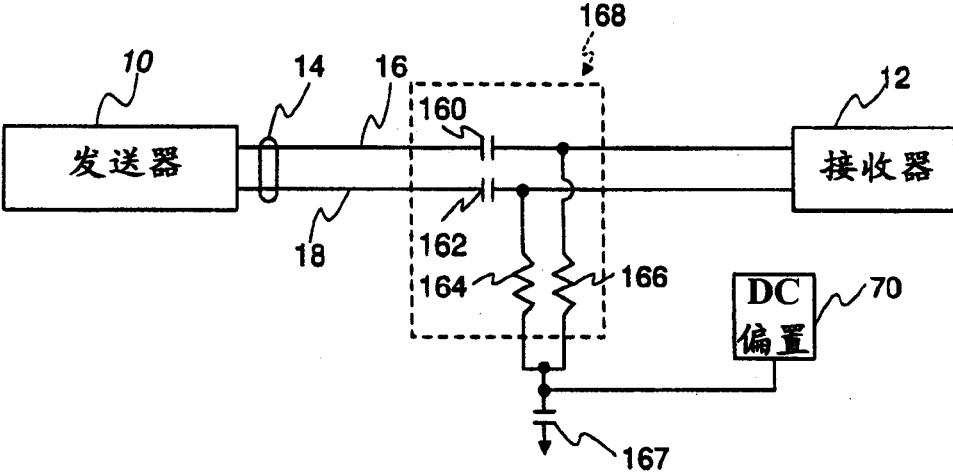


图 12

图 13

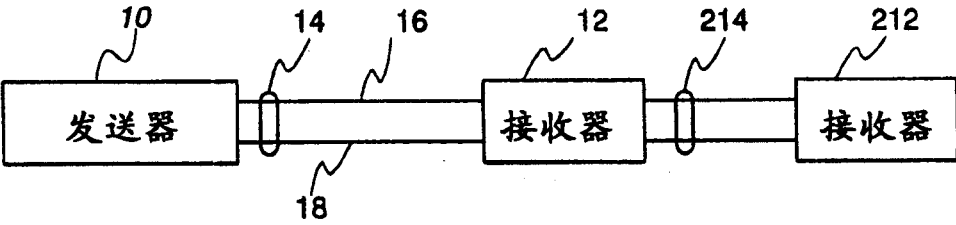
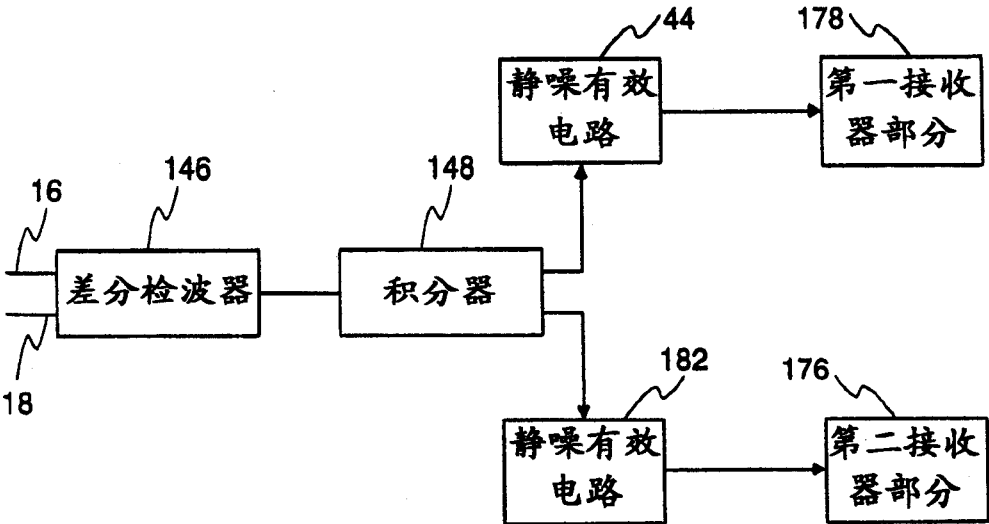


图 14