

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-205379

(P2008-205379A)

(43) 公開日 平成20年9月4日(2008.9.4)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/8247 (2006.01)	H O 1 L 29/78 3 7 1	5 F 0 8 3
H O 1 L 29/788 (2006.01)	H O 1 L 27/10 4 3 4	5 F 1 0 1
H O 1 L 29/792 (2006.01)		
H O 1 L 27/115 (2006.01)		

審査請求 未請求 請求項の数 5 O L (全 19 頁)

(21) 出願番号	特願2007-42408 (P2007-42408)	(71) 出願人	000003078
(22) 出願日	平成19年2月22日 (2007.2.22)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100058479
			弁理士 鈴江 武彦
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100109830
			弁理士 福原 淑弘

最終頁に続く

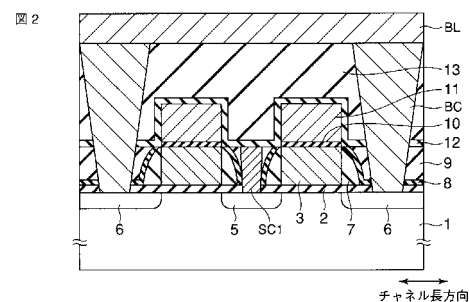
(54) 【発明の名称】 不揮発性半導体メモリ及びその製造方法

(57) 【要約】

【課題】メモリセルトランジスタを微細化でき、且つ、メモリセルアレイ部のサイズを縮小できる。

【解決手段】本発明の例に関わる不揮発性半導体メモリは、半導体基板1表面に形成されるソース及びドレイン拡散層5、6と、ソース及びドレイン拡散層5、6間のチャネル領域上に形成されるゲート絶縁膜2と、ゲート絶縁膜2上に形成されるフローティングゲート電極3と、フローティングゲート電極3上に、電極間絶縁膜10を介して形成されるコントロールゲート電極11と、ソース拡散層5に接触するソース線コンタクト部SC1とを具備し、ソース線コンタクト部SC1の上端は、コントロールゲート電極11の下端より低い位置にあることを備える。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

半導体基板表面に形成されるソース及びドレイン拡散層と、前記ソース及びドレイン拡散層間のチャンネル領域上に形成されるゲート絶縁膜と、前記ゲート絶縁膜上に形成されるフローティングゲート電極と、前記フローティングゲート電極上に、電極間絶縁膜を介して形成されるコントロールゲート電極と、前記ソース拡散層に接触するソース線コンタクト部とを具備し、前記ソース線コンタクト部の上端は、前記コントロールゲート電極の下端より低い位置にあることを特徴とする不揮発性半導体メモリ。

【請求項 2】

半導体基板表面に形成されるソース及びドレイン拡散層と、前記ソース及びドレイン拡散層間のチャンネル領域上に形成されるゲート絶縁膜と、前記ゲート絶縁膜上に形成されるフローティングゲート電極と、前記ソース拡散層に接触するソース線コンタクト部と、前記フローティングゲート電極上面及び前記ソース線コンタクト部上面を覆う電極間絶縁膜と、前記電極間絶縁膜を介して、前記フローティングゲート電極上に形成されるコントロールゲート電極とを具備し、前記コントロールゲート電極の上端は、前記ソース線コンタクト部上面を覆う電極間絶縁膜上端以下の位置にあることを特徴とする不揮発性半導体メモリ。

10

【請求項 3】

半導体基板表面上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にフローティングゲート電極を形成する工程と、前記フローティングゲート電極をマスクとして、ソース及びドレイン拡散層を形成する工程と、前記フローティングゲート電極の上端と一致するように、前記拡散層上に絶縁層を形成する工程と、前記絶縁層内に前記拡散層の表面が露出するようにコンタクトホールを形成する工程と、前記拡散層と接触するようにソース線コンタクト部を前記コンタクトホールに埋め込む工程と、前記フローティングゲート電極上に、電極間絶縁膜を形成する工程と、前記電極間絶縁膜上に、コントロールゲート電極を形成する工程とを具備する不揮発性半導体メモリの製造方法。

20

【請求項 4】

前記コントロールゲート電極は、前記電極間絶縁膜上に、コントロールゲート電極材を形成する工程と、前記コントロールゲート電極材を、前記フローティングゲート電極のチャンネル長方向のサイズよりも狭くなるように、コントロールゲート電極のゲート加工を行う工程とにより形成されることを特徴とする請求項 3 に記載の不揮発性半導体メモリの製造方法。

30

【請求項 5】

前記コントロールゲート電極は、前記ソース線コンタクト部を形成した後に、前記フローティングゲート電極の上端が、前記絶縁層の上端より低い位置になるように、前記フローティングゲート電極の上部をエッチングして、凹部を形成する工程と、前記凹部内及び前記ソース線コンタクト部上面を覆うように前記電極間絶縁膜を形成する工程と、前記凹部内にコントロールゲート電極材を自己整合的に埋め込む工程とにより形成されることを特徴とする請求項 3 に記載の不揮発性半導体メモリの製造方法。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、不揮発性半導体メモリに係り、特に、積層ゲート構造を有するメモリセルトランジスタに関する。

【背景技術】

【0002】

不揮発性半導体メモリとして、例えば、NAND型或いはNOR型フラッシュメモリが、電子機器に用いられている。

【0003】

NOR型フラッシュメモリにおいて、メモリセルトランジスタは、例えば、コントロー

50

ルゲート電極とフローティングゲート電極からなる積層ゲート構造のMOS (Metal Oxide Semiconductor) トランジスタである。

【0004】

その積層ゲート構造は、メモリセルアレイ部内にライン&スペースで形成されるため、メモリセルトランジスタのチャネル領域及びソース及びドレイン拡散層は、容易に微細化できる(例えば、特許文献1参照)。

【0005】

一方、それらのソース及びドレイン拡散層とビット線及びソース線を接続するために設けられるコンタクト部の微細化は容易ではない。

【0006】

コンタクト部は、積層ゲート電極及びソース/ドレイン拡散層が形成された後に形成される。そのため、コンタクト部が埋め込まれるコンタクトホールは、積層ゲート電極の高さに基づいたアスペクト比で形成される。

【0007】

それゆえ、ソース/ドレイン拡散層は、コンタクト材のコンタクトホールへの埋め込み性や、コンタクト部とゲート電極とのショートマージンの確保などにより、サイズが大きくなってしまう。

【0008】

この問題は、積層ゲート構造のメモリセルトランジスタでは顕著であり、コンタクト部の微細化が、メモリセルアレイ部全体の微細化に追従できていない。そのため、メモリセルアレイ内に占めるコンタクト部の面積が、徐々に増大する傾向にある。

【0009】

また、上記の問題を解決するため、ソース線コンタクト部を設けず、ソース拡散層がワード線の延びる方向に共有されるように形成し、その拡散層をコンタクト部の代替とする方法(SAS: Self Aligned Source)が、よく用いられる。

【0010】

しかし、SASは、タングステン(W)などのプラグ材を用いたコンタクト部と比較すると、抵抗値が大きくなってしまう。

【0011】

それゆえ、メモリセルアレイ部内にシャント領域が一定間隔で設けられる。シャント領域内では、SASの上部にそれよりも低抵抗率のソース線が配置され、両者は、コンタクト部を介して、互いに接続される。

【特許文献1】特開2004-152878号公報

【発明の開示】

【発明が解決しようとする課題】

【0012】

本発明の例は、メモリセルトランジスタを微細化できる技術について提案する。

【課題を解決するための手段】

【0013】

本発明の例に関わる不揮発性半導体メモリは、半導体基板表面に形成されるソース及びドレイン拡散層と、前記ソース及びドレイン拡散層間のチャネル領域上に形成されるゲート絶縁膜と、前記ゲート絶縁膜上に形成されるフローティングゲート電極と、前記フローティングゲート電極上に、電極間絶縁膜を介して形成されるコントロールゲート電極と、前記ソース拡散層に接触するソース線コンタクト部とを具備し、前記ソース線コンタクト部の上端は、前記コントロールゲート電極の下端より低い位置にあることを備える。

【0014】

本発明の例に関わる不揮発性半導体メモリは、半導体基板表面に形成されるソース及びドレイン拡散層と、前記ソース及びドレイン拡散層間のチャネル領域上に形成されるゲート絶縁膜と、前記ゲート絶縁膜上に形成されるフローティングゲート電極と、前記ソース拡散層に接触するソース線コンタクト部と、前記フローティングゲート電極上面及び前記

10

20

30

40

50

ソース線コンタクト部上面を覆う電極間絶縁膜と、前記電極間絶縁膜を介して、前記フローティングゲート電極上に形成されるコントロールゲート電極とを具備し、前記コントロールゲート電極の上面は、前記ソース線コンタクト部上面を覆う電極間絶縁膜上面以下の位置にあることを備える。

【0015】

本発明の例に関わる不揮発性半導体メモリの製造方法は、半導体基板表面上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にフローティングゲート電極を形成する工程と、前記フローティングゲート電極をマスクとして、ソース及びドレイン拡散層を形成する工程と、前記フローティングゲート電極の上端と一致するように、前記拡散層上に絶縁層を形成する工程と、前記絶縁層内に前記拡散層の表面が露出するようにコンタクトホールを形成する工程と、前記拡散層と接触するようにソース線コンタクト部を前記コンタクトホールに埋め込む工程と、前記フローティングゲート電極上に、電極間絶縁膜を形成する工程と、前記電極間絶縁膜上に、コントロールゲート電極を形成する工程とを備える。

10

【発明の効果】

【0016】

本発明の例によれば、メモリセルトランジスタを微細化できる。

【発明を実施するための最良の形態】

【0017】

以下、図面を参照しながら、本発明の例を実施するための最良の形態について詳細に説明する。

20

【0018】

1. 概要

本発明の実施形態の不揮発性半導体メモリは、積層ゲート構造を有するメモリセルトランジスタに関する。

【0019】

例えば、NOR型フラッシュメモリにおいて、メモリセルトランジスタの拡散層とソース線或いはビット線を接続するために、コンタクト部が設けられる。そのコンタクト部は、1つ或いは2つ以上のコンタクト層からなる。

【0020】

本発明の実施形態は、コンタクト部が2つ以上のコンタクト層から構成される場合において、ソース拡散層に接触するソース線コンタクト部の上端が、コントロールゲート電極の下端より低い位置にあることを特徴とする。ここで、下端方向は基板方向、上端方向は基板と反対方向と定義する。そして、低い位置にあるとは、比較対象の部材・部位よりも基板方向にあることと定義する。

30

【0021】

本発明の実施形態では、ソース拡散層に接触するコンタクト部が埋め込まれるコンタクトホールは、フローティングゲート電極の高さに基づいたアスペクト比で形成される。

【0022】

それゆえ、積層ゲート電極の高さでコンタクトホールを形成する場合のアスペクト比に比べ、そのアスペクト比を低減でき、拡散層のサイズを縮小できる。

40

【0023】

したがって、本発明の実施形態は、メモリセルトランジスタを微細化でき、メモリセルアレイ部のサイズを縮小できる。

【0024】

また、本発明の実施形態の構造においては、上記のソース拡散層に接触するコンタクト部が、コントロールゲート電極が形成される工程より、前の工程で形成される。即ち、本発明の実施形態では、積層される2つのゲート電極が、それぞれ異なる工程で形成される製造方法となる。

【0025】

それゆえ、本発明の実施形態では、上記の構造を得るための製造方法についても説明す

50

る。

【0026】

尚、本発明の実施形態で述べるソース線及びビット線コンタクト部とは、ソース線及びビット線より下層に位置するコンタクト部と定義する。

【0027】

2. 実施の形態

次に、最良と思われるいくつかの実施の形態について説明する。

【0028】

尚、本発明の実施形態は、NOR型フラッシュメモリを例として、詳細な説明を行う。

【0029】

また、コンタクト部の定義は、概要で説明した通りとする。

【0030】

(1) 第1の実施形態

(a) 実施例

(i) 構造

図1乃至図4を用いて、本実施形態の構造について説明する。

【0031】

図1は、NOR型フラッシュメモリのメモリセルアレイ部の平面図を示す。図2は、図1のII-II線に沿う断面を示す。また、図3は、図1のIII-III線に沿う断面を示し、図4は、図1のIV-IV線に沿う断面図を示す。

【0032】

図1に示すように、メモリセルアレイ部は、アクティブ領域AAと、アクティブ領域Aを電氣的に分離する素子分離領域STIを有している。

【0033】

メモリセルトランジスタは、素子分離領域STIに囲まれたアクティブ領域AA上に、マトリクス状に配置されている。

【0034】

NOR型フラッシュメモリにおいて、1つのメモリセルトランジスタのドレイン拡散層6には、ビット線コンタクト部BCが接続される。また、そのソース拡散層5には、第1のソース線コンタクト部SC1が接続される。

【0035】

ソース線コンタクト部SC1は、アクティブ領域AAを横切る方向(チャンネル幅方向)に延びる。

【0036】

ビット線BLは、アクティブ領域AA上層を、チャンネル長方向に延びる。

【0037】

ソース線SLは、例えば、メモリセルアレイ部内に設けられたシャント領域SA上層に設けられ、ビット線BLと同様に、チャンネル長方向に延びる。ソース線SLは、シャント領域SA内に設けられた第2のソース線コンタクト部SC2を介して、第1のソース線コンタクト部SC1と接続される。シャント領域SAは、例えば、64個のアクティブ領域AA毎に、設けられる。

【0038】

また、ワード線を兼ねるコントロールゲート電極11は、ビット線BLが延びる方向と直交する方向に延びる。

【0039】

図2乃至図4に示すように、メモリセルトランジスタは、フローティングゲート電極3及びコントロールゲート電極11から構成される積層ゲート構造を有している。この積層ゲートの高さは、例えば、300nm程度である。

【0040】

フローティングゲート電極3は、半導体基板1表面に形成されたゲート絶縁膜2上に配

10

20

30

40

50

置される。チャンネル幅方向に隣接するフローティングゲート電極 3 は、例えば、S T I (Shallow Trench Isolation) 構造の素子分離絶縁層 4 により、電氣的に分離される。フローティングゲート電極 3 は、例えば、ポリシリコンから構成される。

また、フローティングゲート電極 3 のチャンネル長方向の側壁には、例えば、スペーサ絶縁層 7 が形成される。

【0041】

コントロールゲート電極 11 は、電極間絶縁膜 10 を介して、フローティングゲート電極 3 上に配置される。そして、このコントロールゲート電極 11 は、ワード線として機能するため、チャンネル幅方向に延び、チャンネル幅方向に隣接するメモリセルトランジスタ間で共有される。コントロールゲート電極 11 は、例えば、ポリシリコンから構成される。尚、本実施例においては、一層構造のコントロールゲート電極を示すが、例えば、ポリシリコン膜とその上層に形成されるシリサイド膜からなる 2 層構造のコントロールゲート電極でもよい。

【0042】

また、図 3 に示すように、コントロールゲート電極 11 は、例えば、電極間絶縁膜 10 を介して、フローティングゲート電極 3 のチャンネル幅方向の側部を覆うように形成されても良い。このような構造とすることで、フローティングゲート電極 3 とコントロールゲート電極 11 間のカップリング比を向上できる。

【0043】

ソース拡散層 5 及びドレイン拡散層 6 は、メモリセルトランジスタのソース/ドレイン領域として、半導体基板 1 表面に形成される。ソース及びドレイン拡散層 5, 6 は、チャンネル長方向に隣接するメモリセルトランジスタ間で、それぞれ共有されている。

【0044】

ドレイン拡散層 6 は、ビット線コンタクト部 B C を介して、ビット線 B L に電氣的に接続される。また、ビット線コンタクト部は、テーパ状に形成されたコンタクトホールに埋め込まれている。

ビット線 B L は、チャンネル長方向に隣接するメモリセルトランジスタ間で共有される。

【0045】

ソース拡散層 5 は、第 1 及び第 2 のソース線コンタクト部 S C 1, S C 2 の 2 つのコンタクト層を介して、ソース線 S L に電氣的に接続される。ソース線コンタクト部 S C 1, S C 2 は、例えば、タングステン (W) から構成される。また、ソース線 S L は、例えば、アルミ (A l) 或いは銅 (C u) などの低抵抗率のメタル材から構成される。

【0046】

尚、ソース線 S L 及びビット線 B L と、コンタクト部 B C, S C 1, S C 2 との間には、中間金属膜及びその中間金属膜とソース線 S L 及びビット線とを接続するためのコンタクト部が設けられてもよい。

【0047】

尚、本実施形態で述べるソース線及びビット線コンタクト部とは、ソース線及びビット線より下層 (基板方向) に位置するコンタクト部と定義する。

【0048】

第 1 のソース線コンタクト部 S C 1 は、第 1 の絶縁層 9 内に形成されたスリット状のコンタクトホールに埋め込まれ、ソース拡散層 5 と接触している。そして、図 4 に示すように、第 1 のソース線コンタクト部 S C 1 は、チャンネル幅方向に隣接するメモリセルトランジスタのソース拡散層 5 間で、それぞれ共有接続される。即ち、第 1 のソース線コンタクト部 S C 1 は、素子分離領域 S T I 上及びアクティブ領域 A A 上を、チャンネル幅方向に延びている。

第 2 のソース線コンタクト部 S C 2 は、シャント領域 S A 内に設けられる。そして、第 1 のソース線コンタクト部 S C 1 は、第 2 のソース線コンタクト部 S C 2 により、シャント領域 S A 内で、ソース線 S L と接続される。

10

20

30

40

50

【 0 0 4 9 】

尚、上述のように、第 1 のソース線コンタクト部 S C 1 は、チャンネル幅方向に隣接するメモリセルトランジスタ間で共有されている。そのため、第 1 のソース線コンタクト部 S C 1 を、ワード線の延びる方向に延びるソース線として用いることもでき、そのソース線コンタクト部 S C 1 からメモリセルトランジスタにソース電圧を供給することもできる。その場合には、図 1 乃至 4 に示すようなソース線 S L 及び第 2 のコンタクト部 S C 2 を設けずともよい。

【 0 0 5 0 】

また、本実施の形態において、ソース線 S L が、ビット線 B L と同じ層内に設けられた例を示すが、中間金属膜を用いて、ビット線 B L とソース線 S L とを、異なる層内に設けても良い。

10

【 0 0 5 1 】

本実施形態では、ソース拡散層 5 と接触している第 1 のソース線コンタクト部 S C 1 の上端は、コントロールゲート電極 1 1 の下端よりも低い位置にある。ここで、下端方向は基板方向、上端方向は基板と反対方向と定義する。そして、低い位置にあるとは、比較対象の部材・部位よりも基板方向にあることと定義する。

【 0 0 5 2 】

コンタクトホールを形成する際のアスペクト比は、開口幅 W に対する深さ（高さ）D のサイズ比 D / W によって決定される。

第 1 のソース線コンタクト部 S C 1 が埋め込まれるコンタクトホールのアスペクト比は、フローティングゲート電極 3 の膜厚（高さ）とソース拡散層 5 のチャンネル長方向のサイズで決定される。

20

よって、そのコンタクトホールの高さ方向のサイズが小さくなるので、アスペクト比を低減できる。そして、コンタクトホールの幅方向のサイズを小さくしても、コンタクトホールの形成に必要なアスペクト比を確保できる。

【 0 0 5 3 】

それゆえ、第 1 のソース線コンタクト部 S C 1 が埋め込まれるコンタクトホールのアスペクト比を確保するために、ソース拡散層 5 のチャンネル長方向のサイズを大きくする必要がない。

【 0 0 5 4 】

したがって、ソース拡散層 5 のチャンネル長方向のサイズを縮小できる。

30

【 0 0 5 5 】

以上のように、本発明の第 1 の実施形態では、メモリセルトランジスタを微細化でき、メモリセルアレイ部のサイズを縮小できる。

【 0 0 5 6 】

以下には、上記の構造の製造方法について、説明する。

【 0 0 5 7 】

(i i) 製造方法

上記の構造を得るためには、第 1 のソース線コンタクト部 S C 1 が、コントロールゲート電極 1 1 が形成される前に、形成される。

40

即ち、上記のメモリセルトランジスタ及びソース線コンタクト部の構造は、コントロールゲート電極とフローティングゲート電極を同時にゲート加工する自己整合的な手法を用いず、それらの電極を別途形成することで得られる。

【 0 0 5 8 】

以下には、その製造方法について、詳細に説明する。

【 0 0 5 9 】

図 5 A 乃至図 1 0 を用いて、第 1 の実施形態の製造方法について説明する。

【 0 0 6 0 】

はじめに、図 5 A 及び図 5 B に示すように、例えば、シリコン酸化膜からなる、ゲート絶縁膜 2 が、例えば、熱酸化法により、半導体基板 1 表面に形成される。次に、ポリシリ

50

コン膜 3 A が、例えば、CVD (Chemical Vapor Deposition) 法により、ゲート絶縁膜 2 上に堆積される。

そして、ポリシリコン膜 3 A は、所望のゲート幅となるようなライン & スペースのパターニングが施される。その後、ポリシリコン膜 3 A、半導体基板 1 が、例えば、RIE (Reactive Ion Etching) により、順次エッチングされる。それにより、所望のゲート幅となるポリシリコン膜 3 A と、例えば、STI (Shallow Trench Isolation) 構造の素子分離溝が形成される。

続いて、シリコン酸化物が、素子分離溝が埋め込まれるように、例えば、HDP-CVD (High Density Plasma CVD) 法により、半導体基板 1 の全面に堆積される。その後、シリコン酸化物が、例えば、CMP (Chemical Mechanical Polishing) 法により、ポリシリコン膜 3 A の上端と一致するように、平坦化される。すると、STI 構造の素子分離絶縁層 4 が、半導体基板 1 内に形成される。

10

【0061】

そして、ポリシリコン膜 3 A が、所望のゲート長となるようなライン & スペースのパターニングが施される。このとき、そのパターニングは、例えば、後の工程でビット線コンタクト部が形成される領域のゲート間隔が、ソース線コンタクト部が形成される領域のゲート間隔よりも広くなるように形成される。そして、ポリシリコン膜 3 A が、そのパターンに基づいて、例えば、RIE によりエッチングされる。

すると、図 6 に示すように、フローティングゲート電極 3 が形成される。そして、ソース拡散層 5 及びドレイン拡散層 6 が、例えば、イオン注入法により、半導体基板 1 表面に、フローティングゲート電極 3 をマスクとして、自己整合的に形成される。

20

【0062】

その後、例えば、SiN が、半導体基板 1 の全面を覆うように、例えば、CVD 法により堆積された後、SiN に対して、エッチバックが施される。

すると、図 7 に示すように、フローティングゲート電極 3 の側壁に、スペーサ絶縁層 7 が、形成される。このとき、ソース拡散層 5 上には、スペーサ絶縁層 7 からなる凹部が形成される。尚、このスペーサ絶縁層 7 は、後に形成するソース線コンタクト部とゲート電極とのショートマージンが確保できる場合には、形成せずとも良い。

その後、後の工程で CMP のストッパ膜となる、例えば、SiN 膜 8 が、半導体基板 1 上の全面を覆うように形成される。さらに、例えば、BPSG (Boron Phosphorous Silicate Glass) 又は TEOS などから構成される第 1 の絶縁層 9 が、例えば、HDP-CVD 法及び CMP 法を用いて、その上端が、ストッパ膜である SiN 膜 8 の上端と一致するように形成される。

30

【0063】

次に、図 8 A 及び図 8 B に示すように、ソース拡散層 5 表面が露出するように、コンタクトホール X が、例えば、RIE により、絶縁層 9 内に形成される。このコンタクトホール X を形成するためのアスペクト比は、フローティングゲート電極 3 の膜厚 (高さ) に比例して、決定される。よって、積層ゲートの高さでアスペクト比を決定するよりも、アスペクト比を低減でき、それゆえ、ソース拡散層 5 のサイズを小さくできる。また、そのコンタクトホール X は、チャンネル幅方向に延びるスリット状の構造となっている。

40

続いて、例えば、タングステン (W) などからなる、第 1 のソース線コンタクト部 SC1 が、ストッパ膜である SiN 膜 8 の上端と一致するように、コンタクトホール X に埋め込まれる。

【0064】

SiN 膜 8 が、例えば、RIE により除去された後、図 9 に示すように、電極間絶縁膜となる、例えば、ONO 膜 10 A 及びコントロールゲート電極となる、例えば、ポリシリコン膜 11 A が、半導体基板 1 上の全面に、順次堆積される。

【0065】

その後、図 10 に示すように、所望のゲート幅となるように、ポリシリコン膜及び ON

50

膜が、R I E 法に順次エッチングされ、電極間絶縁膜 1 0 及びコントロールゲート電極 1 1 が、形成される。

【 0 0 6 6 】

そして、図 1 1 A 及び図 1 1 B に示すように、バリア膜 1 2 が、コントロールゲート電極 1 1 の表面を覆うように形成され、その後、第 2 の絶縁層 1 3 が、半導体基板 1 上の全面に堆積される。さらに、第 1 のソース線コンタクト S C 1 と接触するように、第 2 のソース線コンタクト S C 2 が、絶縁層 1 3 内に形成された、例えば、テーパ状のコンタクトホールに埋め込まれる。

また、ビット線コンタクト部 B C が、ドレイン拡散層 6 に接触するように、絶縁層 9 , 1 3 内に形成された開口部に埋め込まれる。

10

その後、例えば、A l 或いは C u などのメタル材からなる、ビット線 B L 及びソース線 S L が、絶縁層 1 3 上面に、形成される。

【 0 0 6 7 】

以上の製造工程により、本実施の形態の N O R 型フラッシュメモリが完成する。

【 0 0 6 8 】

以上の製造工程で作製されたメモリセルトランジスタは、フローティングゲート電極の高さに基づいたアスペクト比で、ソース拡散層に接触する第 1 のソース線コンタクト部を形成できる。

【 0 0 6 9 】

よって、ソース拡散層のサイズを縮小でき、メモリセルトランジスタの微細化及びメモリセルアレイ部のサイズを縮小できる。

20

【 0 0 7 0 】

(b) 応用例

本実施形態において、リソグラフィ及びプラグ材の埋め込み性の観点から、スリット状のコンタクトホールに埋め込まれるソース線コンタクト部のほうが、ビット線コンタクト部に比べ、微細化の効果が大きい。

【 0 0 7 1 】

それゆえ、実施例においては、ソース線コンタクト部の上端が、コントロールゲート電極の下端より低い位置となるように形成され、ソース拡散層のチャネル長方向のサイズを縮小できる例について、説明した。

30

【 0 0 7 2 】

しかし、本発明の実施形態は、ソース線コンタクト部のみならず、ビット線コンタクト部にも適用でき、それにより、メモリセルトランジスタのサイズをさらに縮小することもできる。

【 0 0 7 3 】

以下には、本発明の実施形態を、ソース線コンタクト部及びビット線コンタクト部に適用した例について、説明する。

【 0 0 7 4 】

(i) 構造

図 1 2 は、本応用例の平面図を示し、図 1 3 は、図 1 1 の X I I I - X I I I 線に沿う断面図を示す。

40

【 0 0 7 5 】

図 1 3 に示すように、ビット線コンタクト部 B C は、第 1 のソース線コンタクト部 S C 1 と同時に形成される第 1 のビット線コンタクト部 B C 1 と、第 1 のビット線コンタクト部 B C 1 とビット線 B L とを接続する第 2 のビット線コンタクト部 B C 2 とから構成される。

【 0 0 7 6 】

本応用例において、第 1 のビット線コンタクト部 B C 1 は、第 1 のソース線コンタクト部 S C 1 と同時に形成される。

即ち、第 1 のビット線コンタクト部 B C 1 を埋め込むためのコンタクトホールも、フロ

50

ーティングゲート電極 3 の高さ（膜厚）に基づいたアスペクト比で形成される。

【0077】

それゆえ、そのコンタクトホールのアスペクト比を低減でき、また、ドレイン拡散層 6 のチャンネル長方向のサイズを縮小できる。

【0078】

よって、ソース及びドレイン拡散層のサイズを縮小できる。それにより、メモリセルトランジスタを微細化でき、メモリセルアレイ部のサイズを縮小できる。

【0079】

（ii）製造方法

以下、本応用例の構造の製造方法について、説明を行う。

10

【0080】

はじめに、図 5 A 及び図 7 と同様の工程で、フローティングゲート電極 3 が、半導体基板 1 表面のゲート絶縁膜 2 上に形成される。この際、後の工程でドレイン拡散層が形成される領域のサイズは、実施例に示すサイズよりも狭くなるよう形成される。

【0081】

次に、そのフローティングゲート電極 3 をマスクとして、ソース及びドレイン拡散層 5 , 6 が、自己整合的に半導体基板 1 表面に形成される。その後、スペーサ絶縁層 7、ストップ膜 8、第 1 の絶縁層 9 が、順次形成される。

【0082】

そして、図 1 4 に示すように、第 1 のソース線コンタクト部 S C 1 及び第 1 のビット線コンタクト部 B C 1 が、拡散層 5 , 6 にそれぞれ接触するように、絶縁層 9 内に形成されたコンタクトホールに埋め込まれる。

20

【0083】

続いて、図 9 乃至図 1 1 A , 1 1 B と同様の工程で、電極間絶縁膜 1 0、コントロールゲート電極 1 1 が、順次形成される。さらに、バリア膜 1 2、第 2 の絶縁層 1 3 が形成される。

そして、第 2 のソース線コンタクト部 S C 2、第 2 のビット線コンタクト部 B C 2 が、例えば、同時工程で、絶縁層 1 3 内に形成される。その後、ソース線 S L 及びビット線 B L が、絶縁層 1 3 上に形成され、本応用例の NOR 型フラッシュメモリが完成する。

【0084】

30

以上の製造工程で作製されたメモリセルトランジスタは、フローティングゲート電極 3 の高さに基づいたアスペクト比で、拡散層に接触するコンタクト部を形成できる。

【0085】

よって、ソース及びドレイン拡散層のサイズを縮小でき、メモリセルトランジスタを微細化でき、メモリセルアレイ部のサイズを縮小できる。

【0086】

（c）変形例

上述のスペーサ絶縁層 7 は、コンタクト部とゲート電極間のショートマージンが確保できる場合には、形成せずとも良い。

【0087】

40

それゆえ、本発明の実施形態のメモリセルは、図 1 5 に示す構造でもよい。

【0088】

この場合、チャンネル長方向に隣接する 2 つのフローティングゲート電極 3 間は、第 1 の絶縁層 9 のみで埋め込まれる。そして、その絶縁層 9 内に、第 1 のソース線コンタクト部 S C 1 が、ソース拡散層 5 に接触するように埋め込まれる。

【0089】

よって、図 1 5 に示す構造においても、ソース拡散層 5 のサイズを縮小でき、メモリセルトランジスタを微細化できる。

【0090】

また、スペーサ絶縁層を形成しないことにより、製造工程を削減でき、製造コストを低

50

減できる。

【0091】

尚、本変形例は、応用例に示す構造にも適用できる。

【0092】

(2) 第2の実施形態

上述のように、第1の実施形態のNOR型フラッシュメモリは、ソース線コンタクトを形成するためのアスペクト比を低減させるため、フローティングゲート電極とコントロールゲート電極とが、それぞれ異なる工程で形成される。

【0093】

それゆえ、フローティングゲート電極とコントロールゲート電極が、同時にゲート加工されて形成される場合とは異なり、それらのゲート電極間のアライメントがずれる可能性がある。

【0094】

本実施の形態においては、第1の実施形態の効果に加え、コントロールゲート電極とフローティングゲート電極間のアライメントのずれを許容できるメモリセルトランジスタの構造及び製造方法について説明する。

【0095】

尚、第1の実施形態と同一部材には、同一の符号を付し、詳細な説明は省略する。

【0096】

(a) 構造

図16は、本実施形態のチャネル長方向の構造を示す断面図である。

【0097】

本実施形態において、コントロールゲート電極11のチャネル長方向の幅が、フローティングゲート電極3のチャネル長方向の幅よりも狭いことを特徴とする。

【0098】

それにより、コントロールゲート電極11とフローティングゲート電極3間のアライメントのずれを許容できる。

【0099】

また、そのような積層ゲート電極の構造とした場合においても、第1のソース線コンタクト部SC1の構造に対して、影響を及ぼすことはない。よって、ソース拡散層5のサイズを縮小することができる。

【0100】

さらに、ビット線コンタクト部BCとコントロールゲート電極11とのショートを防止することもできる。

【0101】

よって、本実施形態において、メモリセルトランジスタを微細化でき、メモリセルアレイ部のサイズを縮小できる。また、積層されたゲート電極間のアライメントのずれを許容でき、NOR型フラッシュメモリの製造歩留りを向上できる。

【0102】

(b) 製造方法

以下、本実施形態の製造方法について説明を行う。

【0103】

はじめに、第1の実施形態の図5A乃至図9と同様の工程を用いて、フローティングゲート電極3、ドレイン及びソース拡散層5、6が、順次形成される。続いて、スペーサ絶縁層7、ストッパ膜8及び第1の絶縁層9が、順次形成される。

その後、第1のソース線コンタクト部SC1が、ソース拡散層5に接触するように、絶縁層9内に埋め込まれる。さらに、電極間絶縁膜となる、例えば、ONO膜10A及びコントロールゲート電極となるポリシリコン膜11Aが、堆積される。

【0104】

次に、コントロールゲート電極を形成するためのパターニングが、ポリシリコン膜11

10

20

30

40

50

Aに施される。そのパターンは、コントロールゲート電極のチャンネル長方向のサイズが、フローティングゲート電極3のチャンネル長方向のサイズよりも狭くなるようなパターンである。

そのパターンに基づいて、例えば、RIE法によりエッチングを施すと、図17に示すように、コントロールゲート電極11のチャンネル長方向のサイズが、フローティングゲート電極3のチャンネル長方向のサイズよりも狭くなるように、形成される。

【0105】

続いて、図16に示すように、図10、図11A及び図11Bに示す工程と同様の工程で、バリア膜12及び第2の絶縁層13が、形成される。さらに、ビット線コンタクト部BCが、絶縁層9, 13内に形成される。また、第2のソース線コンタクト部SC2が、第1のソース線コンタクト部SC1に接触するように、絶縁層13内に埋め込まれる。その後、ソース線SL及びビット線BLが、絶縁層13上に形成され、本実施の形態のNOR型フラッシュメモリが完成する。

【0106】

以上の製造工程で作製されたメモリセルトランジスタは、フローティングゲート電極の高さに基づいたアスペクト比で、拡散層に接触するコンタクト部を形成できる。

【0107】

よって、拡散層のサイズを縮小でき、メモリセルトランジスタの微細化、並びに、メモリセルアレイ部のサイズを縮小できる。

【0108】

また、コントロールゲート電極のチャンネル長方向のサイズを、フローティングゲート電極のチャンネル長方向のサイズより狭くすることで、積層された2つのゲート電極間のアライメントのずれを許容できる。

【0109】

尚、本実施形態の積層ゲート電極の構造及びその製造方法は、第1の実施形態の応用例及び変形例にも適用できる。

【0110】

(3) 第3の実施形態

第2の実施形態でも述べたように、本発明の実施形態においては、フローティングゲート電極3と、コントロールゲート電極が、それぞれ異なる工程でゲート加工されるため、それらの間でアライメントのずれが生じる。

【0111】

第2の実施形態においては、コントロールゲート電極をゲート加工する際に、コントロールゲート電極のチャンネル長方向のサイズが、フローティングゲート電極のチャンネル長方向のサイズより狭くなるように加工を行い、アライメントのずれを許容する構造及び製造方法について述べた。

【0112】

本実施形態においては、上記のアライメントのずれを自己整合的に防止できる構造及び製造方法について説明する。

【0113】

尚、第1及び第2実施形態と同一部材に関しては、同一符号を付し、詳細な説明は、省略する。

【0114】

(a) 構造

図18は、本実施形態のNOR型フラッシュメモリのチャンネル長方向の断面を示す図である。

【0115】

図18に示すように、コントロールゲート電極11は、スペーサ絶縁層7側面とフローティングゲート電極3上面からなる凹部に、自己整合的に埋め込まれた構造となっている。

10

20

30

40

50

【 0 1 1 6 】

それゆえ、フローティングゲート電極 3 とコントロールゲート電極 1 1 との間に、あわせずれが生じることはない。

【 0 1 1 7 】

そして、第 1 のソース線コンタクト部 S C 1 の上端は、電極間絶縁膜 1 0 により覆われる。即ち、ソース拡散層 5 領域上に電極間絶縁膜が配置される構造となっている。また、第 1 のソース線コンタクト部 S C 1 の上端は、ビット線コンタクト部 B C の上端よりも低い位置にある。

【 0 1 1 8 】

コントロールゲート電極 1 1 は、CMP により、凹部に自己整合的に埋め込まれる。この際、コントロールゲート電極 1 1 の上端とソース線コンタクト部 S C 1 上の電極間絶縁膜 1 0 の上端は、完全に一致することが望ましい。しかし、通常、CMP による表面研磨においては、ディッシング現象が生じ、それにより、コントロールゲート電極 1 1 の上端は、ソース線コンタクト部 S C 1 上の電極間絶縁膜 1 0 の上端以下となる場合も生じる。

10

尚、図 1 8 は、コントロールゲート電極 1 1 の上端とソース線コンタクト部 S C 1 上の電極間絶縁膜 1 0 の上端が一致した場合を図示している。

【 0 1 1 9 】

また、本実施形態においては、図 1 8 に示すように、コントロールゲート電極 1 1 が埋め込まれる凹部は、スペーサ絶縁層 7 側面とフローティングゲート電極 3 上面により形成されるが、その構造に限定されない。例えば、図 1 5 に示したように、スペーサ絶縁層が形成されない場合には、第 1 の絶縁層 9 側面とフローティングゲート電極 3 上面からなる凹部でも良い。

20

【 0 1 2 0 】

以上により、本実施の形態において、ソース拡散層のサイズを縮小できる。それゆえ、メモリセルトランジスタを微細化でき、メモリセルアレイ部のサイズを縮小できる。

【 0 1 2 1 】

また、積層される 2 つのゲート電極のアライメントのずれを、自己整合的な手法により防止でき、NOR 型フラッシュメモリの製造歩留りを向上できる。

【 0 1 2 2 】

尚、本実施形態の構造は、第 1 の実施形態の応用例及び変形例に関しても、適用できる。

30

【 0 1 2 3 】

(b) 製造方法

以下、本実施形態の製造方法について説明を行う。

【 0 1 2 4 】

はじめに、図 5 A 乃至図 6 と同一の工程により、ゲート絶縁膜 2、フローティングゲート電極 3、ソース及びドレイン拡散層 5、6 が、順次形成される。この際、フローティングゲート電極 3 は、所望の膜厚より厚く形成される。

【 0 1 2 5 】

次に、図 7 及び図 8 と同様の工程により、スペーサ絶縁層 7、ストッパ膜 8、第 1 の絶縁層 9 が、順次形成される。そして、第 1 のソース線コンタクト部 S C 1 が、ソース拡散層 5 に接触するように、第 1 の絶縁層 9 内に形成されたコンタクトホールに埋め込まれる。

40

その後、図 1 9 に示すように、フローティングゲート電極 3 が、例えば、RIE により、選択的にエッチングされる。それにより、フローティングゲート電極 3 上面とスペーサ絶縁層 7 側面からなる凹部 Y が、チャネル領域上に形成される。尚、このエッチング工程において、フローティングゲート電極 3 は、例えば、所望の膜厚にされる。

【 0 1 2 6 】

続いて、図 2 0 に示すように、電極間絶縁膜 1 0 が、フローティングゲート電極 3 上及

50

び第1のソース線コンタクト部SC1上に形成される。そして、例えば、ポリシリコンが、例えば、CVD及びCMPにより、電極間絶縁膜の上端と一致するように、凹部に埋め込まれる。それにより、コントロールゲート電極11が、電極間絶縁膜10を介して、フローティングゲート電極3上に、自己整合的に形成される。

【0127】

その後、図10、図11A及び図11Bと同様の工程により、バリア膜12、第2の絶縁層13が順次形成される。さらに、第2のソース線コンタクト部SC2、ビット線コンタクト部BC、ソース線SL、ビット線BLが形成される。それにより、図18に示す、本実施形態のNOR型フラッシュメモリが完成する。

【0128】

尚、本実施形態においては、バリア膜12は形成せずともよい。

【0129】

以上の製造工程で作製されたメモリセルトランジスタは、フローティングゲート電極の高さに基づいたアスペクト比で、拡散層に接触するコンタクト部を形成できる。

【0130】

よって、ソース拡散層のサイズを縮小でき、メモリセルトランジスタの微細化、並びに、メモリセルアレイ部のサイズを縮小できる。

【0131】

また、上記の製造方法は、コントロールゲート電極とフローティングゲート電極のアライメントのずれを、自己整合的な手法により防止できる。それゆえ、NOR型フラッシュメモリの製造歩留りを向上できる。

【0132】

尚、本実施形態の製造方法は、第1の実施形態の応用例及び変形例に関しても、適用できる。

【0133】

3. その他

本発明の例は、メモリセルトランジスタの微細化及びメモリセルアレイ部のサイズの縮小ができる。

【0134】

本発明の例は、上述の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で、各構成要素を変形して具体化できる。また、上述の実施の形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を構成できる。例えば、上述の実施の形態に開示される全構成要素から幾つかの構成要素を削除してもよいし、異なる実施の形態の構成要素を適宜組み合わせてもよい。

【図面の簡単な説明】

【0135】

【図1】第1の実施形態のメモリセルアレイ部を示す平面図。

【図2】図1のII-II線に沿う断面図

【図3】図1のIII-III線に沿う断面図。

【図4】図1のIV-IV線に沿う断面図。

【図5A】実施例の製造工程を示す断面図。

【図5B】実施例の製造工程を示す断面図。

【図6】実施例の製造工程を示す断面図。

【図7】実施例の製造工程を示す断面図。

【図8A】実施例の製造工程を示す平面図。

【図8B】図8AのVIII-B-VIII-B線に沿う断面図。

【図9】実施例の製造工程を示す断面図。

【図10】実施例の製造工程を示す断面図。

【図11A】実施例の製造工程を示す断面図。

【図11B】実施例の製造工程を示す断面図。

10

20

30

40

50

【図 1 2】応用例の構造を示す平面図。

【図 1 3】図 1 2 の X I I I - X I I I 線に沿う断面図。

【図 1 4】応用例の製造工程の一工程を示す断面図。

【図 1 5】変形例を示す断面図。

【図 1 6】第 2 の実施形態の構造を示す断面図。

【図 1 7】第 2 の実施形態の製造工程の一工程を示す断面図。

【図 1 8】第 3 の実施形態の構造を示す断面図。

【図 1 9】第 3 の実施形態の製造工程の一工程を示す断面図。

【図 2 0】第 3 の実施形態の製造工程の一工程を示す断面図。

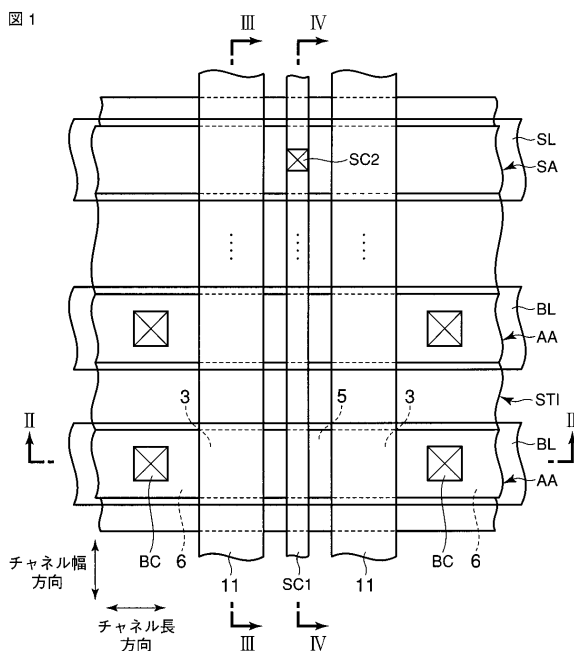
【符号の説明】

【 0 1 3 6 】

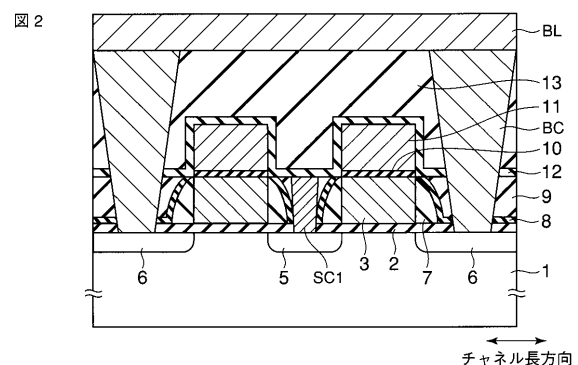
1 : 半導体基板、2 : ゲート絶縁膜、3 : フローティングゲート電極、4 : 素子分離絶縁層、5 : ソース拡散層、6 : ドレイン拡散層、7 : スペース絶縁層、8 : ストップ膜 (S i N 膜)、9 : 第 1 の絶縁層、10 : 電極間絶縁膜、11 : コントロールゲート電極、12 : バリア膜、13 : 第 2 の絶縁層、SC 1 : 第 1 のソース線コンタクト部、SC 2 : 第 2 のソース線コンタクト部、BC : ビット線コンタクト部、BC 1 : 第 1 のビット線コンタクト部、BC 2 : 第 2 のビット線コンタクト部、SL : ソース線、BL : ビット線、X : コンタクトホール、Y : 凹部、AA : アクティブ領域、STI : 素子分離領域、SA : シャント領域。

10

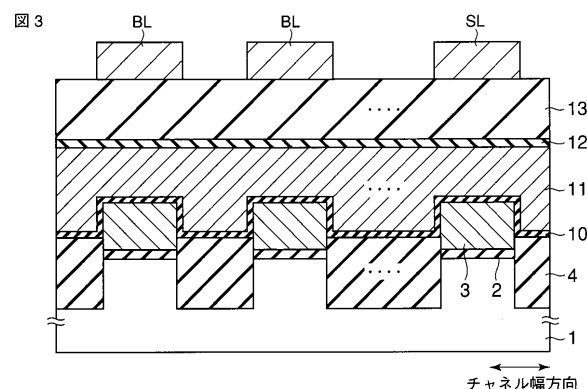
【 図 1 】



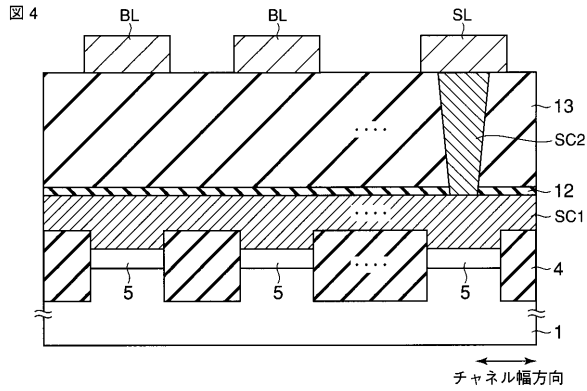
【 図 2 】



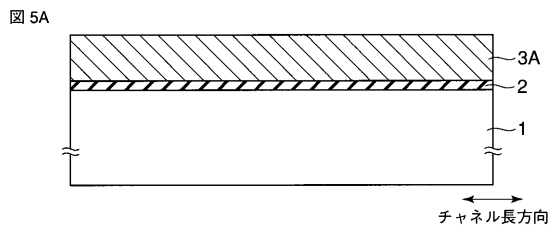
【 図 3 】



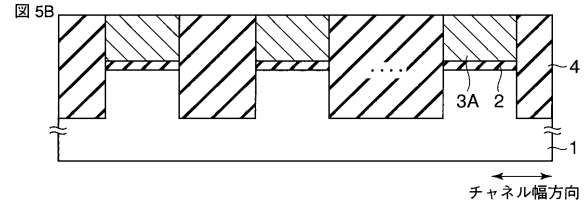
【図 4】



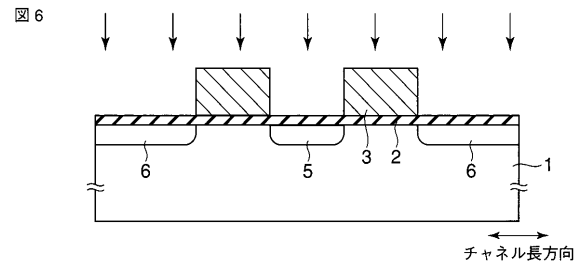
【図 5 A】



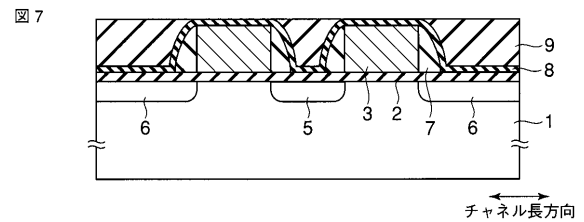
【図 5 B】



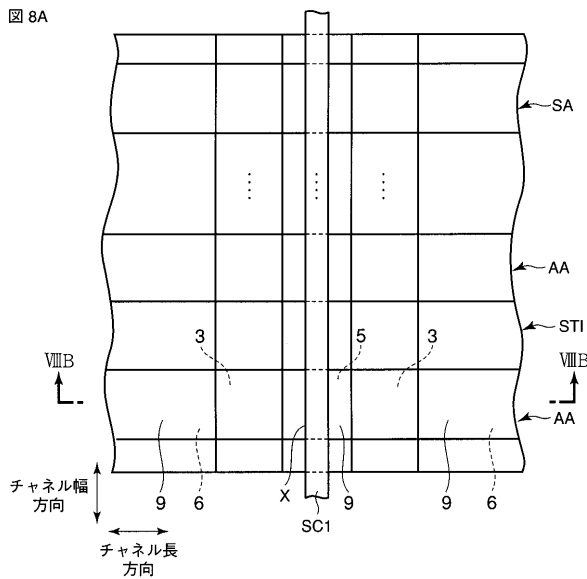
【図 6】



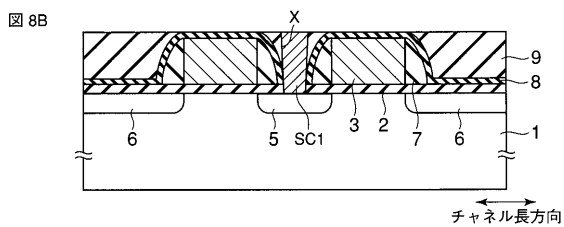
【図 7】



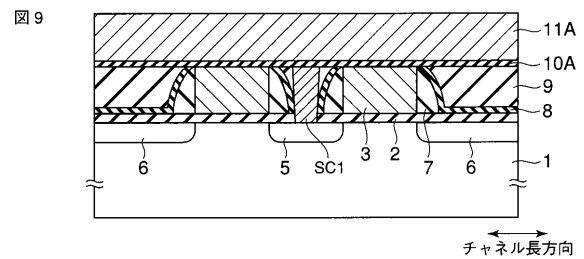
【図 8 A】



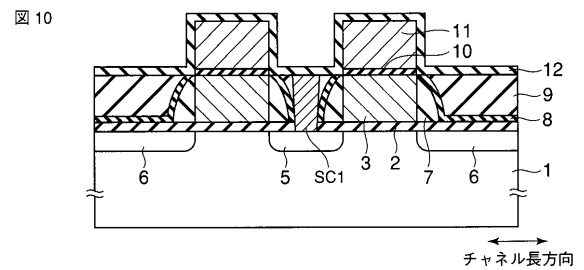
【図 8 B】



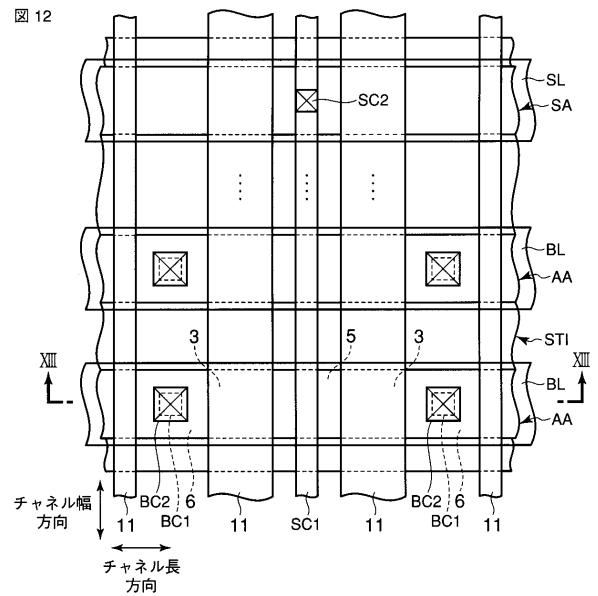
【図 9】



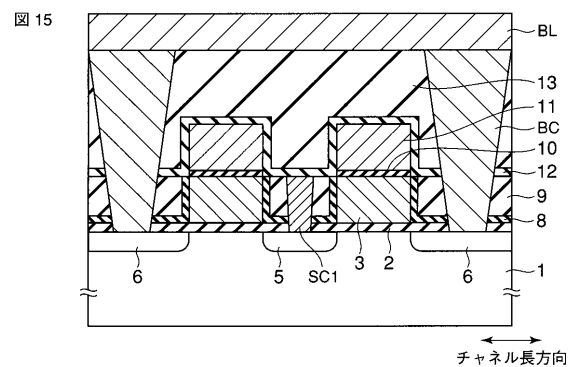
【図 10】



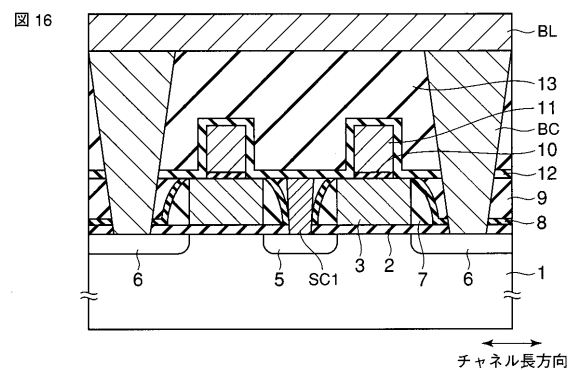
【 図 1 2 】



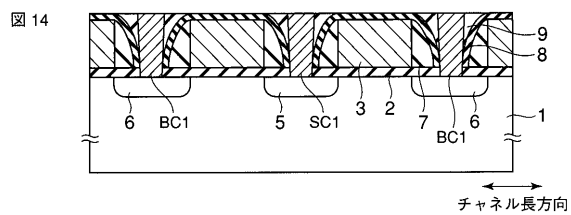
【 図 1 5 】



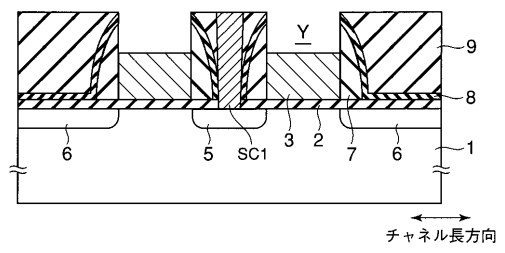
【 図 1 6 】



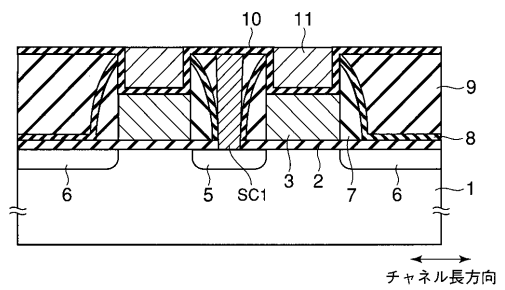
【 図 1 6 】



【 図 1 9 】



【 図 2 0 】



フロントページの続き

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 池田 尚史

東京都港区芝浦一丁目 1 番 1 号 株式会社東芝内

F ターム(参考) 5F083 EP02 EP23 EP27 EP55 EP77 ER22 GA09 JA04 JA35 JA36

JA37 JA39 JA53 KA05 KA11 LA12 LA20 MA01 MA03 MA06

MA19 MA20 PR09 PR40

5F101 BA01 BB02 BB05 BE07