

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/8242

H01L 27/108



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 97117764.3

[45] 授权公告日 2004 年 6 月 23 日

[11] 授权公告号 CN 1155077C

[22] 申请日 1997.8.29 [21] 申请号 97117764.3

[30] 优先权

[32] 1996.12.26 [33] JP [31] 347509/1996

[71] 专利权人 三菱电机株式会社

地址 日本东京都

[72] 发明人 大野吉和

审查员 沈 丽

[74] 专利代理机构 中国专利代理(香港)有限公司

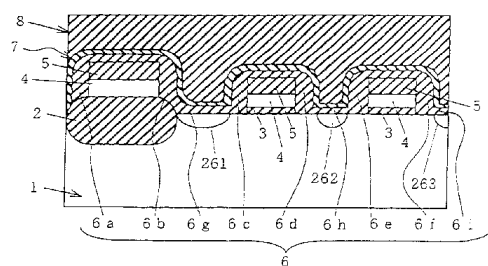
代理人 杨 凯 叶恺东

权利要求书 5 页 说明书 24 页 附图 97 页

[54] 发明名称 半导体装置的制造方法

[57] 摘要

提供一种不使位线与字线连接而以自行调整的方式连接在半导体衬底上且不生成结晶缺陷的半导体装置。在半导体(例如 Si)衬底 1 上依次分别形成元件分离绝缘膜 2、栅氧化膜 3、栅极 4(字线)、绝缘膜 5 之后,形成侧壁 6a~6f。此时,形成衬底保护氧化膜 6g~6i,从而不使半导体衬底 1 露出。在形成源/漏区 261~263 之后,淀积由 Si₃N₄或 SiON 等构成的绝缘膜 7,此后在全部表面上形成层间绝缘膜 8。绝缘膜 7 与层间绝缘膜 8 相比刻蚀速度慢。



I S S N 1 0 0 8 - 4 2 7 4

1. 一种半导体装置的制造方法，其特征在于，包括以下工序：

- 5 (a) 在半导体衬底的表面上有选择地形成第 1 导电膜的工序；
- (b) 在所述第 1 导电膜上形成第 1 绝缘膜的工序；
- (c) 在由所述工序 (a) 及 (b) 获得的结构上形成第 2 绝缘膜的工序；
- (d) 在所述第 2 绝缘膜上形成第 3 绝缘膜的工序；
- (e) 在所述第 3 绝缘膜上形成第 4 绝缘膜的工序；
- 10 (f) 对所述第 4 绝缘膜、所述第 3 绝缘膜、所述第 2 绝缘膜有选择地、而且按照该顺序进行个别地刻蚀，使存在于所述半导体衬底的所述表面内未形成所述第 1 导电膜的第 1 位置的部分露出的工序；
- (g) 在所述第 1 位置形成与所述半导体衬底导电性接触的第 2 导电膜的工序，

15 其中，所述第 3 绝缘膜比所述第 4 绝缘膜的刻蚀速度慢；通过将所述第 2 绝缘膜蚀刻，在所述第 1 导电膜和所述第 1 绝缘膜的各侧面上形成侧壁；所述侧壁由所述第 2 绝缘膜的没有被蚀刻的部分形成；所述侧壁与所述第 1 导电膜和所述第 1 绝缘膜接触。

2. 根据权利要求 1 所述的半导体装置的制造方法，其特征在于，所述第 2 绝缘膜存在于作为所述第 1 导电膜及所述第 1 绝缘膜各自的侧壁的第 1 区和所述半导体衬底的所述表面内未形成所述第 1 导电膜的第 2 区，存在于所述第 1 区的所述第 2 绝缘膜的宽度大于存在于所述第 2 区的所述第 2 绝缘膜的厚度。

20

3. 根据权利要求 2 所述的半导体装置的制造方法，其特征在于，还包括以下工序：

25 (x) 在工序 (d) 和工序 (e) 之间执行的、将存在于所述半导体衬底的所述表面内与所述第 1 位置不同的未形成所述第 1 导电膜的第 2 位置的上方的所述第 3 绝缘膜除去的工序；

(y) 在由所述工序 (e) 以后的工序中执行的、对存在于所述第 2 位置的上方的所述第 4 绝缘膜及所述第 2 绝缘膜按照该顺序连续地进行刻

蚀,使存在于所述半导体衬底的所述表面内所述第2位置的部分露出的工序;

(z) 在所述第2位置形成与所述半导体衬底导电性地接触的第3导电膜的工序。

5 4. 根据权利要求2所述的半导体装置的制造方法,其特征在于,还包括以下工序:

10 (y) 在由所述工序(g)以后的工序中执行的、对所述第4绝缘膜、所述第3绝缘膜、所述第2绝缘膜有选择地、而且按照该顺序进行个别地刻蚀,使存在于所述半导体衬底的所述表面内与所述第1位置不同的未形成所述第1导电膜的第2位置的部分露出的工序;

(z) 在所述第2位置形成与所述半导体衬底导电性地接触的第3导电膜的工序。

15 5. 根据权利要求2所述的半导体装置的制造方法,其特征在于,在所述工序(f)中使存在于所述半导体衬底的所述表面内与所述第1位置不同的未形成所述第1导电膜的第2位置的部分露出,

在所述工序(g)中在所述第2位置还形成与所述半导体衬底导电性地接触的第3导电膜,

继工序(g)之后还包括以下工序:

20 (h) 形成覆盖所述第2及第3导电膜及所述第4绝缘膜的第5绝缘膜的工序;

(i) 对所述第5绝缘膜有选择地进行刻蚀,在所述第3导电膜的上方设置开口的工序;

(j) 通过所述第5绝缘膜的所述开口设置与所述第3导电膜导电性地接触的第4导电膜的工序。

25 6. 一种半导体装置的制造方法,其特征在于,包括以下工序:

(a) 在半导体衬底的表面上有选择地形成第1导电膜的工序;

(b) 在所述第1导电膜上形成第1绝缘膜的工序;

(c) 在由所述工序(a)及(b)获得的结构上形成第2绝缘膜的工序;

(d) 在所述第2绝缘膜上形成第3绝缘膜的工序;

(e) 对所述第 3 绝缘膜及所述第 2 绝缘膜有选择地、而且按照该顺序进行个别地刻蚀，使存在于所述半导体衬底的所述表面内未形成所述第 1 导电膜的第 1 位置的部分露出的工序；

5 (f) 在所述第 1 位置形成与所述半导体衬底导电性接触的第 2 导电膜的工序，

其中所述第 2 绝缘膜比所述第 3 绝缘膜的刻蚀速度慢，

另外所述第 2 绝缘膜存在于所述第 1 导电膜及所述第 1 绝缘膜各自的侧壁的第 1 区和所述半导体衬底的所述表面内未形成所述第 1 导电膜的第 2 区，存在于所述第 1 区的所述第 2 绝缘膜的宽度大于存在于所述第 2 区的所述第 2 绝缘膜的厚度。

7. 根据权利要求 6 所述的半导体装置的制造方法，其特征在于，还包括以下工序：

15 (y) 在由所述工序 (d) 以后的工序中执行的、对所述第 3 绝缘膜、所述第 2 绝缘膜有选择地、而且按照该顺序进行个别地刻蚀，使存在于所述半导体衬底的所述表面内与所述第 1 位置不同的未形成所述第 1 导电膜的第 2 位置的部分露出的工序；

(z) 在所述第 2 位置形成与所述半导体衬底导电性地接触的第 3 导电膜的工序。

20 8. 根据权利要求 6 所述的半导体装置的制造方法，其特征在于，在所述工序 (e) 中使存在于所述半导体衬底的所述表面内与所述第 1 位置不同的未形成所述第 1 导电膜的第 2 位置的部分露出，

在所述工序 (f) 中在所述第 2 位置还形成与所述半导体衬底导电性地接触的第 3 导电膜，

继所述工序 (f) 之后还包括以下工序：

25 (g) 形成覆盖所述第 2 及第 3 导电膜及所述第 3 绝缘膜的第 4 绝缘膜的工序；

(h) 对所述第 4 绝缘膜有选择地进行刻蚀，在所述第 3 导电膜的上方设开口的工序；

(i) 通过所述第 4 绝缘膜的所述开口设置与所述第 3 导电膜导电性

地接触的第4导电膜的工序,

其中所述第4绝缘膜比所述第3绝缘膜的刻蚀速度慢。

9. 根据权利要求3、4、5、7、8任意一项所述的半导体装置的制造方法, 其特征在于, 还包括以下工序:

5 (s) 在所述工序(c)和所述工序(d)之间执行的、从存在于所述半导体衬底的所述表面内的所述第2位置的部分, 通过所述第2绝缘膜掺入呈与所述半导体衬底相反的导电类型的第1种杂质而形成第1掺杂区的工序;

(t) 在所述工序(y)和所述工序(z)之间执行的、从存在于所述半导体衬底的所述表面内的所述第2位置的部分, 将呈与所述半导体衬底相反的导电类型的第2种杂质掺入而形成第2掺杂区的工序,

10 所述第2掺杂区比所述第1掺杂区宽, 而且所述第2掺杂区的杂质浓度比所述第1掺杂区的杂质浓度低。

10. 根据权利要求3、4、5、7、8任意一项所述的半导体装置的制造方法, 其特征在于, 还包括以下工序:

15 (s) 在所述工序(c)和所述工序(d)之间执行的、从存在于所述半导体衬底的所述表面内的所述第1及第2位置的部分, 通过所述第2绝缘膜掺入呈与所述半导体衬底相反的导电类型的第1种杂质而分别形成第1掺杂区的工序;

(t) 在所述工序(s)和所述工序(d)之间执行的、从存在于所述半导体衬底的所述表面内的所述第1及第2位置的部分, 掺入呈与所述半导体衬底相反的导电类型的第2种杂质而形成第2掺杂区的工序,

20 所述第2掺杂区比所述第1掺杂区宽, 而且所述第2掺杂区的杂质浓度比所述第1掺杂区的杂质浓度低。

11. 根据权利要求2所述的半导体装置的制造方法, 其特征在于, 还包括以下工序:

25 (h) 在所述工序(c)和所述工序(d)之间执行的、从存在于所述半导体衬底的所述表面内与所述第1位置不同的未形成所述第1导电膜的第3位置的部分, 通过所述第2绝缘膜掺入呈与所述半导体衬底相反的导电类型的第1种杂质而形成第1掺杂区的工序;

(i) 在所述工序(d)和所述工序(e)之间执行的、将存在于所述第3位置的上方的所述第3绝缘膜去除的工序;

5 (j) 在所述工序(i)和所述工序(e)之间执行的、从存在于所述半导体衬底的所述表面内的所述第3位置的部分,通过所述第2绝缘膜掺入呈与所述半导体衬底相反的导电类型的第2种杂质而形成第2掺杂区的工序;

(k) 与所述工序(f)同时执行的、对存在于所述第3位置的上方的所述第4绝缘膜及所述第2绝缘膜按照该顺序连续地进行刻蚀,使存在于所述半导体衬底的所述表面内所述第3位置的部分露出的工序;

10 (l) 与所述工序(g)同时执行的、在所述第3位置形成与所述半导体衬底导电性接触的第4导电膜的工序,

所述第2掺杂区比所述第1掺杂区宽,而且所述第2掺杂区的杂质浓度比所述第1掺杂区的杂质浓度低。

半导体装置的制造方法

本发明涉及半导体装置的制造方法,该半导体装置由在半导体衬底的上
5 方形成的两层布线层(字线及位线)、再在上述布线层的上方形成的电容器、
用于将位线及电容器分别连接在半导体衬底上的连接电极、以及将字线作
为栅极的晶体管构成。

图 111~图 122 是作为现有技术依次表示半导体装置(DRAM)的制造工序
之一例的剖面图。首先,利用 LOCOS 法在半导体(例如 Si)衬底 1 上形成元
10 件分离绝缘膜 2 之后,在不形成元件分离绝缘膜 2 的半导体衬底 1 上有选择
地形成栅氧化膜 3、栅极 4 及绝缘膜 5 的叠层结构(图 111)。栅极 4 具有作
为 DRAM 的字线的功能。然后,利用 CVD 法在全部表面上形成厚度为例如
数百 nm 的硅氧化膜(图 112)。

其次,通过沿垂直于半导体衬底 1 的方向进行刻蚀速率高的各向异性的
15 氧化膜刻蚀,在栅氧化膜 3、栅极 4 及绝缘膜 5 各自的侧壁部分形成侧壁
6a~6f。然后,将绝缘膜 5 及侧壁 6a~6f 作为掩模,进行离子注入,在半导体衬
底 1 内分别形成源/漏区 261~263(图 113)。

其次,利用 CVD 法在全部表面上淀积硅氧化膜,形成例如数百 nm 厚度的
层间绝缘膜 8(图 114)。其次,利用通常的复制方法,在层间绝缘膜 8 上形成呈
20 规定图形的光致抗蚀剂 10,形成接触孔 50,使源/漏区 262 露出来。然后将光
致抗蚀剂 10 除去(图 115)。

其次,形成具有 WSi/多晶硅或 TiSi/多晶硅等结构的导电膜 9,以便通过接
触孔 50 与源/漏区 262 相连接(图 116)。该导电膜 9 具有作为 DRAM 的位
线的功能。

25 其次,利用 CVD 法在全部表面上淀积例如硅氧化膜,形成层间绝缘膜
11(图 117),利用通常的复制方法,在层间绝缘膜 11 上形成呈规定图形的光致
抗蚀剂 12(图 118)。

其次,将光致抗蚀剂 12 作为掩模,通过利用相同的刻蚀剂对层间绝缘膜
11、8 进行刻蚀,形成接触孔 51,使源/漏区 261 露出来。然后将光致抗蚀剂
30 12 除去(图 119)。

其次,为了填充接触孔 51,利用 CVD 法定积多晶硅,形成电容器下部电极
13。电容器下部电极 13 通过接触孔 51 与源/漏区 261 相连接。然后在全部

表面上淀积 Si₃N₄ 膜,形成电容器介质膜 14。利用 CVD 法再在电容器介质膜 14 上淀积多晶硅,形成电容器上部电极 15(图 120)。

其次,利用 CVD 法在电容器上部电极 15 上形成由例如硅氧化膜构成的层间绝缘膜 16(图 121),在层间绝缘膜 16 上有选择地形成由 AlSiCu 构成的布线层 17(图 122)。

可是,如果采用这种现有的半导体装置的制造方法,则由于在形成侧壁 6a~6f 时,必须对数百 nm 厚的硅氧化膜进行刻蚀,所以难以控制刻蚀,由于过量刻蚀而使半导体衬底 1 的表面受到损伤。再者,在半导体衬底 1 的表面上形成接触孔 50、51 时,也会由于过量刻蚀而受到损伤。这样就会在源/漏区 261、262 附近产生结晶缺陷 25(图 113~图 122),所以这些缺陷成为诱发漏泄电流的原因,存在引起器件的误操作的问题。

例如在 DRAM 中,假定需要进行以某一定的间隔改写存储单元中存储的数据的工作(更新),但如果在电容器下部电极 13 连接的源/漏区 261 附近存在结晶缺陷 25,则在电容器下部电极 13 上蓄积的电荷就会作为漏泄电流向半导体衬底 1 流失,存在不能正确地改写数据的问题。

另外,在形成光致抗蚀剂 10 的工序中,当由于工艺中的偏差等使得栅极 4 的图形和光致抗蚀剂 10 的叠合发生偏移时,如图 116 所示,作为位线的导电膜 9 与作为字线的栅极 4 接触,存在引起器件的工作不良的问题。

本发明就是为了解决这样的问题而开发的,其目的在于提供这样一种半导体装置的制造方法,该方法不会使位线和字线接触而能以自行调整方式连接在半导体衬底上,而且不会产生成为诱发漏泄电流的原因的半导体衬底的结晶缺陷。

本发明的第 1 方面的半导体装置的制造方法的特征在于包括以下工序:(a) 在半导体衬底的表面上有选择地形成第 1 导电膜的工序;(b) 在第 1 导电膜上形成第 1 绝缘膜的工序;(c) 在由工序(a)及(b)获得的结构上形成第 2 绝缘膜的工序;(d) 在第 2 绝缘膜上形成第 3 绝缘膜的工序;(e) 在第 3 绝缘膜上形成第 4 绝缘膜的工序;(f) 对第 4 绝缘膜、第 3 绝缘膜、第 2 绝缘膜有选择地、而且按照该顺序进行个别地刻蚀,使存在于半导体衬底的表面内未形成第 1 导电膜的第 1 位置的部分露出的工序;以及(g) 在第 1 位置形成与半导体衬底导电性接触的第 2 导电膜的工序,其中:第 3 绝缘膜比第 4 绝缘膜的刻蚀速度慢。

另外,本发明的第 2 方面的方法的特征在于:在第 1 方面的半导体装置的

制造方法中,第2绝缘膜存在于作为第1导电膜及第1绝缘膜各自的侧壁的第1区和半导体衬底的表面内未形成第1导电膜的第2区,存在于第1区的第2绝缘膜的宽度比存在于第2区的第2绝缘膜的厚度要厚。

另外,本发明的第3方面的方法的特征在于,第2方面的半导体装置的制造方法还包括以下工序:(x)在工序(d)和工序(e)之间执行的、将存在于半导体衬底的表面内与第1位置不同的未形成第1导电膜的第2位置的上方的第3绝缘膜除去的工序;(y)在由工序(e)以后的工序中执行的、对存在于第2位置的上方的第4绝缘膜及第2绝缘膜按照该顺序连续地进行刻蚀,使存在于半导体衬底的表面内第2位置的部分露出的工序;以及(z)在第2位置形成与半导体衬底导电性地接触的第3导电膜的工序。

另外,本发明的第4方面的方法的特征在于,第2方面的半导体装置的制造方法还包括以下工序:(y)在由工序(g)以后的工序中执行的对第4绝缘膜、第3绝缘膜、第2绝缘膜有选择地、而且按照该顺序进行个别地刻蚀,使存在于半导体衬底的表面内与第1位置不同的未形成第1导电膜的第2位置的部分露出的工序;以及(z)在第2位置形成与半导体衬底导电性地接触的第3导电膜的工序。

另外,本发明的第5方面的方法的特征在于,第2方面的半导体装置的制造方法中:在工序(f)中使存在于半导体衬底的表面内与第1位置不同的未形成第1导电膜的第2位置的部分露出,在工序(g)中在第2位置还形成与半导体衬底导电性地接触的第3导电膜,继工序(g)之后还包括以下工序:(h)形成覆盖第2及第3导电膜及第4绝缘膜的第5绝缘膜的工序;(i)对第5绝缘膜有选择地进行刻蚀,在第3导电膜的上方设置开口的工序;以及(j)通过第5绝缘膜的开口设置与第3导电膜导电性地接触的第4导电膜的工序。

另外,本发明的第6方面的半导体装置的制造方法的特征在于,包括以下工序:(a)在半导体衬底的表面上有选择地形成第1导电膜的工序;(b)在第1导电膜上形成第1绝缘膜的工序;(c)在由工序(a)及(b)获得的结构上形成第2绝缘膜的工序;(d)在第2绝缘膜上形成第3绝缘膜的工序;(e)对第3绝缘膜及第2绝缘膜有选择地、而且按照该顺序进行个别地刻蚀,使存在于半导体衬底的表面内未形成第1导电膜的第1位置的部分露出的工序;以及(f)在第1位置形成与半导体衬底导电性接触的第2导电膜的工序,其中:第2绝缘膜比第3绝缘膜的刻蚀速度慢,另外,第2绝缘膜存在于作为第1导电膜及第1绝缘膜各自的侧壁的第1区和半导体衬底的表面内未形成第1导电膜

的第2区,存在于第1区的第2绝缘膜的宽度大于存在于第2区的第2绝缘膜的厚度。

另外,本发明的第7方面的方法的特征在于,第6方面的半导体装置的制造方法还包括以下工序:(y)在由工序(d)以后的工序中执行的、对第3绝缘膜、第2绝缘膜有选择地、而且按照该顺序进行个别地刻蚀,使存在于半导体衬底的表面内与第1位置不同的未形成第1导电膜的第2位置的部分露出的工序;以及(z)在第2位置形成与半导体衬底导电性地接触的第3导电膜的工序。

另外,本发明的第8方面的方法的特征在于,在第6方面的半导体装置的制造方法中:在工序(e)中使存在于半导体衬底的表面内与第1位置不同的未形成第1导电膜的第2位置的部分露出,在工序(f)中在第2位置还形成与半导体衬底导电性地接触的第3导电膜,继工序(f)之后还包括以下工序:(g)形成覆盖第2及第3导电膜及第3绝缘膜的第4绝缘膜的工序;(h)对第4绝缘膜有选择地进行刻蚀,在第3导电膜的上方设置开口的工序;以及(i)通过第4绝缘膜的开口设置与第3导电膜导电性地接触的第4导电膜的工序,第4绝缘膜比第3绝缘膜的刻蚀速度慢。

另外,本发明的第9方面的方法的特征在于,第3、4、5、7、8任意一方面所述的半导体装置的制造方法还包括以下工序:(s)在工序(c)和工序(d)之间执行的、从存在于半导体衬底的表面内的第2位置的部分通过第2绝缘膜掺入呈与半导体衬底相反的导电类型的第1种杂质而形成第1掺杂区的工序;以及(t)在工序(y)和工序(z)之间执行的、从存在于半导体衬底的表面内的第2位置的部分将呈与半导体衬底相反的导电类型的第2种杂质掺入而形成第2掺杂区的工序,第2掺杂区比第1掺杂区宽,而且第2掺杂区的杂质浓度比第1掺杂区的杂质浓度低。

另外,本发明的第10方面的方法的特征在于,第3、4、5、7、8任意一方面所述的半导体装置的制造方法还包括以下工序:(s)在工序(c)和工序(d)之间执行的、从存在于半导体衬底的表面内的第1及第2位置的部分通过第2绝缘膜掺入呈与半导体衬底相反的导电类型的第1种杂质而分别形成第1掺杂区的工序;以及(t)在工序(s)和工序(d)之间执行的从存在于半导体衬底的表面内的第1及第2位置的部分,掺入呈与半导体衬底相反的导电类型的第2种杂质而形成第2掺杂区的工序,第2掺杂区比第1掺杂区宽,而且第2掺杂区的杂质浓度比第1掺杂区的杂质浓度低。

另外,本发明的第 11 方面的方法的特征在于,第 2 方面的半导体装置的
制造方法还包括以下工序:(h) 在工序(c)和工序(d)之间执行的、从存在于半
导体衬底的表面内与第 1 位置不同的未形成第 1 导电膜的第 3 位置的部分
通过第 2 绝缘膜掺入呈与半导体衬底相反的导电类型的第 1 种杂质而形成
5 第 1 掺杂区的工序;(i) 在工序(d)和工序(e)之间执行的、将存在于第 3 位置
的上方的第 3 绝缘膜除去的工序;(j) 在工序(i)和工序(e)之间执行的、从存
在于半导体衬底的表面内的第 3 位置的部分通过第 2 绝缘膜掺入呈与半
导体衬底相反的导电类型的第 2 种杂质而形成第 2 掺杂区的工序;(k)与工序(f)
同时执行的对存在于第 3 位置的上方的第 4 绝缘膜及第 2 绝缘膜按照该顺
10 序连续地进行刻蚀,使存在于半导体衬底的表面内第 3 位置的部分露出的工
序;以及(l)与工序(g)同时执行的、在第 3 位置形成与半导体衬底导电性接触
的第 4 导电膜的工序,第 2 掺杂区比第 1 掺杂区宽,而且第 2 掺杂区的杂质浓
度比第 1 掺杂区的杂质浓度低。

图 1 是表示本发明的实施例 1 的半导体装置的制造工序的剖面图。
15 图 2 是表示本发明的实施例 1 的半导体装置的制造工序的剖面图。
图 3 是表示本发明的实施例 1 的半导体装置的制造工序的剖面图。
图 4 是表示本发明的实施例 1 的半导体装置的制造工序的剖面图。
图 5 是表示本发明的实施例 1 的半导体装置的制造工序的剖面图。
图 6 是表示本发明的实施例 1 的半导体装置的制造工序的剖面图。
20 图 7 是表示本发明的实施例 1 的半导体装置的制造工序的剖面图。
图 8 是表示本发明的实施例 1 的半导体装置的制造工序的剖面图。
图 9 是表示本发明的实施例 1 的半导体装置的制造工序的剖面图。
图 10 是表示本发明的实施例 1 的半导体装置的制造工序的剖面图。
图 11 是表示本发明的实施例 1 的半导体装置的制造工序的剖面图。
25 图 12 是表示本发明的实施例 1 的半导体装置的制造工序的剖面图。
图 13 是表示本发明的实施例 1 的半导体装置的制造工序的剖面图。
图 14 是表示本发明的实施例 1 的半导体装置的制造工序的剖面图。
图 15 是表示本发明的实施例 1 的半导体装置的制造工序的剖面图。
图 16 是表示本发明的实施例 2 的半导体装置的制造工序的剖面图。
30 图 17 是表示本发明的实施例 2 的半导体装置的制造工序的剖面图。
图 18 是表示本发明的实施例 2 的半导体装置的制造工序的剖面图。
图 19 是表示本发明的实施例 2 的半导体装置的制造工序的剖面图。

[illegible]

[illegible]

- 图 84 是表示本发明的实施例 9 的半导体装置的制造工序的剖面图。
- 图 85 是表示本发明的实施例 9 的半导体装置的制造工序的剖面图。
- 图 86 是表示本发明的实施例 9 的半导体装置的制造工序的剖面图。
- 图 87 是表示本发明的实施例 9 的半导体装置的制造工序的剖面图。
- 5 图 88 是表示本发明的实施例 9 的半导体装置的制造工序的剖面图。
- 图 89 是表示本发明的实施例 9 的半导体装置的制造工序的剖面图。
- 图 90 是表示本发明的实施例 9 的半导体装置的制造工序的剖面图。
- 图 91 是表示本发明的实施例 10 的半导体装置的制造工序的剖面图。
- 图 92 是表示本发明的实施例 10 的半导体装置的制造工序的剖面图。
- 10 图 93 是表示本发明的实施例 10 的半导体装置的制造工序的剖面图。
- 图 94 是表示本发明的实施例 10 的半导体装置的制造工序的剖面图。
- 图 95 是表示本发明的实施例 10 的半导体装置的制造工序的剖面图。
- 图 96 是表示本发明的实施例 10 的半导体装置的制造工序的剖面图。
- 图 97 是表示本发明的实施例 10 的半导体装置的制造工序的剖面图。
- 15 图 98 是表示本发明的实施例 10 的半导体装置的制造工序的剖面图。
- 图 99 是表示本发明的实施例 10 的半导体装置的制造工序的剖面图。
- 图 100 是表示本发明的实施例 10 的半导体装置的制造工序的剖面图。
- 图 101 是表示本发明的实施例 10 的半导体装置的制造工序的剖面图。
- 图 102 是表示本发明的实施例 10 的半导体装置的制造工序的剖面图。
- 20 图 103 是表示本发明的实施例 10 的半导体装置的制造工序的剖面图。
- 图 104 是表示本发明的实施例 10 的半导体装置的制造工序的剖面图。
- 图 105 是表示本发明的实施例 10 的半导体装置的制造工序的剖面图。
- 图 106 是表示本发明的实施例 10 的半导体装置的制造工序的剖面图。
- 图 107 是表示本发明的实施例 10 的半导体装置的制造工序的剖面图。
- 25 图 108 是表示本发明的实施例 10 的半导体装置的制造工序的剖面图。
- 图 109 是表示本发明的实施例 11 的半导体装置的制造工序的剖面图。
- 图 110 是表示本发明的实施例 11 的半导体装置的制造工序的剖面图。
- 图 111 是表示现有的半导体装置的制造工序的剖面图。
- 图 112 是表示现有的半导体装置的制造工序的剖面图。
- 30 图 113 是表示现有的半导体装置的制造工序的剖面图。
- 图 114 是表示现有的半导体装置的制造工序的剖面图。
- 图 115 是表示现有的半导体装置的制造工序的剖面图。

图 116 是表示现有的半导体装置的制造工序的剖面图。

图 117 是表示现有的半导体装置的制造工序的剖面图。

图 118 是表示现有的半导体装置的制造工序的剖面图。

图 119 是表示现有的半导体装置的制造工序的剖面图。

5 图 120 是表示现有的半导体装置的制造工序的剖面图。

图 121 是表示现有的半导体装置的制造工序的剖面图。

图 122 是表示现有的半导体装置的制造工序的剖面图。

实施例 1

10 图 1~图 15 是依次表示本发明的实施例 1 的半导体装置的制造工序的剖面图。首先,利用 LOCOS 法在半导体(例如 Si)衬底 1 上形成元件分离绝缘膜 2 之后,在不形成元件分离绝缘膜 2 的半导体衬底 1 上有选择地形成按照栅氧化膜 3、栅极 4、绝缘膜 5 的顺序叠层的结构(图 1)。该栅极 4 具有作为 DRAM 的字线的功能。另外,在图 1 中设在元件分离绝缘膜 2 上的栅极 4 15 的下方不设栅氧化膜 3,但在垂直于纸面的方向上,隐藏在元件分离绝缘膜 2 的后方形成上述的叠层结构。

其次,利用 CVD 法在全部表面上淀积硅氧化膜 6(图 2)。其次,通过沿垂直于半导体衬底 1 的方向进行刻蚀速率高的各向异性的氧化膜刻蚀,来刻蚀硅氧化膜 6,在栅氧化膜 3、栅极 4、绝缘膜 5 各自的侧壁部分留下硅氧化膜 20 6,形成侧壁 6a~6f。但进行该刻蚀时,在半导体衬底 1 上留有规定厚度的硅氧化膜 6,以便不使半导体衬底 1 露出,形成衬底保护氧化膜 6g~6i。这里,在通过各向异性的氧化膜刻蚀将硅氧化膜除去时,精确地控制该刻蚀,将衬底保护氧化膜 6g~6i 的厚度设定在不使半导体衬底 1 受损伤的范围。例如在本实施例中为 5~20nm。此后,利用呈与半导体衬底 1 相反的导电类型的离子,将离子通过衬底保护氧化膜 6g~6i 注入半导体衬底 1 内,分别形成源/漏区 261~263(图 3)。

其次,用 CVD 法在全部表面上淀积厚度为 5~100nm 的由 Si_3N_4 或 SiON 等构成的绝缘膜 7(图 4)。

其次,利用 CVD 法淀积例如硅氧化膜,形成层间绝缘膜 8(图 5)。

30 其次,利用通常的复制方法,在层间绝缘膜 8 上且在源/漏区 262 的上方形成呈开口的光致抗蚀剂 10,将该光致抗蚀剂 10 作为掩模,利用例如使用 C_4F_8 气体的氧化膜刻蚀方法,只刻蚀层间绝缘膜 8,形成接触孔 50(图 6)。在该氧

化膜刻蚀方法中,对用 CVD 法形成的由 Si_3N_4 、 SiON 构成的绝缘膜 7 的刻蚀速度比用 CVD 法形成的由硅氧化膜构成的层间绝缘膜 8 慢,所以在绝缘膜 7 露出来的时刻,能容易地停止腐蚀。

其次,将光致抗蚀剂 10 作为掩模,利用例如使用 CF_4 气体的刻蚀方法,将绝缘膜 7 除去(图 7)。再将光致抗蚀剂 10 作为掩模,通过进行各向异性的氧化膜刻蚀,将衬底保护氧化膜 6h 除去,使源/漏区 262 露出来。这时侧壁 6d、6e 也被除去,但只不过除去相当于衬底保护氧化膜 6h 的厚度,然后将光致抗蚀剂 10 除去(图 8)。

其次,形成具有 WSi/多晶硅或 TiSi/多晶硅等结构的导电膜 9,以便通过接触孔 50 与源/漏区 262 相连接(图 9)。该导电膜 9 具有作为 DRAM 的位线的功能。

其次,利用 CVD 法在全部表面上淀积例如硅氧化膜,形成层间绝缘膜 11(图 10)。再利用通常的复制方法,在层间绝缘膜 11 上且在源/漏区 261 的上方形成呈开口的光致抗蚀剂 12(图 11)。其次,将光致抗蚀剂 12 作为掩模,通过刻蚀层间绝缘膜 11、8、绝缘膜 7 及保护膜 6g,形成接触孔 51,使源/漏区 261 露出来。这样的刻蚀可以利用已知的方法、使用同一种刻蚀剂进行。然后将光致抗蚀剂 12 除去(图 12)。

其次,为了填充接触孔 51,利用 CVD 法淀积多晶硅,形成电容器下部电极 13。电容器下部电极 13 通过接触孔 51 与源/漏区 261 相连接。然后在全部表面上淀积 Si_3N_4 膜,形成电容器介质膜 14。利用 CVD 法再在电容器介质膜 14 上淀积多晶硅,形成电容器上部电极 15(图 13)。

其次,利用 CVD 法在电容器上部电极 15 上淀积例如硅氧化膜,形成层间绝缘膜 16(图 14),在层间绝缘膜 16 上有选择地形成例如由 AlCu、AlSiCu 构成的布线层 17(图 15)。

这样,如果采用本实施例 1 的半导体装置的制造方法,则在形成接触孔 50 时,暂时将绝缘膜 7 作为阻挡层,对层间绝缘膜 8 进行刻蚀。因此在该阶段不刻蚀衬底保护氧化膜 6h,所以层间绝缘膜 8 的刻蚀不会损伤源/漏区 262。而且,衬底保护氧化膜 6h 薄,对其进行刻蚀时的刻蚀量容易控制,所以仍然不会损伤源/漏区 262,同时绝缘膜 5 和侧壁 6d、6e 分别除去的量从总体来看很少,所以接触孔 50 能不与栅极 4 接触而以自行调整的方式形成。

另外,如果着眼于源/漏区 261 的状态,若采用现有的制造方法,则在形成侧壁 6a~6f 时及形成接触孔 51 时的 2 个工序中,半导体衬底 1 被过量刻蚀,结

晶缺陷也大,与此不同,如果采用本实施例 1 的半导体装置的制造方法,则在形成侧壁 6a~6f 时,由于有留下来的衬底保护氧化膜 6g,所以不会由这时的刻蚀造成半导体衬底 1 的过量刻蚀,也不会产生结晶缺陷 25。因此,与现有的制造方法相比,能抑制源/漏区 261 附近的结晶缺陷 25,所以通过接触孔 51 将电容器下部电极 13 与其连接时,还能抑制诱发引起器件误操作的漏泄电流。

实施例 2

在实施例 1 中,在形成了绝缘膜 7 以后的工序中形成了层间绝缘膜 8,但也可以在形成了绝缘膜 7 以后而在形成层间绝缘膜 8 之前,将形成接触孔 50 的区域以外的绝缘膜 7 除去。

图 16~图 27 是依次表示本发明的实施例 2 的半导体装置的制造工序的剖面图。首先,经过与实施例 1 的工序相同的工序,获得与图 4 所示的结构相同的结构。此后,利用通常的复制方法,在形成接触孔 50 的区域形成光致抗蚀剂 24(图 16)。

以下,经过与实施例 1 的工序相同的工序,在形成层间绝缘膜 11 之前,在全部表面上淀积层间绝缘膜 8(图 18),将在它上面形成的光致抗蚀剂 27 作为掩模,利用例如使用 C_4F_8 气体的氧化膜刻蚀方法,只刻蚀层间绝缘膜 8,形成接触孔 50(图 19)。再将光致抗蚀剂 27 作为掩模,刻蚀绝缘膜 7(图 20),在将衬底保护氧化膜 6h 除去后,将光致抗蚀剂 27 除去(图 21)。其次,通过接触孔 50 将导电膜 9 与源/漏区 262 连接起来(图 22)。在全部表面上形成层间绝缘膜 11(图 23)。

此后,利用通常的复制方法,在层间绝缘膜 11 上形成光致抗蚀剂 12,将该光致抗蚀剂 12 作为掩膜,通过用同一种刻蚀剂刻蚀层间绝缘膜 11、8、衬底保护氧化膜 6g,形成接触孔 51,使源/漏区 261 露出来(图 24)。

以下,经过与实施例 1 的工序相同的工序,直到形成布线层 17。即,形成电容器下部电极 13,以便通过接触孔 51 与源/漏区 261 连接,然后在全部表面上分别形成电容器介质膜 14、电容器上部电极 15(图 25)。此后在全部表面上形成层间绝缘膜 16 后(图 26),有选择地在它上面形成布线层 17(图 27)。

由于需要这样来形成接触孔 51,使其不与作为字线的栅极 4 及作为位线的导电膜 9 接触,所以当然必须形成微细的接触孔。因此,在形成微细的接触孔 51 时,不希望存在象绝缘膜 7 这样的刻蚀速度慢的膜。如果采用本实施例 2 的半导体装置的制造方法,则由于在形成微细的接触孔 51 时,不需要刻蚀

这种刻蚀速度慢的绝缘膜 7,所以能容易地形成接触孔 51。

实施例 3

在实施例 1 中,在形成了绝缘膜 11 之后,将用通常的复制方法形成的光致抗蚀剂 12 作为掩模,通过使用同一种刻蚀剂的单一的工序刻蚀层间绝缘膜 11、8、绝缘膜 7、衬底保护氧化膜 6g,形成了接触孔 51,但也可以通过多个工序形成接触孔 51。

图 28~图 34 是依次表示本发明的实施例 3 的半导体装置的制造工序的剖面图。首先,经过与实施例 1 的工序相同的工序,获得与图 11 所示的结构相同的结构(图 28)。

其次,将光致抗蚀剂 12 作为掩模,通过进行例如使用 C_4F_8 气体的氧化膜刻蚀,只刻蚀层间绝缘膜 11、8,在绝缘膜 7 露出的时刻停止刻蚀(图 29)。在这种氧化膜刻蚀方法中,由于对由 Si_3N_4 或 $SiON$ 构成的绝缘膜 7 的刻蚀速度比由硅氧化膜构成的层间绝缘膜 8、11 慢,所以在绝缘膜 7 露出的时刻能容易地停止刻蚀,这在实施例 1 中已说明过。

其次,将光致抗蚀剂 12 作为掩模,利用例如使用 CF_4 气体的刻蚀方法,只将绝缘膜 7 除去(图 30)。再将光致抗蚀剂 12 作为掩模,通过进行各向异性的氧化膜刻蚀,将衬底保护氧化膜 6g 除去,使源/漏区 261 露出来。然后将光致抗蚀剂 12 除去(图 31)。

以下,经过与实施例 1 的工序相同的工序,直到形成布线层 17。即,形成电容器下部电极 13,以便通过接触孔 51 与源/漏区 261 连接,然后形成电容器介质膜 14、电容器上部电极 15(图 32)。此后在全部表面上形成层间绝缘膜 16 之后(图 33),有选择地在它上面形成布线层 17(图 34)。

如果采用本实施例 3 的半导体装置的制造方法,则在形成接触孔 51 时,刻蚀速度慢的绝缘膜 7 起阻挡层的作用,与实施例 1 中的接触孔 50 一样,接触孔 51 能不与栅极 4 接触而以自行调整的方式形成。

另外,在实施例 1 中形成接触孔 51 时,由于通过使用同一种刻蚀剂的单一的工序,刻蚀层间绝缘膜 11、8、衬底保护氧化膜 6g,所以膜的应除去的厚度较厚,不容易控制刻蚀量。可是,如果采用本实施例 3 的制造方法,由于在首先只刻蚀层间绝缘膜 11、8 之后,只刻蚀绝缘膜 7,所以不影响源/漏区 261,再者,此后在只刻蚀衬底保护氧化膜 6g 的工序中,膜的应除去的厚度也薄,容易控制刻蚀量。因此,能减少形成接触孔 51 时由于刻蚀而对半导体衬底 1 造成的过量刻蚀,比实施例 1 所示的方法更能抑制源/漏区 261 的结晶缺陷

的产生。

实施例 4

在实施例 1 中,在形成了层间绝缘膜 8 之后的工序中只将源/漏区 262 露出,但也可同时将源/漏区 261 露出。

5 图 35~图 44 是依次表示本发明的实施例 4 的半导体装置的制造工序的剖面图。首先,经过与实施例 1 的工序相同的工序,获得与图 5 相同的结构。此后,利用通常的复制方法,在层间绝缘膜 8 上且在源/漏区 262 的上方形成呈开口的光致抗蚀剂 10a,将该光致抗蚀剂 10a 作为掩模,利用例如使用 C_4F_8 气体的氧化膜刻蚀方法,只刻蚀层间绝缘膜 8,形成接触孔 50、52(图 35)。

10 其次,将光致抗蚀剂 10a 作为掩模,利用例如使用 CF_4 气体的刻蚀方法,将绝缘膜 7 除去(图 36)。再将光致抗蚀剂 10a 作为掩模,通过进行各向异性的氧化膜刻蚀,将衬底保护氧化膜 6g、6h 除去,使源/漏区 261、262 露出来。然后将光致抗蚀剂 10a 除去(图 37)。

其次,形成作为位线的导电膜 9,以便通过接触孔 50 与源/漏区 262 连接,15 与此同时,形成与导电膜 9 呈同样结构的导电膜 19,以便通过接触孔 52 与源/漏区 261 连接(图 38)。该导电膜 19 具有作为连接电容器下部电极 13 和源/漏区 261 用的连接电极的作用。

其次,利用 CVD 法在全部表面上淀积例如硅氧化膜,形成层间绝缘膜 11(图 39)。其次,利用通常的复制方法,在层间绝缘膜 11 上且在源/漏区 261 20 的上方形成呈开口的光致抗蚀剂 12(图 40)。

此后,将该光致抗蚀剂 12 作为掩模,通过刻蚀层间绝缘膜 11,形成接触孔 53,使导电膜 19 露出。此后除去光致抗蚀剂 12(图 41)。

以下,经过与实施例 1 的工序相同的工序,直到形成布线层 17。即,形成电25 容器下部电极 13,以便通过接触孔 53 与导电膜 19 连接,然后在全部表面上形成电容器介质膜 14、电容器上部电极 15(图 42)。其次,在全部表面上形成层间绝缘膜 16 之后(图 43),有选择地在它上面形成布线层 17(图 44)。

这样,如果采用本实施例 4 的半导体装置的制造方法,则在形成接触孔 50、52 时,由于刻蚀速度慢的绝缘膜 7 在刻蚀层间绝缘膜 8 时起阻挡层的作用,所以接触孔 50、52 能不与栅极 4 接触而自行调整地形成。

30 另外,在实施例 3 中,在形成接触孔 51 的工序中使绝缘膜 7 露出时,由于通过使用同一种刻蚀剂的单一的工序刻蚀层间绝缘膜 11、8,所以膜的应除去的厚度较厚,不容易进行刻蚀的控制。因此,如果刻蚀层间绝缘膜 11、8 时

的过刻蚀量过大,就会破坏本来应起刻蚀的阻挡层作用的绝缘膜 7,另外,其下面的衬底保护氧化膜 6g 是硅氧化膜,容易被刻蚀,可以认为该刻蚀还会使源/漏区 261 的表面过度刻蚀。

可是,如果采用本实施例 4 的半导体装置的制造方法,则由于使绝缘膜 7 露出时,不是用单一的工序刻蚀层间绝缘膜 11、8,在形成层间绝缘膜 11 之前的工序中,暂时只刻蚀层间绝缘膜 8,使绝缘膜 7 露出,在此后的另一工序中,只刻蚀层间绝缘膜 11,所以在各工序中膜的应除去的厚度薄,能容易地控制刻蚀量。因此,更能容易地避免源/漏区 261 的过刻蚀。

实施例 5

在实施例 1 中,在侧壁 6a~6f 及衬底保护氧化膜 6g~6i 上形成了绝缘膜 7 及层间绝缘膜 8,但也可以形成比硅氧化膜 6 的刻蚀速度还快的绝缘膜以代替绝缘膜 7 及层间绝缘膜 8。

图 45~图 57 是依次表示本发明的实施例 5 的半导体装置的制造工序的剖面图。首先,经过与实施例 1 的工序相同的工序,获得与图 3 相同的结构。即,利用 LOCOS 法在半导体衬底 1 形成元件分离绝缘膜 2 之后,在不形成元件分离绝缘膜 2 的半导体衬底 1 上有选择地形成按照栅氧化膜 3、栅极 4 及绝缘膜 5 的顺序重叠的结构(图 45)。

其次,利用 CVD 法在全部表面上形成硅氧化膜 6(图 46),此后通过沿垂直于半导体衬底 1 的方向进行刻蚀速率高的各向异性的氧化膜刻蚀,来刻蚀硅氧化膜 6,形成侧壁 6a~6f,同时形成衬底保护氧化膜 6g~6i。此后,分别形成源/漏区 261~263(图 47)。

其次,在全部表面上形成比硅氧化膜 6 的刻蚀速度还快的层间绝缘膜(例如含有硼或磷等杂质的硅氧化膜)81(图 48)。

其次,利用通常的复制方法,在层间绝缘膜 81 上且在源/漏区 262 的上方形呈开口的光致抗蚀剂 10。此后,将该光致抗蚀剂 10 作为掩模,通过进行刻蚀工艺,只刻蚀层间绝缘膜 81。作为这时的刻蚀,是将例如 CHF_3 或 CF_4 、或它们的混合气体作为低密度的等离子体($10^{10}/\text{cm}^2$ 左右)使用。这时,利用刻蚀速度的差别,硅氧化膜 6(特别是侧壁 6d、6e 及衬底保护氧化膜 6h)具有刻蚀阻挡层的作用,所以形成使侧壁 6d、6e 及衬底保护氧化膜 6h 露出用的接触孔 50(图 49)。

其次,将光致抗蚀剂 10 作为掩模,通过进行各向异性的氧化膜刻蚀,将衬底保护氧化膜 6h 除去,使源/漏区 262 露出来。这时虽然侧壁 6d、6e 也被

除去,但只不过除去相当于衬底保护氧化膜 6h 的厚度。然后将光致抗蚀剂 10 除去(图 50)。

其次,形成导电膜 9,以便通过接触孔 50 与源/漏区 262 连接(图 51),此后在全部表面上形成层间绝缘膜 11(图 52)。

- 5 其次,利用通常的复制方法,在层间绝缘膜 11 上且在源/漏区 261 的上方形成呈开口的光致抗蚀剂 12(图 53)。此后,将该光致抗蚀剂 12 作为掩膜,通过用同一种刻蚀剂刻蚀层间绝缘膜 11、81、衬底保护氧化膜 6g,形成接触孔 51,使源/漏区 261 露出来(图 54)。

- 10 以下,经过与实施例 1 的工序相同的工序,直到形成到布线层 17。即,形成电容器下部电极 13,以便通过接触孔 51 与源/漏区 261 连接,然后在全部表面上形成电容器介质膜 14、电容器上部电极 15(图 55)。此后在全部表面上形成层间绝缘膜 16 之后(图 56),有选择地在它上面形成布线层 17(图 57)。

- 15 这样,如果采用本实施例 5 的半导体装置的制造方法,则由于在形成接触孔 50 时只刻蚀层间绝缘膜 81,暂时使侧壁 6d、6e 及衬底保护氧化膜 6h 露出,所以由于与实施例 1 相同的原因,接触孔 50 能不与栅极 4 接触而自行调整地形成,而且还能抑制结晶缺陷 25 的产生。另外,由于不需要如实施例 1 所示的方法那样对刻蚀速度慢的绝缘膜 7 进行刻蚀,所以在形成接触孔 50、51 时容易控制刻蚀量。

实施例 6

- 20 在实施例 5 中,在形成层间绝缘膜 11 之后,将用通常的复制方法形成的光致抗蚀剂 12 作为掩模,通过使用同一种刻蚀剂的单一的工序刻蚀层间绝缘膜 11、81、衬底保护氧化膜 6g,形成了接触孔 51,但也可以通过多个工序形成接触孔 51。

- 25 图 58~图 64 是依次表示本发明的实施例 6 的半导体装置的制造工序的剖面图。首先,经过与实施例 5 的工序相同的工序,获得与图 53 所示的结构相同的结构(图 58)。

- 30 其次,将光致抗蚀剂 12 作为掩模,通过进行各向异性的氧化膜刻蚀,来刻蚀层间绝缘膜 11。这时由于层间绝缘膜 81 的刻蚀速度比层间绝缘膜 11 快,所以刻蚀层间绝缘膜 11 时,由于过刻蚀而使层间绝缘膜 81 的上部也被刻蚀了一些(图 59)。

其次,将光致抗蚀剂 12 作为掩模,只刻蚀层间绝缘膜 81(图 60)。这时由于硅氧化膜 6 的刻蚀速度比层间绝缘膜 81 慢,所以对侧壁 6b、6c 及衬底保护

氧化膜 6g 进行的过刻蚀量小。

其次,将光致抗蚀剂 12 作为掩模,通过进行各向异性的氧化膜刻蚀,将衬底保护氧化膜 6g 除去,使源/漏区 261 露出来。然后将光致抗蚀剂 12 除去(图 61)。

5 以下,经过与实施例 1 的工序相同的工序,直到形成布线层 17。即,形成电容器下部电极 13,以便通过接触孔 51 与源/漏区 261 连接,然后在全部表面上形成电容器介质膜 14、电容器上部电极 15(图 62)。此后在全部表面上形成了层间绝缘膜 16 后(图 63),有选择地在它上面形成布线层 17(图 64)。

10 这样,如果采用本实施例 6 的半导体装置的制造方法,则由于在形成接触孔 51 时,暂时只刻蚀层间绝缘膜 81,使侧壁 6b、6c 及衬底保护氧化膜 6g 露出,所以由于与实施例 5 相同的原因,接触孔 51 能不与栅极 4 接触而自行调整地形成,而且还能抑制结晶缺陷 25 的产生。

15 另外,在实施例 5 中,在形成接触孔 51 时,由于通过使用同一种刻蚀剂的单一的工序刻蚀层间绝缘膜 11、81、衬底保护氧化膜 6g,所以膜的应除去的厚度厚,不容易进行刻蚀的控制。可是,如果采用本实施例 6 的制造方法,由于在首先只刻蚀层间绝缘膜 11 之后,只刻蚀层间绝缘膜 81,然后再只刻蚀衬底保护氧化膜 6g,所以在这些工序中膜的应除去的厚度薄,特别是衬底保护氧化膜 6g 的刻蚀量变得容易控制。因此,在形成接触孔 51 时能减少因刻蚀而造成的半导体衬底 1 的过刻蚀量,比实施例 5 所示的方法更能抑制源/漏区 261 的结晶缺陷 25 的产生。

实施例 7

在实施例 5 中,在形成了层间绝缘膜 81 之后的工序中,暂时只将源/漏区 262 露出,但也可同时将源/漏区 261 露出。

25 图 65~73 是依次表示本发明的实施例 4 的半导体装置的制造工序的剖面图。首先,经过与实施例 5 的工序相同的工序,获得与图 48 相同的结构。此后,利用通常的复制方法,在层间绝缘膜 81 上且在源/漏区 261、262 的上方形成呈开口的光致抗蚀剂 10a,将该光致抗蚀剂 10a 作为掩模,通过使用与实施例 5 同样的刻蚀剂的刻蚀方法,只刻蚀层间绝缘膜 81,分别形成接触孔 52、50(图 65)。这时,由于硅氧化膜 6 的刻蚀速度比层间绝缘膜 81 慢,所以对侧壁 6b、6c、6d、6e 及衬底保护氧化膜 6g、6h 的过刻蚀量小。

30 其次,将光致抗蚀剂 10a 作为掩模,通过进行各向异性的氧化膜刻蚀,将衬底保护氧化膜 6g、6h 除去,使源/漏区 261、262 露出来。然后将光致抗蚀

剂 10a 除去(图 66)。

其次,形成作为位线的导电膜 9,以便通过接触孔 50 与源/漏区 262 连接,与此同时,形成与导电膜 9 呈同样结构的导电膜 19,以便通过接触孔 52 与源/漏区 261 连接(图 67)。已经说明过,该导电膜 19 具有作为连接电容器下部电极 13 和源/漏区 261 用的连接电极的作用。

其次,利用 CVD 法在全部表面上淀积例如硅氧化膜,形成层间绝缘膜 11(图 68),利用通常的复制方法,在层间绝缘膜 11 上且在源/漏区 261 的上方形形成呈开口的光致抗蚀剂 12(图 69)。

此后,将该光致抗蚀剂 12 作为掩模,通过刻蚀层间绝缘膜 11,形成接触孔 53,使导电膜 19 露出。此后除去光致抗蚀剂 12(图 70)。

以下,经过与实施例 1 的工序相同的工序,直到形成布线层 17。即,形成电容器下部电极 13,以便通过接触孔 53 与导电膜 19 连接,然后在全部表面上形成电容器介质膜 14、电容器上部电极 15(图 71)。其次,在全部表面上形成层间绝缘膜 16 之后(图 72),有选择地在它上面形成布线层 17(图 73)。

这样,如果采用本实施例 7 的半导体装置的制造方法,则由于在形成接触孔 50、52 时通过氧化膜刻蚀只刻蚀层间绝缘膜 81,暂时使侧壁 6b、6c、6d、6e 及衬底保护氧化膜 6g、6h 露出,所以由于与实施形态 5 相同的原因,接触孔 50、52 能不与栅极 4 接触而自行调整地形成,而且还能抑制结晶缺陷 25 的产生。

另外,在实施例 6 中,在形成接触孔 51 的工序中,由于刻蚀层间绝缘膜 11 时的过刻蚀,层间绝缘膜 81 的上部也被刻蚀了一些。因此,在下一工序中刻蚀层间绝缘膜 81 时必须考虑其上部由于过刻蚀而被刻蚀的量,而且由于层间绝缘膜 11 和层间绝缘膜 81 的刻蚀速度互不相同,所以有必要更精确地控制应刻蚀层间绝缘膜 81 的量。

可是,如果采用本实施例 7 的半导体装置的制造方法,则在刻蚀层间绝缘膜 11 后不刻蚀层间绝缘膜 81,在形成层间绝缘膜 11 之前的工序中刻蚀一次层间绝缘膜 81,使衬底保护氧化膜 6g 露出,此后在另一工序中,因只刻蚀层间绝缘膜 11,所以在刻蚀层间绝缘膜 81 时其上部未被刻蚀,故能容易地控制刻蚀量。

30 实施例 8

在实施例 1 中,在形成了接触孔 51 之后的工序中已经形成了电容器下部电极 13,但在形成接触孔 51 之后而形成电容器下部电极 13 之前,还可以增加

在半导体衬底1内形成杂质扩散层的工序。

图74~图77是依次表示本发明的实施例8的半导体装置的制造工序的剖面图。首先,经过与实施例1的工序相同的工序,获得与图11所示的结构相同的结构。此后,将光致抗蚀剂12作为掩模,利用离子注入法,通过接触孔51
5 将呈与半导体衬底1相反的导电类型的杂质(如果半导体衬底1的导电类型为p型,则为磷、砷等,如果为n型,则为硼等)注入半导体衬底1内,形成比源/漏区261宽且浓度小的杂质扩散层18(图74)。

以下,经过与实施例1的工序相同的工序,直到形成布线层17。即,形成电
容器下部电极13,以便通过接触孔51与源/漏区261连接,然后在全部表面上
10 分别形成电容器介质膜14、电容器上部电极15(图75)。此后在全部表面上形成层间绝缘膜16后(图76),有选择地在它上面形成布线层17(图77)。

这样,如果采用本实施例8的半导体装置的制造方法,则由于在源/漏区
261的外侧增加形成呈与半导体衬底1相反的导电类型的杂质扩散层18,所以
能降低电容器下部电极13与半导体衬底1的接触电阻。另外,由于源/漏
15 区261和半导体衬底1之间的杂质浓度梯度变缓,而缓和了电容器下部电极13下面的半导体衬底1内的电场强度,所以能降低从电容器下部电极13流向半导体衬底1的漏泄电流。

另外,以上以实施例1为基础,说明了实施例8的效果,但即使以实施例5
的制造方法为基础,也能获得与其同样的效果,这是当然的。

20 实施例9

在实施例1中,在中间工序之前刻蚀硅氧化膜6以形成衬底保护氧化膜
6g~6i之后的工序中,已经形成了绝缘膜7,但在形成绝缘膜7之前也可以增
加在半导体衬底1内形成杂质扩散层的工序。

图78~图90是依次表示本发明的实施例9的半导体装置的制造工序的剖
25 面图。首先,经过与实施例1的工序相同的工序,获得与图3所示的结构相同的结构。此后,利用离子注入法,通过衬底保护氧化膜6g~6i将呈与半导体衬底1相反的导电类型的杂质注入半导体衬底1内,形成比源/漏区261、262宽且浓度小的杂质扩散层20(图78)。

以下,经过与实施例1的工序相同的工序,直到形成布线层17。即,在全部
30 表面上形成了绝缘膜7之后(图79),在绝缘膜7上形成层间绝缘膜8(图80),将在它上面形成的光致抗蚀剂10作为掩模,利用例如使用C4F8气体的氧化膜刻蚀方法,刻蚀层间绝缘膜8,形成接触孔50(图81)。再将光致抗蚀剂10

作为掩模,刻蚀绝缘膜 7(图 82),然后将衬底保护氧化膜 6h 除去(图 83)。其次,形成导电膜 9,以便通过接触孔 50 与源/漏区 262 连接(图 84),在全部表面上形成层间绝缘膜 11(图 85)。其次,在层间绝缘膜 11 上形成光致抗蚀剂 12(图 86),将其作为掩模,刻蚀层间绝缘膜 11、8、绝缘膜 7、衬底保护氧化膜 7g,形成接触孔 51,使源/漏区 261 露出(图 87)。此后形成电容器下部电极 13,以便通过接触孔 51 与源/漏区 261 连接,在全部表面上分别形成电容器介质膜 14、电容器上部电极 15(图 88)。再在全部表面上形成层间绝缘膜 16(图 89),有选择地在它上面形成布线层 17(图 90)。

这样,如果采用本实施例 9 的半导体装置的制造方法,则由于在源/漏区 261、262 的外侧增加形成呈与半导体衬底 1 相反的导电类型的杂质扩散层 20,所以能降低电容器下部电极 13 及导电膜 9 与半导体衬底 1 的接触电阻。另外,与实施例 8 中的效果一样,能降低从电容器下部电极 13 流向半导体衬底 1 的漏泄电流。再者,由于在进行形成杂质扩散层 20 用的离子注入时,不使半导体衬底 1 露出,所以不会损伤半导体衬底 1。

另外,以上以实施例 1 为基础,说明了实施例 9 的效果,但即使以实施例 5 的制造方法为基础,也能获得与其同样的效果,这是当然的。

实施例 10

图 91~图 108 是依次表示本发明的实施例 10 的半导体装置的制造工序的剖面图。首先,利用 LOCOS 法在半导体(例如 Si)衬底 1 上形成元件分离绝缘膜 2 之后,在不形成元件分离绝缘膜 2 的半导体衬底 1 上有选择地按照栅氧化膜 3、栅极 4 及绝缘膜 5 的顺序形成叠层结构(图 91)。另外,如图中所示,被分成外围电路区和存储单元区。这里,在图 91 中,在元件分离绝缘膜 2 上设的栅极 4 的下方不设栅氧化膜 3,但在垂直于纸面的方向上,隐藏在元件分离绝缘膜 2 的后方形成上述的叠层结构。

其次,利用 CVD 法在全部表面上淀积硅氧化膜 6(图 92)。其次,通过沿垂直于半导体衬底 1 的方向进行刻蚀速率高的各向异性的氧化膜刻蚀,来刻蚀硅氧化膜 6,在栅氧化膜 3、栅极 4、绝缘膜 5 各自的侧壁部分留下硅氧化膜 6,形成侧壁 6j~6q。但进行该刻蚀时,不使半导体衬底 1 露出,在半导体衬底 1 上留有规定厚度的硅氧化膜 6,形成衬底保护氧化膜 6r~6v。这里,通过各向异性的氧化膜刻蚀,将衬底保护氧化膜 6r~6v 的厚度设定在不使半导体衬底 1 受损伤的范围内。例如在本实施例中为 5~20nm。此后,将离子通过衬底保护氧化膜 6r~6v 注入半导体衬底 1 内,分别形成源/漏区 264~268(图

93).

其次,用 CVD 法在全部表面上淀积厚度为 5~100nm 的由 Si_3N_4 或 SiON 等构成的绝缘膜 7(图 94).

其次,利用通常的复制方法,在存在于存储单元区的绝缘膜 7 上形成光致抗蚀剂 21 后,将不被该光致抗蚀剂 21 覆盖的区域的绝缘膜 7 及衬底保护氧化膜 6r、6s 除去。此后,利用离子注入法,分别注入呈与半导体衬底 1 相反的导电类型的杂质(如果半导体衬底 1 的导电类型为 p 型,则为磷、砷等,如果为 n 型,则为硼等),形成比源/漏区 264、265 大的杂质扩散层 22(图 96).

其次,利用 CVD 法在全部表面上淀积例如硅氧化膜,形成层间绝缘膜 8(图 97)。再利用通常的复制方法,在层间绝缘膜 8 上且在源/漏区 265、267 的上方形成呈开口的光致抗蚀剂 10b,将该光致抗蚀剂 10b 作为掩模,利用对绝缘膜 7 刻蚀速度快的氧化膜刻蚀方法,刻蚀绝缘膜 8,形成接触孔 53、50(图 98)。这时,利用刻蚀速度的差别,在绝缘膜 7 露出的阶段就能停止接触孔 50 的刻蚀。

其次,利用例如使用 CF_4 气体的刻蚀方法,只将绝缘膜 7 除去(图 99)。

再者,将光致抗蚀剂 10b 作为掩模,通过进行各向异性的氧化膜刻蚀,将衬底保护氧化膜 6u 除去,挖进接触孔 50,直至使源/漏区 267 露出来为止。然后将光致抗蚀剂 10b 除去(图 100)。

其次,形成作为位线的导电膜 9,以便通过接触孔 50 与源/漏区 267 连接,与此同时,形成与导电膜 9 呈同样结构的布线层 23,以便通过接触孔 53 与源/漏区 265 连接(图 101)。

其次,例如利用 CVD 法在全部表面上淀积硅氧化膜,形成层间绝缘膜 11(图 102)。其次,利用通常的复制方法,在层间绝缘膜 11 上且在源/漏区 266 的上方形成呈开口的光致抗蚀剂 12a。此后,将该光致抗蚀剂 12a 作为掩模,通过使用同一种刻蚀剂刻蚀层间绝缘膜 11、8、绝缘膜 7、衬底保护氧化膜 6t,形成接触孔 51,使源/漏区 266 露出(图 103)。此后除去光致抗蚀剂 12a(图 104)。

其次,为了填充接触孔 51,利用 CVD 法淀积多晶硅,形成电容器下部电极 13。此后,只在存储单元区淀积 Si_3N_4 膜,形成电容器介质膜 14。利用 CVD 法再在电容器介质膜 14 上淀积多晶硅,形成电容器上部电极 15(图 105)。

其次,利用 CVD 法在全部表面上淀积例如硅氧化膜,形成层间绝缘膜 16(图 106)。再利用通常的复制方法,在该层间绝缘膜 16 上且在源/漏区 264

的上方形成呈开口的光致抗蚀剂 24。此后,将该光致抗蚀剂 24 作为掩模,通过刻蚀层间绝缘膜 16、11、8,形成接触孔 54,使源/漏区 264 露出(图 107)。然后除去光致抗蚀剂 24。

其次,在层间绝缘膜 16 上有选择地形成布线层 17。形成其中的一个布线层,以便通过接触孔 54 与源/漏区 264 连接(图 108)。

这样,如果采用本实施例 10 的半导体装置的制造方法,则在形成接触孔 50 时,暂时将绝缘膜 7 作为阻挡层,只刻蚀层间绝缘膜 8。因此,在该阶段不刻蚀衬底保护氧化膜 6u,所以层间绝缘膜 8 的刻蚀不会损伤源/漏区 267。而且,由于衬底保护氧化膜 6u 薄,所以刻蚀它时容易控制刻蚀量,仍然不会损伤源/漏区 267。再者绝缘膜 5 和侧壁 6o、6p 分别除去的量从总体来看很少,所以接触孔 50 能不与栅极 4 接触而自行调整地形成。

另外,由于在形成接触孔 53、54 时,不需要对刻蚀速度慢的绝缘膜 7 进行刻蚀,所以形成接触孔 53、54 时的刻蚀量容易控制。

再者,由于增加形成比源/漏区 264、265 大的呈与半导体衬底 1 相反的导电类型的杂质扩散层 22,所以能降低布线层 17、23 各自与半导体衬底 1 的接触电阻。

实施例 11

在实施例 10 中,在刻蚀外围电路区的绝缘膜 7 及衬底保护氧化膜 6r、6s 之后,形成了杂质扩散层 22,但也可以只刻蚀绝缘膜 7,通过衬底保护氧化膜 6r、6s 注入杂质,形成杂质扩散层 22。

图 109~图 110 是依次表示本发明的实施例 11 的半导体装置的制造工序的剖面图。首先,经过与实施例 10 的工序相同的工序,获得与图 9 所示的结构相同的结构。其次,利用通常的复制方法,在存储单元区的绝缘膜 7 上形成光致抗蚀剂 21 之后,将该光致抗蚀剂 21 作为掩模,利用例如使用 CF_4 气体的刻蚀方法,只刻蚀绝缘膜 7。此后,利用离子注入法,通过衬底保护氧化膜 6r、6s 分别注入呈与半导体衬底 1 相反的导电类型的杂质,形成比源/漏区 264、265 宽的杂质扩散层 22(图 109)。

以下,经过与实施例 10 的工序相同的工序,直到形成布线层 17(图 110)。

这里,如果着眼于源/漏区 264、265 的状态,若采用实施例 10 的制造方法,则在形成杂质扩散层 22 时及形成接触孔 53、54 时的 2 个工序中,半导体衬底 1 被过量刻蚀,结晶缺陷也多,与此不同,如果采用本实施例 11 的半导体装置的制造方法,则在形成杂质扩散层 22 时,由于有留下来的衬底保护氧化膜

6r、6s,所以不会由于这时的刻蚀造成半导体衬底1的过量刻蚀,也不会产生结晶缺陷25。因此,与实施例10的制造方法相比,能抑制源/漏区264、265附近的结晶缺陷25,所以通过接触孔53、54将布线层23、17与源/漏区264、265相连接时,还能抑制诱发引起器件误操作的漏泄电流。

- 5 如果采用本发明的第1方面,则由于第2绝缘膜的刻蚀不在第4绝缘膜上连续地进行,第3绝缘膜在刻蚀第4绝缘膜时起阻挡层的作用,此后另外进行第2绝缘膜的刻蚀,因此能精确地控制第2绝缘膜的刻蚀量,能抑制对露出的半导体衬底的过刻蚀,进而能抑制半导体衬底内的结晶缺陷的产生。

10 因此,在工序(g)中形成第2导电膜时,能避免在第2导电膜和半导体衬底接触处发生不需要的漏泄电流。

另外,如果采用本发明的第2方面,则由于存在于第1区的第2绝缘膜的宽度比存在于第2区的第2绝缘膜的厚度要厚,另外第1绝缘膜存在于第1导电膜上,所以在工序(f)中有选择地使半导体衬底露出时,即使第1位置的设定精度不高,也能不使第1导电膜露出,而只使半导体衬底的表面自行调整地露出。因此,在工序(g)中形成第2导电膜时,能避免第2导电膜与第1导电膜短路。

另外,如果采用本发明的第3方面,则由于在工序(y)中使存在于第2位置的半导体衬底的表面露出时,不需要在第2位置的上方对刻蚀速度慢的第3绝缘膜进行刻蚀,所以能容易地使半导体衬底的表面露出。

- 20 另外,如果采用本发明的第4方面,则由于第2绝缘膜的刻蚀不在第4绝缘膜上连续地进行,第3绝缘膜在刻蚀第4绝缘膜时起阻挡层的作用,因此能精确地控制第2绝缘膜的刻蚀量,能抑制对露出的半导体衬底表面的过刻蚀,进而能抑制半导体衬底内的结晶缺陷的产生。因此,在工序(z)中形成第3导电膜时,能避免在第3导电膜和半导体衬底接触处发生不需要的漏泄电流。

- 25 另外,如果采用本发明的第5方面,则中间介入第5绝缘膜与第2导电膜处于不同层的第4导电膜,通过第3导电膜与存在于第2位置的半导体衬底进行导电连接。即,将开口应设在第5绝缘膜上而对其进行刻蚀的工序(i)和应使存在于第2位置的半导体衬底的表面露出而刻蚀第4绝缘膜的工序(f)不连续进行。因此,与连续地刻蚀第4及第5绝缘膜的情况相比较,在各工序中应刻蚀的膜厚度较薄,因此容易控制刻蚀量,能避免第3绝缘膜过刻蚀。

30 另外,如果采用本发明的第6方面,则由于存在于第1区的第2绝缘膜的宽度大于存在于第2区的第2绝缘膜的厚度,另外第1绝缘膜存在于第1导

电膜上,所以在工序(e)中有选择地使半导体衬底的表面露出时,即使第1位置的设定精度不高,也能不使第1导电膜露出,而只使半导体衬底的表面自行调整地露出。

再者,由于第2绝缘膜的刻蚀不在第3绝缘膜处连续地进行,第2绝缘膜在刻蚀第3绝缘膜时起阻挡层的作用,此后另外进行第2绝缘膜的刻蚀,因此能精确地控制第2绝缘膜的刻蚀量,能抑制对已露出的半导体衬底的过刻蚀,进而能抑制半导体衬底内的结晶缺陷的产生。

因此,在工序(g)中形成第2导电膜时,能避免第2导电膜和第1导电膜短路,同时能避免在第2导电膜和半导体衬底接触处发生不需要的漏泄电流。

另外,如果采用本发明的第7方面,则由于第2绝缘膜的刻蚀不在第3绝缘膜处连续地进行,第2绝缘膜在刻蚀第3绝缘膜时起阻挡层的作用,因此能精确地控制第2绝缘膜的刻蚀量,能抑制对已露出的半导体衬底的过刻蚀,进而能抑制半导体衬底内的结晶缺陷的产生。因此,在工序(z)中形成第3导电膜时,能避免在第3导电膜和半导体衬底接触处发生不需要的漏泄电流。

另外,如果采用本发明的第8方面,则中间介入第4绝缘膜与第2导电膜处于不同层的第4导电膜,通过第3导电膜与存在于第2位置的半导体衬底进行导电连接。因此将开口应设第4绝缘膜上而对其进行刻蚀的工序(h)和应使存在于第2位置的半导体衬底的表面露出而刻蚀第2及第3绝缘膜的工序(f)不连续进行。因此,与连续地刻蚀第3绝缘膜的情况相比较,在各工序中应刻蚀的膜厚度较薄,因此容易控制刻蚀量。

而且,在工序(h)中,第3导电膜起刻蚀的阻挡层的作用,能避免刻蚀速度比第4绝缘膜快的第3绝缘膜的过刻蚀。因此,不需要考虑过刻蚀量而控制第3绝缘膜的刻蚀量。

另外,如果采用本发明的第9方面,则由于形成比第1掺杂区宽的第2掺杂区,所以能降低在工序(z)中形成的第3导电膜与半导体衬底的接触电阻。另外,由于第3导电膜和半导体衬底之间的杂质浓度梯度变得缓和,所以能缓和在形成第3导电膜的半导体衬底内的电场强度。因此,更能抑制从第3导电膜流向半导体衬底的不需要的漏泄电流的发生。

另外,如果采用本发明的第10方面,则由于形成比第1掺杂区宽的第2掺杂区,所以能降低在工序(z)中形成的第3导电膜和半导体衬底的接触电阻。另外,由于第3导电膜和半导体衬底之间的杂质浓度梯度变得缓和,所以能缓和在形成第3导电膜的半导体衬底内的电场强度。因此,更能抑制从第3导

电膜流向半导体衬底的不需要的漏泄电流的发生。

再者,由于在形成第1及第2掺杂区时都不使半导体衬底露出,所以能不使半导体衬底受损伤地形成第1及第2掺杂区。

5 另外,如果采用本发明的第11方面,则由于在工序(k)中使存在于第3位置的半导体衬底的表面露出时,不需要在第3位置的上方对刻蚀速度慢的第3绝缘膜进行刻蚀,所以能容易地使半导体衬底的表面露出。

10 再者,由于形成比第1掺杂区宽的第2掺杂区,所以能降低在工序(k)中形成的第4导电膜与半导体衬底的接触电阻。另外,由于第4导电膜和半导体衬底之间的杂质浓度梯度变得缓和,所以能缓和在形成第4导电膜的半导体衬底内的电场强度。因此,更能抑制从第4导电膜流向半导体衬底的不需要的漏泄电流的发生。

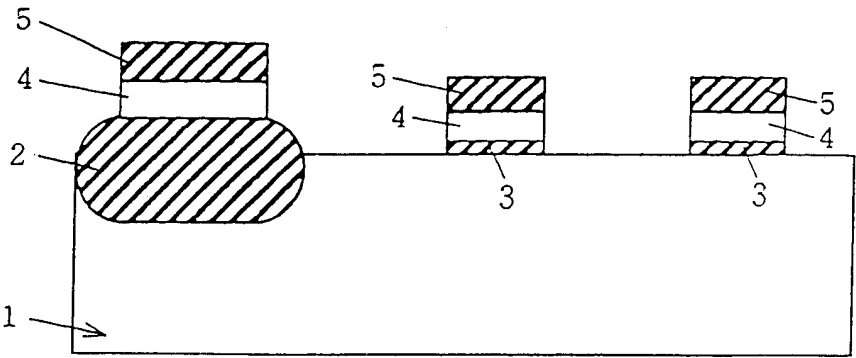


图 1

图 2

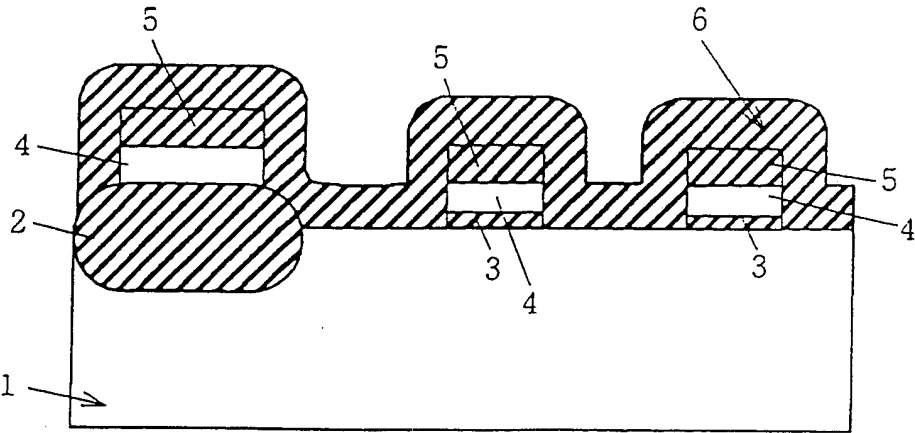


图 5

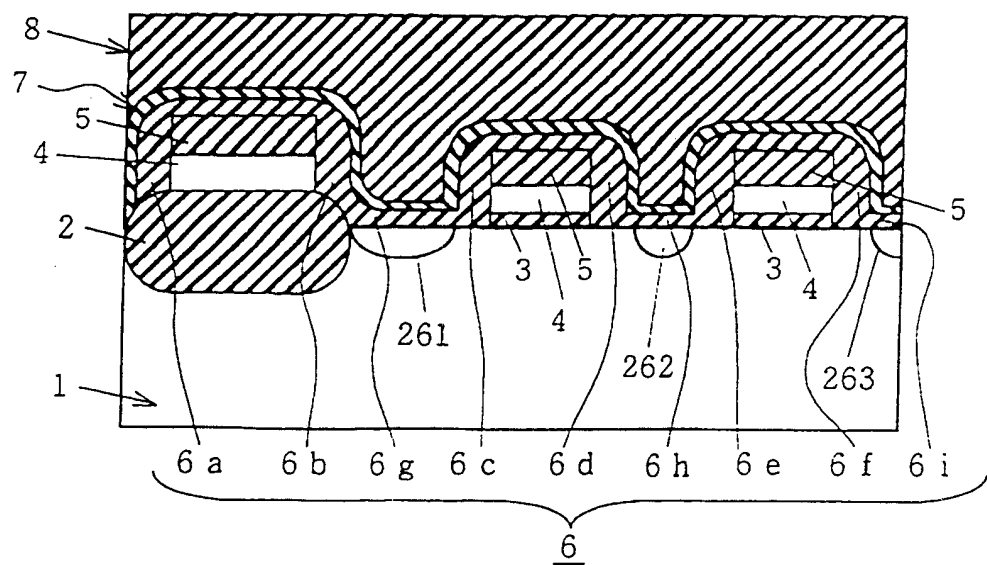


图 6

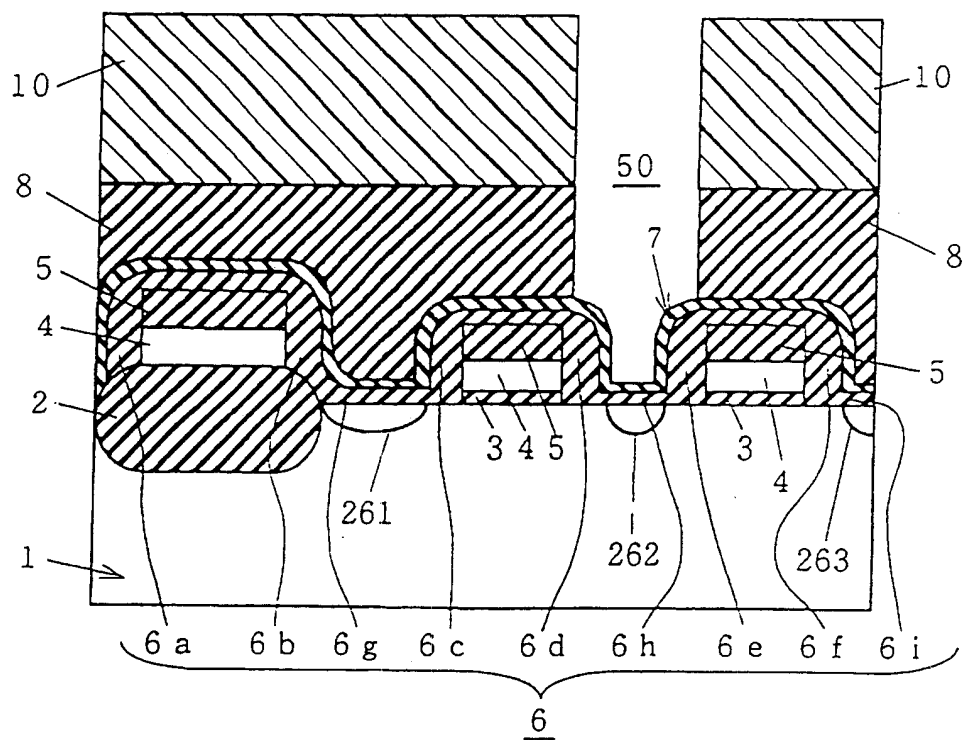


图 7

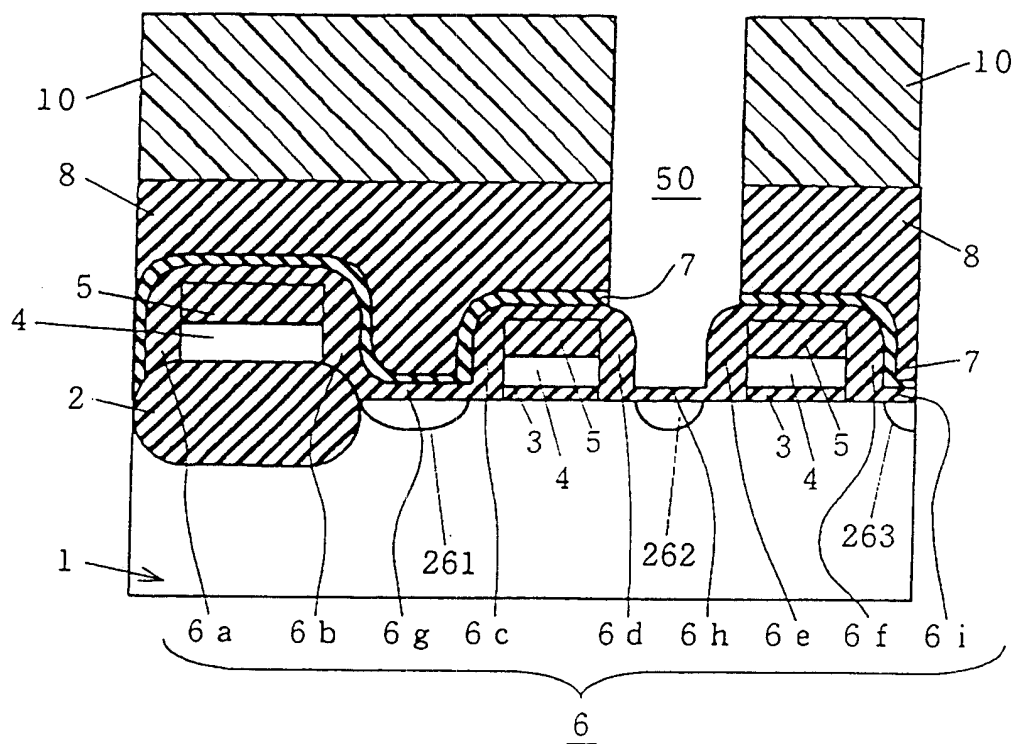


图 8

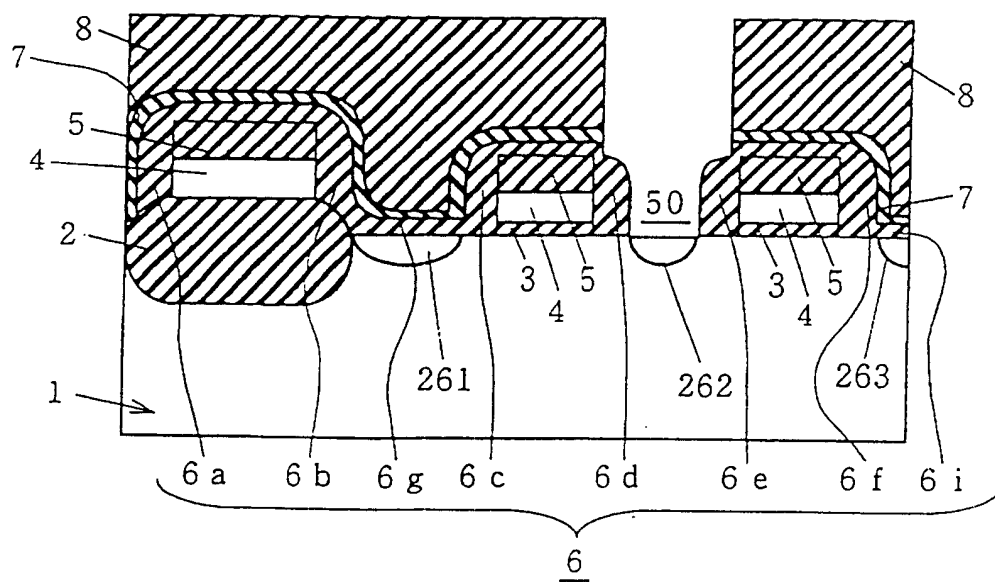


图 11

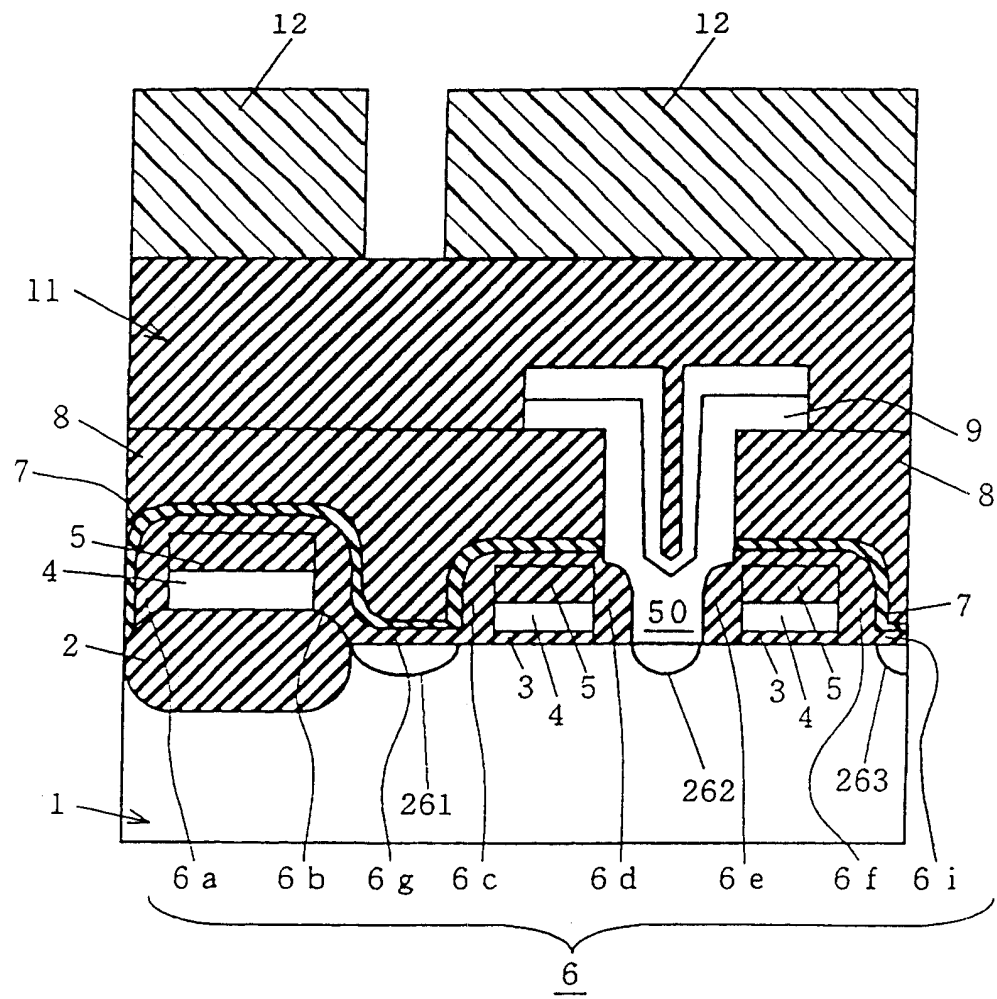


图 12

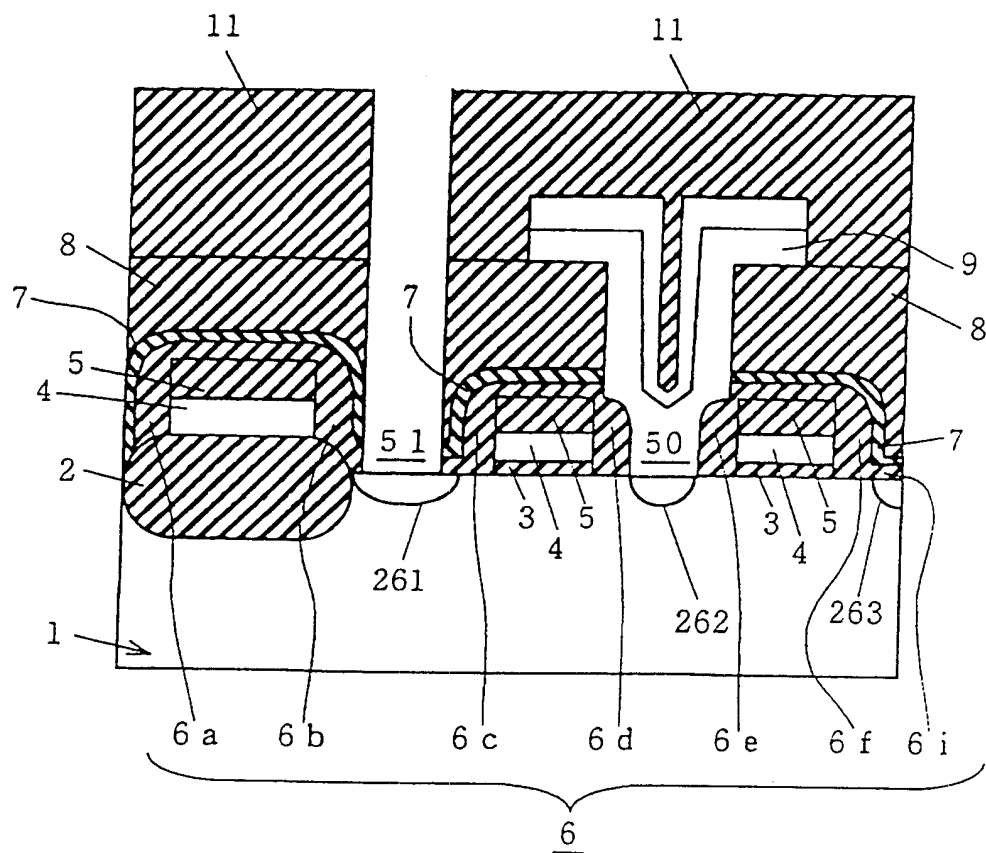


图 15

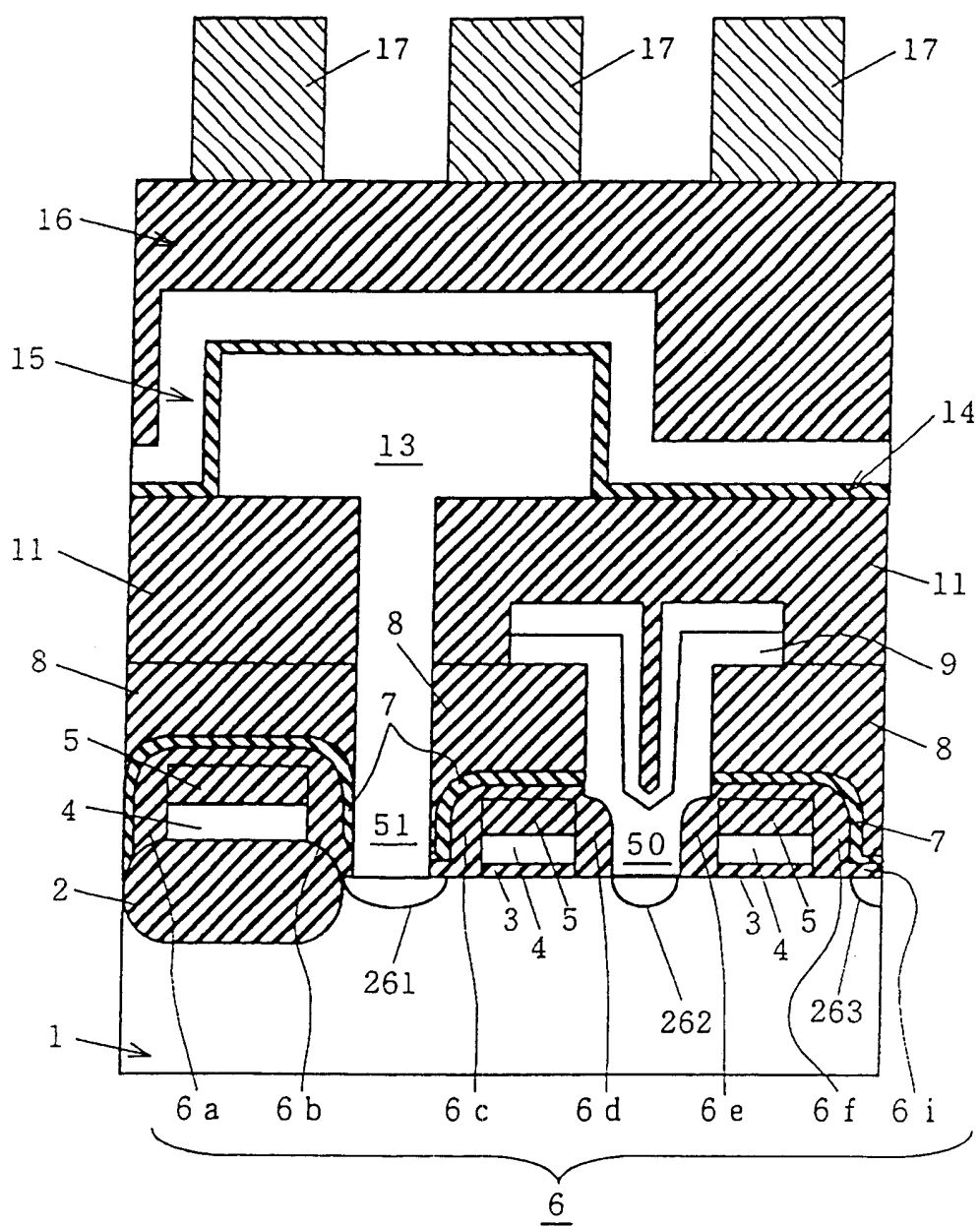


图 16

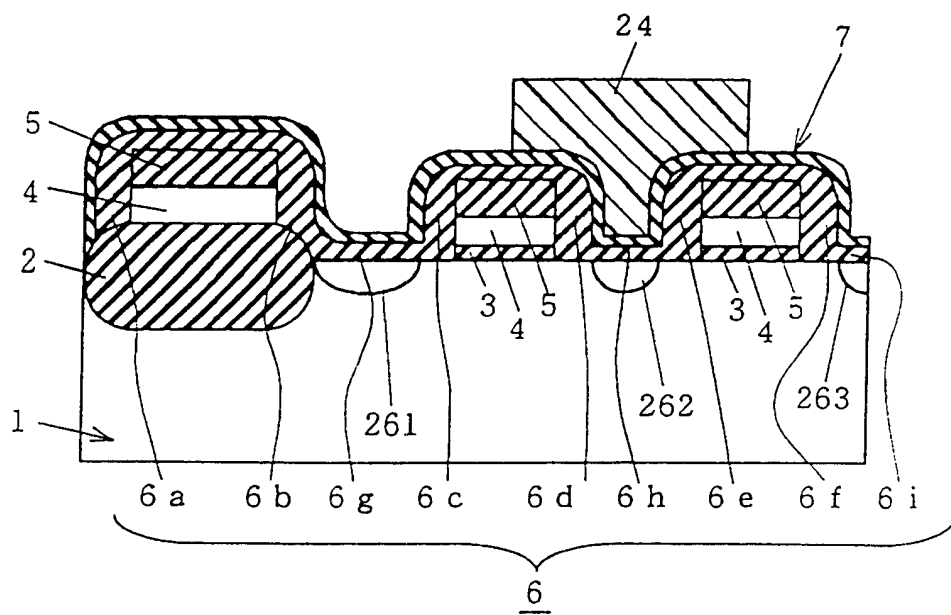


图 17

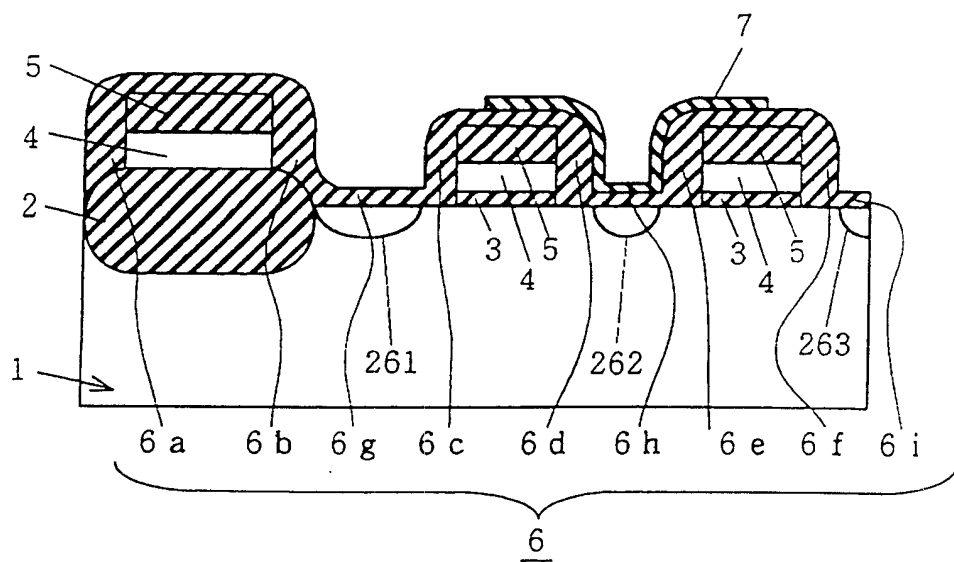


图 18

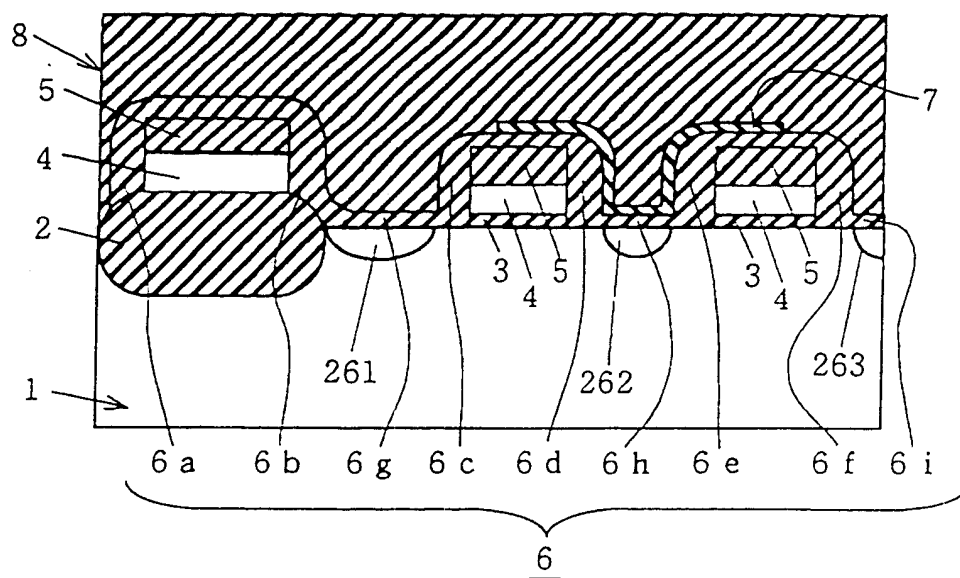


图 19

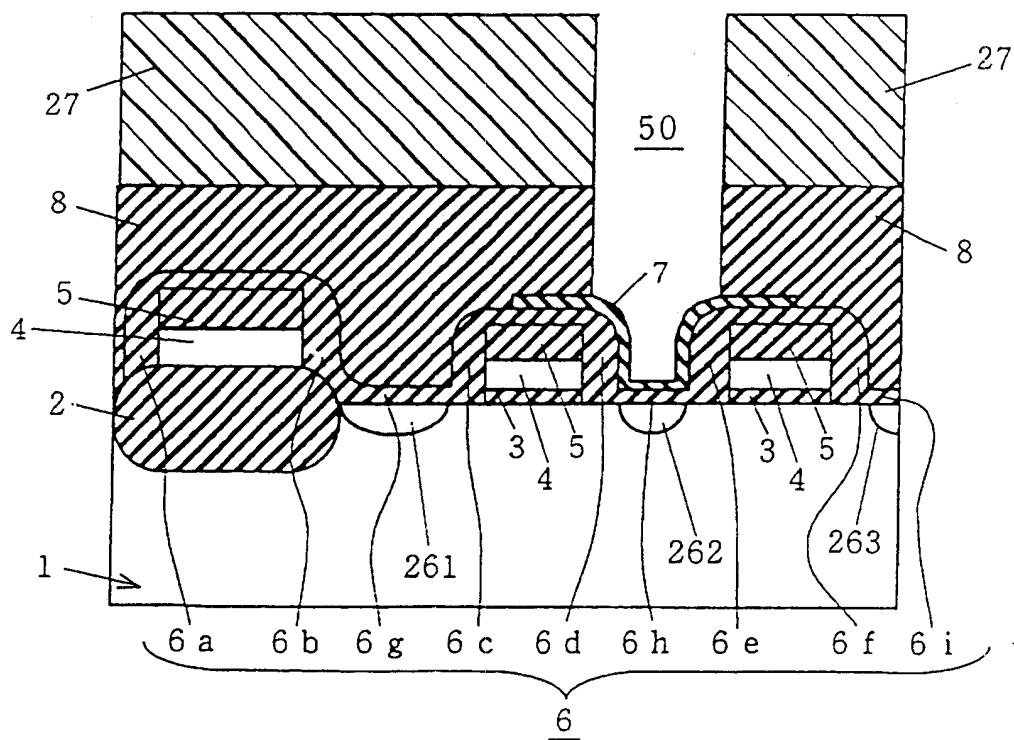


图 20

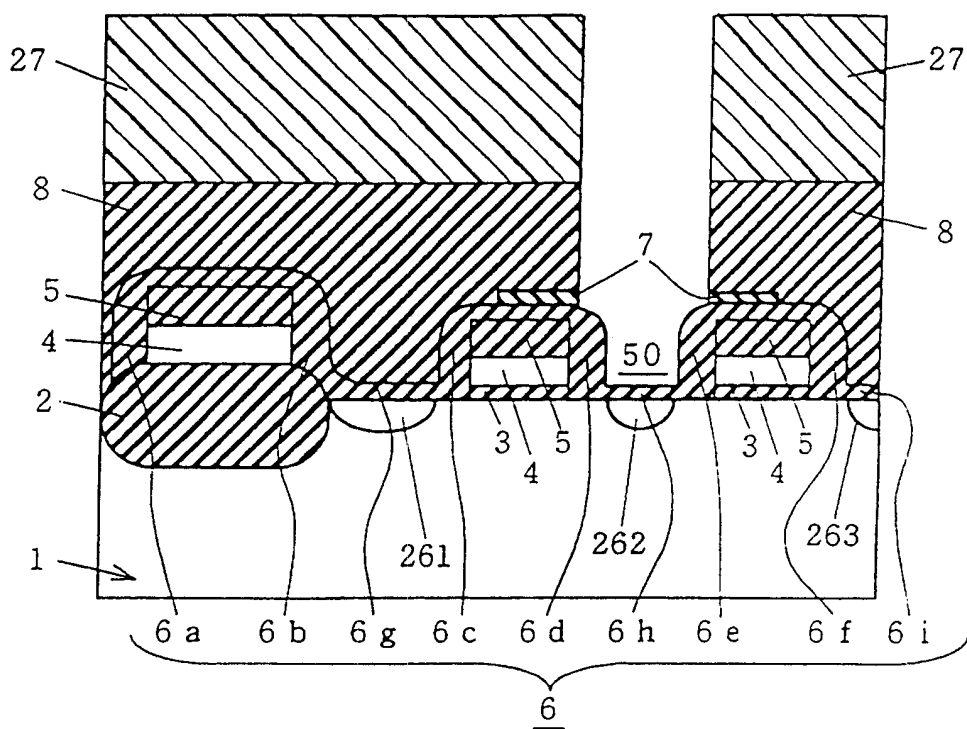


图 21

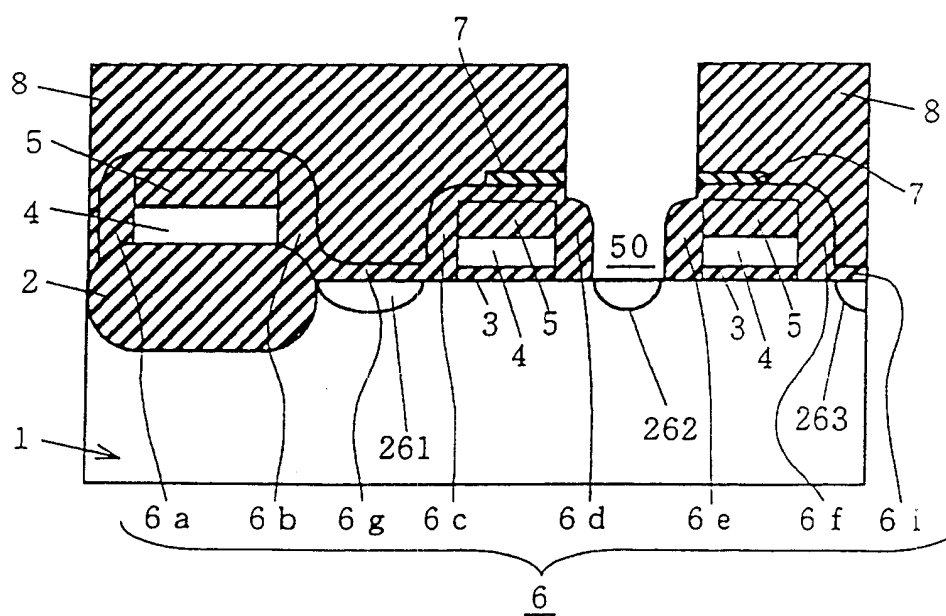


图 22

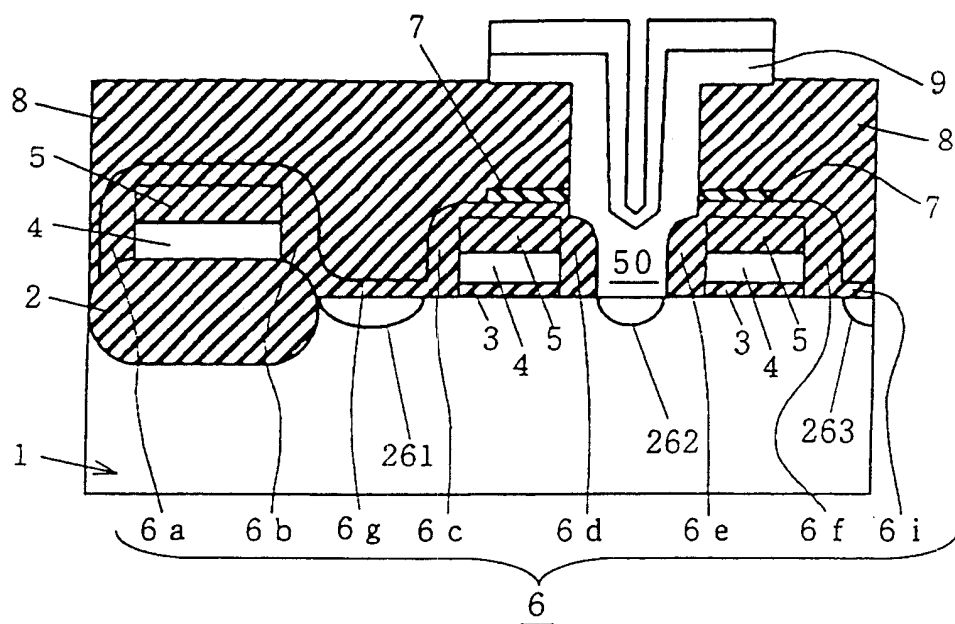


图 23

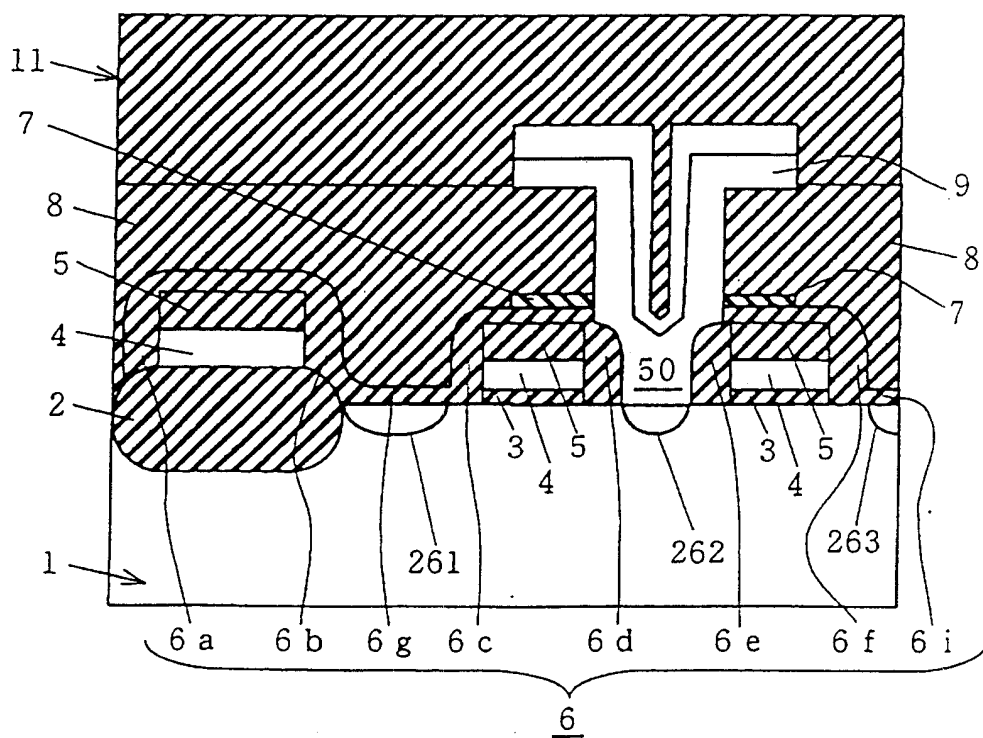


图 24

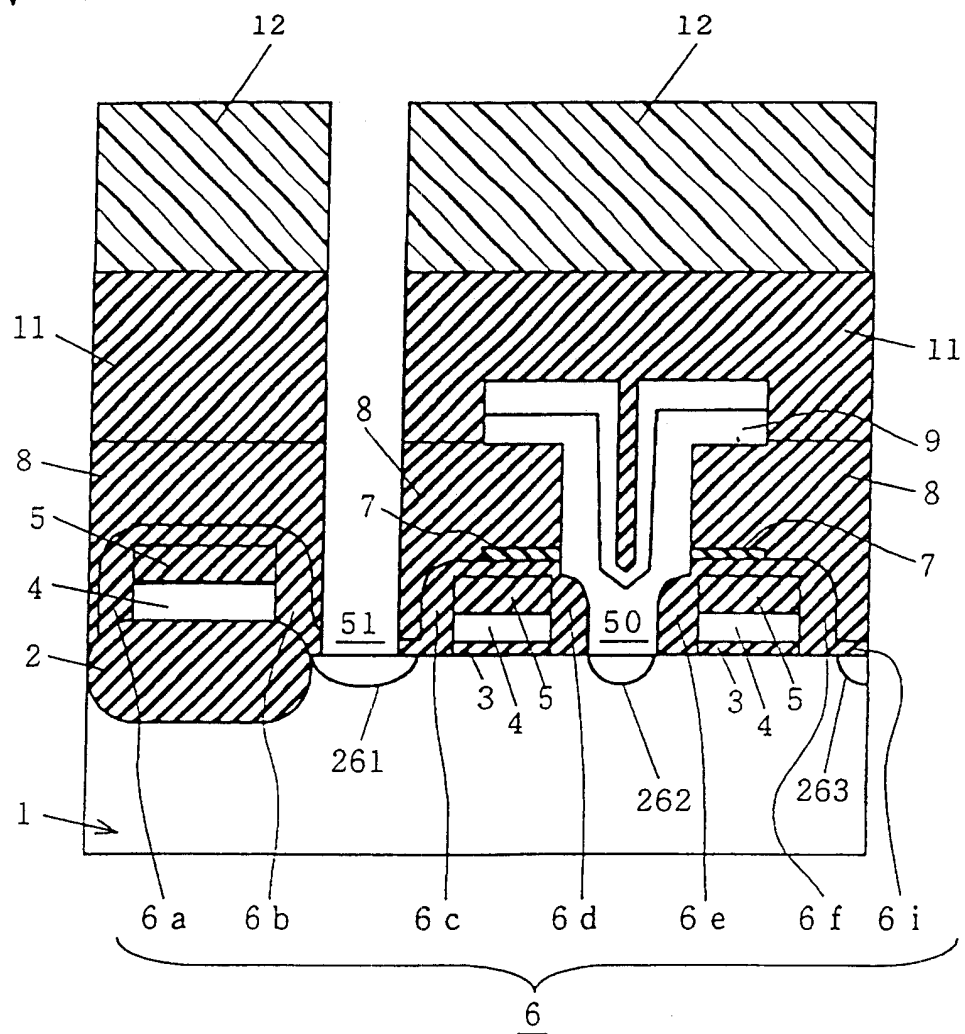


图 25

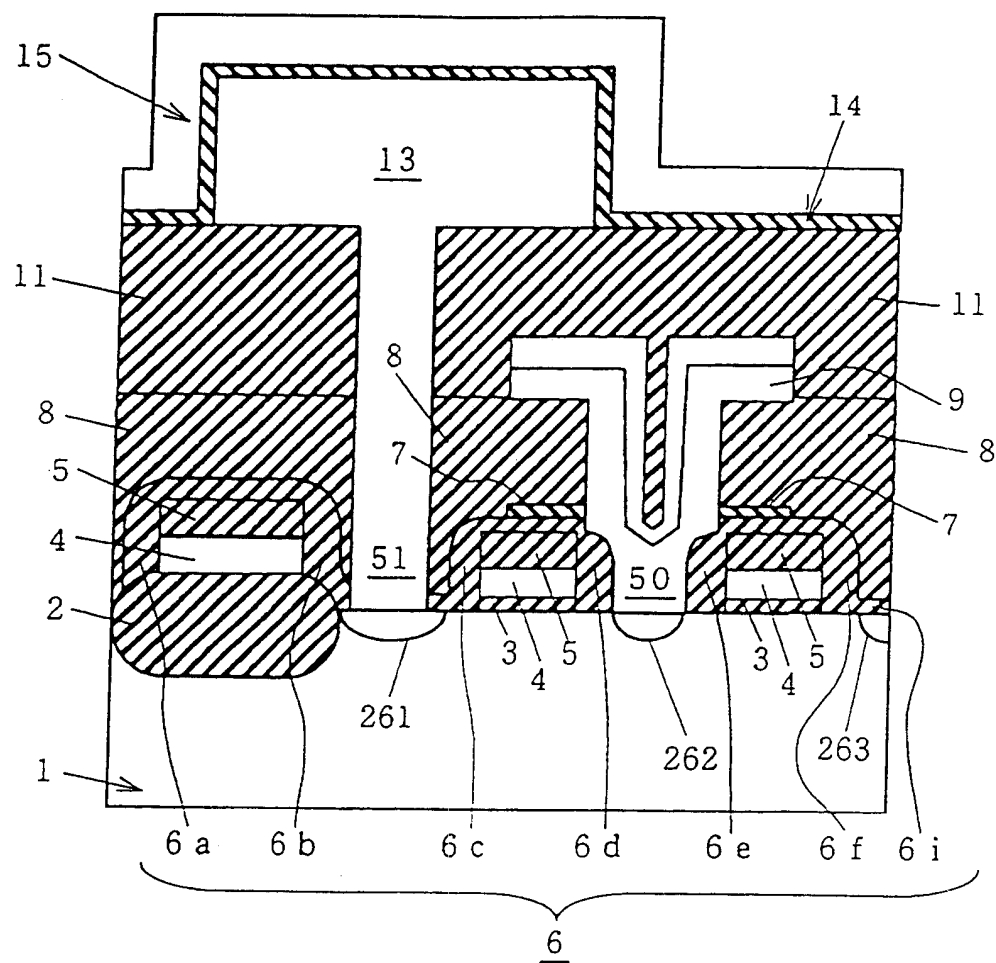


图 26

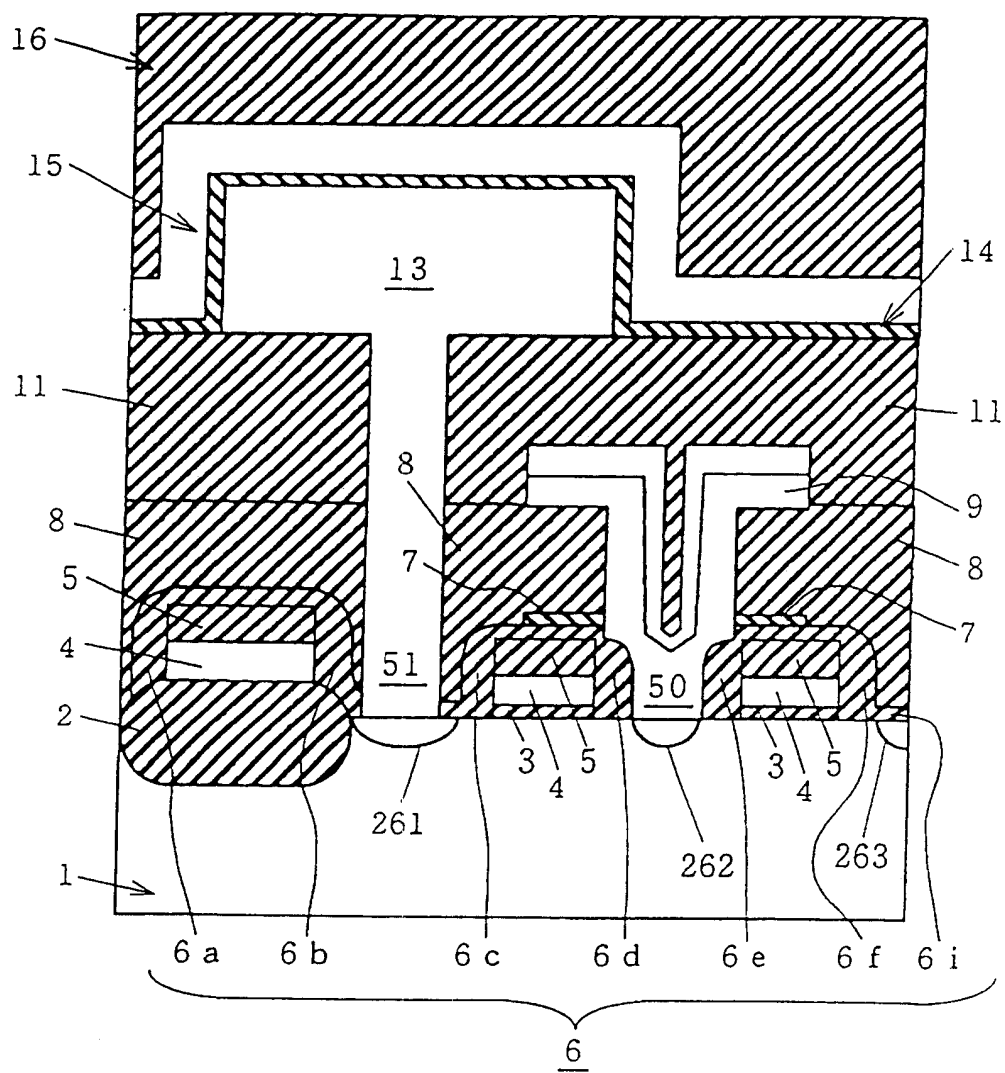


图 27

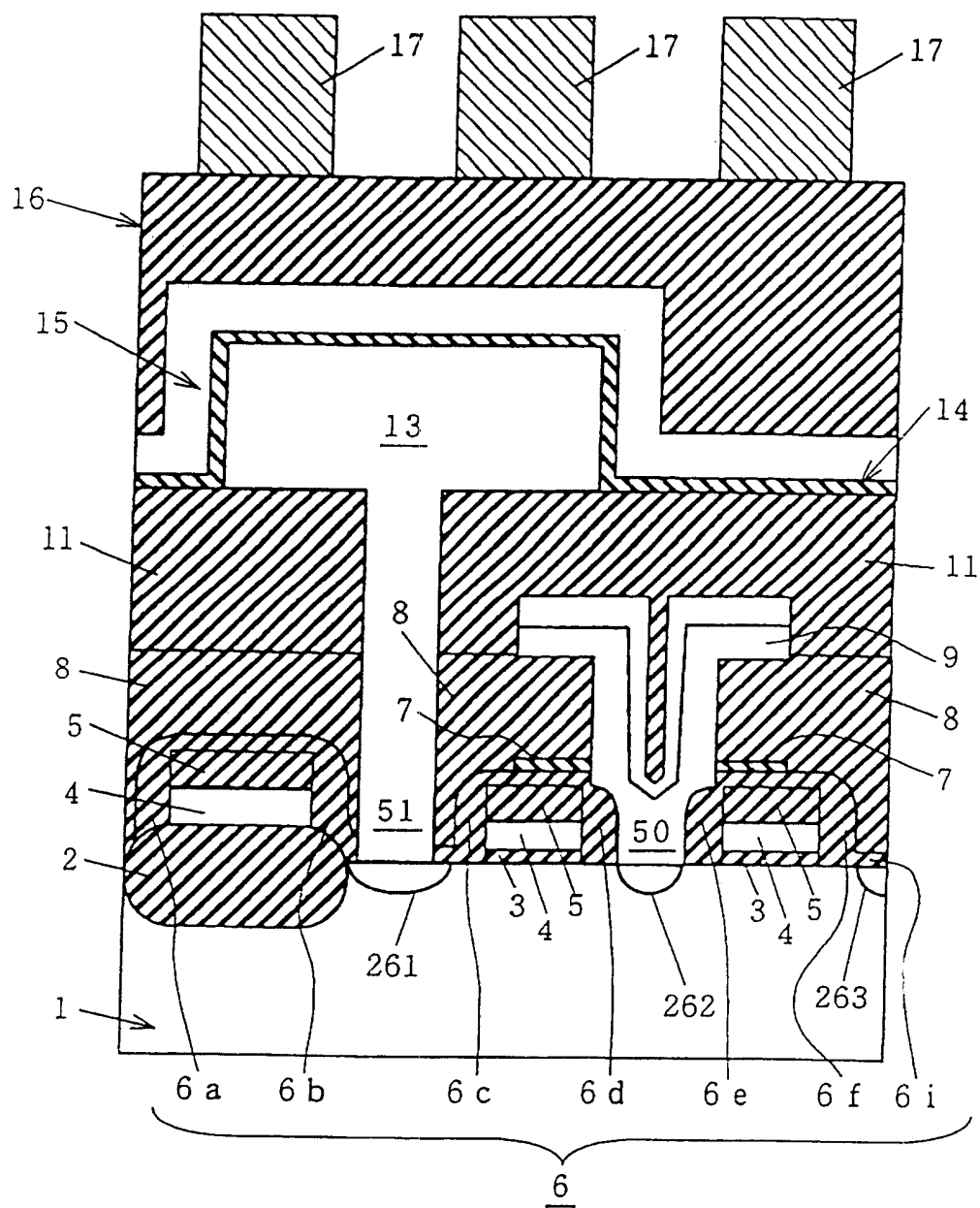


图 28

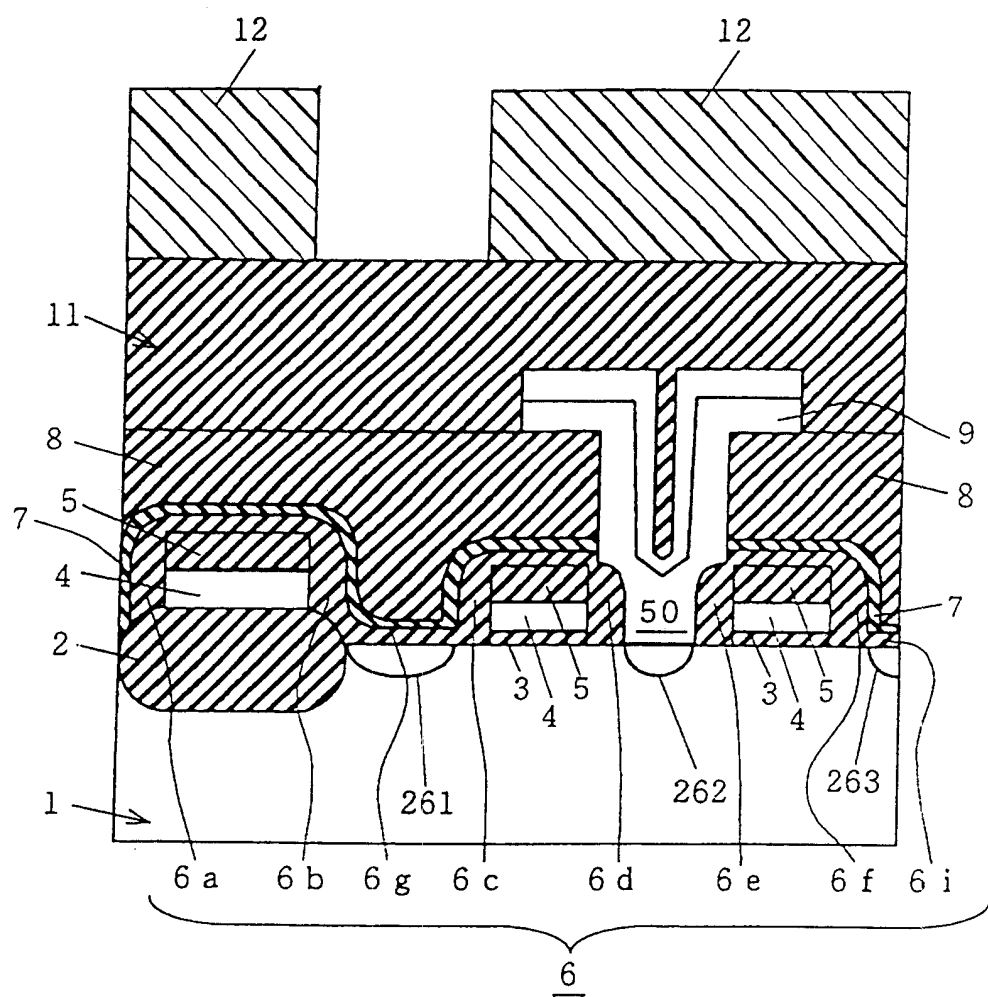


图 29

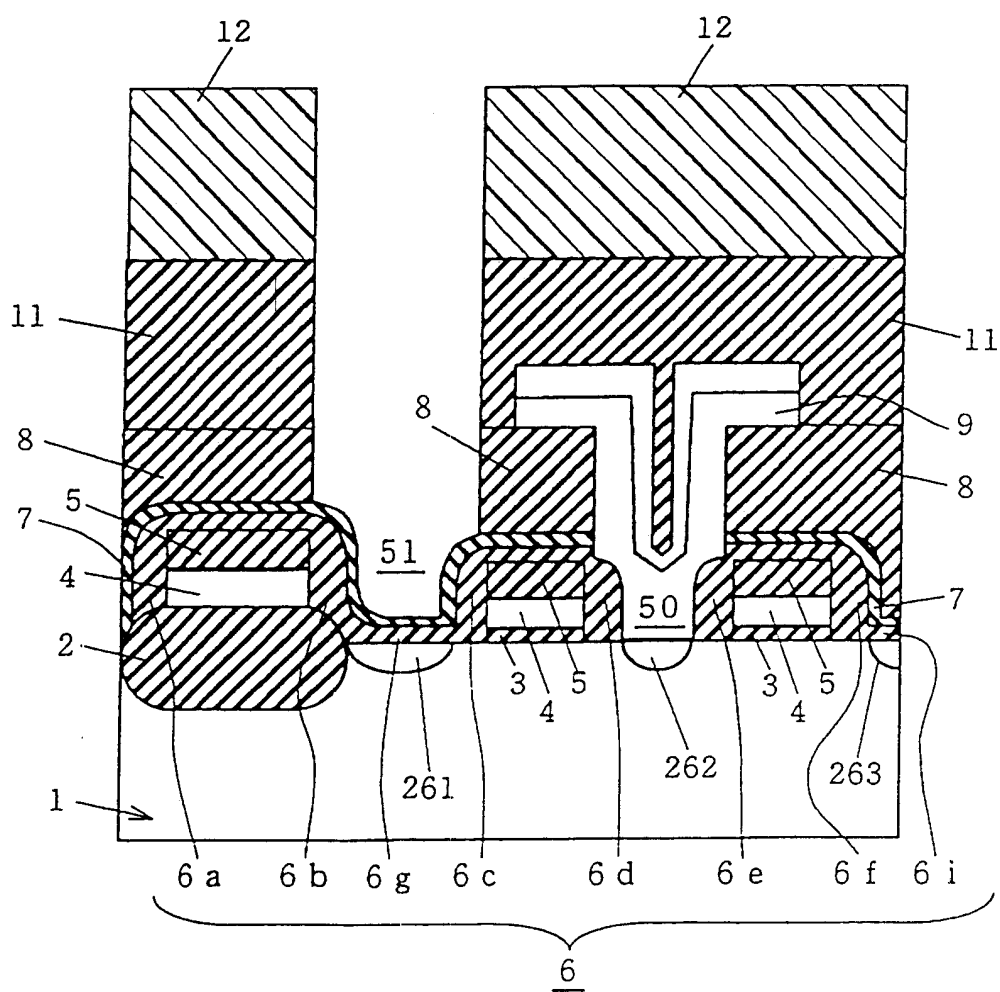


图 31

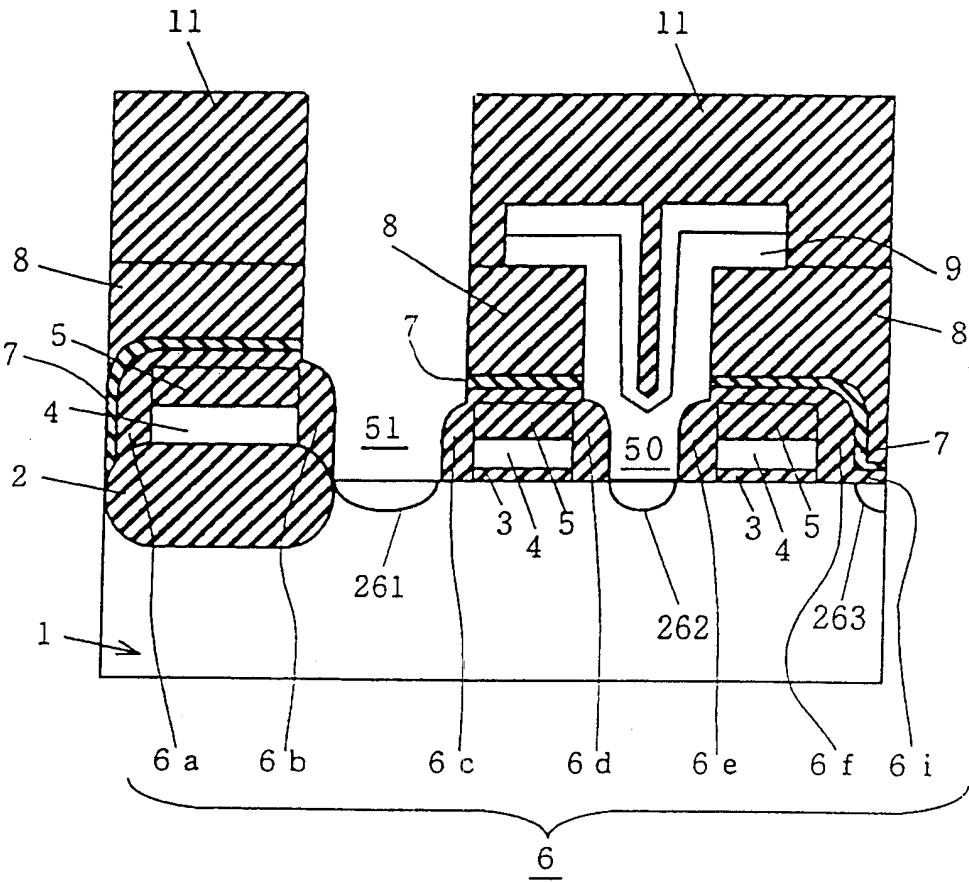


图 32

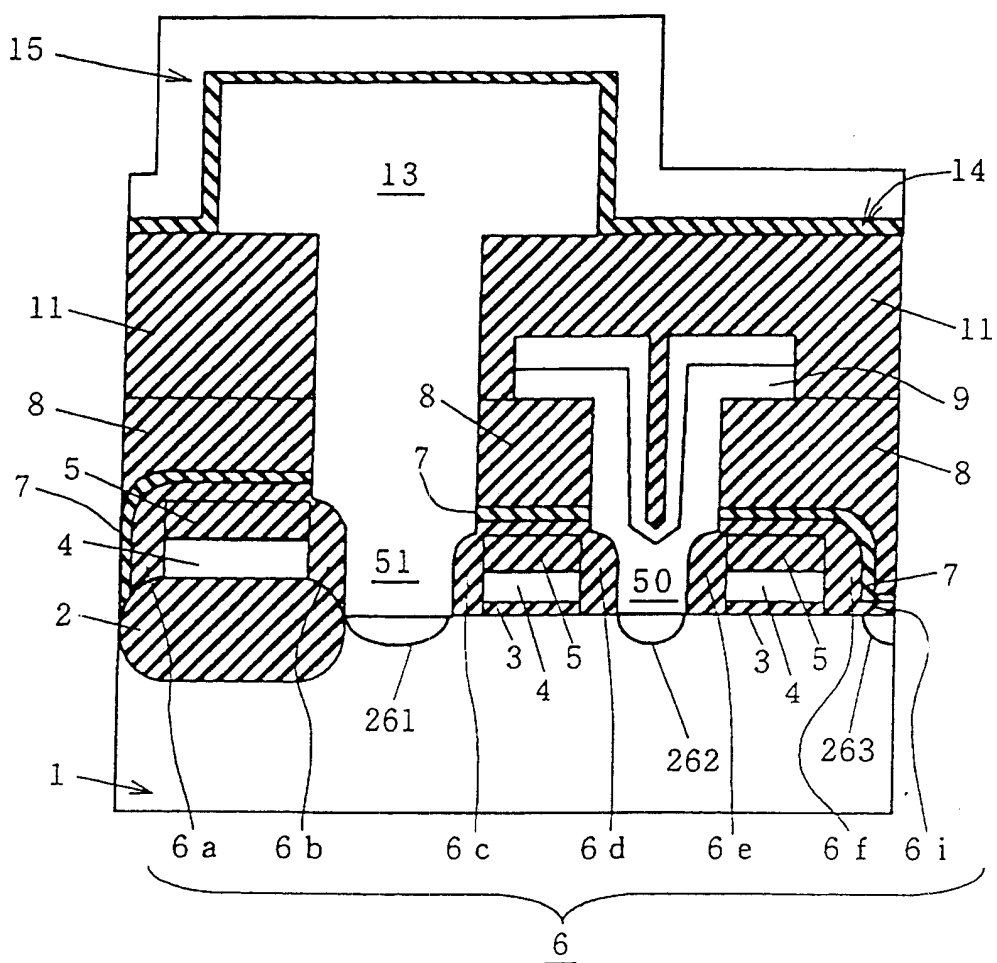


图 33

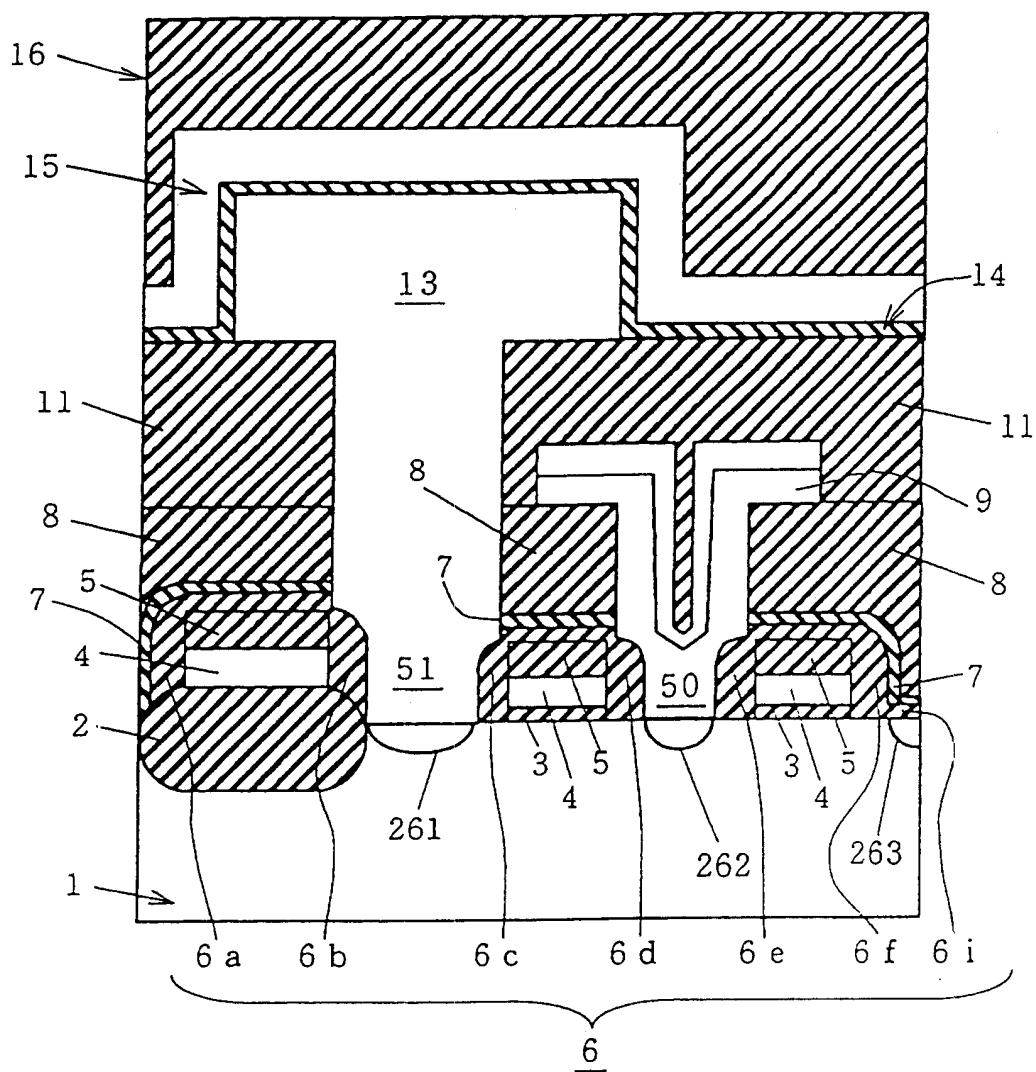


图 34

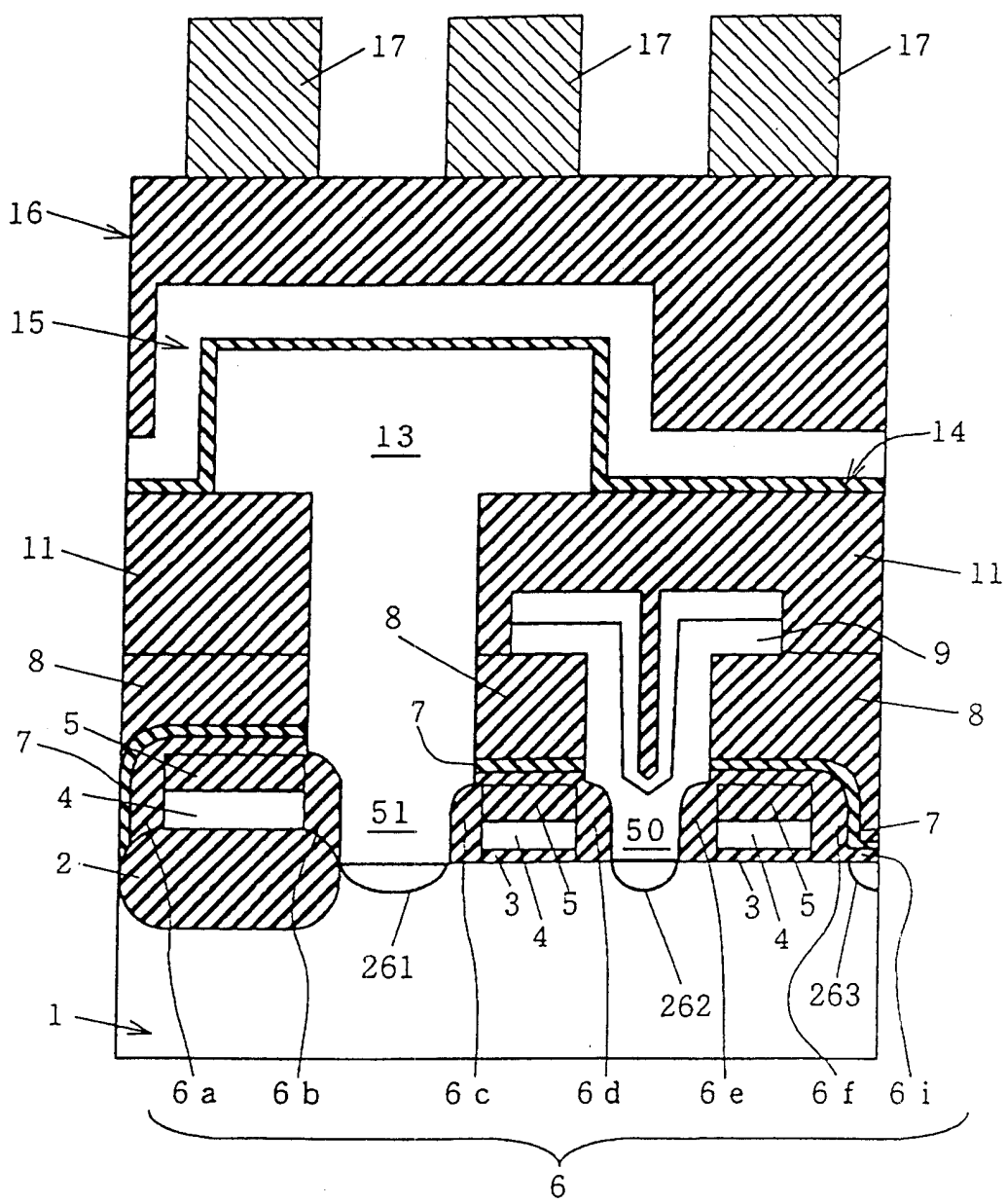


图 35

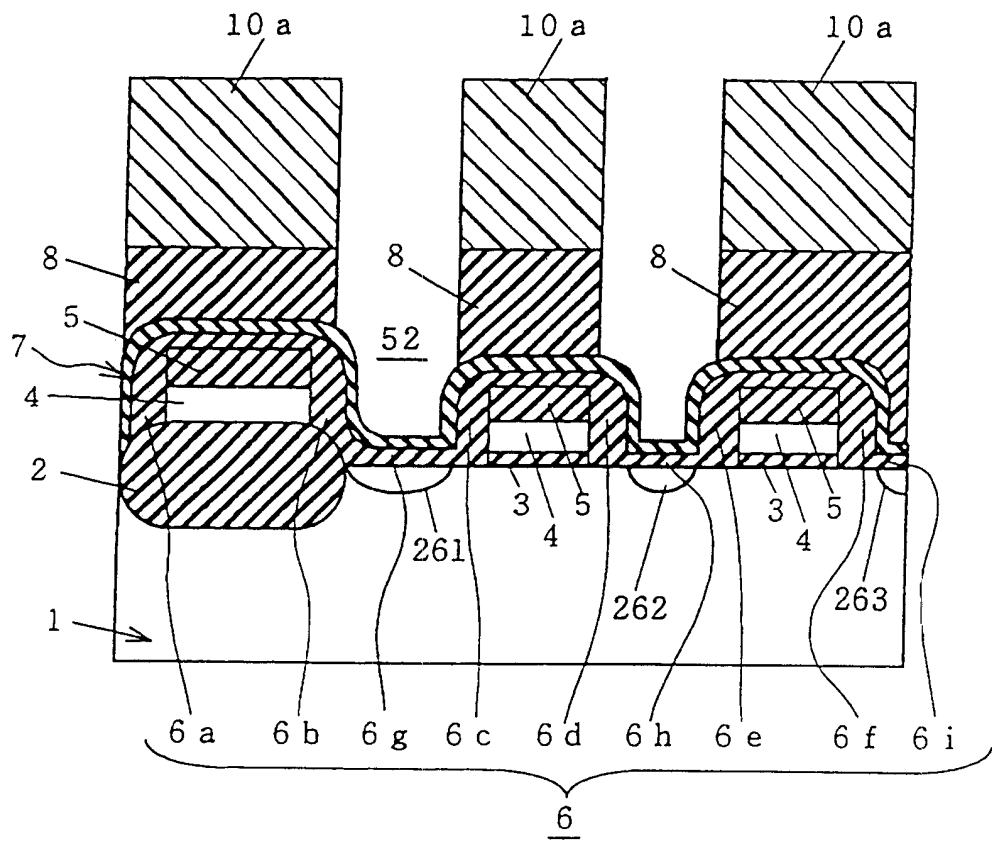


图 36

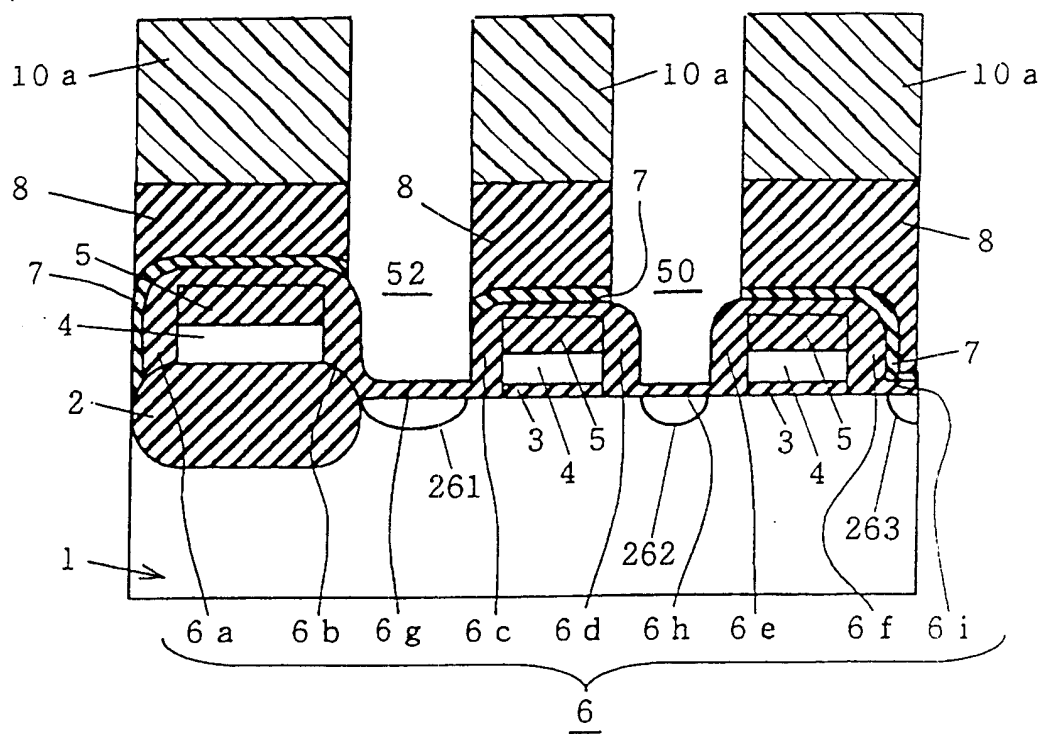


图 37

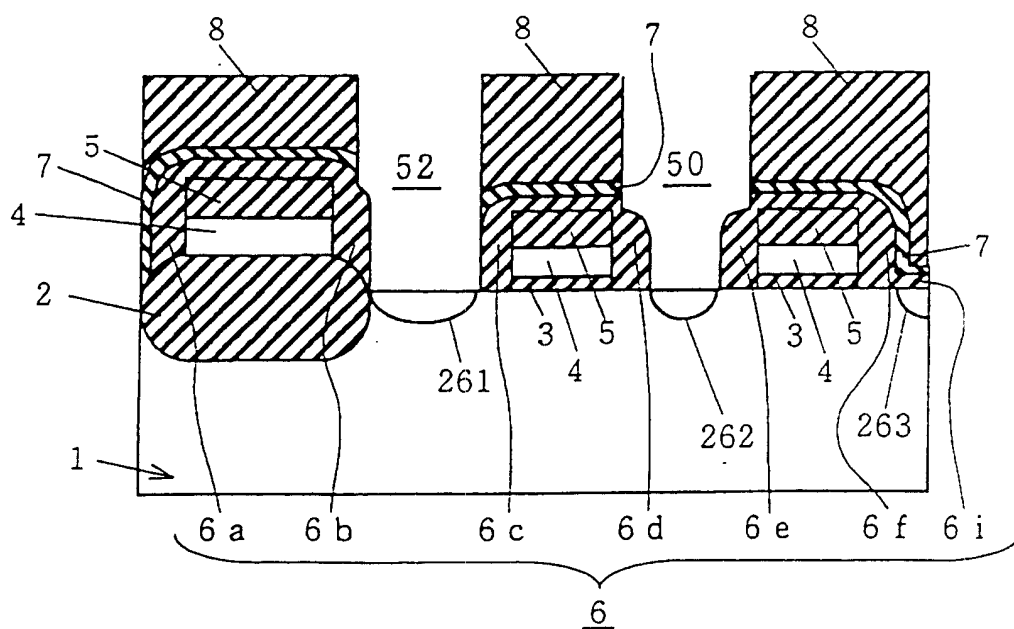


图 40

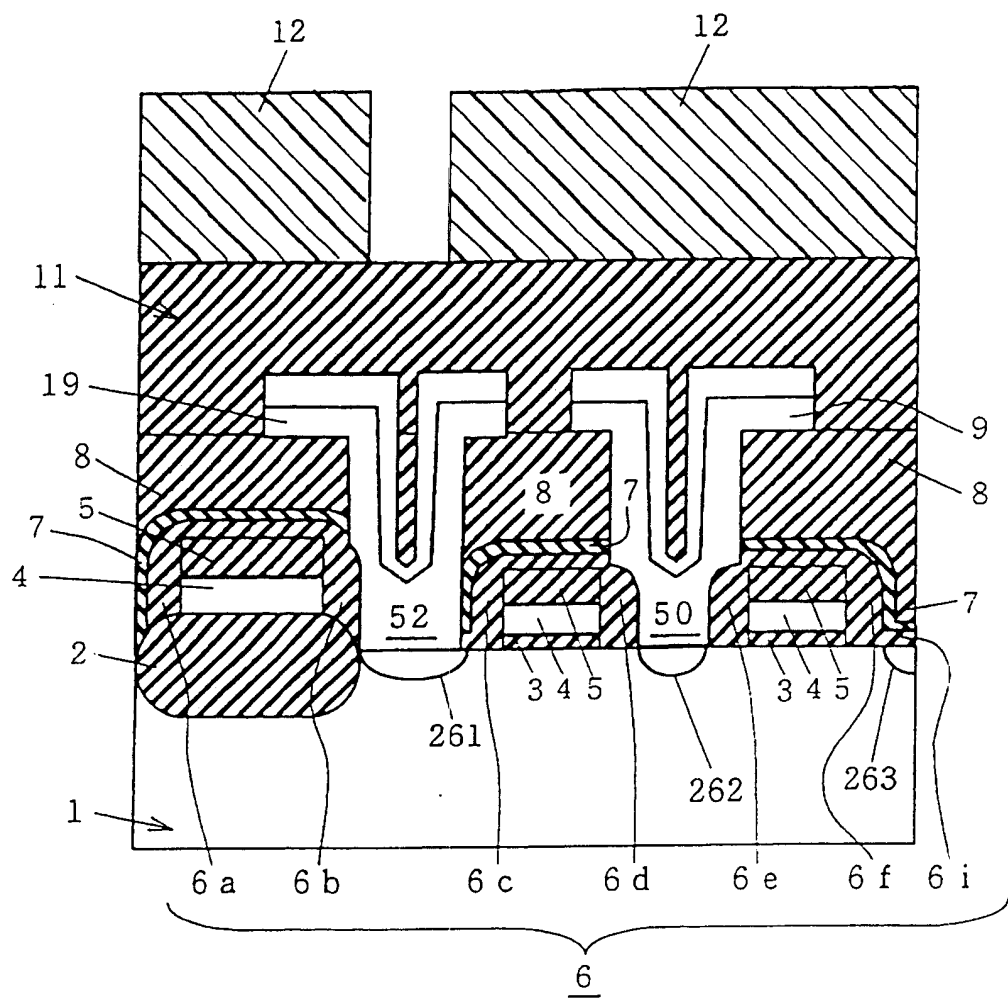


图 41

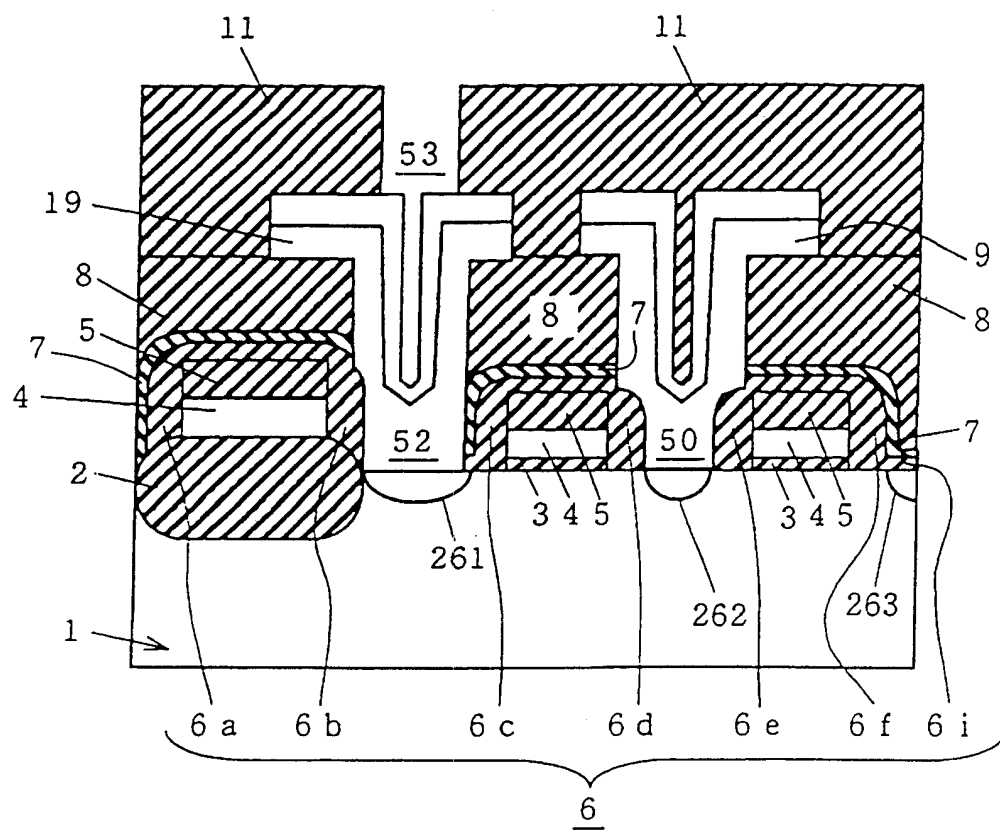


图 42

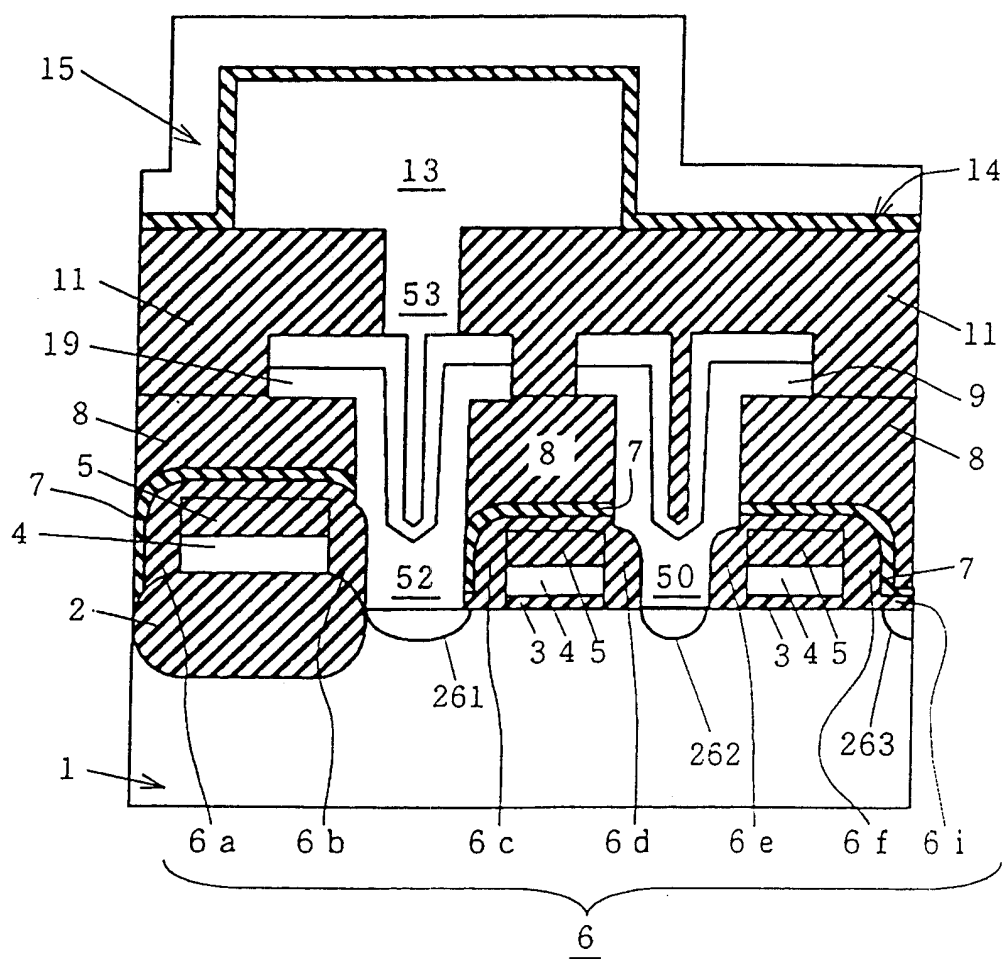


图 43

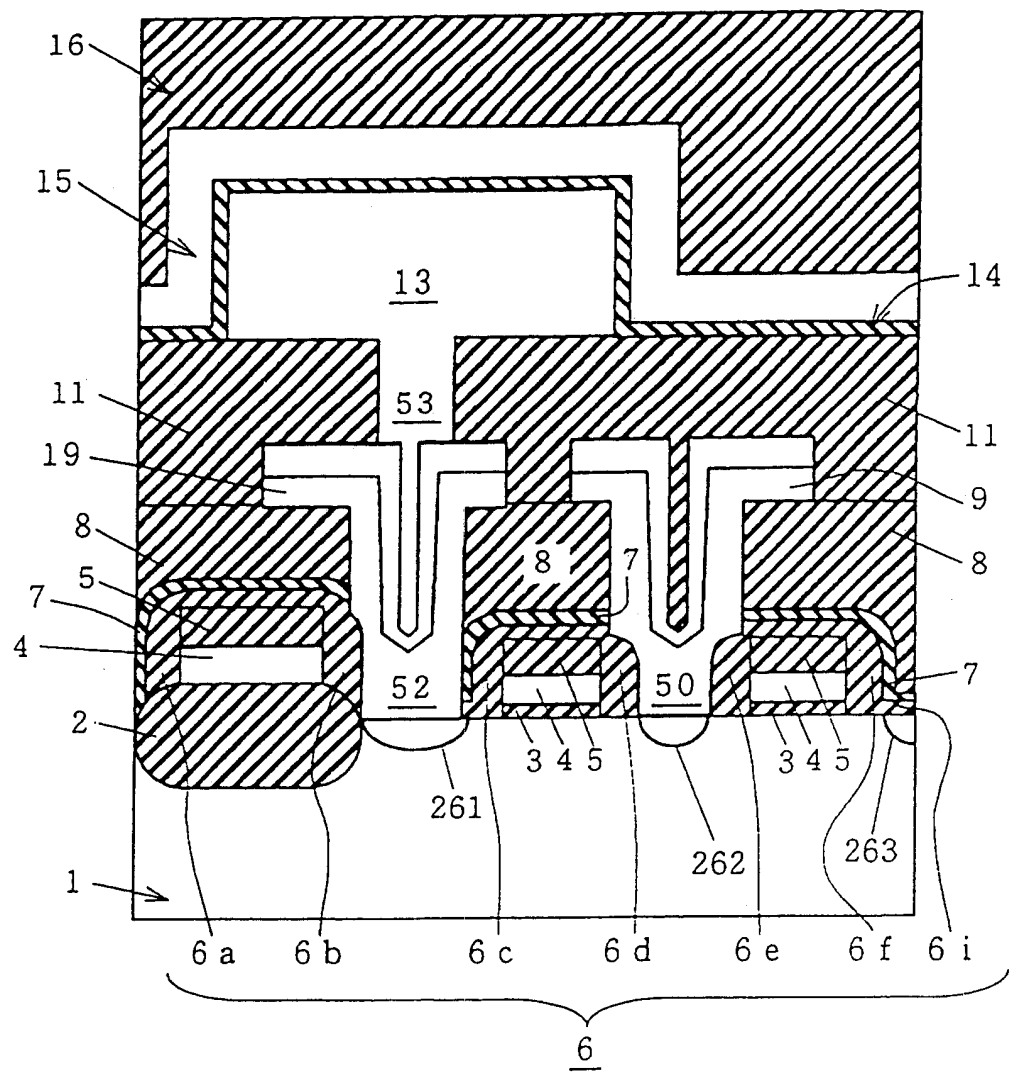


图 44

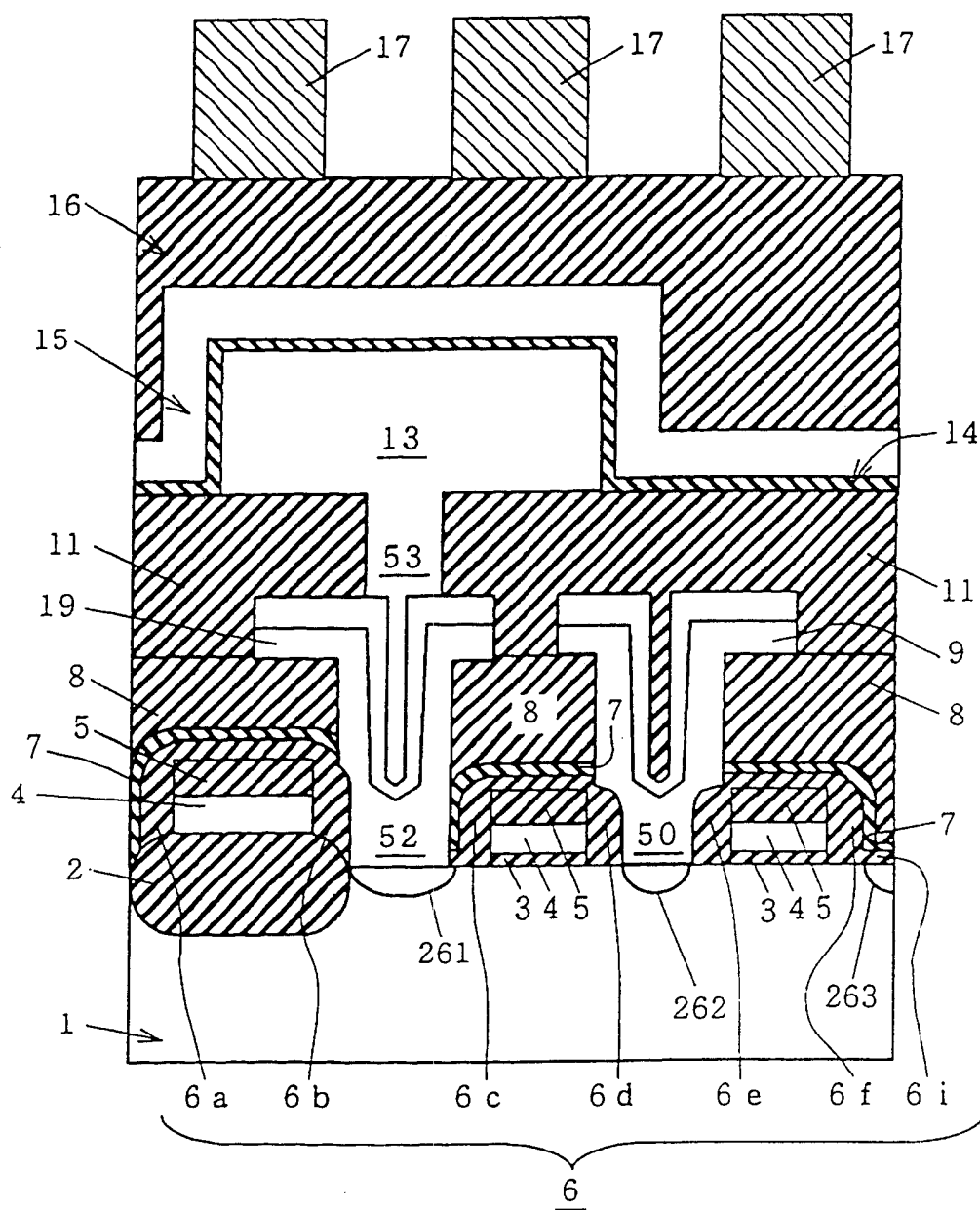


图 45

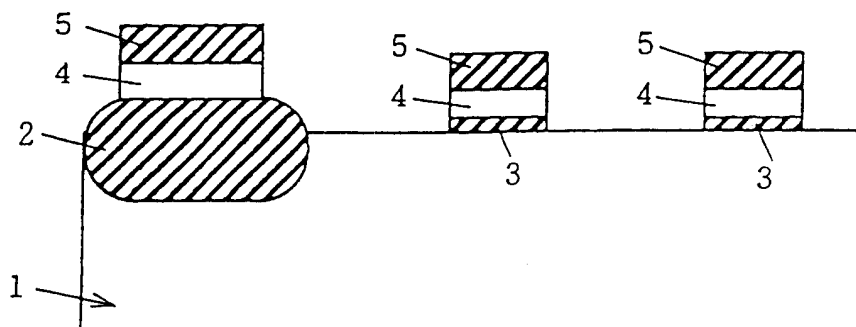


图 46

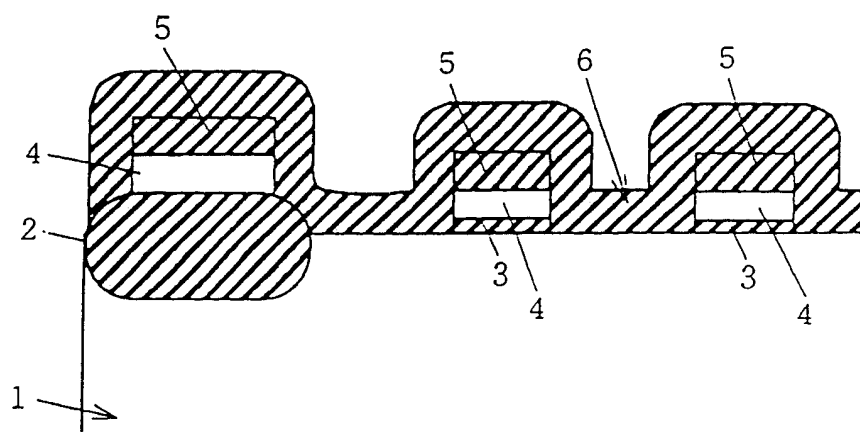


图 47

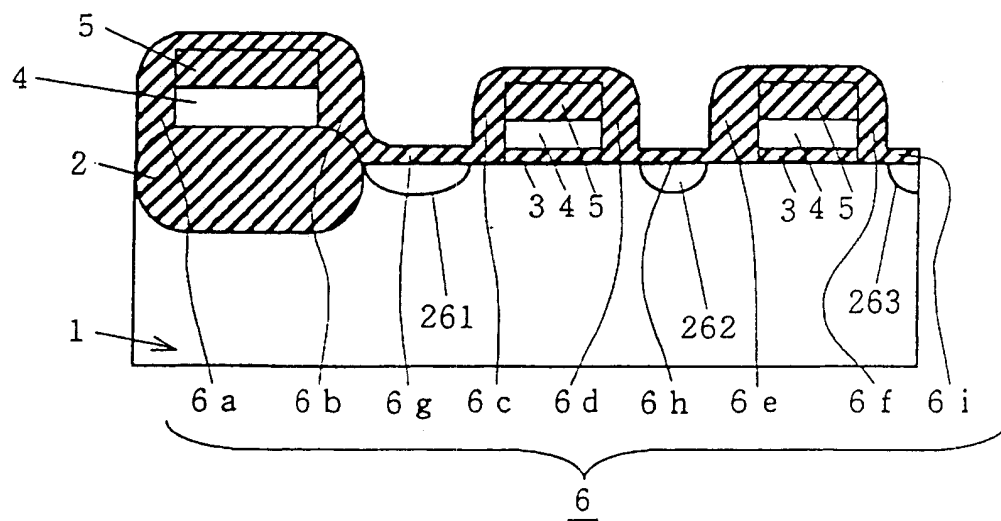


图 50

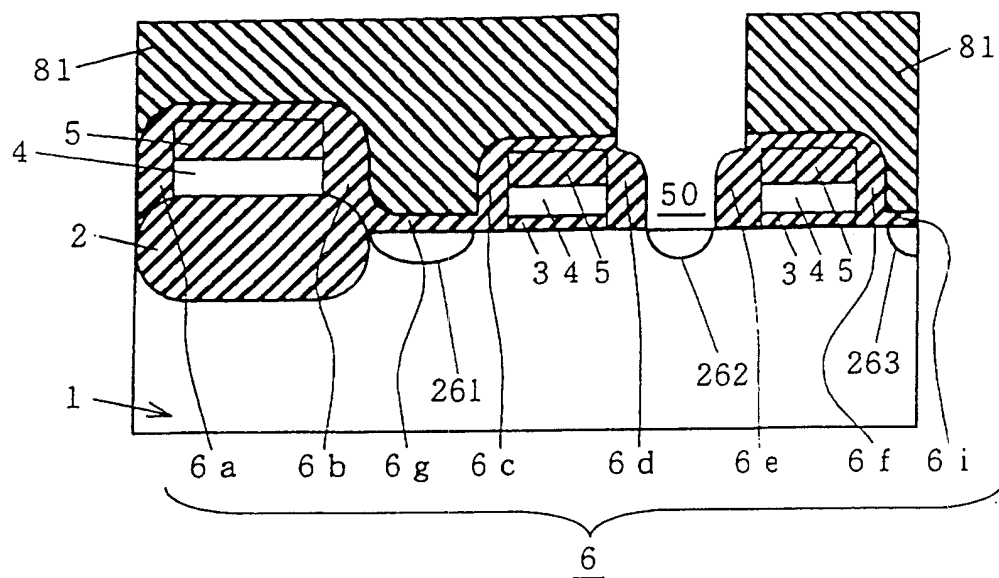


图 51

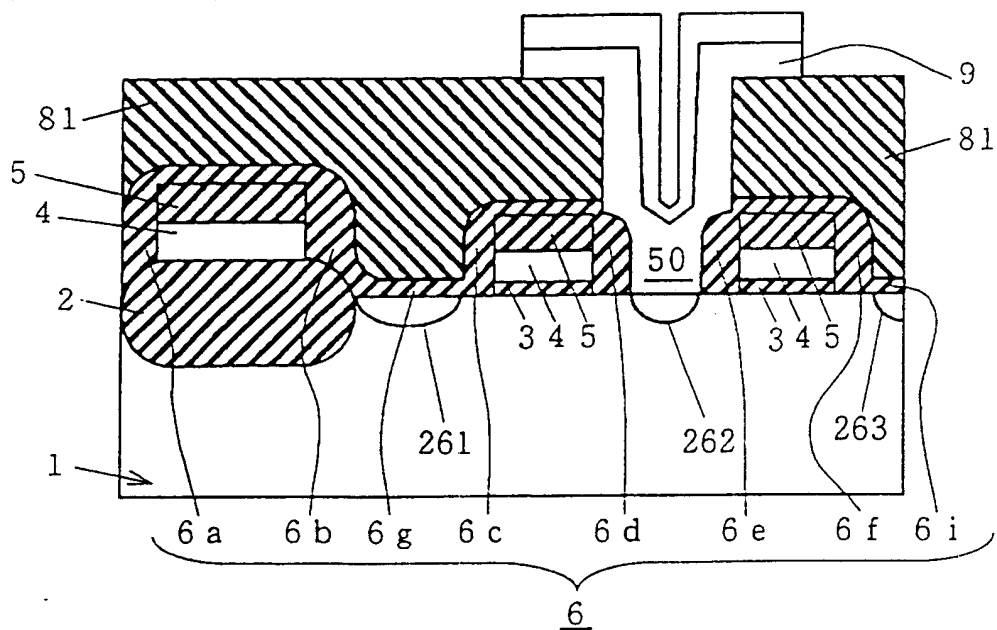


图 52

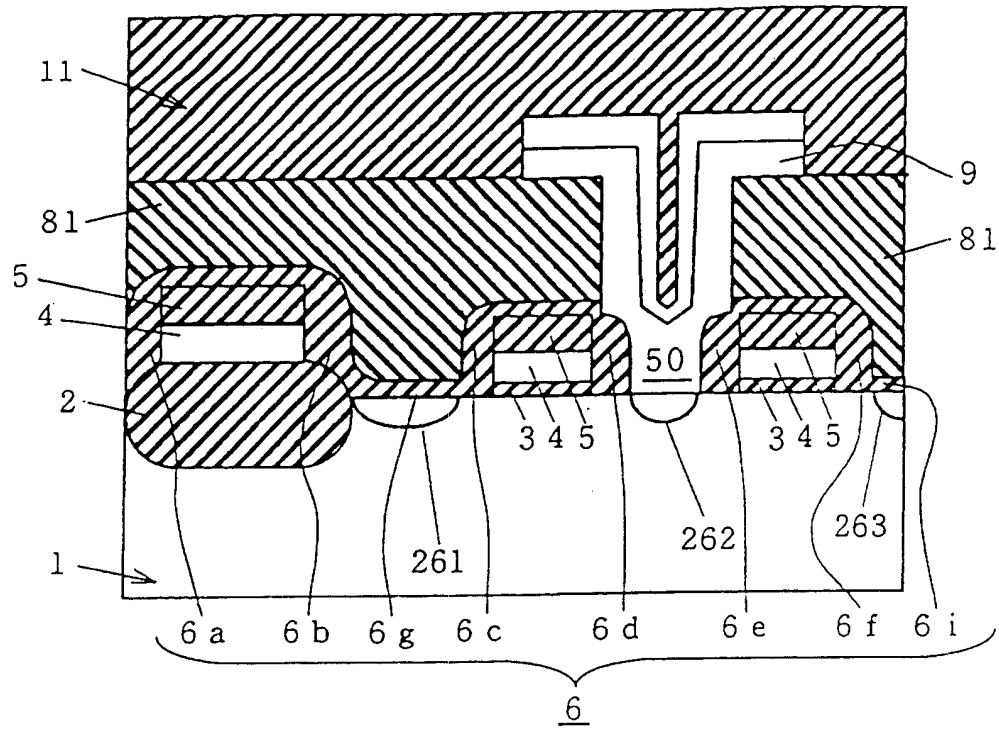


图 53

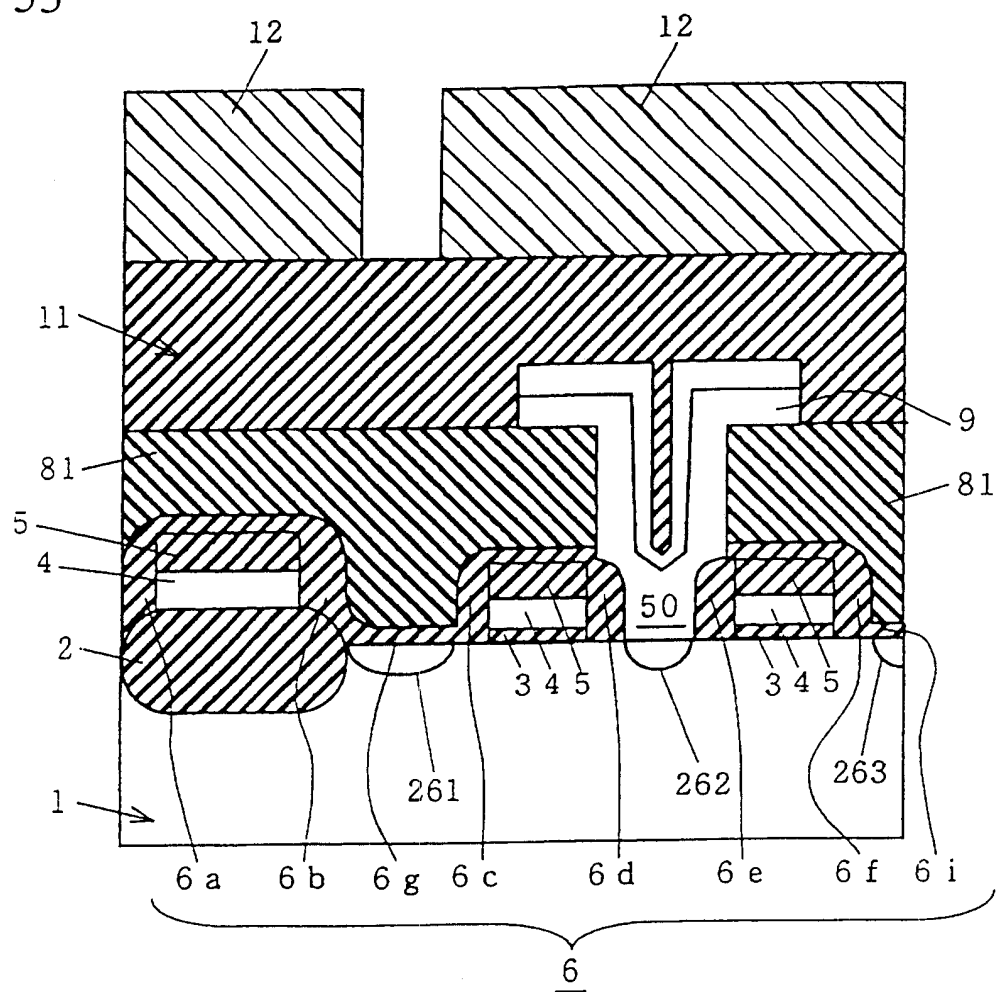


图 55

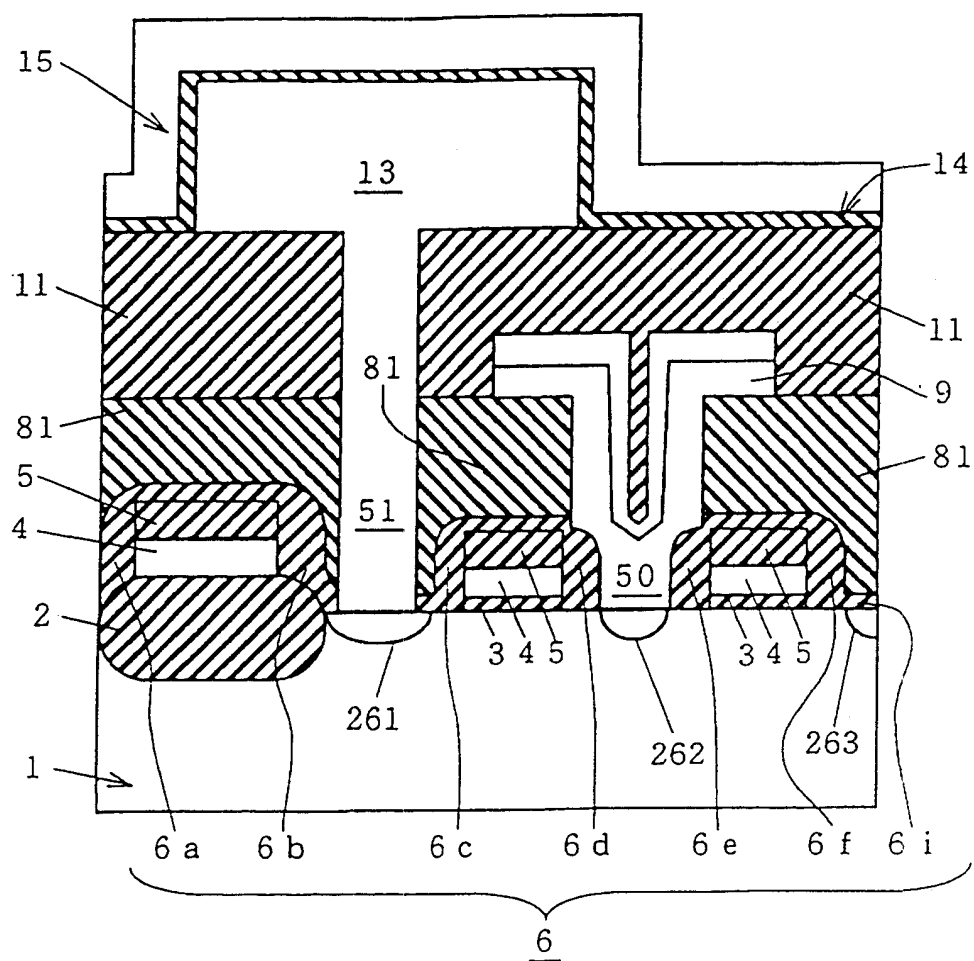


图 56

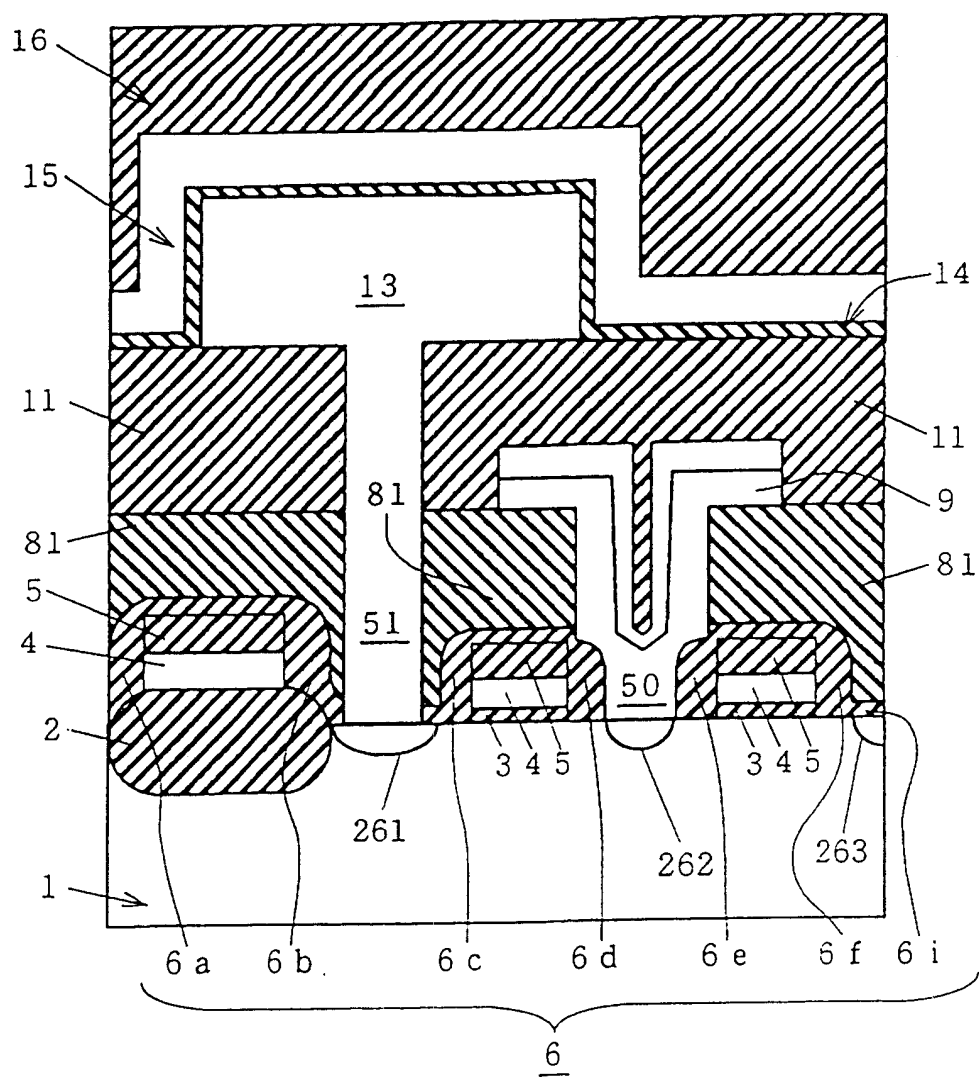


图 57

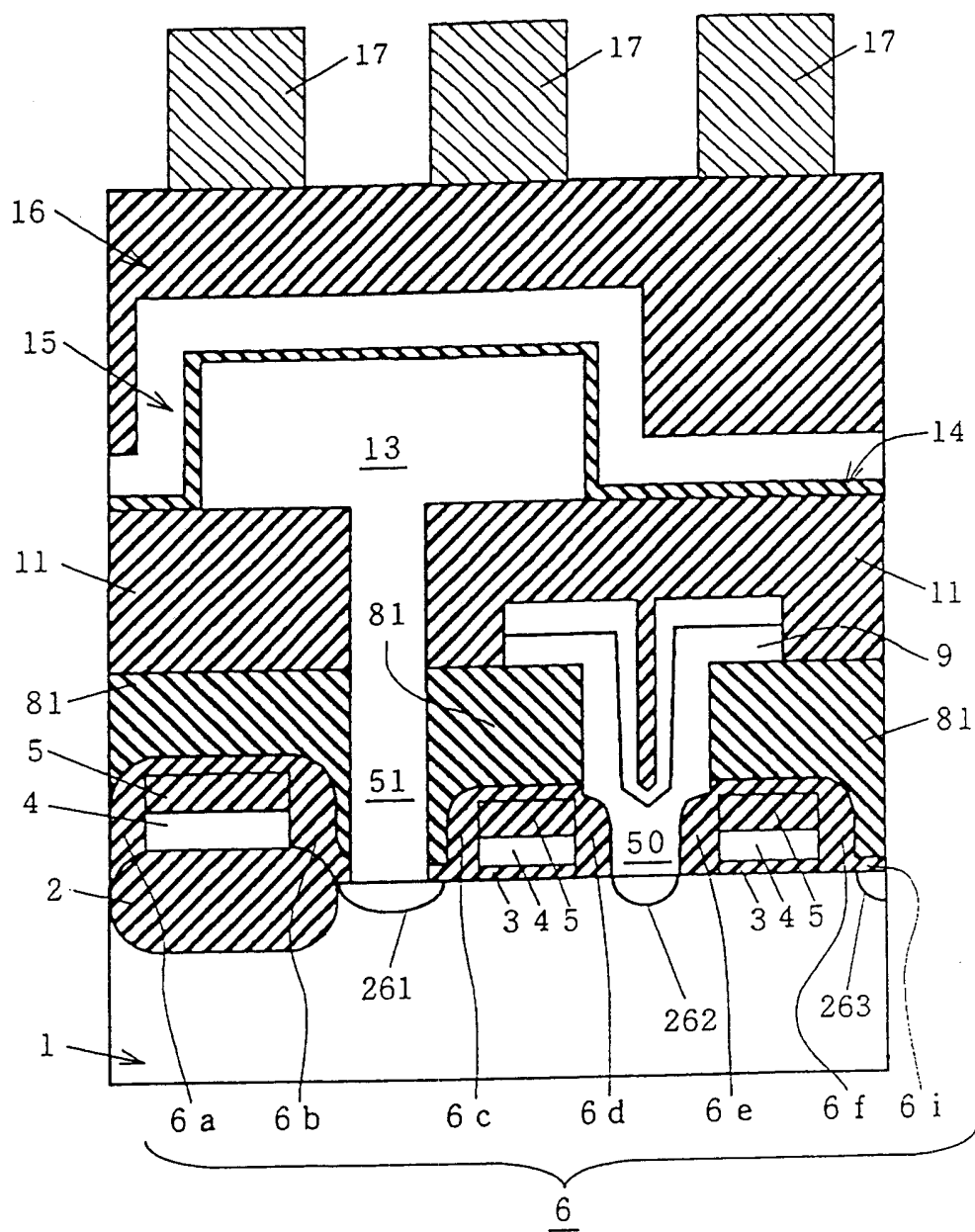


图 58

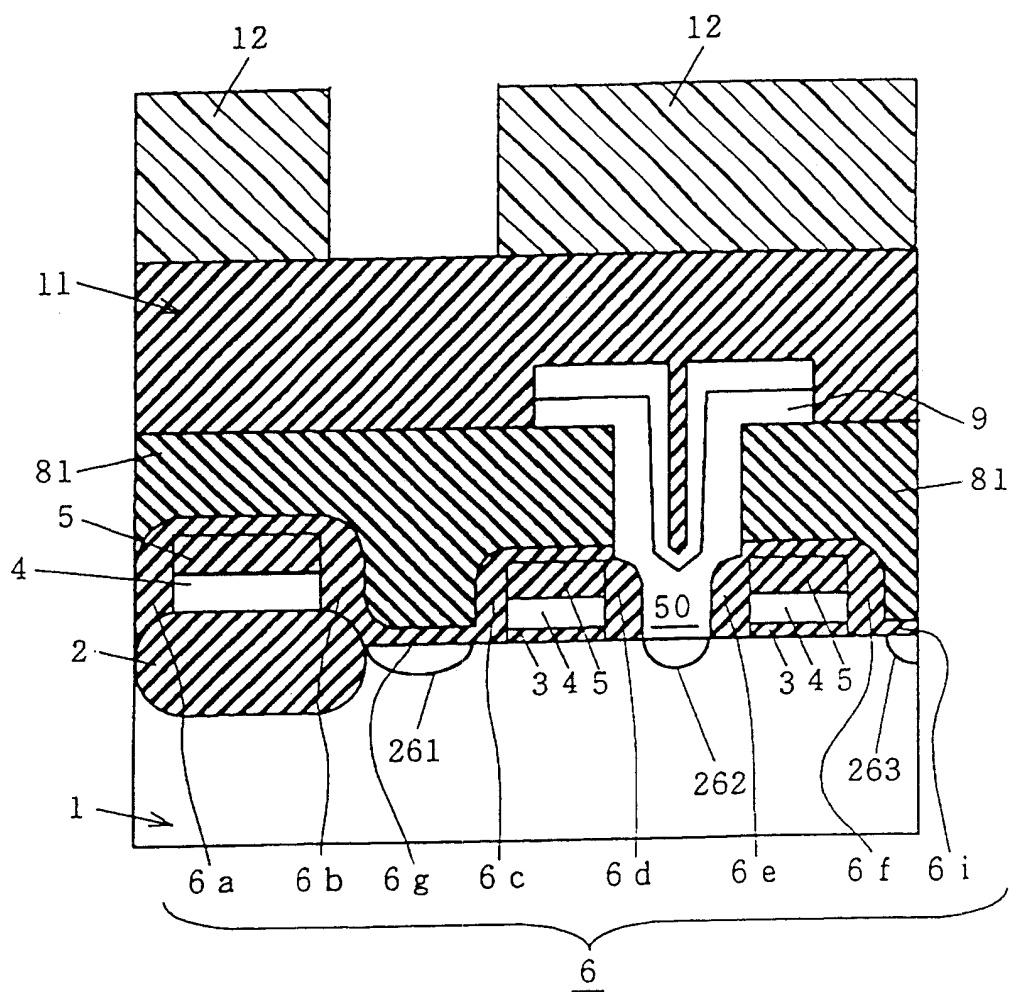


图 59

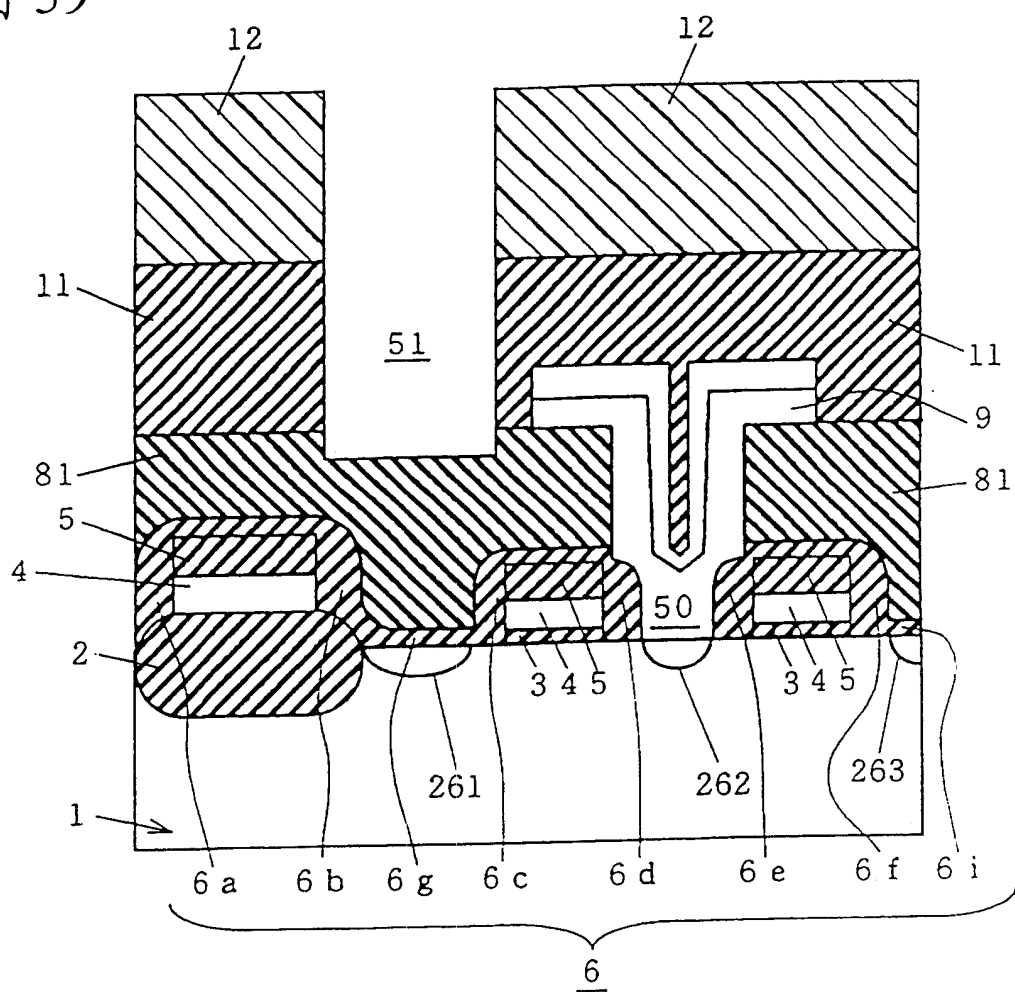


图 60

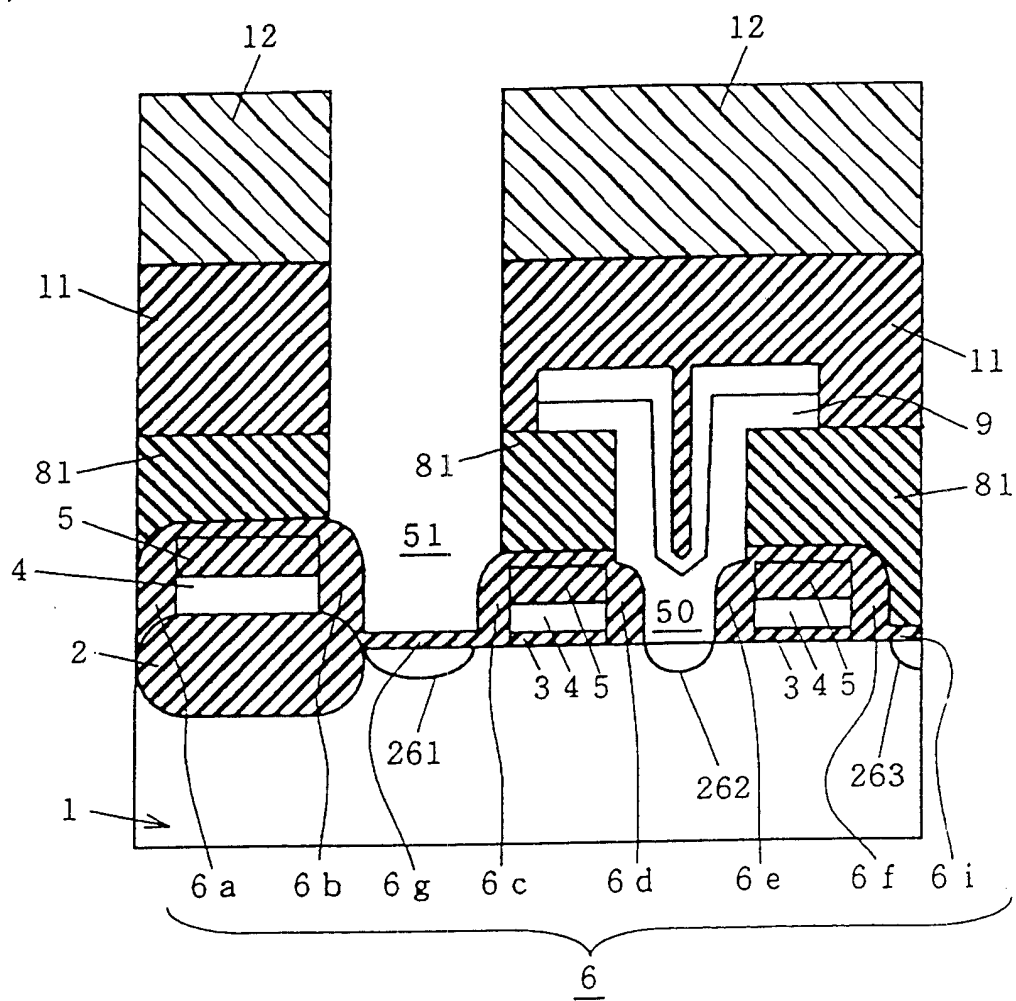


图 61

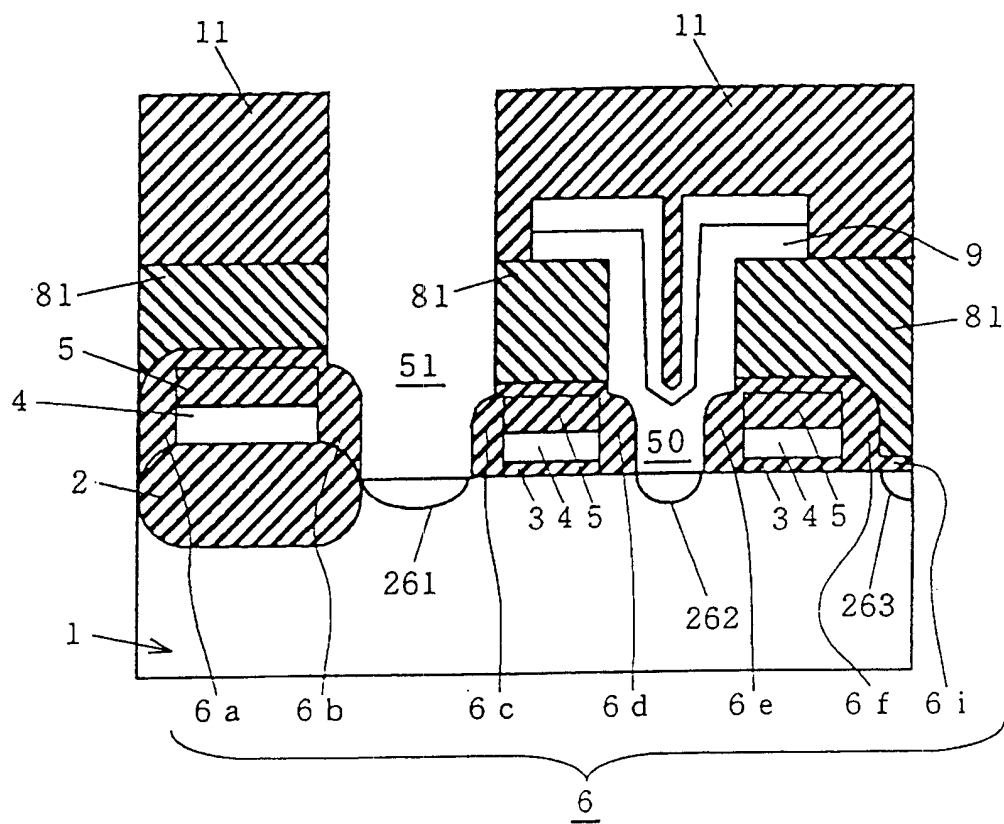


图 62

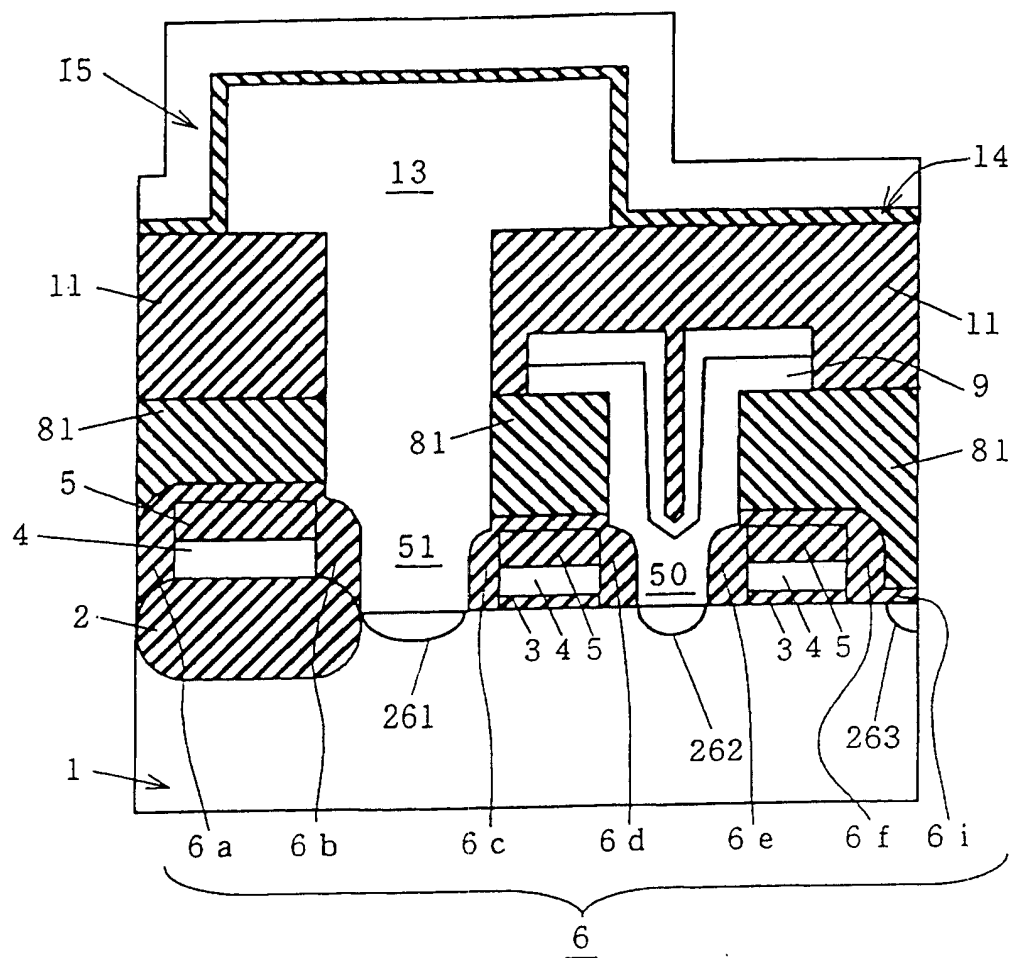


图 63

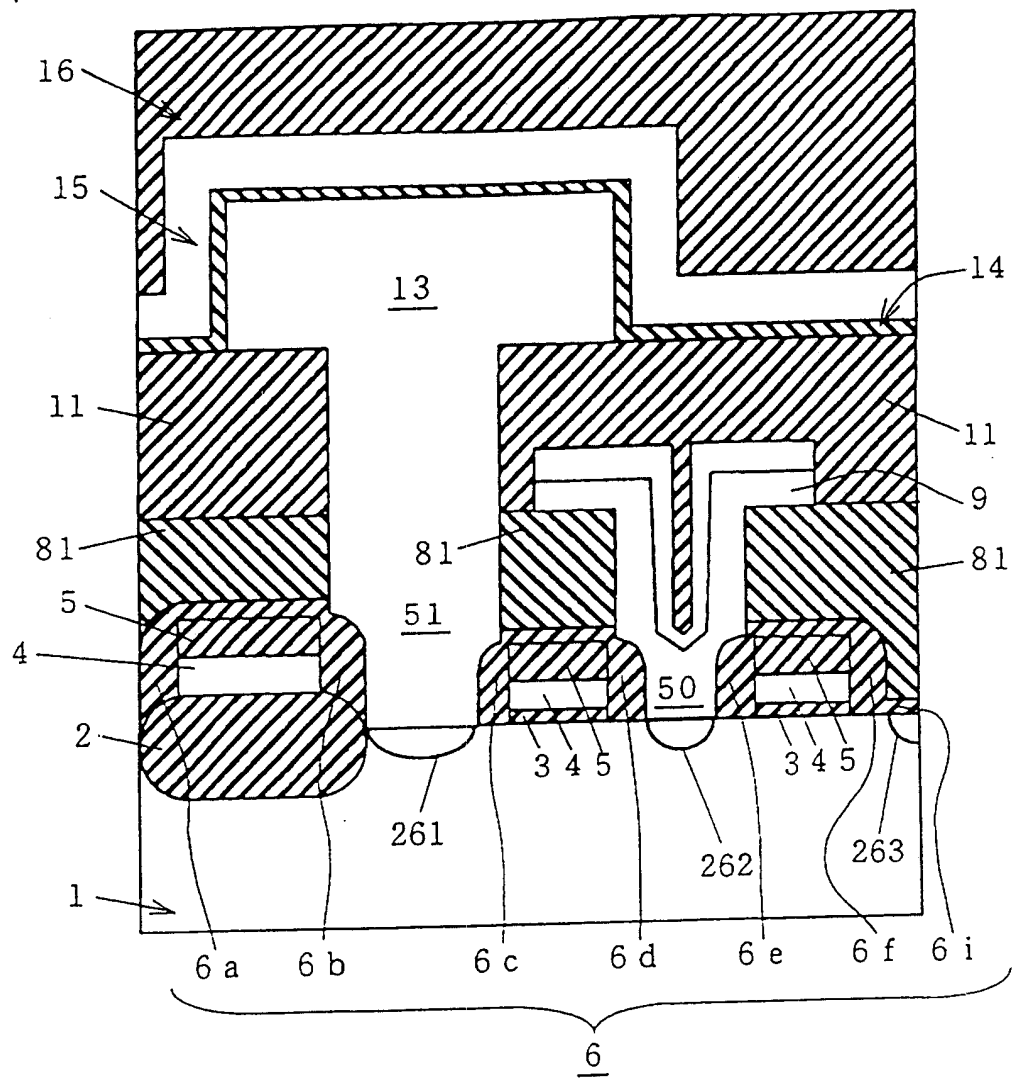


图 65

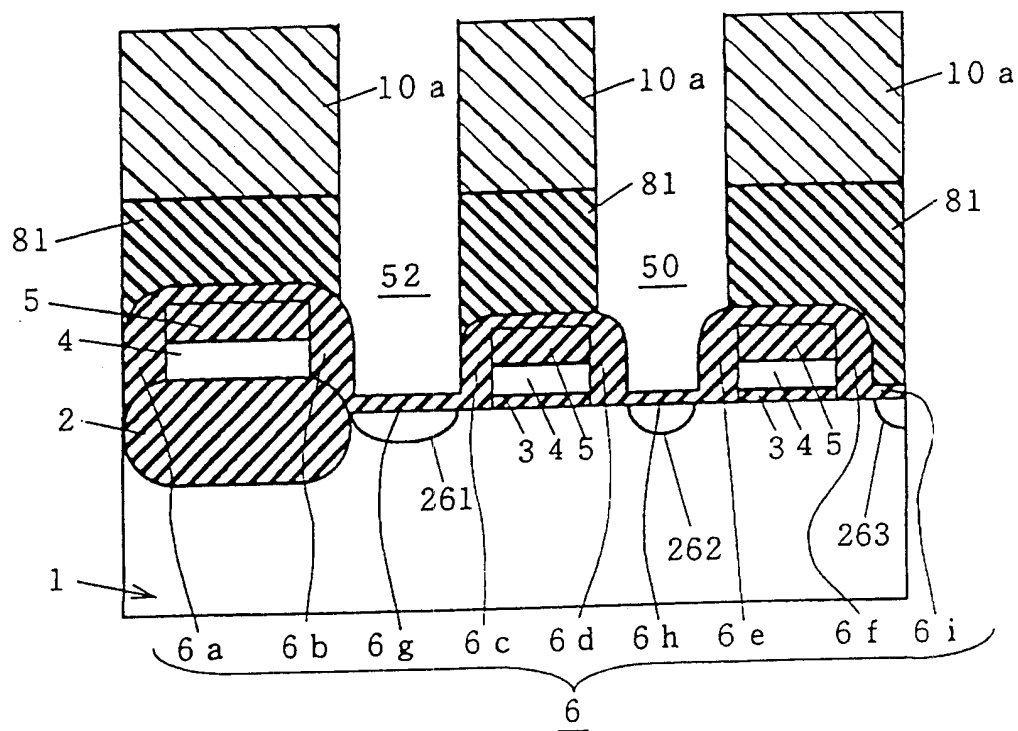


图 66

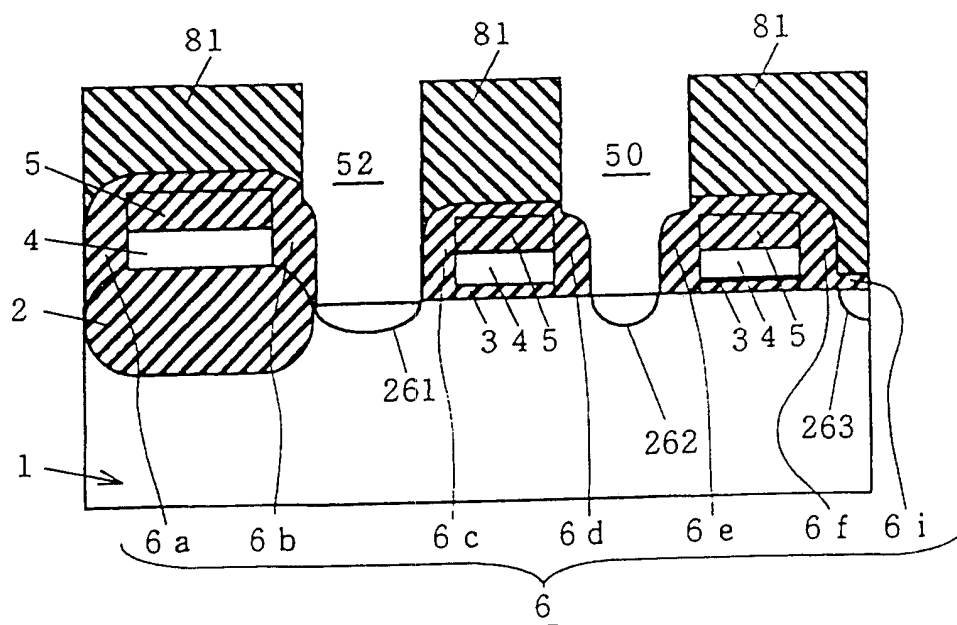


图 67

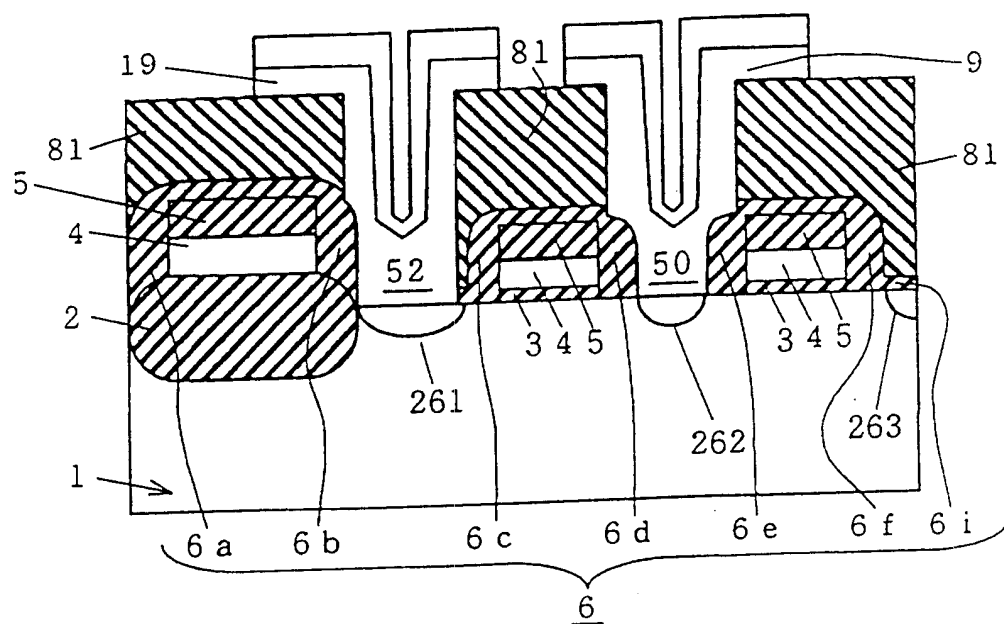


图 68

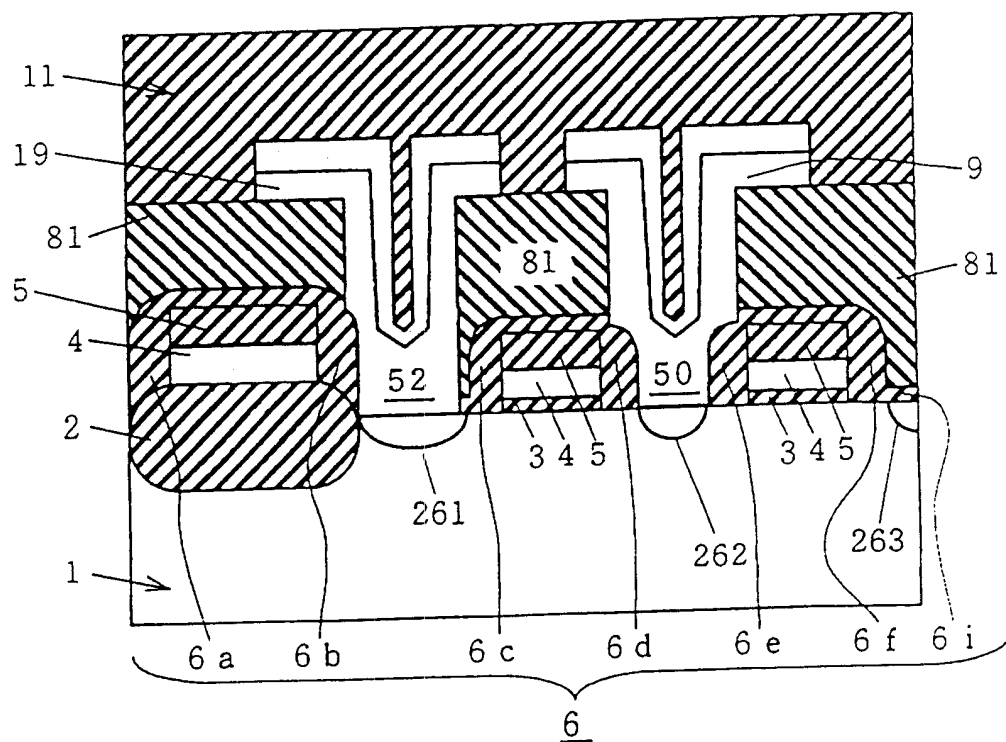


图 69

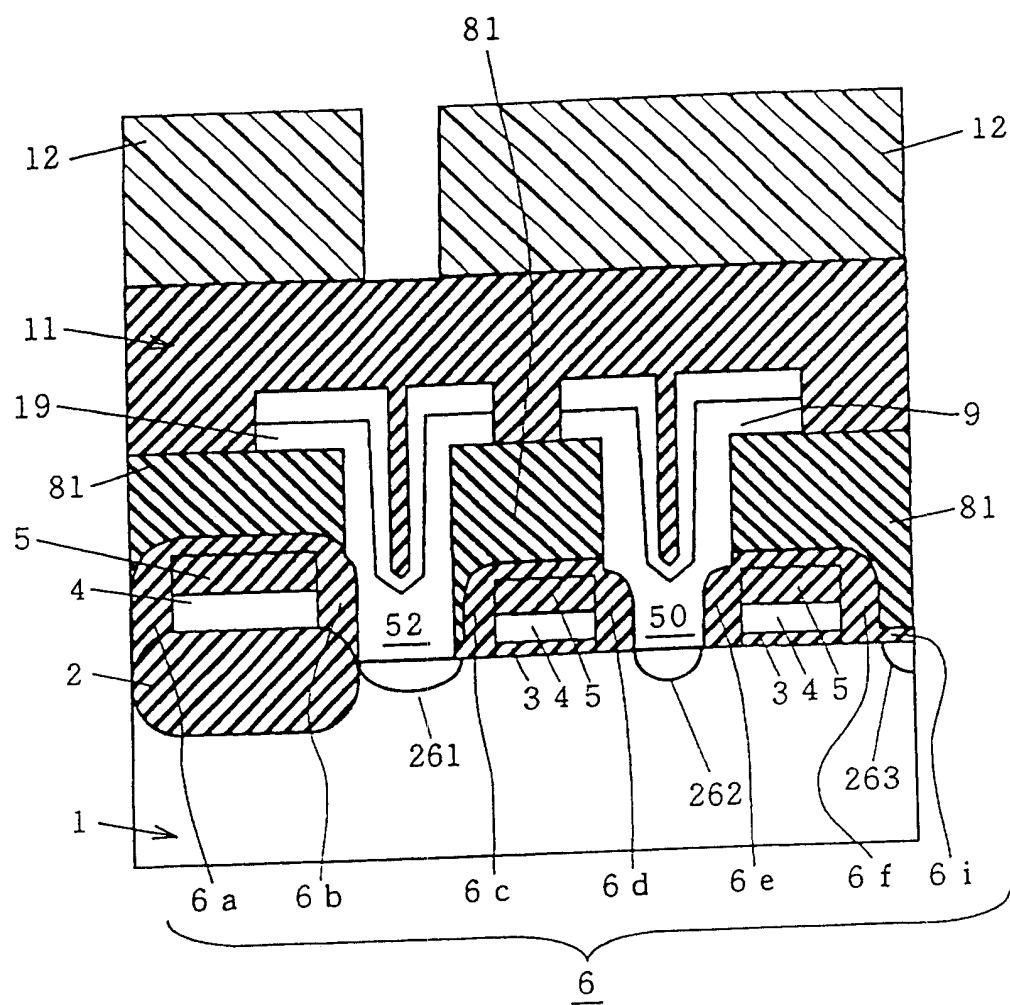


图 70

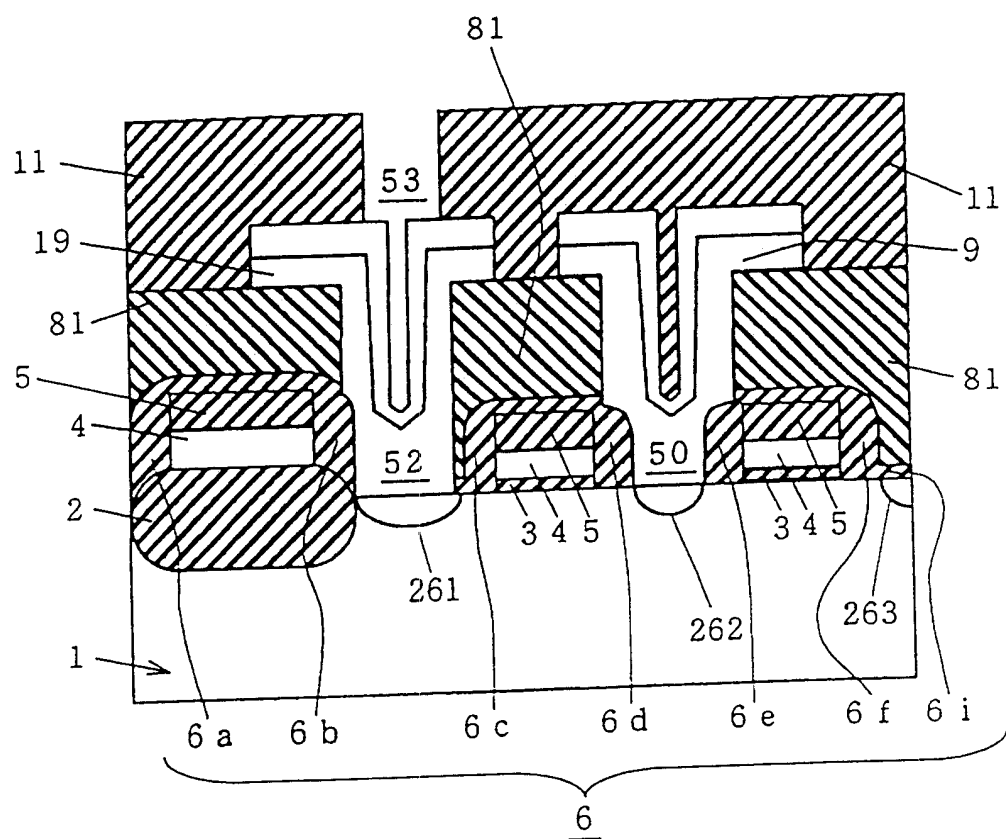


图 72

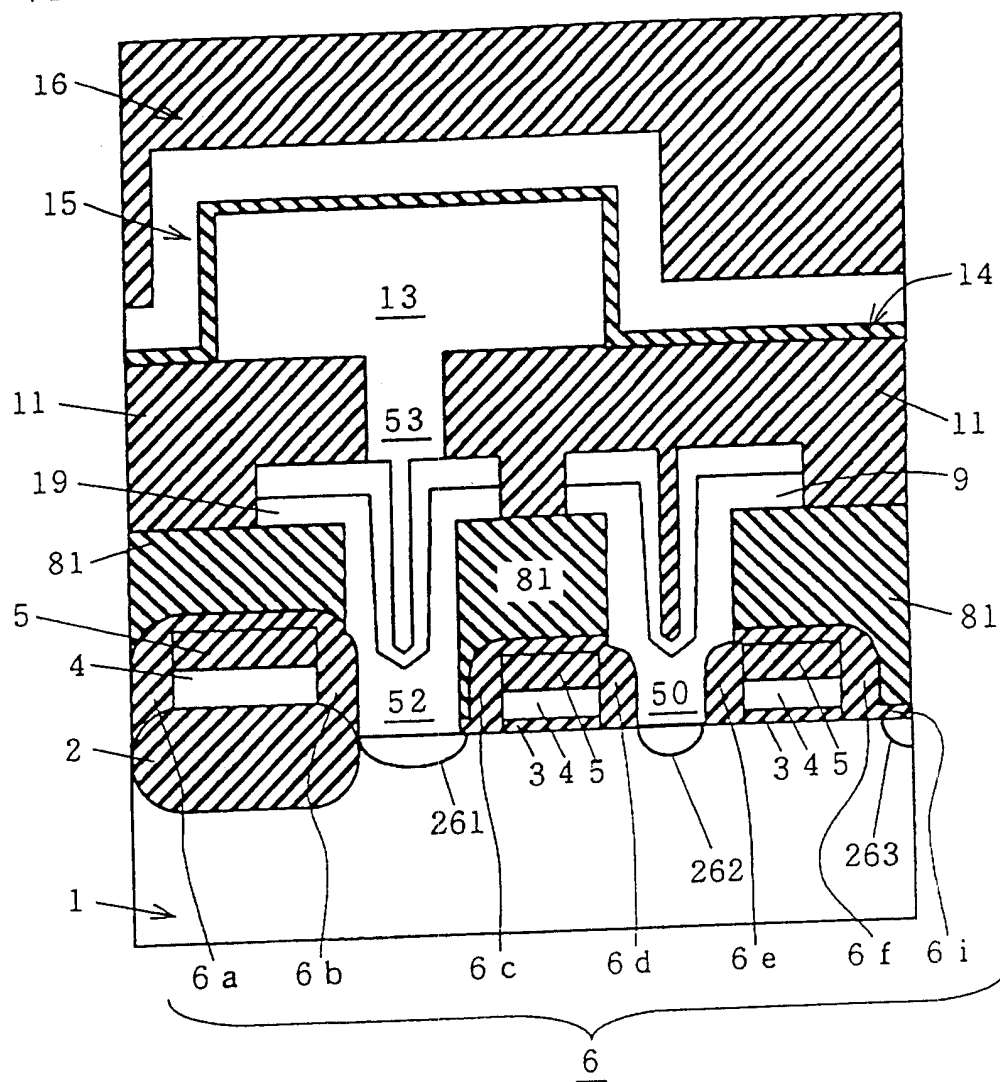


图 73

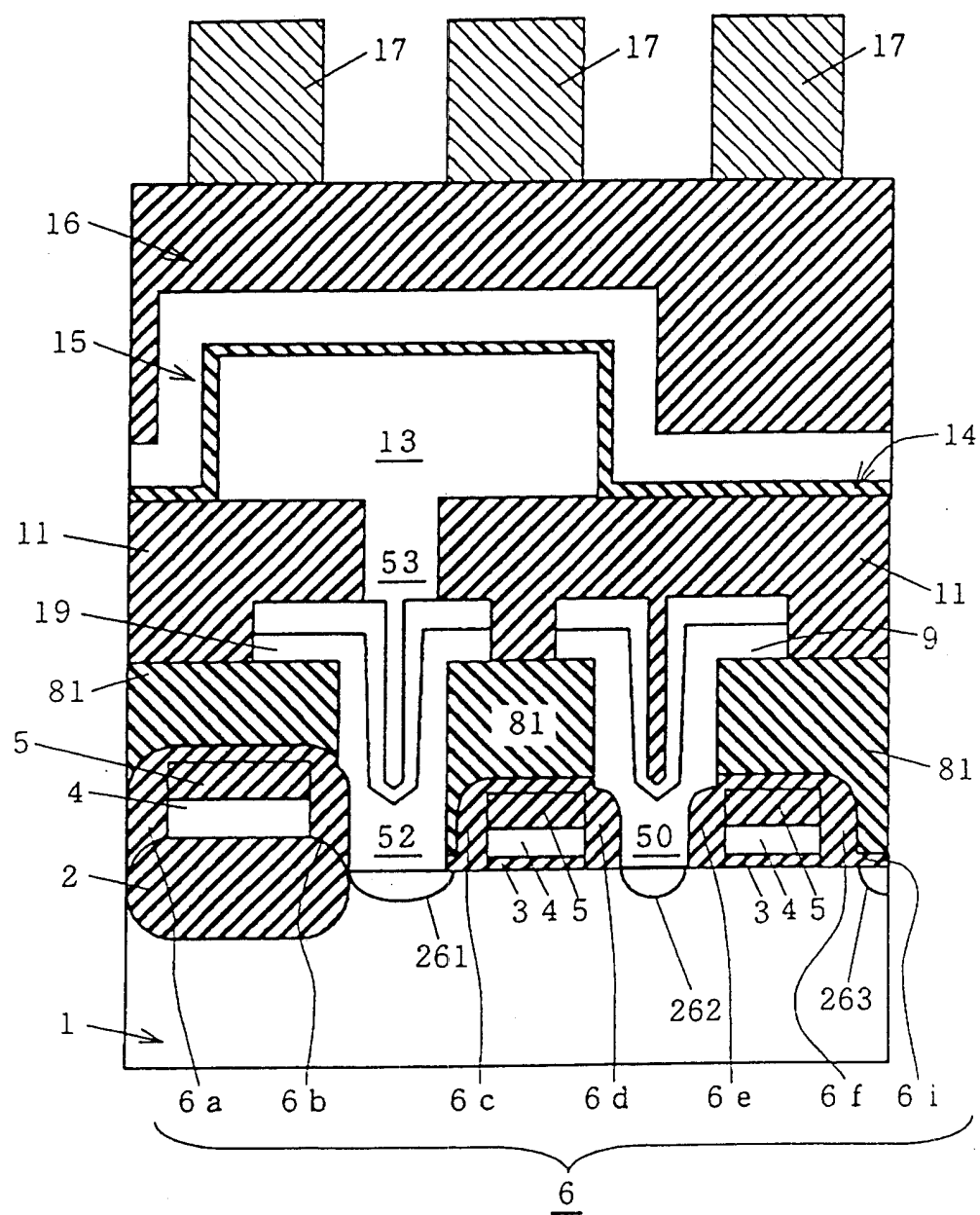


图 75

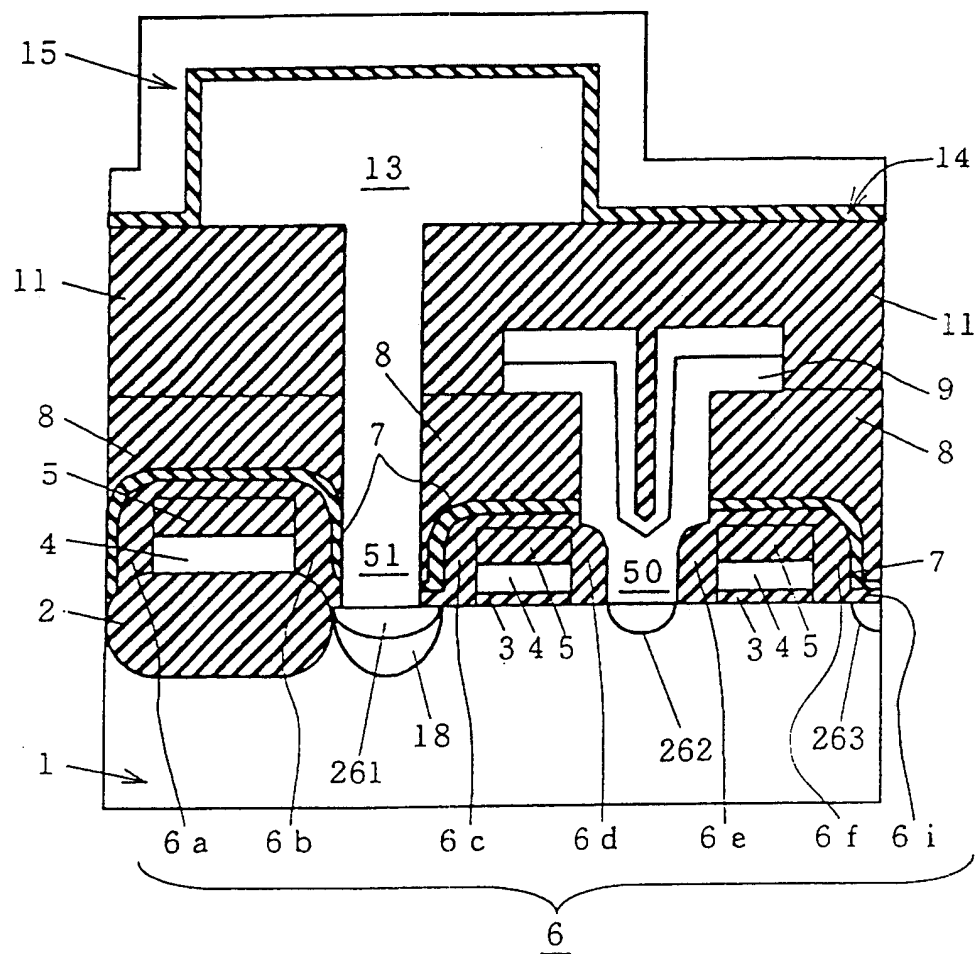


图 76

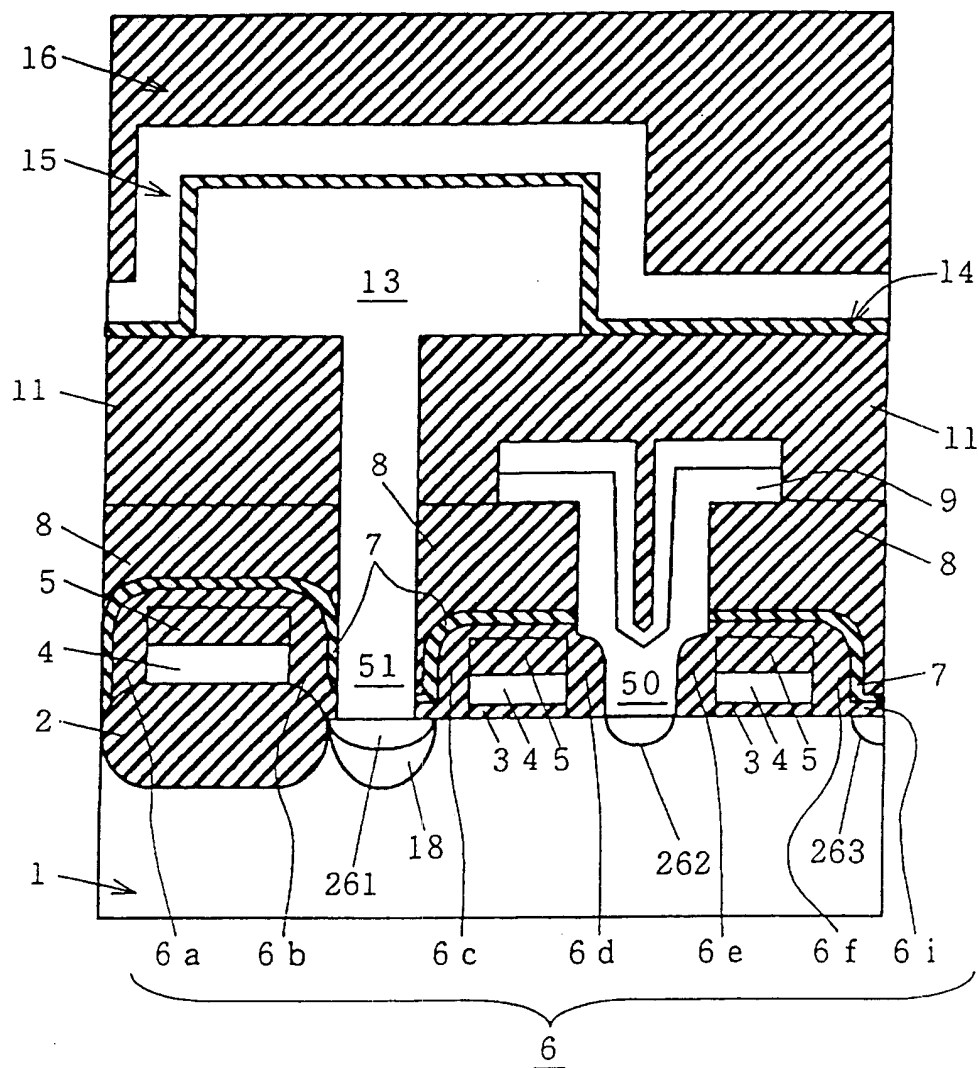


图 77

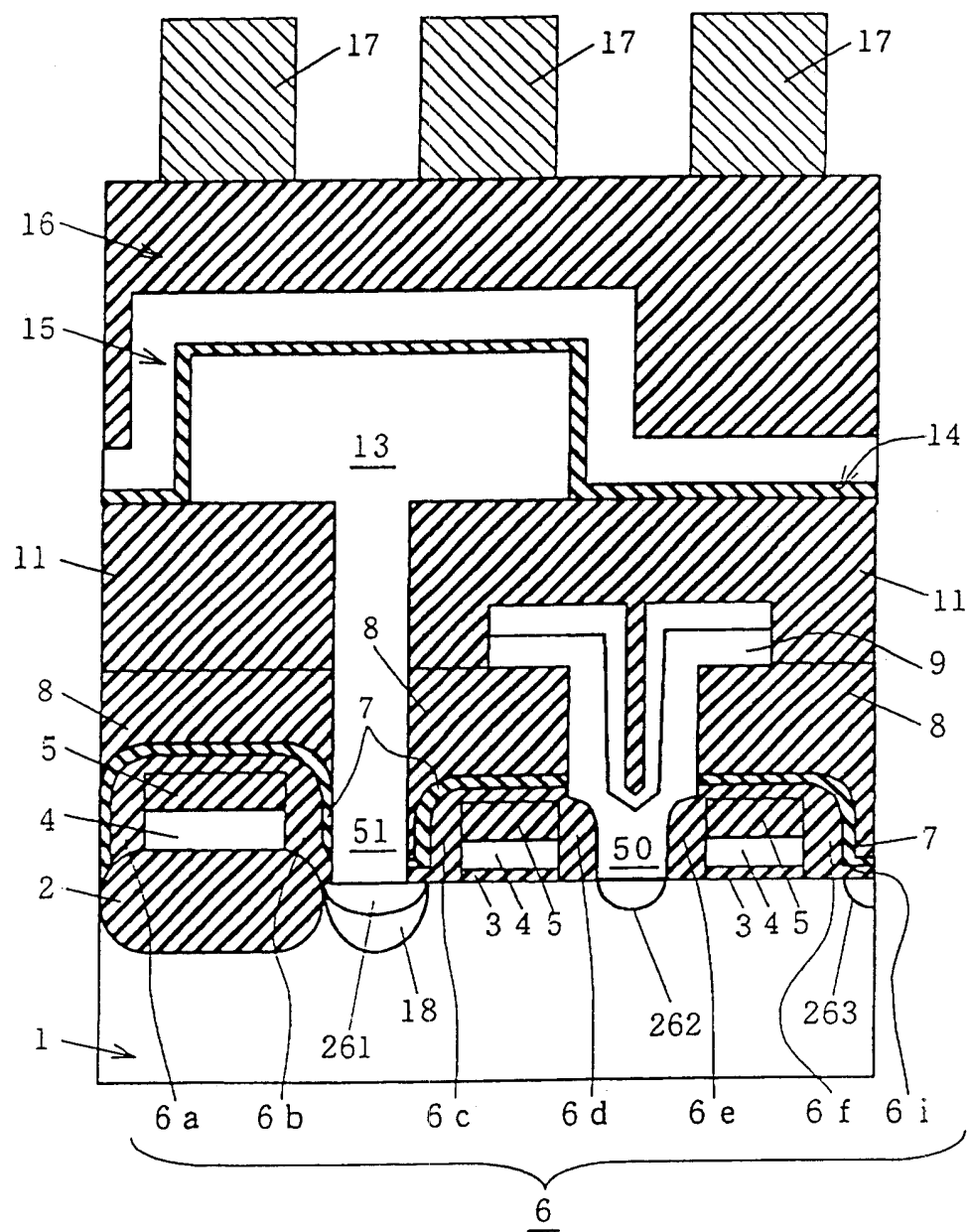


图 78

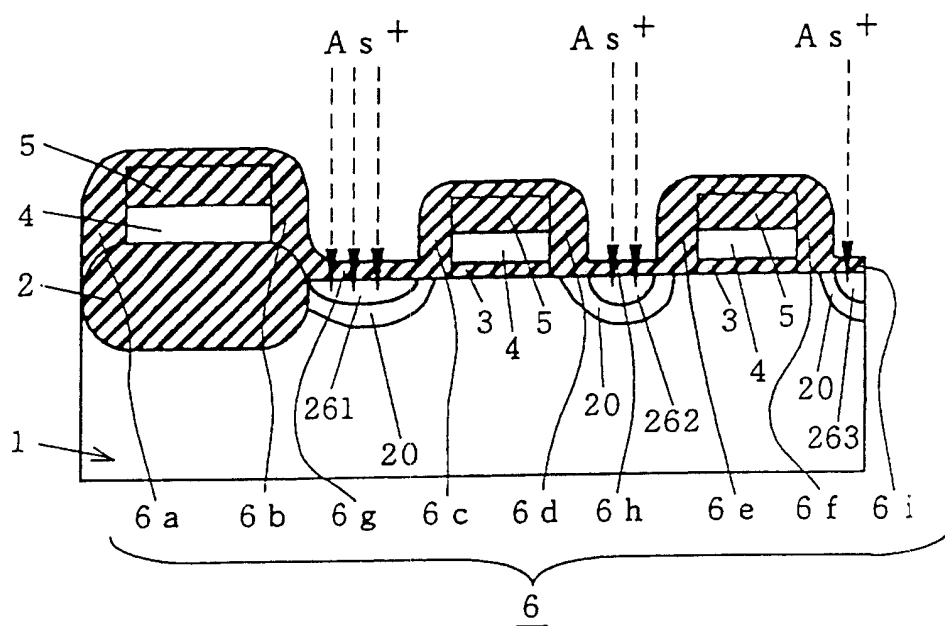


图 79

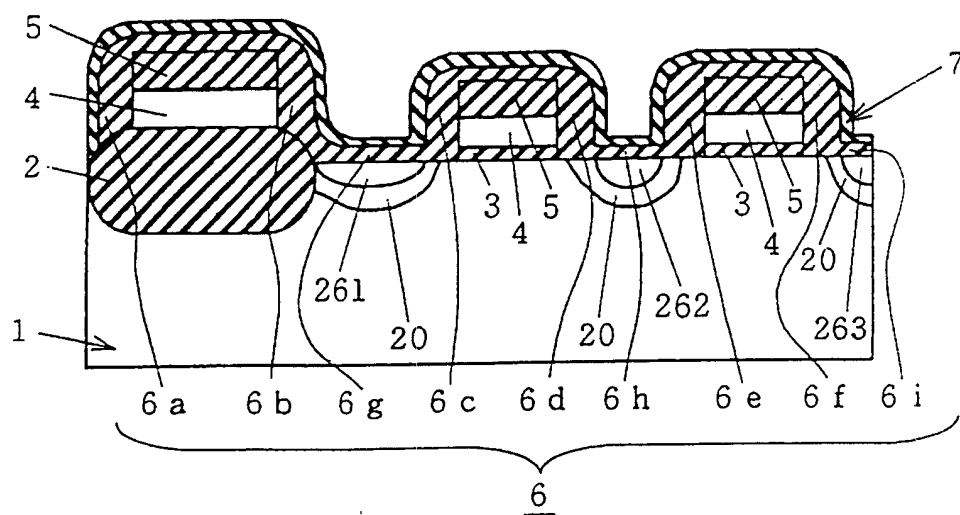


图 80

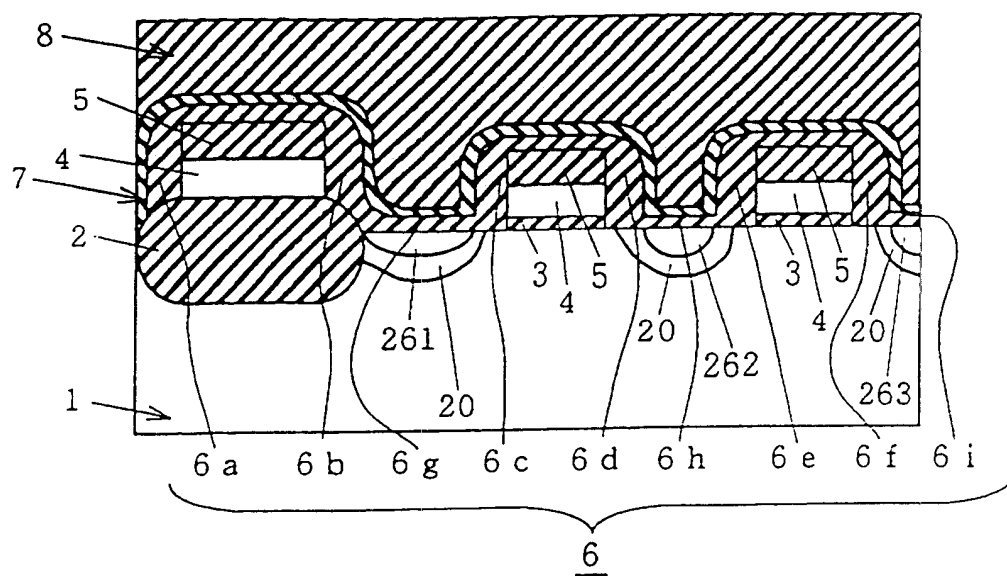


图 81

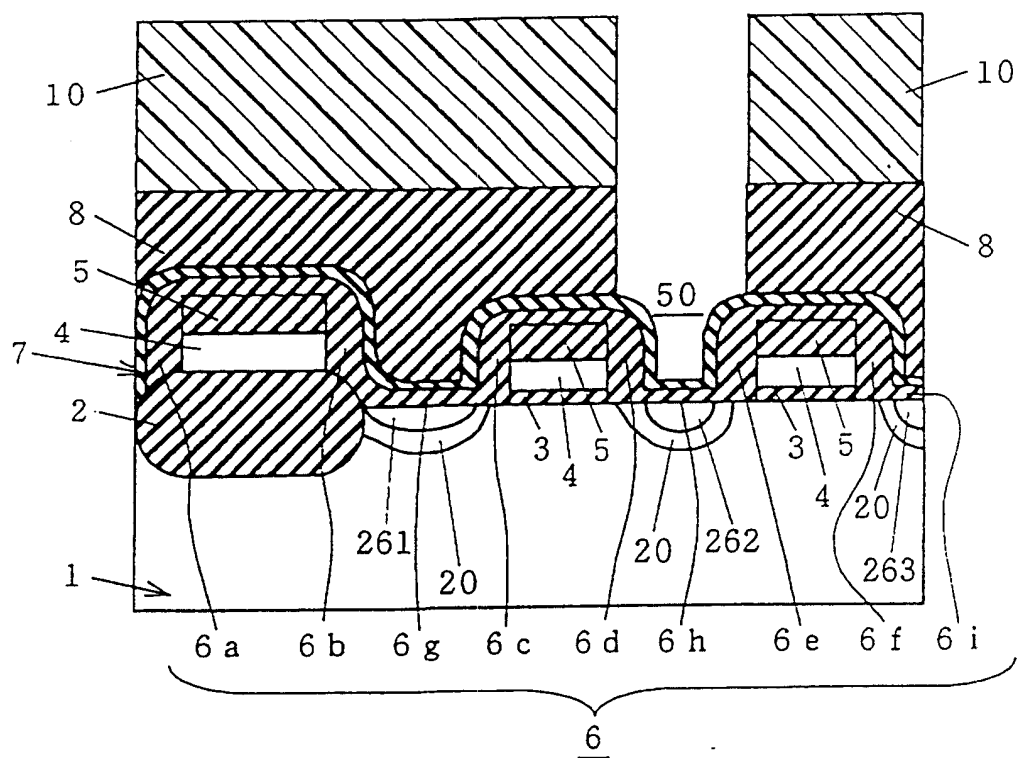


图 82

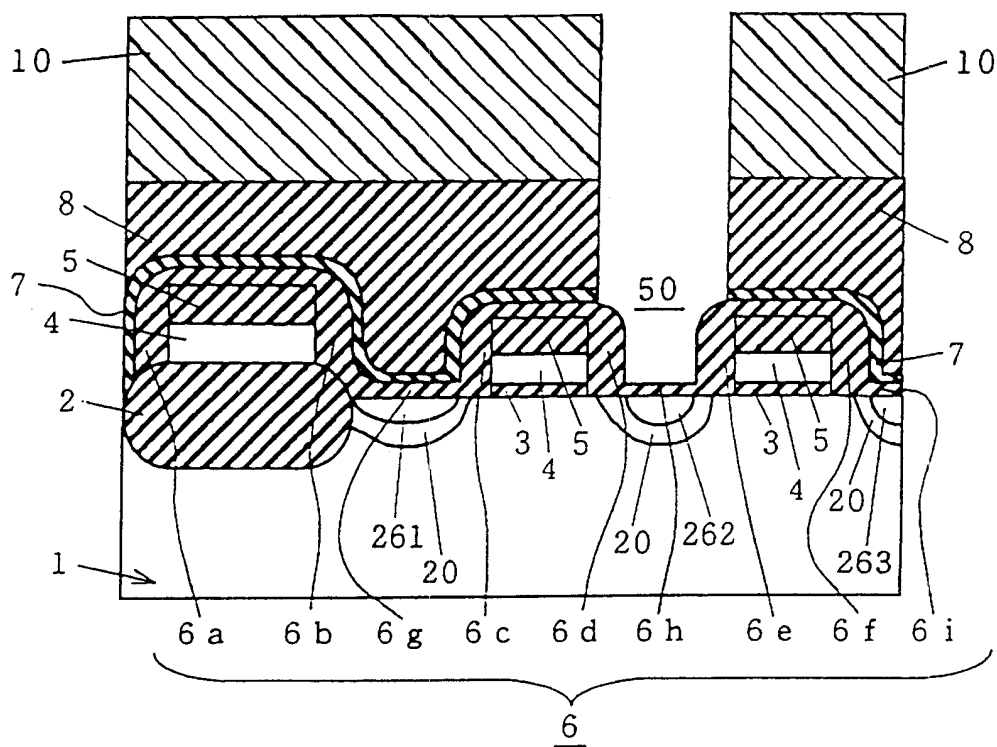


图 83

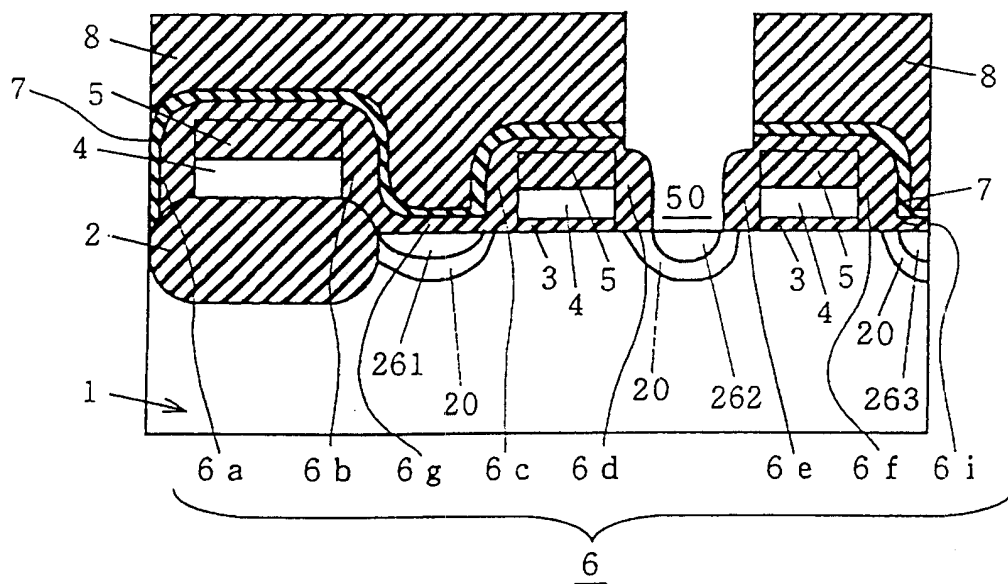


图 84

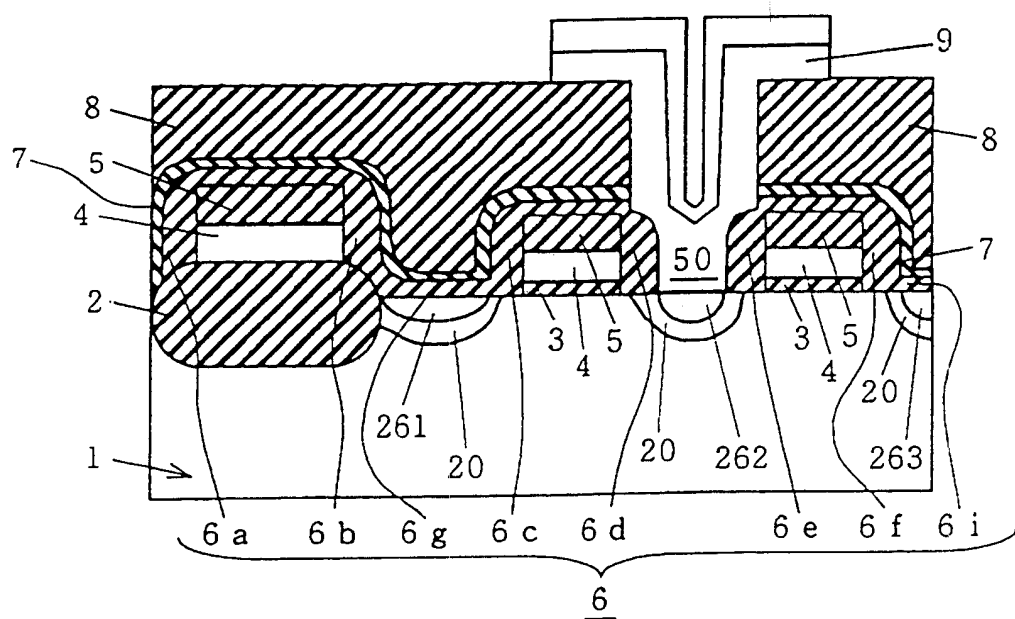


图 85

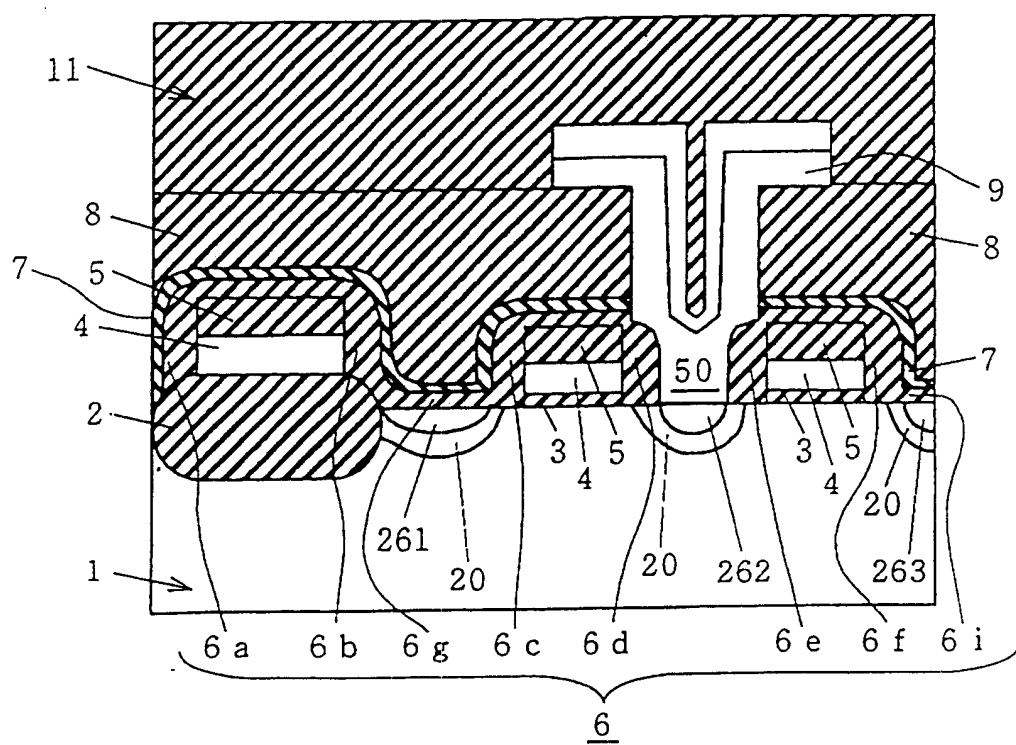


图 86

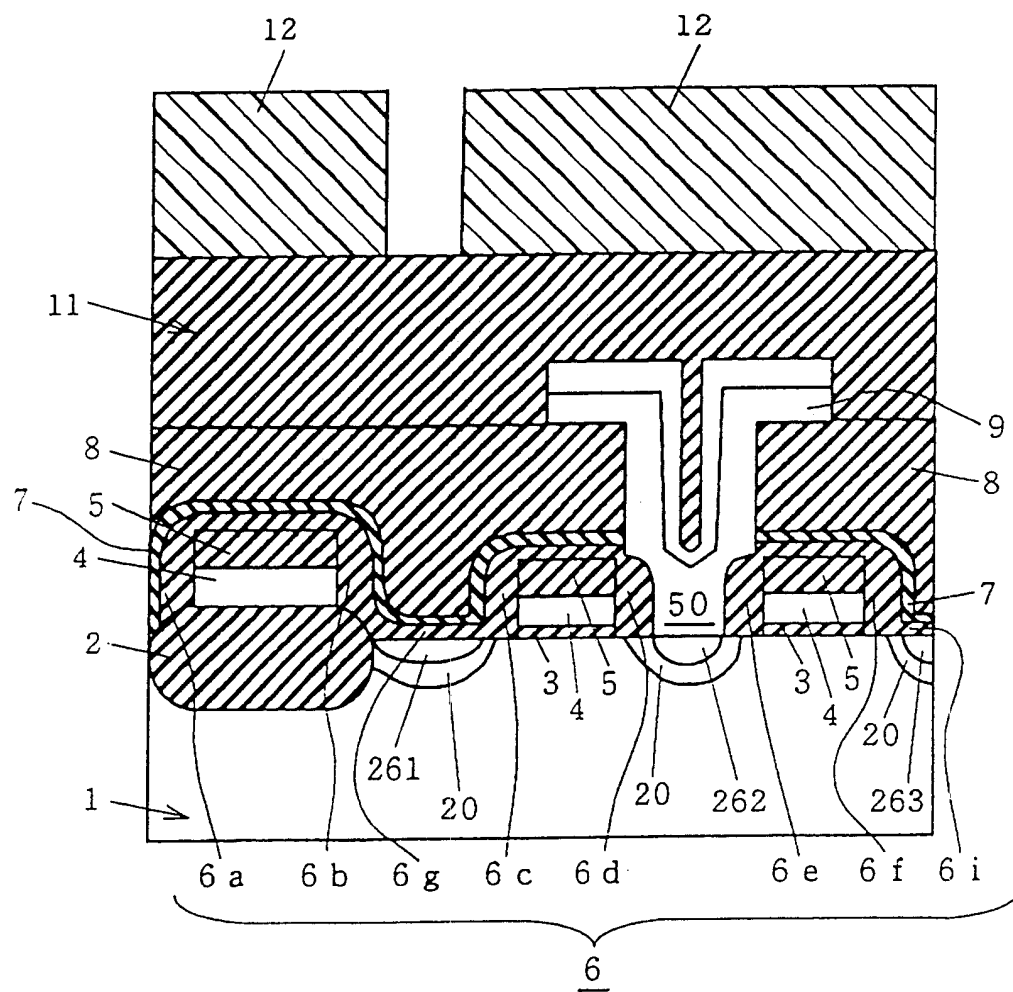


图 87

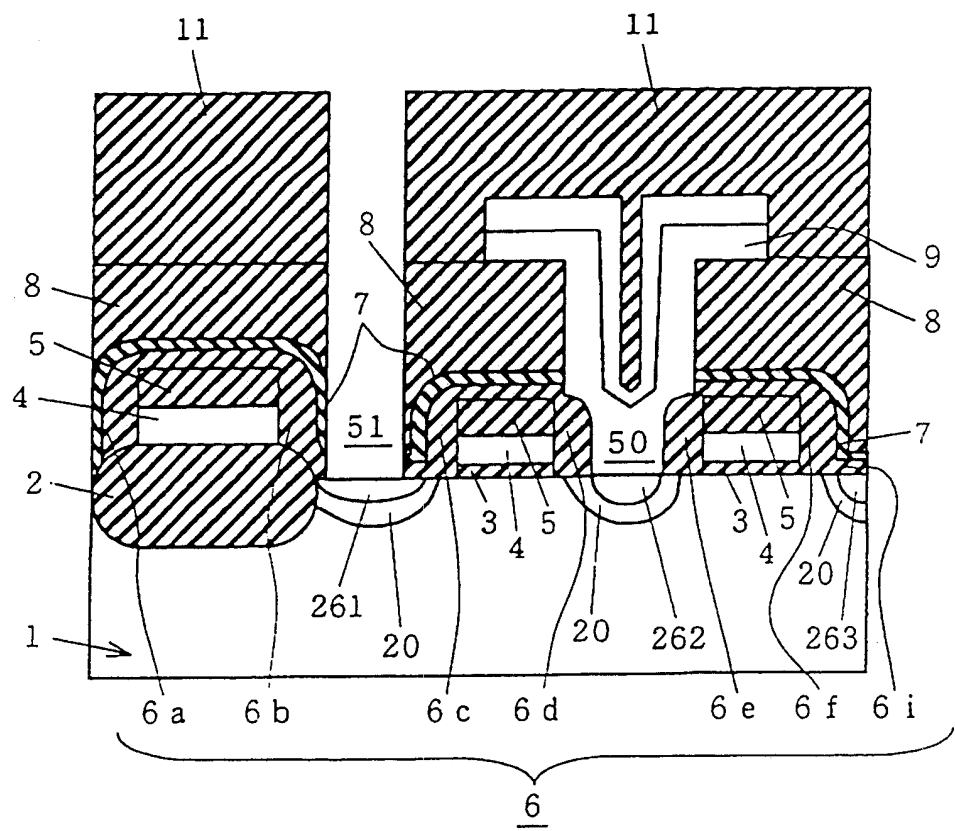


图 88

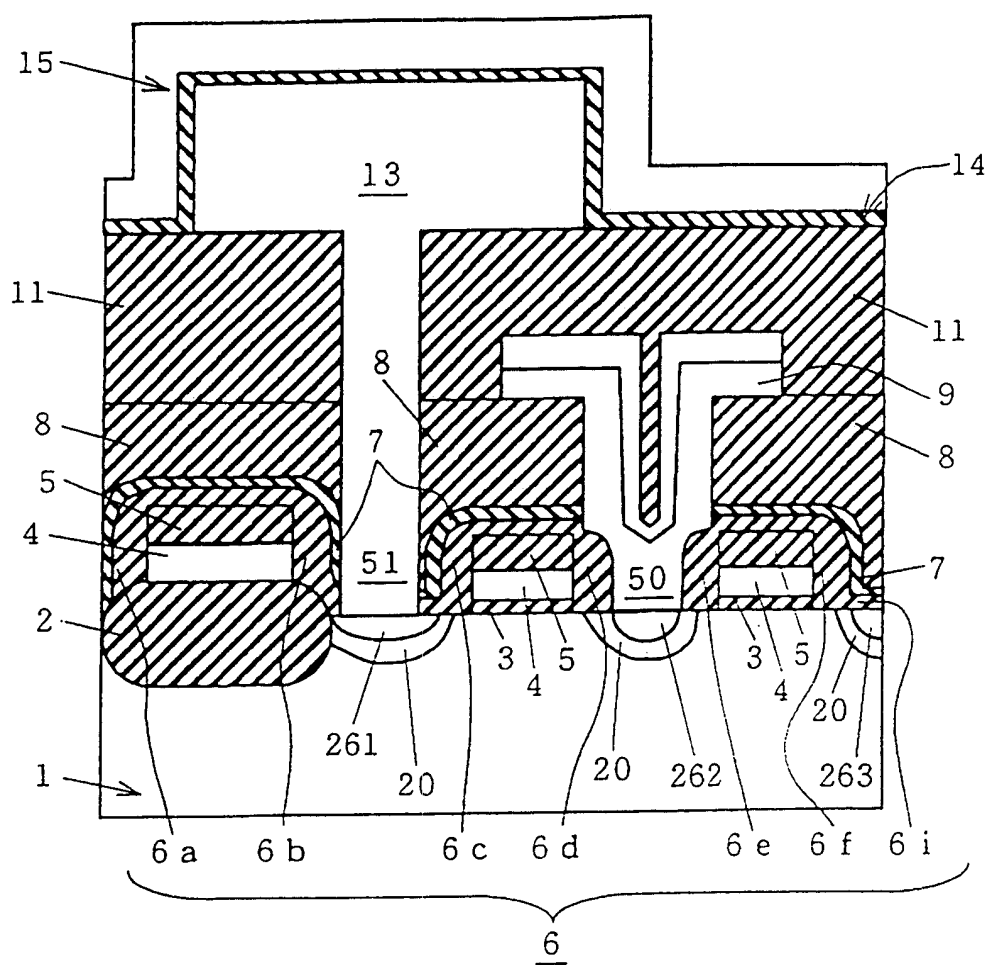


图 89

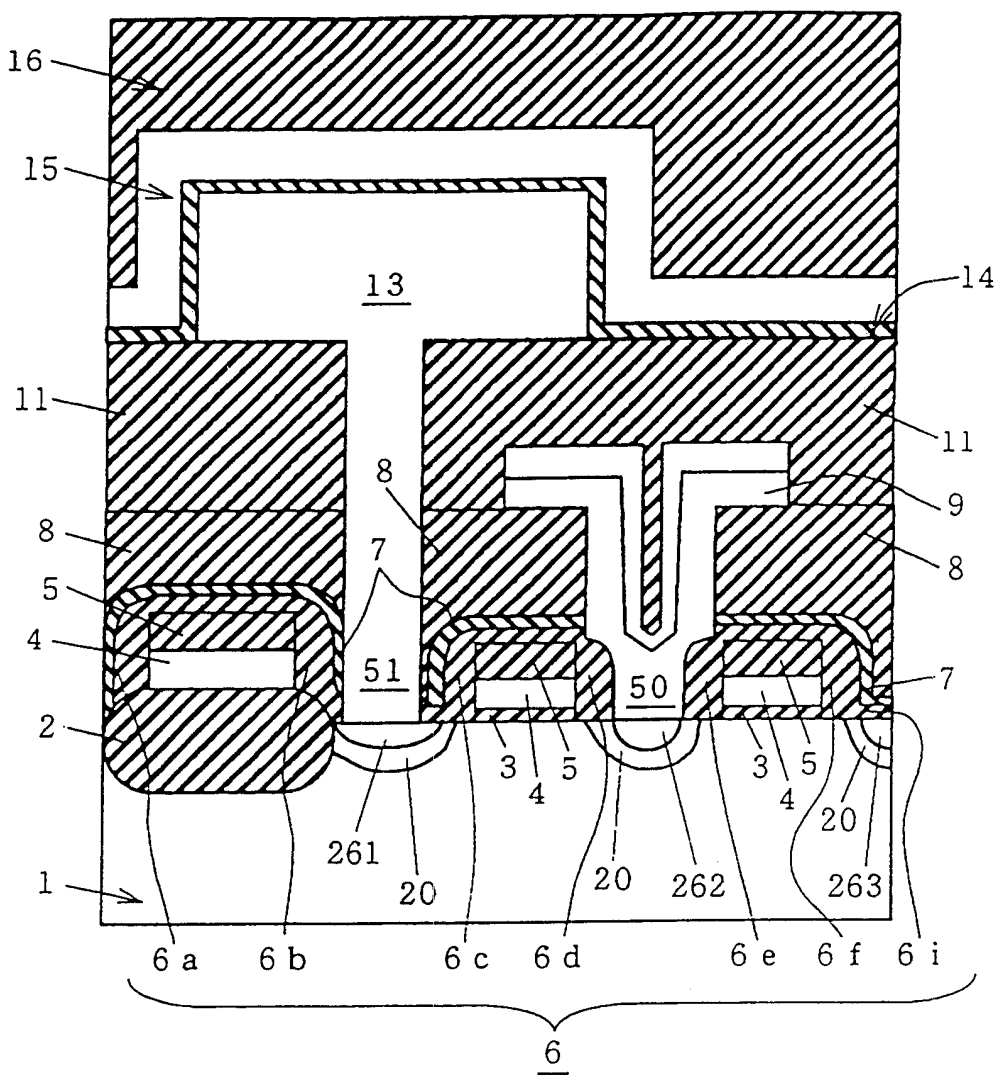


图 90

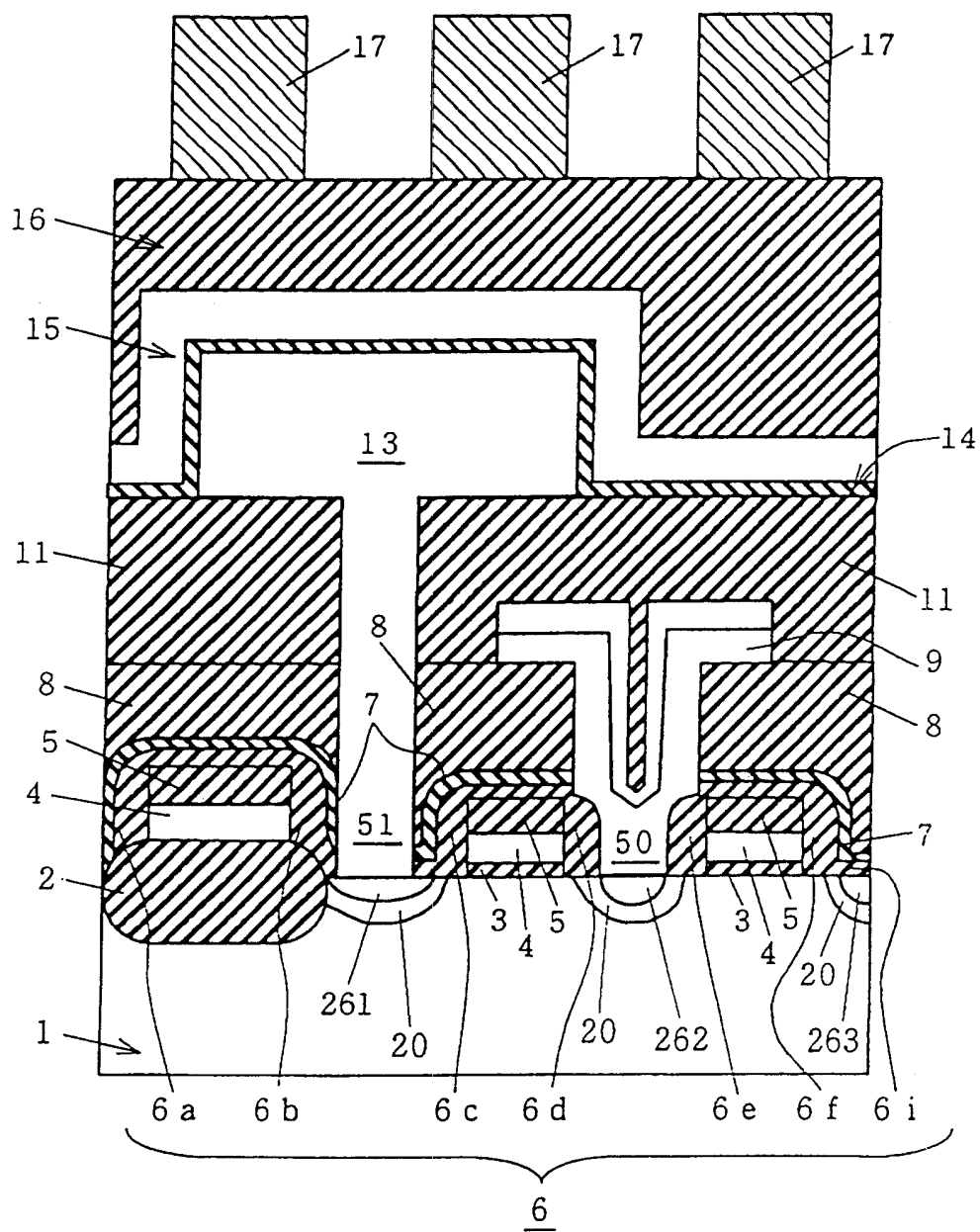


图 91

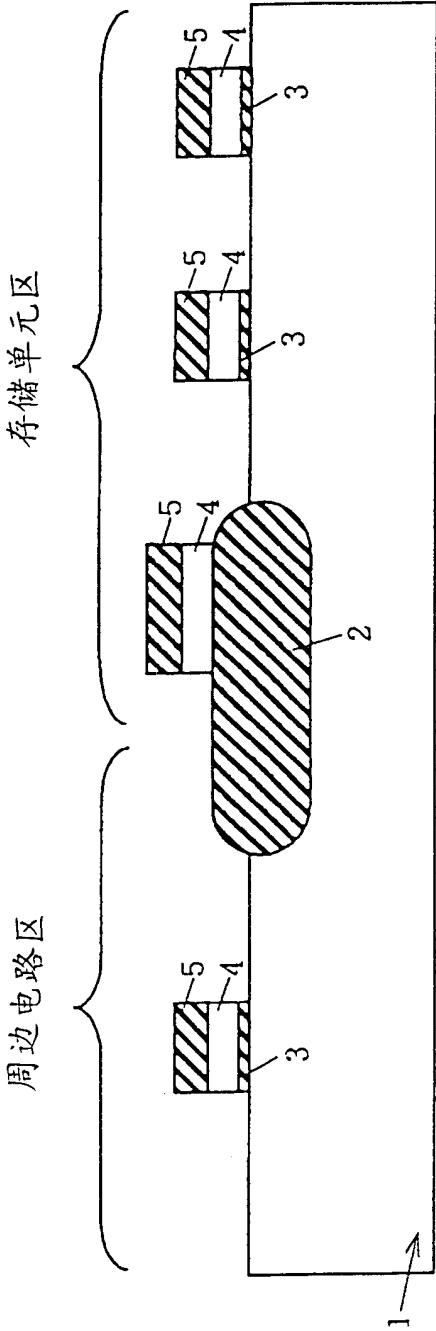


图 92

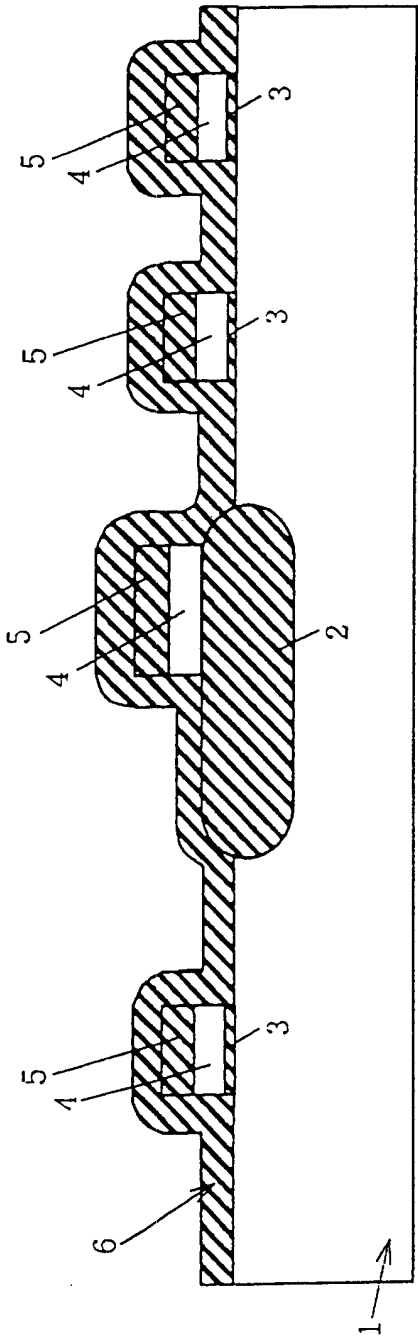


图 93

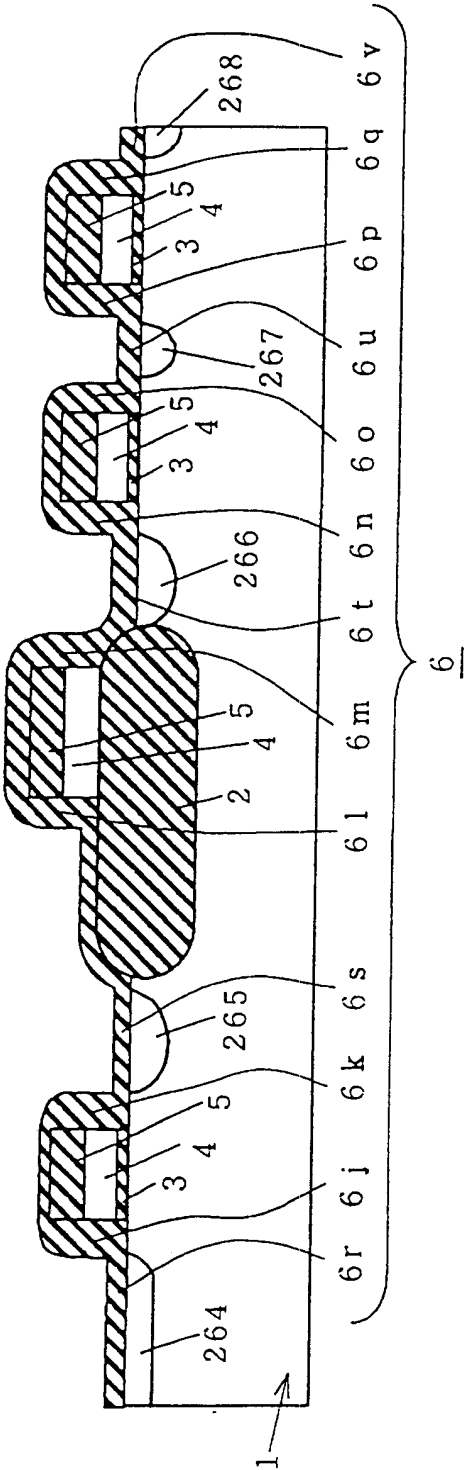


图 94

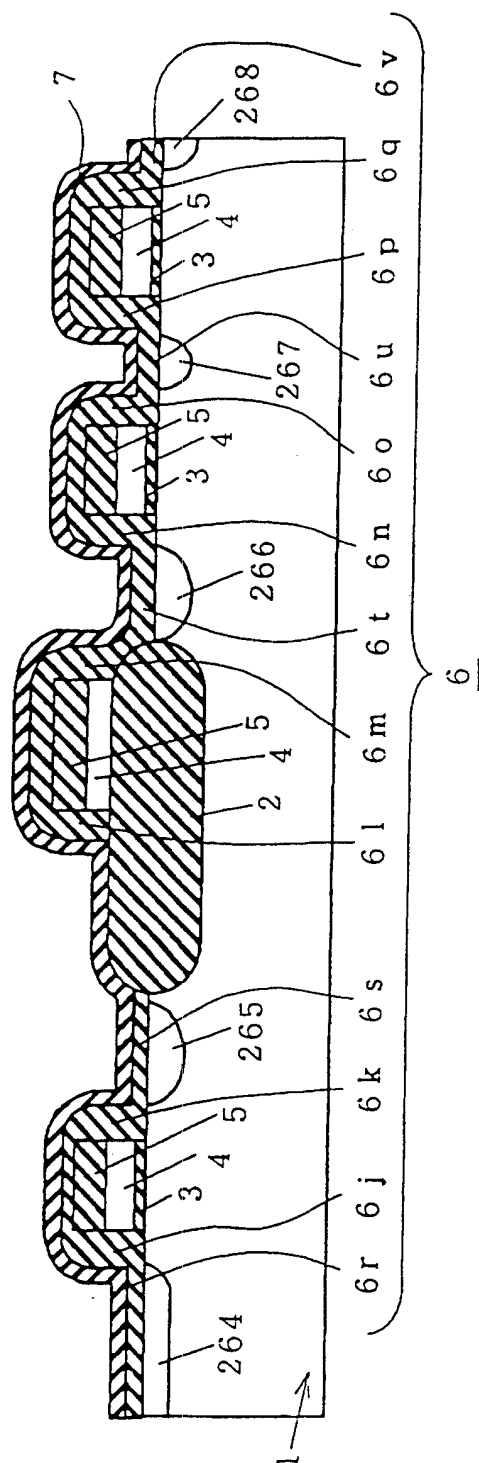


图 95

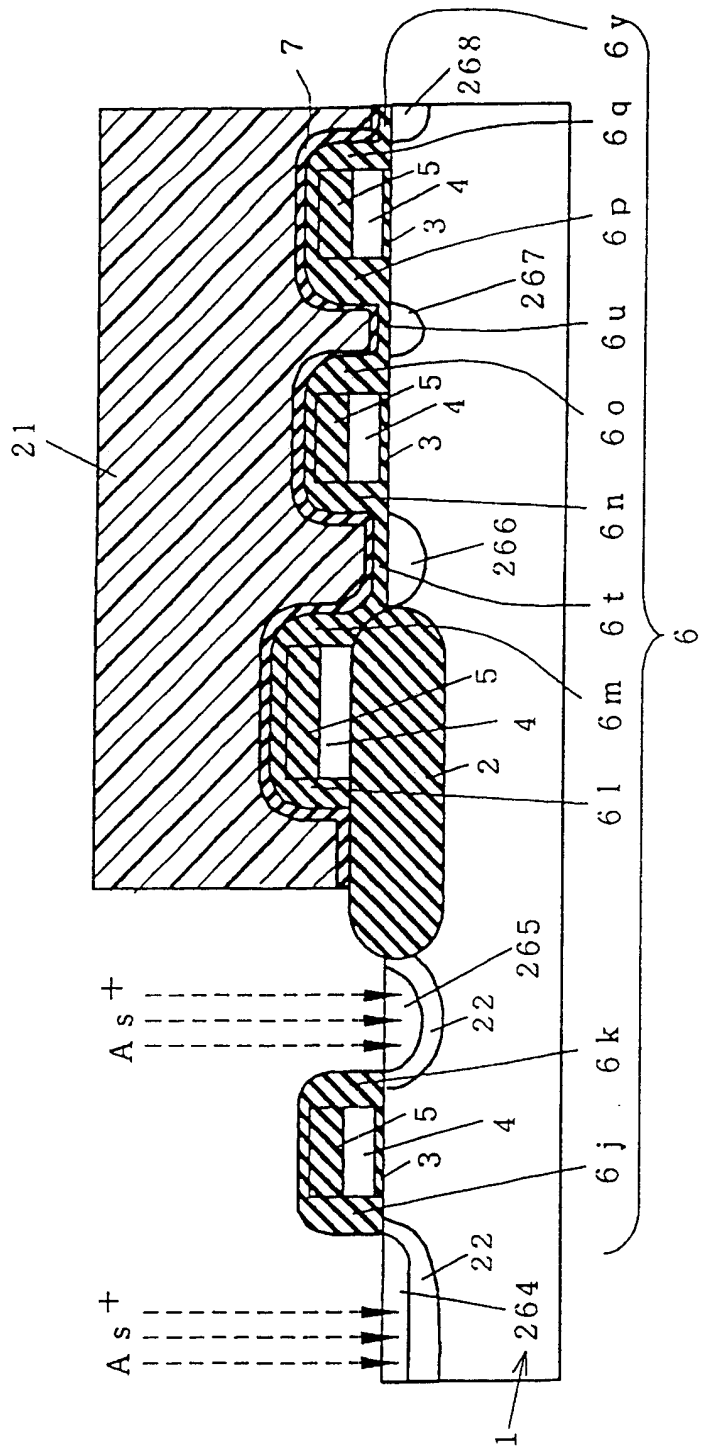


图 96

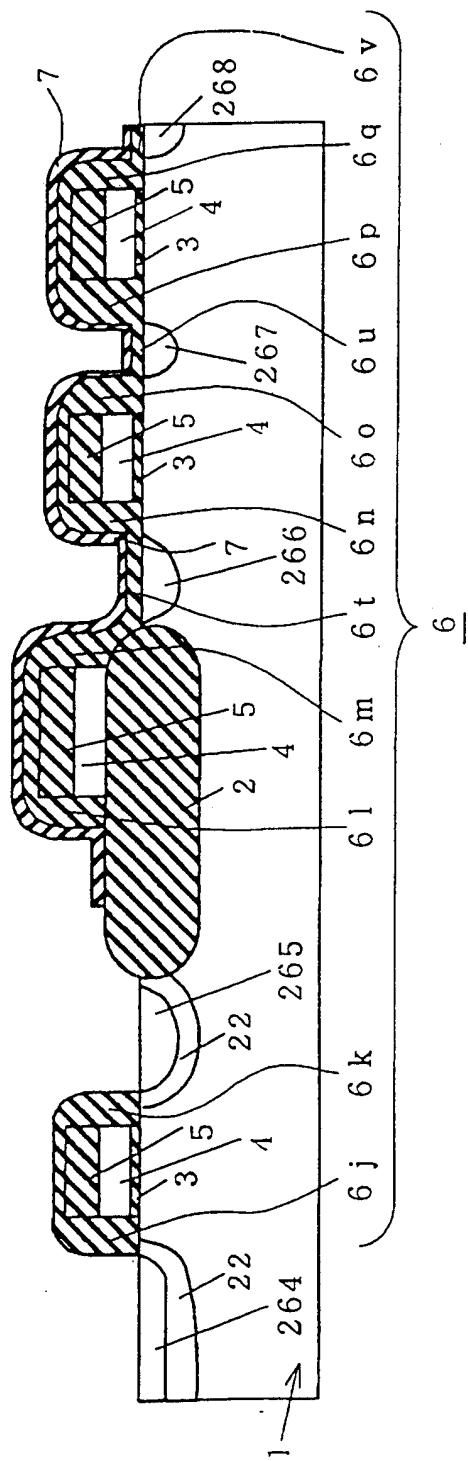


图 97

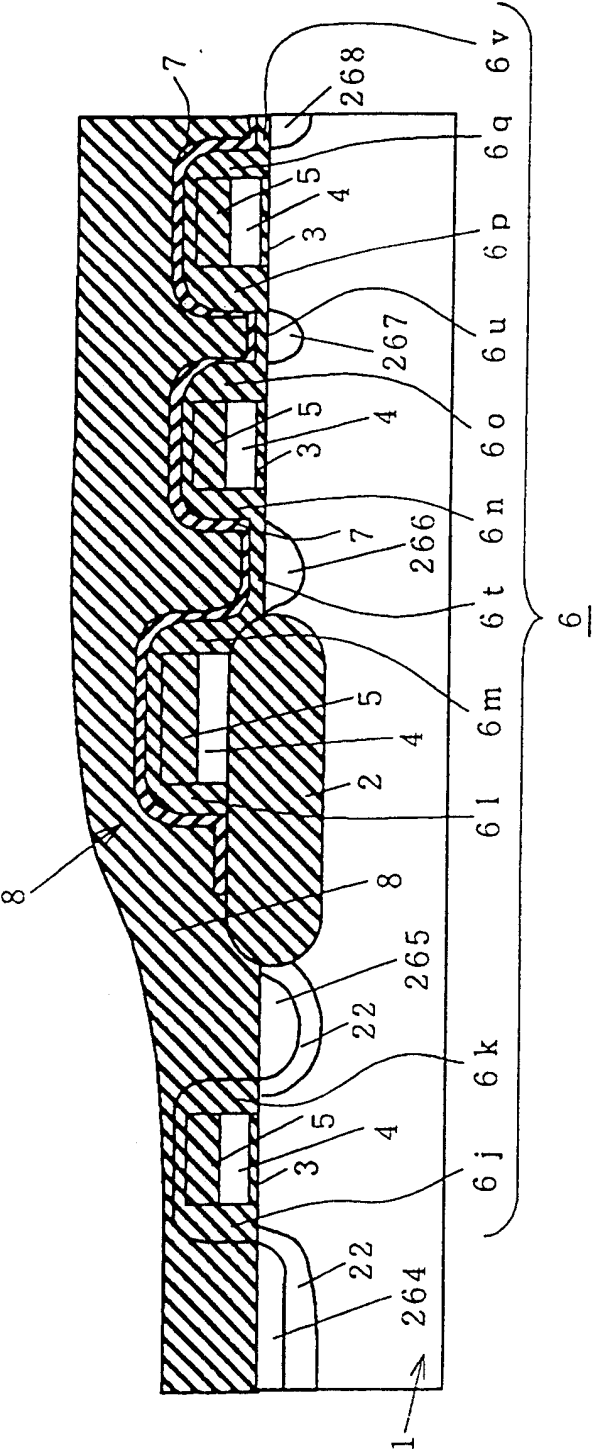


图 99

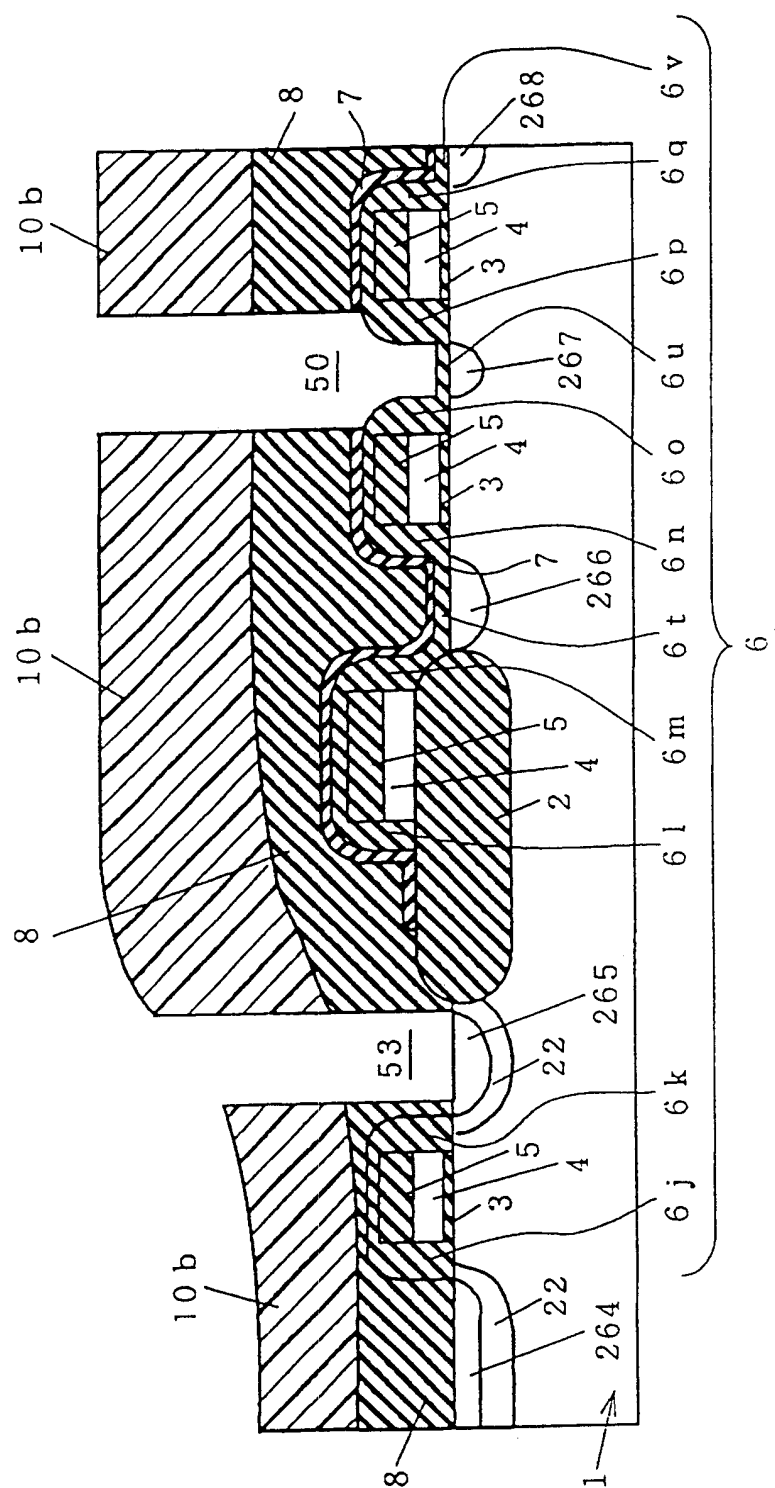


图 100

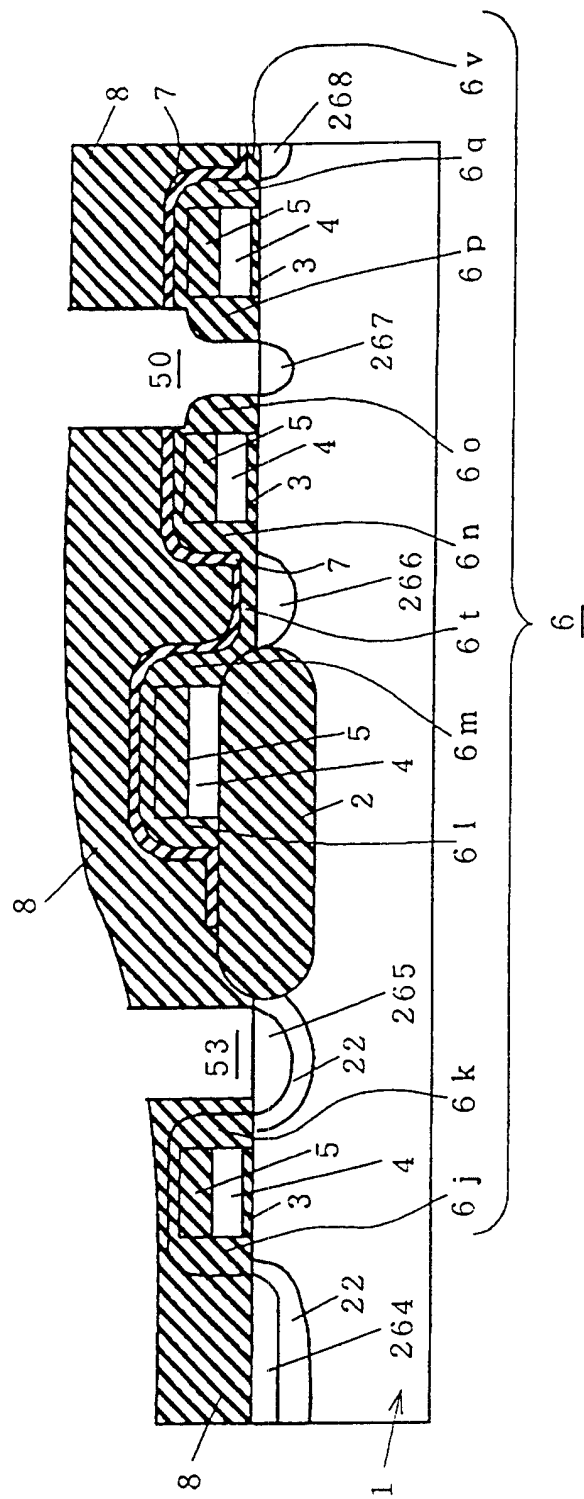


图 101

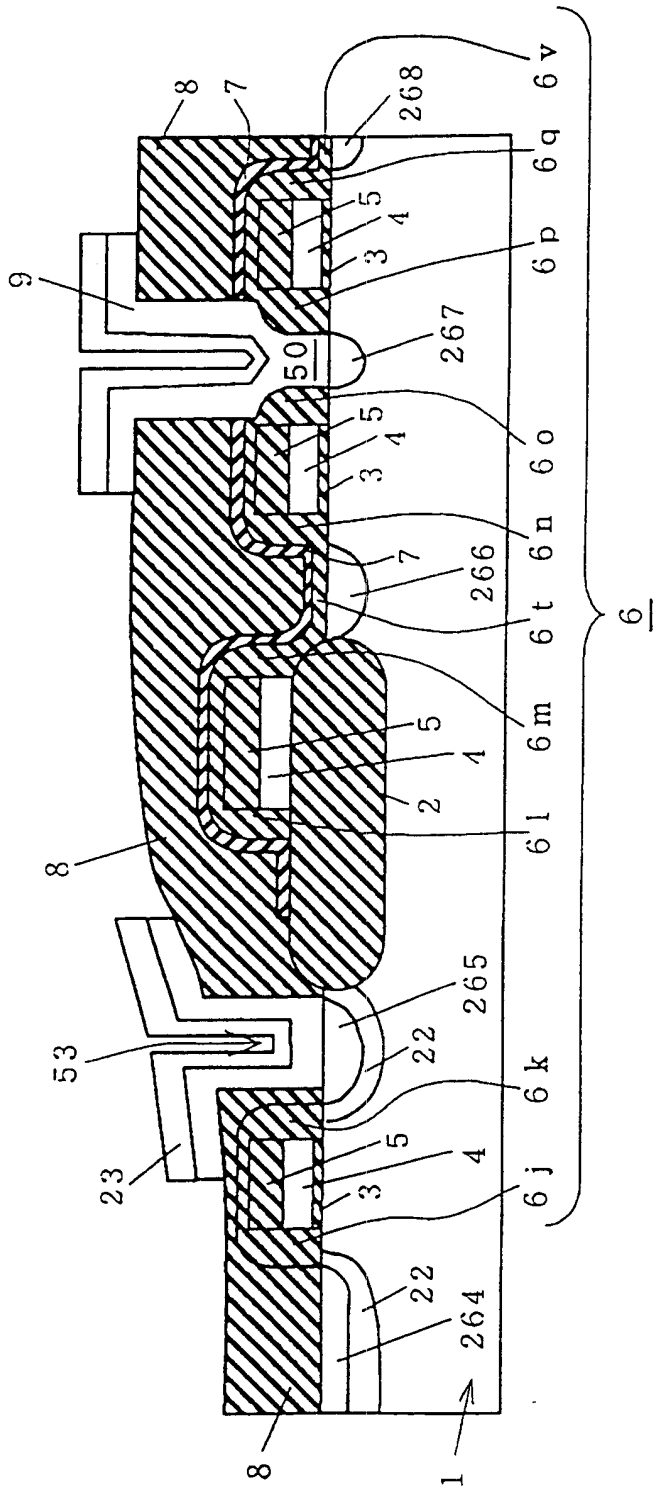


图 102

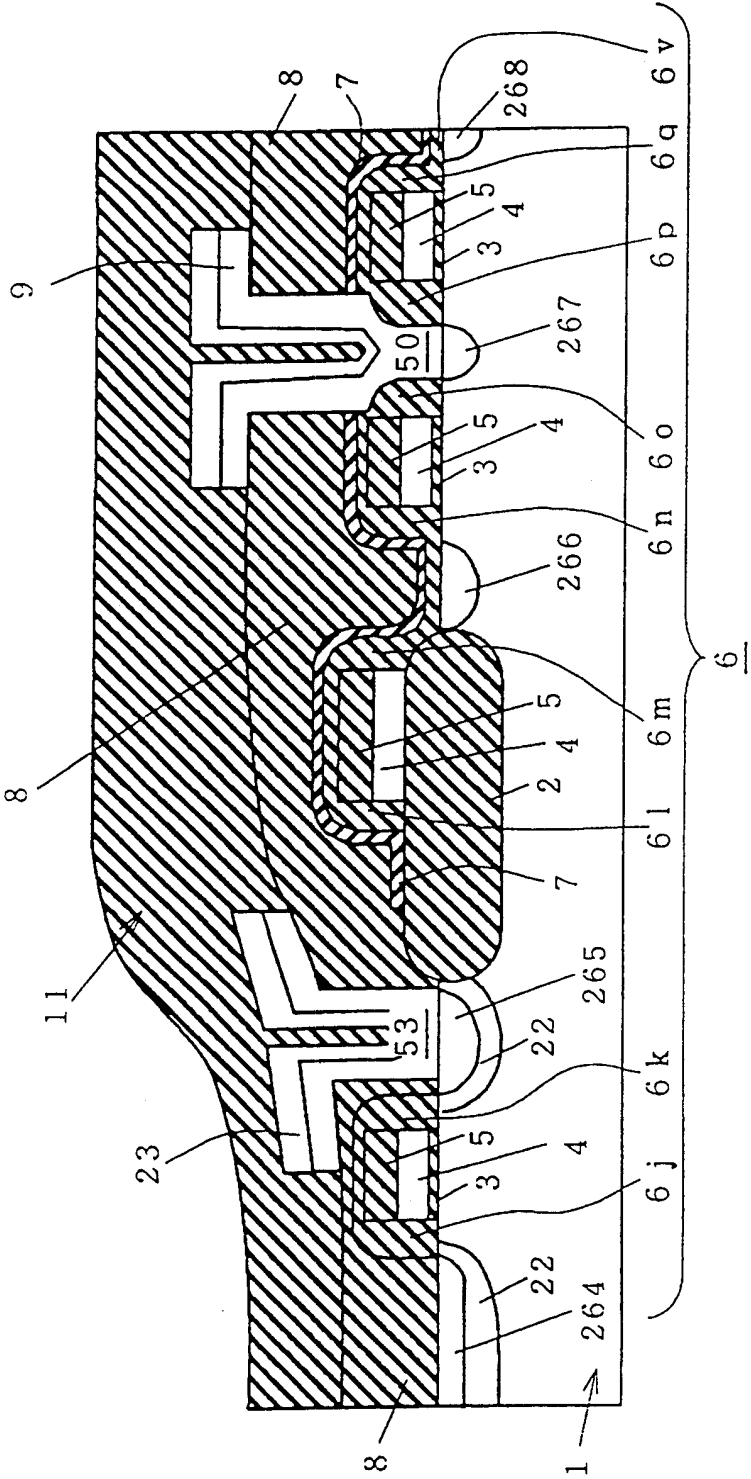


图 103

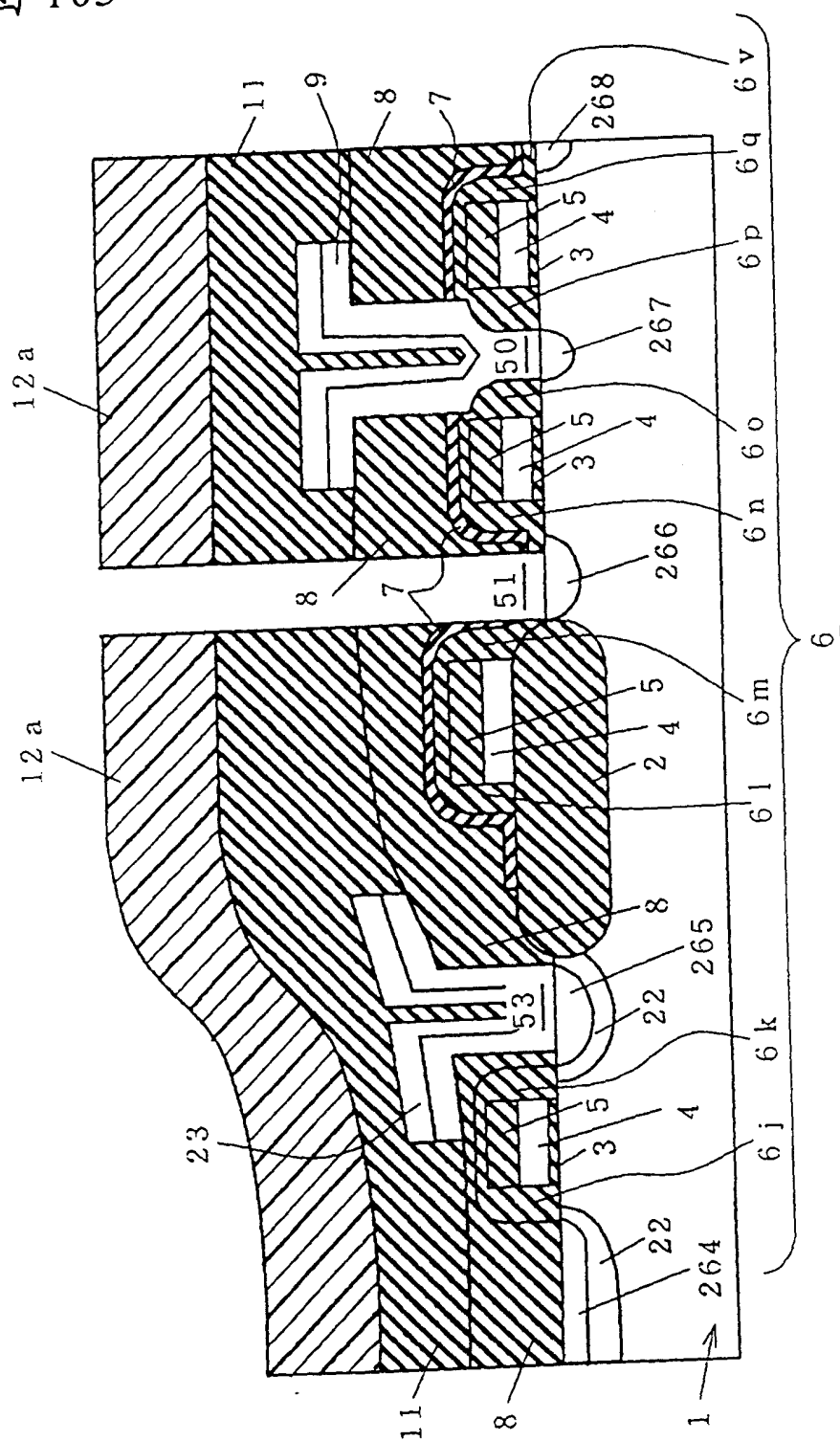


图 104

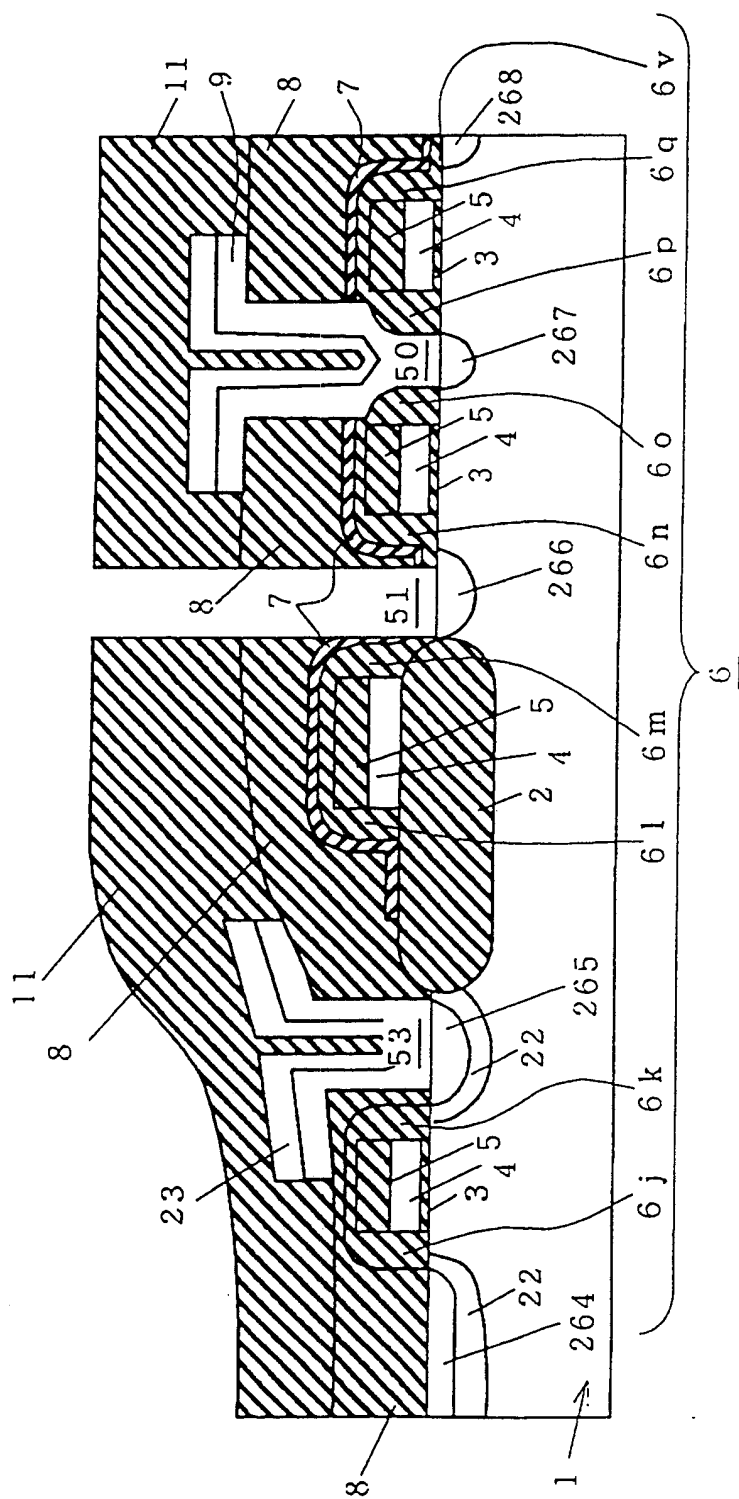


图 105

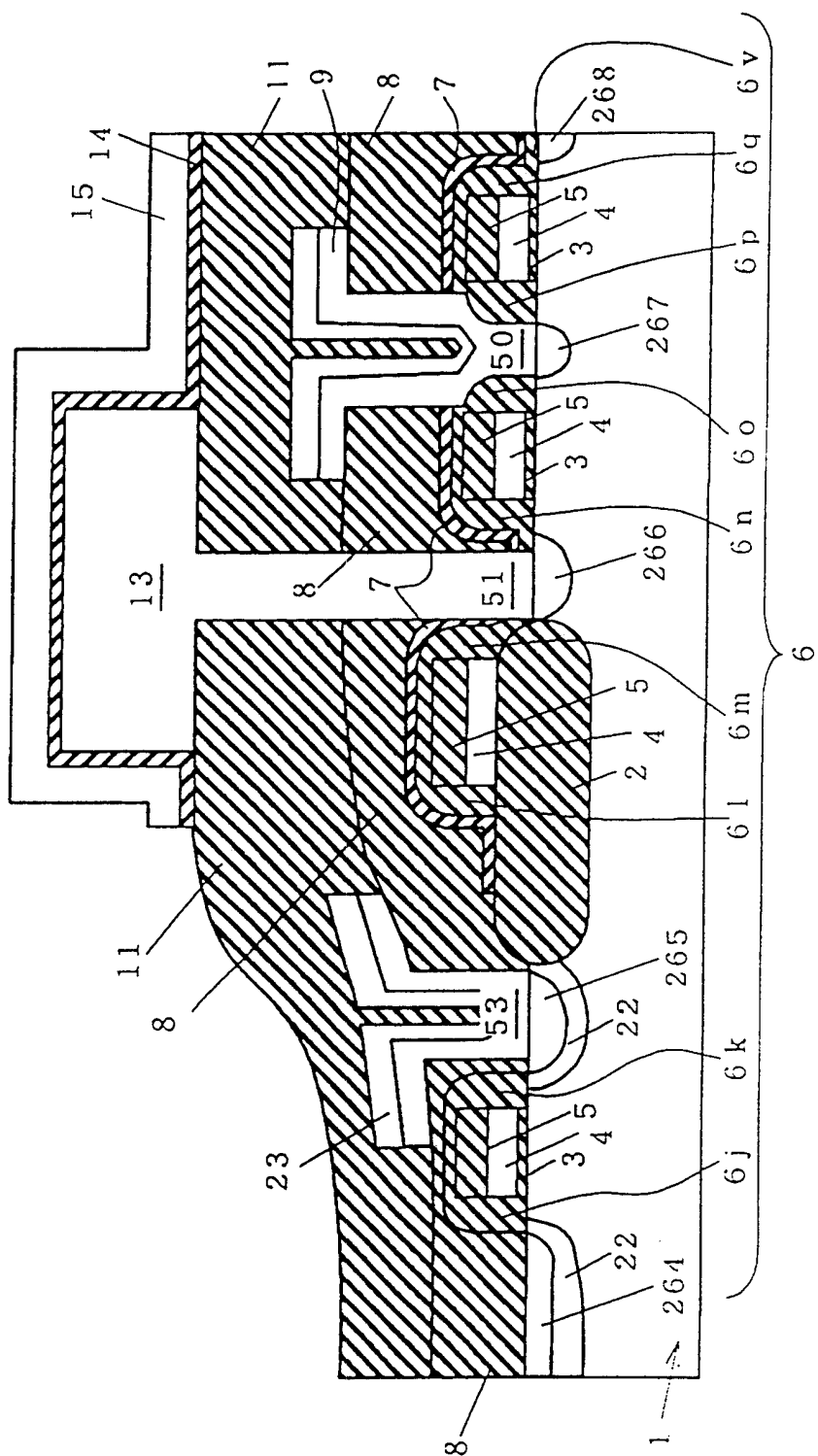


图 106

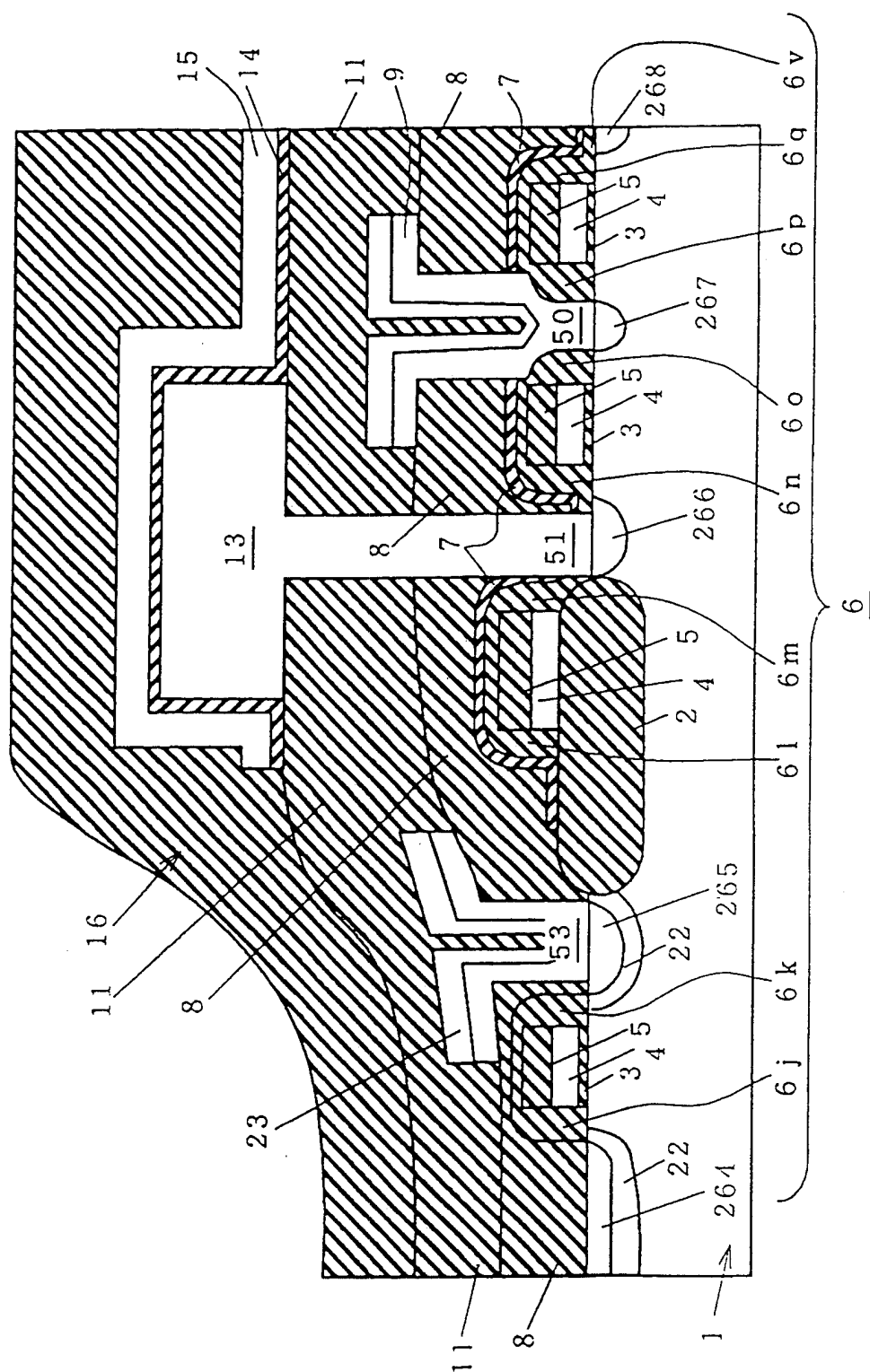


图 107

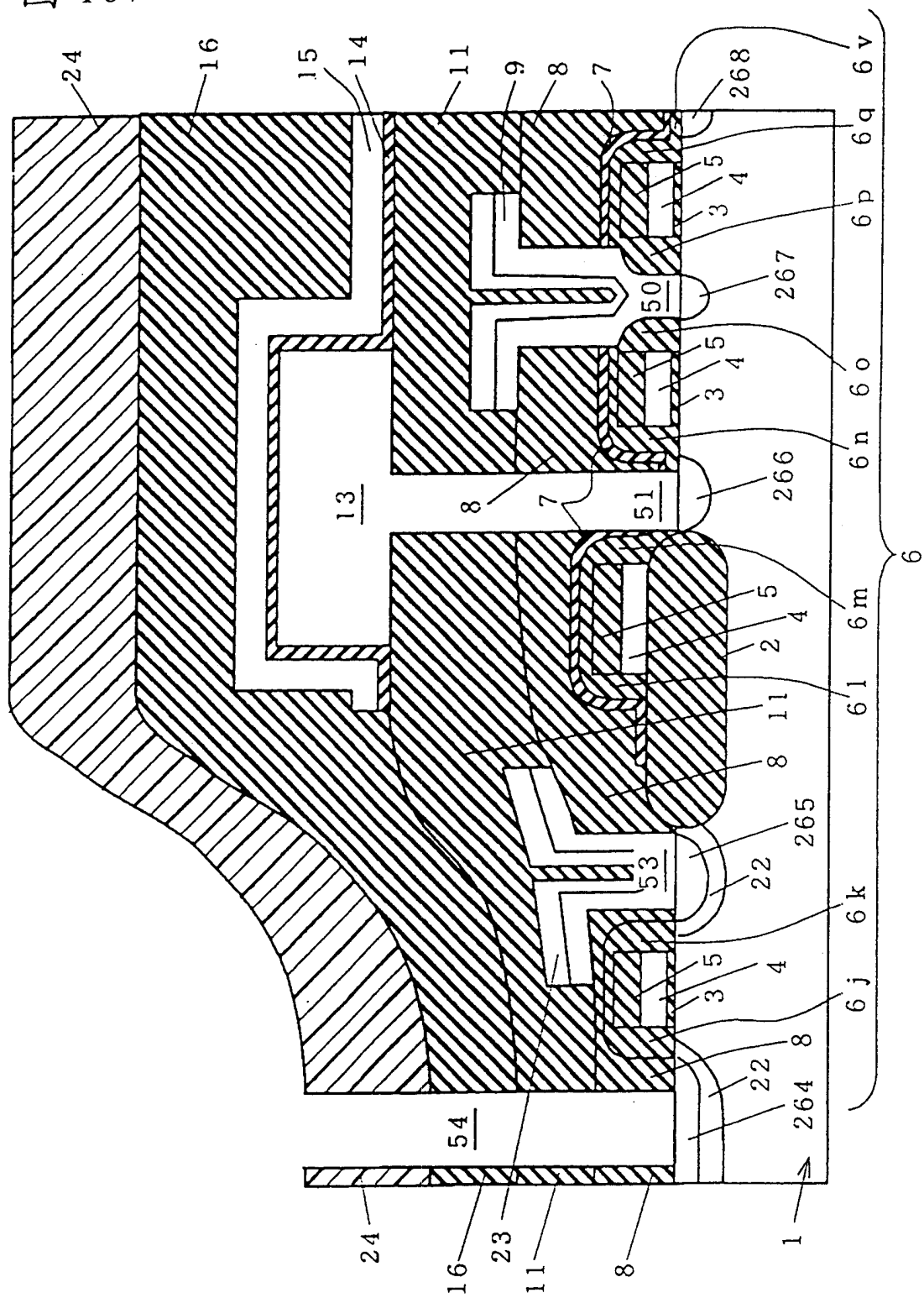


图 108

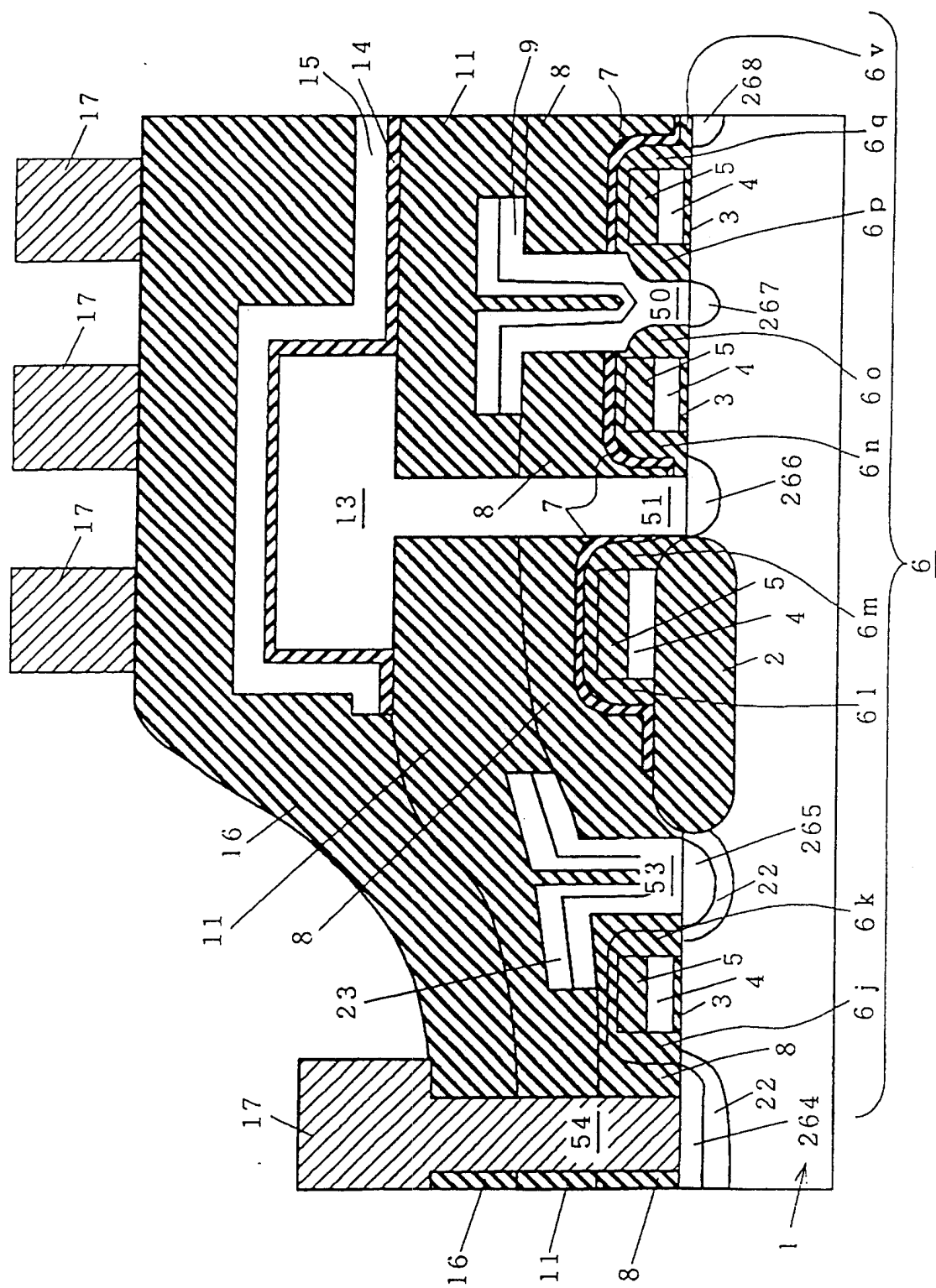


图 109

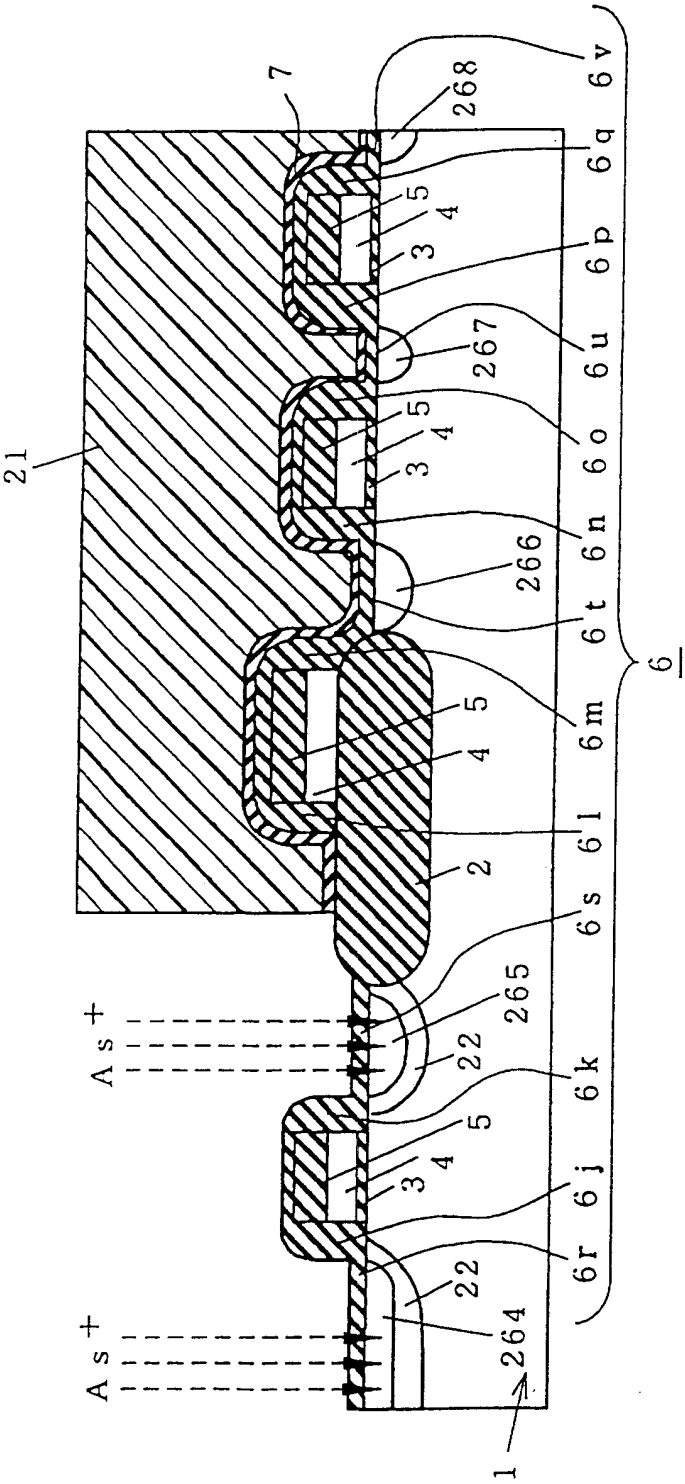


图 110

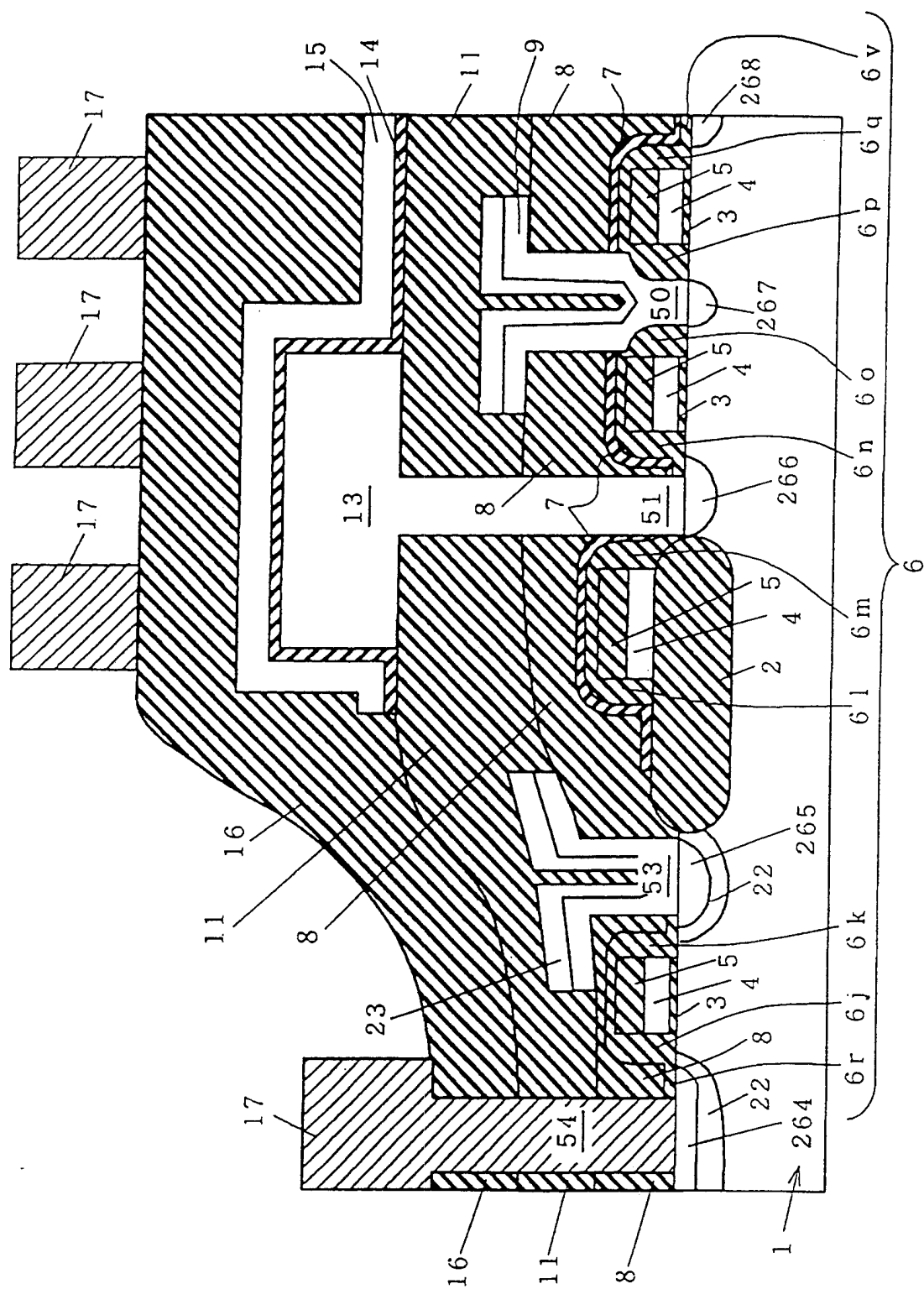


图 111

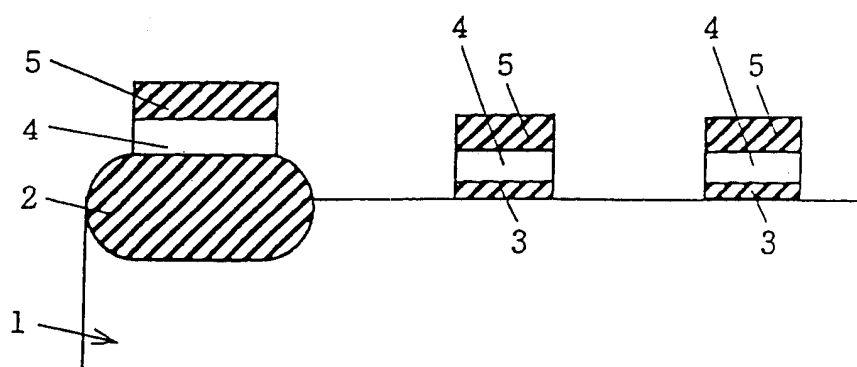


图 112

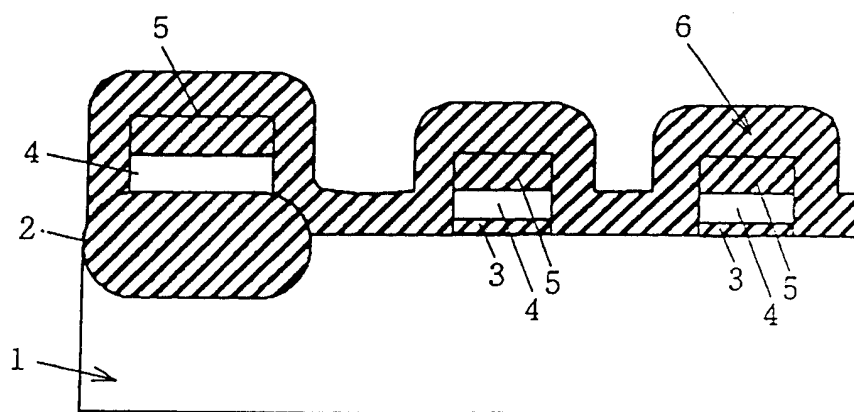


图 113

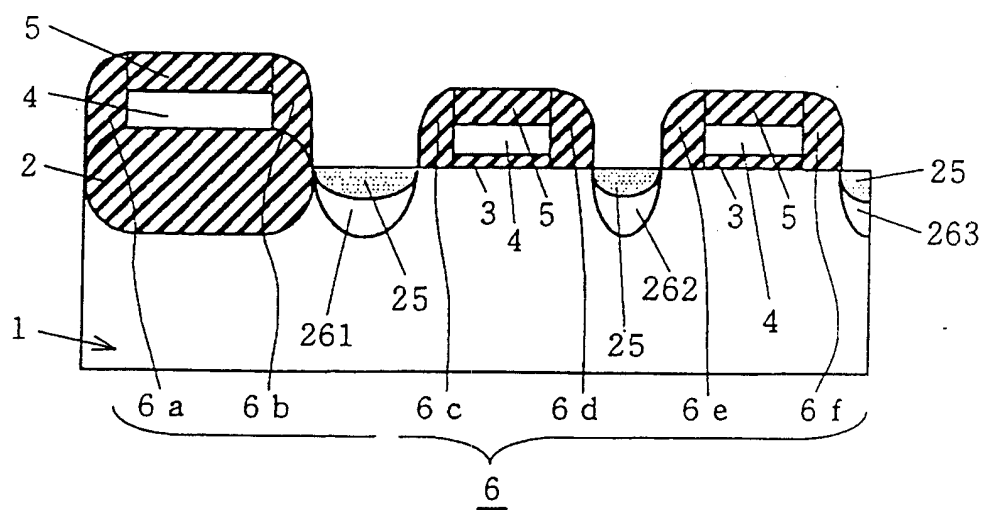


图 114

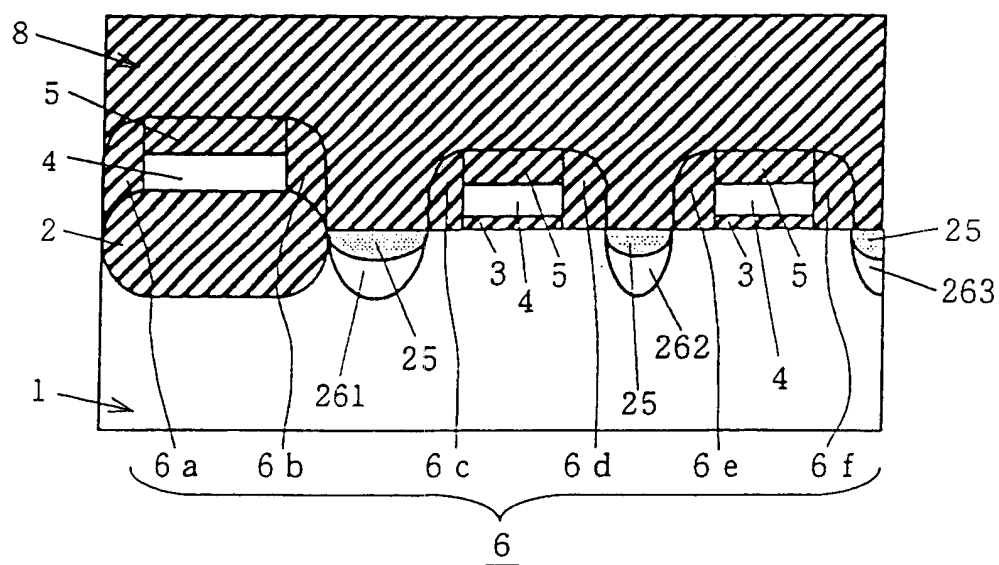


图 115

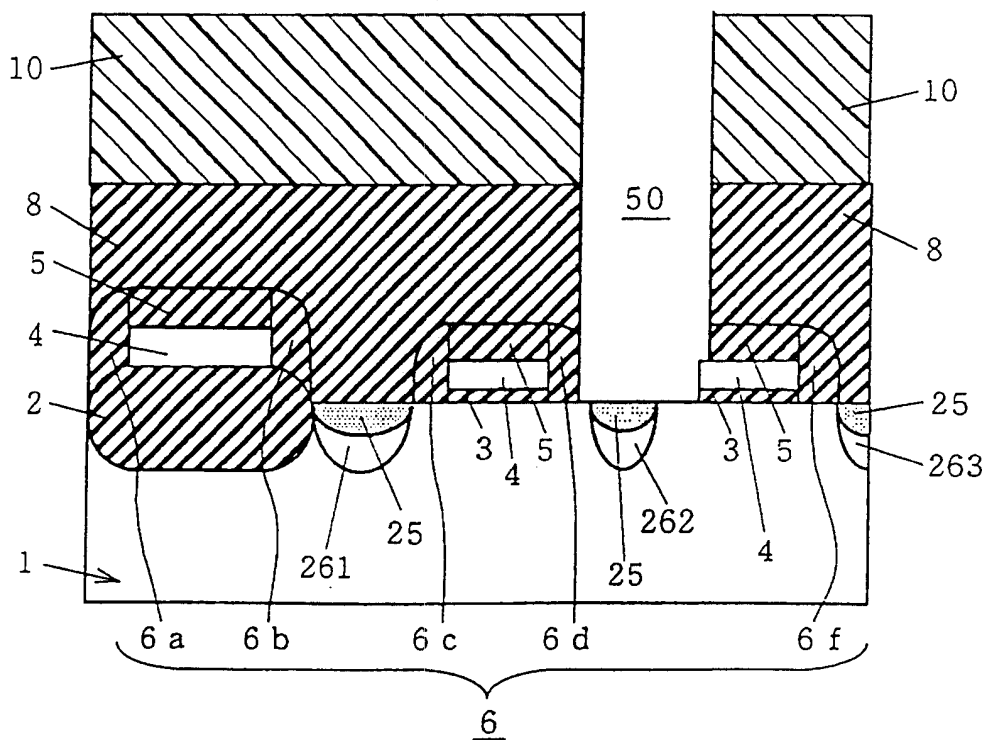


图 116

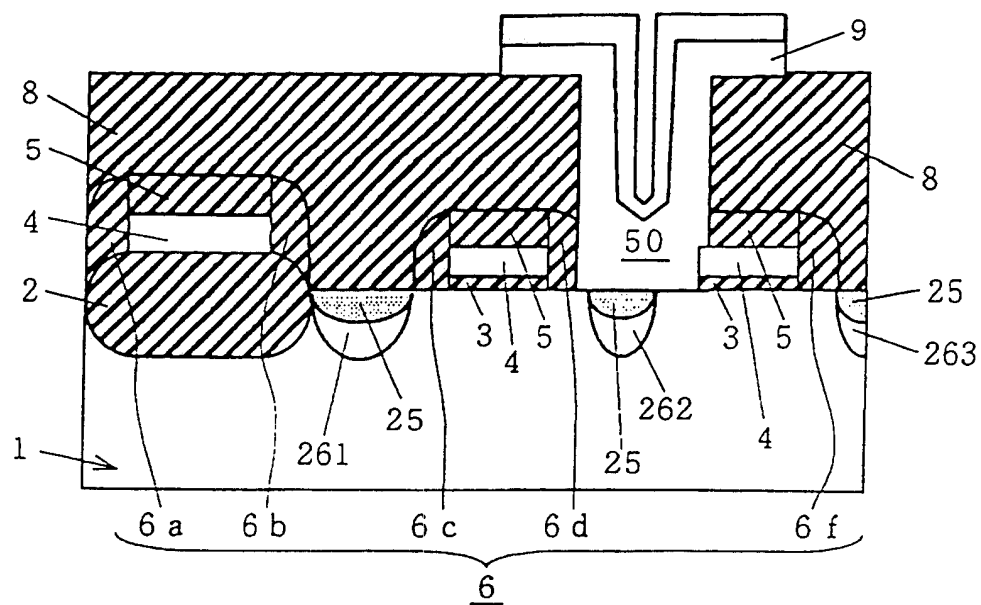


图 117

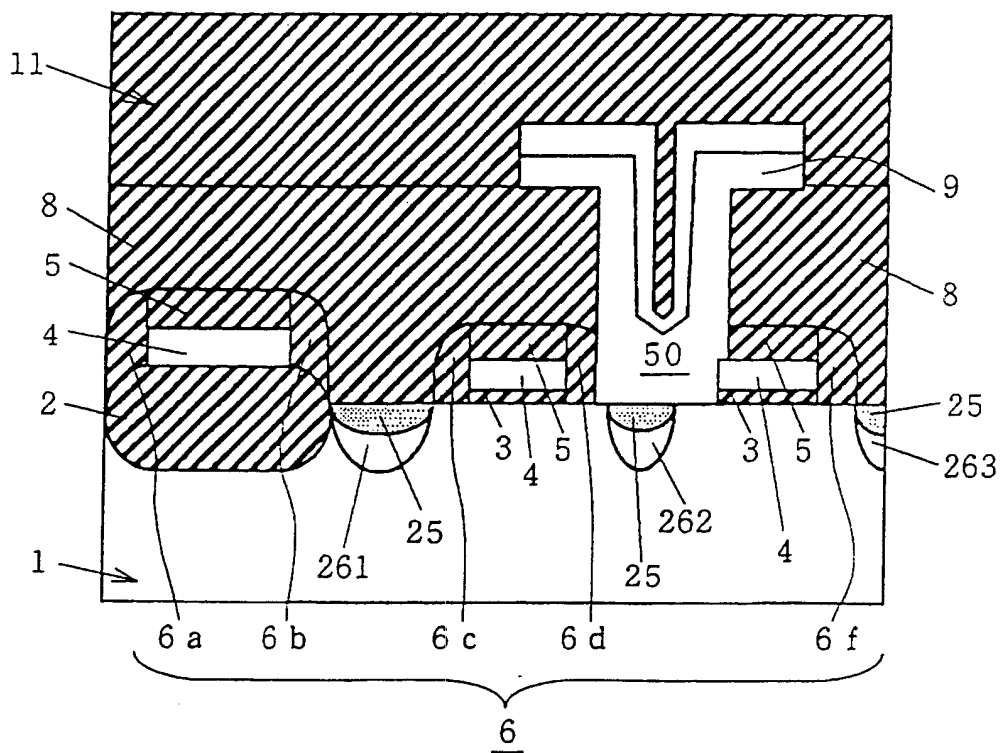


图 118

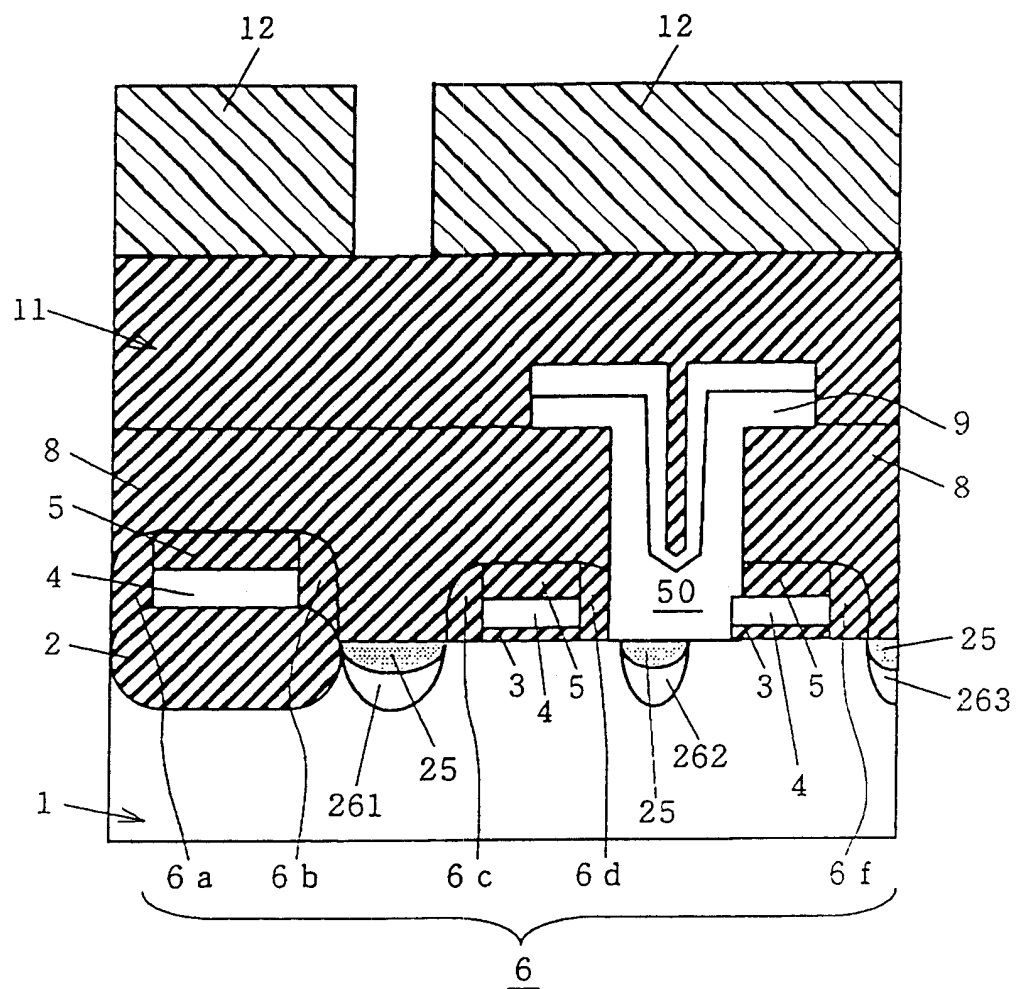


图 119

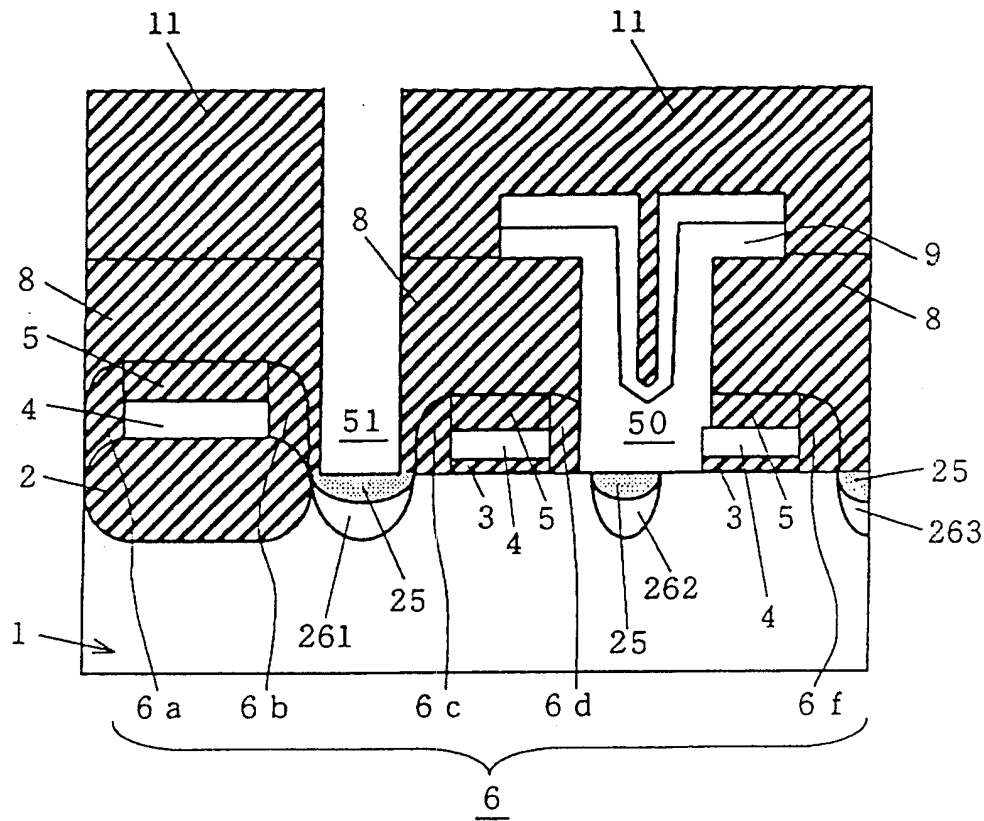


图 120

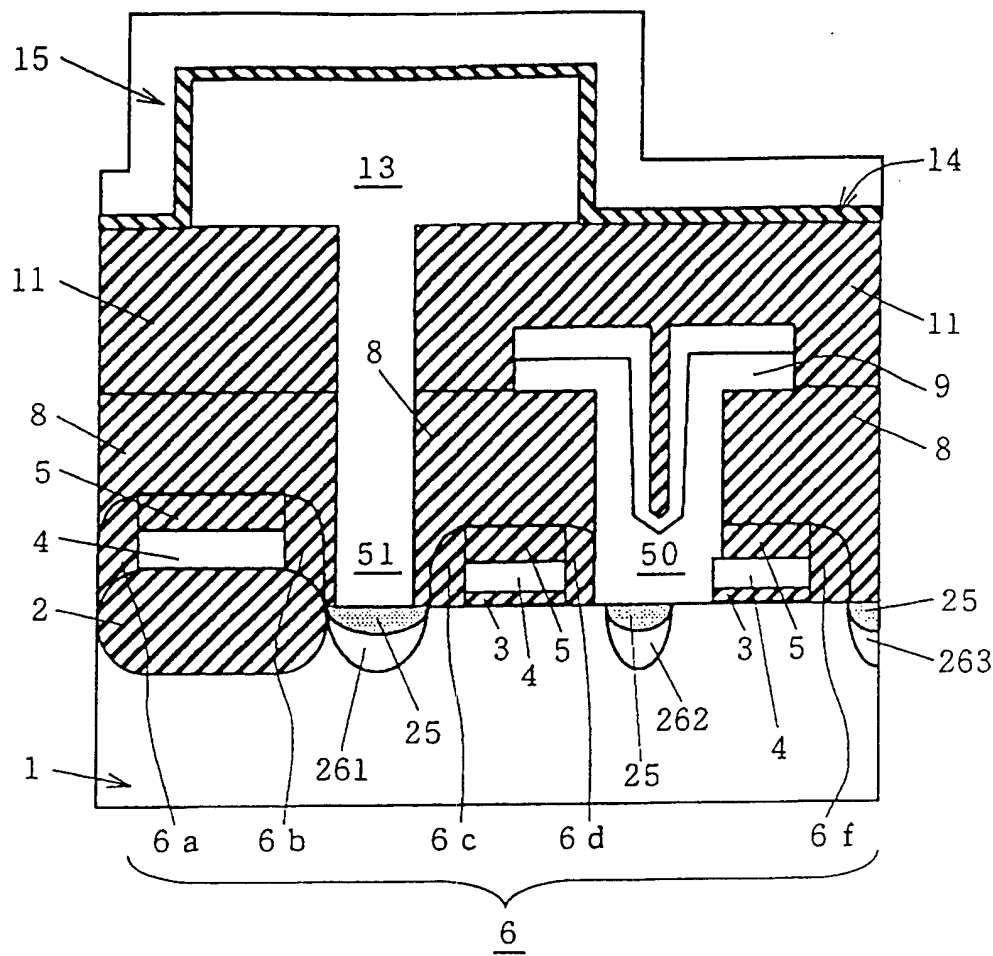


图 121

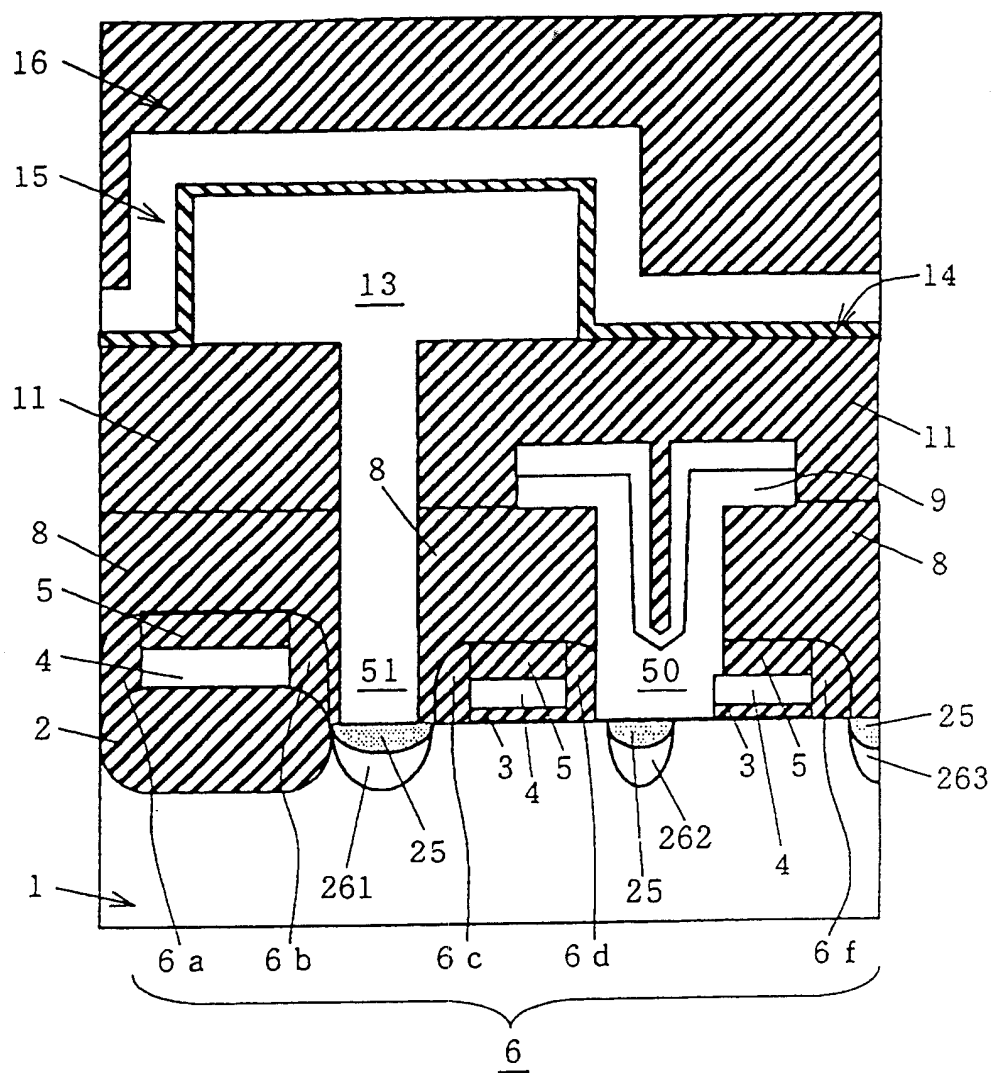


图 122

