(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2024 年 8 月 8 日 (08.08.2024)

WIPO | PCT

(10) 国际公布号
WO 2024/159685 A1

(51) 国际专利分类号:
H10B 12/00 (2023.01)

(21) 国际申请号: PCT/CN2023/099226

(22) 国际申请日: 2023 年 6 月 8 日 (08.06.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202310118760.1 2023年1月30日 (30.01.2023) CN

(71) 申请人: 北京超弦存储器研究院 (**BEIJING SUPERSTRING ACADEMY OF MEMORY TECHNOLOGY**) [CN/CN]; 中国北京市大兴区北京经济技术开发区景园北街 52 幢 5 层 501-12, Beijing 100176 (CN)。

(72) 发明人:艾学正(**AI, Xuezheng**); 中国北京市大兴区北京经济技术开发区景园北街52幢5层501-12, Beijing 100176 (CN)。 王祥升(**WANG, Xiangsheng**); 中国北京市大兴区北京经济技术开发区景园北街52幢5层501-12, Beijing 100176 (CN)。 王桂磊(**WANG, Guilei**); 中国北京市大兴区北京经济技术开发区景园北街52幢5层501-12, Beijing 100176 (CN)。 戴瑾(**DAI, Jin**); 中国北京市大兴区北京经济技术开发区景园北街52幢5层501-12, Beijing 100176 (CN)。 赵超(**ZHAO, Chao**); 中国北京市大兴区北京经济技术开发区景园北街52幢5层501-12, Beijing 100176 (CN)。 桂文华(**GUI, Wenhua**); 中国北京市大兴区北京经济技术开发区景园北街52幢5层501-12, Beijing 100176 (CN)。

(74) 代理人:北京安信方达知识产权代理有限公司(**AFD CHINA INTELLECTUAL PROPERTY LAW OFFICE**); 中国北京市海淀区学清路38号（B座)21层2108, Beijing 100083 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) **Title:** 3D STACKED SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR, AND ELECTRONIC DEVICE

(54) 发明名称: 3D堆叠的半导体器件及其制造方法、电子设备

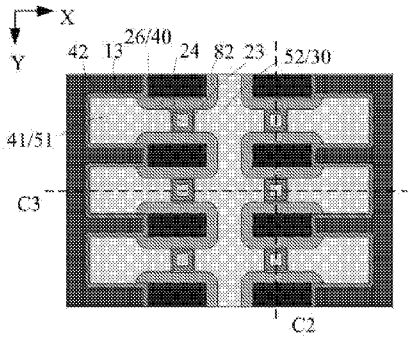


图 1A

(57) **Abstract:** A 3D stacked semiconductor device and a manufacturing method therefor, and an electronic device. The 3D stacked semiconductor device comprises: a plurality of transistors which are distributed on different layers and are stacked in a direction perpendicular to a substrate; a word line (40) penetrating through the transistors on the different layers; and a plurality of protective layers (82) respectively corresponding to the plurality of transistors. Each transistor comprises a semiconductor layer (23) surrounding the side wall of the word line (40), and a gate insulating layer (24) arranged between the side wall of the word line (40) and the semiconductor layer (23). A plurality of semiconductor layers (23) of the plurality of transistors are arranged at intervals in the direction of extension of the word line (40). Each protective layer (82) surrounds and covers the outer side wall of the corresponding semiconductor layer (23), and two adjacent protective layers (82) are disconnected.

(57) 摘要: 一种3D堆叠的半导体器件及其制造方法、电子设备，所述3D堆叠的半导体器件包括：多个晶体管，分布于不同层沿着垂直衬底方向堆叠；字线(40)，贯穿所述不同层的所述晶体管；与所述多个晶体管分别对应的多个保护层(82)；其中，晶体管包括环绕字线(40)侧壁的半导体层(23)，设置在字线(40)的侧壁和半导体层(23)之间的栅极绝缘层(24)；所述多个晶体管的多个半导体层(23)在所述字线(40)延伸的方向上间隔设置；每个所述保护层(82)分别环绕并覆盖对应的半导体层(23)的外侧壁，相邻两个保护层(82)之间断开。

WO 2024/159685 A1

[见续页]

SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

3D 堆叠的半导体器件及其制造方法、电子设备

本申请要求于 2023 年 1 月 30 日提交中国专利局、申请号为 2023101187601、发明名称为“一种 3D 堆叠的半导体器件及其制造方法、电子设备”的中国专利申请的优先权，其内容应理解为通过引用的方式并入本申请中。

技术领域

本公开实施例涉及但不限于半导体技术领域，尤指一种 3D 堆叠的半导体器件及其制造方法、电子设备。

背景技术

随着技术迭代的更新，动态随机存取存储器（Dynamic Random Access Memory，DRAM）想要获得更高的存储密度，三维（3D）DRAM 是一个重要的发展方向。3D DRAM 由于器件设计和工艺产生的寄生晶体管影响了 DRAM 工作时数据的正常写入和读取。

发明内容

以下是对本文详细描述的主题的概述。本概述并非是为了限制权利要求的保护范围。

本公开实施例提供了一种 3D 堆叠的半导体器件，包括：

多个晶体管，分布于不同层沿着垂直衬底方向堆叠；

字线，贯穿所述不同层的所述晶体管；

与所述多个晶体管分别对应的多个保护层；

其中，所述晶体管包括环绕所述字线侧壁的半导体层，设置在所述字线的侧壁和所述半导体层之间的栅极绝缘层；

所述多个晶体管的多个半导体层在所述字线延伸的方向上间隔设置；

每个所述保护层分别环绕并覆盖对应的晶体管的半导体层的外侧壁，相邻两个保护层之间断开。

在一些实施例中，堆叠的所述多个晶体管还包括：

沿着垂直衬底的方向从下至上依次交替分布的绝缘层和导电层；

贯穿各所述绝缘层和各所述导电层的通孔，所述通孔中从内到外依次分布有所述字线、环绕所述字线侧壁的所述栅极绝缘层、环绕所述栅极绝缘层

的所述多个半导体层；环绕所述半导体层的所述保护层，所述保护层与所述半导体层接触；

其中，相邻两个所述半导体层之间露出所述栅极绝缘层，相邻两个所述半导体层之间填充有所述绝缘层且所述绝缘层与所述露出的栅极绝缘层接触；所述导电层包括相互独立的第一电极和第二电极，所述第一电极和所述第二电极其中之一为所述晶体管的源极，另一为所述晶体管的漏极。

在一些实施例中，所述通孔对应所述导电层的第一区域的口径等于所述通孔对应所述绝缘层的第二区域的口径；

所述导电层在所述通孔内仅露出侧壁，所述绝缘层在所述通孔内仅露出侧壁；

所述半导体层分布于所述导电层的侧壁。

在一些实施例中，所述多个保护层沿着垂直衬底的方向延伸且在所述绝缘层的上下两个表面断开。

在一些实施例中，所述保护层与对应的所述晶体管的半导体层接触，且所述保护层覆盖所述半导体层的侧壁中不与所述导电层接触的区域。

在一些实施例中，所述保护层还分布于所述导电层的侧壁且与所述导电层的侧壁接触。

在一些实施例中，所述保护层与所述绝缘层的材料不同。

在一些实施例中，所述多个晶体管还包括覆盖所述保护层的外侧壁的第五绝缘层。

本公开实施例提供一种电子设备，包括上述任一实施例所述的 3D 堆叠的半导体器件。

本公开实施例提供一种 3D 堆叠的半导体器件的制造方法，所述 3D 堆叠的半导体器件包括：多个晶体管，分布于不同层沿着垂直衬底方向堆叠；字线，贯穿所述不同层的所述晶体管；与所述多个晶体管分别对应的多个保护层；所述 3D 堆叠的半导体器件的制造方法包括：

提供衬底，在所述衬底上依次交替沉积第一绝缘薄膜和导电薄膜，进行构图形成堆叠结构，所述堆叠结构包括交替设置的第一绝缘层和导电层的堆叠，所述导电层包括预设电极图形，所述预设电极图形包含待形成的所述晶体管的第一电极和第二电极；

形成在垂直于所述衬底的方向上贯穿所述堆叠结构的通孔，所述通孔的侧壁露出每个所述导电层，在所述通孔内填充绝缘薄膜形成字线的牺牲层；刻蚀所述导电层，使得所述预设电极图形中的所述第一电极和第二电极断开，且，所述第一电极与所述牺牲层接触，所述第二电极与所述牺牲层接触；

形成与所述多个晶体管分别对应的多个保护层，所述多个保护层分别覆盖牺牲层和导电层的侧壁，相邻两个保护层之间断开；

去除所述牺牲层，在所述通孔的侧壁依次沉积半导体薄膜、栅绝缘薄膜，以及，沉积填充所述通孔的栅电极薄膜，以形成多层所述晶体管的半导体层、栅极绝缘层和所述字线，所述半导体层与所述第一电极、第二电极和所述保护层接触；不同层的所述晶体管的所述栅电极为所述字线的一部分；

刻蚀去除所述通孔内对应于所述第一绝缘层的区域内的所述半导体层。

在一些实施例中，所述刻蚀所述导电层之前还包括：沿垂直于衬底方向从所述堆叠结构的顶部至底部进行刻蚀，以暴露所述导电层的侧壁和所述第一绝缘层的侧壁；

所述形成与所述多个晶体管分别对应的多个保护层包括：

在所述导电层的侧壁、所述牺牲层的侧壁和所述第一绝缘层的侧壁沉积保护层薄膜，沿垂直于衬底方向从顶部至底部刻蚀所述保护层薄膜以去除位于所述第一绝缘层侧壁的保护层薄膜，形成覆盖所述导电层的侧壁、所述牺牲层的侧壁的所述保护层。

在一些实施例中，所述形成所述保护层之后，去除所述牺牲层之前，还包括：沉积第三绝缘薄膜，形成设置在所述保护层侧壁和所述第一绝缘层侧壁的第三绝缘层；

所述刻蚀去除所述通孔内对应于所述第一绝缘层的区域内的所述半导体层前还包括：

刻蚀所述第三绝缘层和第一绝缘层以暴露所述保护层的侧壁和所述通孔内对应于所述第一绝缘层的区域内的所述半导体层的侧壁。

本公开的其它特征和优点将在随后的说明书中阐述，并且，部分地从说明书中变得显而易见，或者通过实施本公开而了解。本公开的目的和优点可通过在说明书以及附图中所特别指出的结构来实现和获得。

在阅读并理解了附图和详细描述后，可以明白其他方面。

附图说明

附图用来提供对本公开技术方案的进一步理解，并且构成说明书的一部分，与本公开实施例一起用于解释技术方案，并不构成对技术方案的限制。

图 1A 为一示例性实施例提供的 3D 堆叠的半导体器件沿平行于衬底的 C1 方向的截面示意图；

图 1B 为图 1A 所示的 3D 堆叠的半导体器件沿垂直于衬底的 C2 方向的截面示意图；

图 1C 为图 1A 所示的 3D 堆叠的半导体器件沿垂直于衬底的 C3 方向的截面示意图；

图 2A 为一示例性实施例提供的 3D 堆叠的半导体器件形成导电薄膜和绝缘薄膜的堆叠结构后的立体示意图；

图 2B 为图 2A 所示的 3D 堆叠的半导体器件沿 C1 方向的截面示意图；

图 2C 为图 2A 所示的 3D 堆叠的半导体器件沿 C2 方向的截面示意图；

图 2D 为图 2A 所示的 3D 堆叠的半导体器件沿 C3 方向的截面示意图；

图 3A 为一示例性实施例提供的 3D 堆叠的半导体器件形成导电层后的立体示意图；

图 3B 为图 3A 所示的 3D 堆叠的半导体器件沿 C1 方向的截面示意图；

图 3C 为图 3A 所示的 3D 堆叠的半导体器件沿 C2’方向的截面示意图；

图 3D 为图 3A 所示的 3D 堆叠的半导体器件沿 C3 方向的截面示意图；

图 4A 为一示例性实施例提供的 3D 堆叠的半导体器件形成电容后的立体示意图；

图 4B 为图 4A 所示的 3D 堆叠的半导体器件沿 C1 方向的截面示意图；

图 4C 为图 4A 所示的 3D 堆叠的半导体器件沿 C2’方向的截面示意图；

图 4D 为图 4A 所示的 3D 堆叠的半导体器件沿 C3 方向的截面示意图；

图 5A 为一示例性实施例提供的 3D 堆叠的半导体器件形成牺牲层后的立体示意图；

图 5B 为图 5A 所示的 3D 堆叠的半导体器件沿 C1 方向的截面示意图；

图 5C 为图 5A 所示的 3D 堆叠的半导体器件沿 C2 方向的截面示意图；

图 5D 为图 5A 所示的 3D 堆叠的半导体器件沿 C3 方向的截面示意图；

图 6A 为一示例性实施例提供的 3D 堆叠的半导体器件刻蚀预设电极图形间的绝缘薄膜后的立体示意图；

图 6B 为图 6A 所示的 3D 堆叠的半导体器件沿 C1 方向的截面示意图；

图 6C 为图 6A 所示的 3D 堆叠的半导体器件沿 C2 方向的截面示意图；

图 6D 为图 6A 所示的 3D 堆叠的半导体器件沿 C3 方向的截面示意图；

图 7A 为一示例性实施例提供的 3D 堆叠的半导体器件形成第一电极和第二电极后的立体示意图；

图 7B 为图 7A 所示的 3D 堆叠的半导体器件沿 C1 方向的截面示意图；

图 7C 为图 7A 所示的 3D 堆叠的半导体器件沿 C2 方向的截面示意图；

图 7D 为图 7A 所示的 3D 堆叠的半导体器件沿 C3 方向的截面示意图；

图 8A 为一示例性实施例提供的 3D 堆叠的半导体器件形成保护层后的立体示意图；

图 8B 为图 8A 所示的 3D 堆叠的半导体器件沿 C1 方向的截面示意图；

图 8C 为图 8A 所示的 3D 堆叠的半导体器件沿 C2 方向的截面示意图；

图 8D 为图 8A 所示的 3D 堆叠的半导体器件沿 C3 方向的截面示意图；

图 9A 为一示例性实施例提供的 3D 堆叠的半导体器件去除牺牲层后的立体示意图；

图 9B 为图 9A 所示的 3D 堆叠的半导体器件沿 C1 方向的截面示意图；

图 9C 为图 9A 所示的 3D 堆叠的半导体器件沿 C2 方向的截面示意图；

图 9D 为图 9A 所示的 3D 堆叠的半导体器件沿 C3 方向的截面示意图；

图 10A 为一示例性实施例提供的 3D 堆叠的半导体器件形成半导体层和栅电极后的立体示意图；

图 10B 为图 10A 所示的 3D 堆叠的半导体器件沿 C1 方向的截面示意图；

图 10C 为图 10A 所示的 3D 堆叠的半导体器件沿 C2 方向的截面示意图；

图 10D 为图 10A 所示的 3D 堆叠的半导体器件沿 C3 方向的截面示意图；

图 11A 为一示例性实施例提供的 3D 堆叠的半导体器件暴露层间的半导体层后的立体示意图；

图 11B 为图 11A 所示的 3D 堆叠的半导体器件沿 C1 方向的截面示意图；

图 11C 为图 11A 所示的 3D 堆叠的半导体器件沿 C2 方向的截面示意图；

图 11D 为图 11A 所示的 3D 堆叠的半导体器件沿 C3 方向的截面示意图；

图 12A 为一示例性实施例提供的 3D 堆叠的半导体器件刻蚀层间的半导体层后的立体示意图；

图 12B 为图 12A 所示的 3D 堆叠的半导体器件沿 C1 方向的截面示意图；

图 12C 为图 12A 所示的 3D 堆叠的半导体器件沿 C2 方向的截面示意图；

图 12D 为图 12A 所示的 3D 堆叠的半导体器件沿 C3 方向的截面示意图；

图 13A 为一示例性实施例提供的 3D 堆叠的半导体器件形成第四绝缘层后的立体示意图；

图 13B 为图 13A 所示的 3D 堆叠的半导体器件沿 C1 方向的截面示意图；

图 13C 为图 13A 所示的 3D 堆叠的半导体器件沿 C2 方向的截面示意图；

图 13D 为图 13A 所示的 3D 堆叠的半导体器件沿 C3 方向的截面示意图；

图 14 为另一示例性实施例提供的预设电极图形示意图；

图 15 为一示例性实施例提供的 3D 堆叠的半导体器件的制造方法流程图。

具体实施方式

下文中将结合附图对本公开实施例进行详细说明。在不冲突的情况下，本公开实施例及实施例中的特征可以相互任意组合。

除非另外定义，本公开使用的技术术语或者科学术语应当为本发明所属领域内具有一般技能的人士所理解的通常意义。

本公开的实施方式并不一定限定附图所示尺寸，附图中各部件的形状和大小不反映真实比例。此外，附图示意性地示出了理想的例子，本公开的实施方式不局限于附图所示的形状或数值。

本公开中的“第一”、“第二”、“第三”等序数词是为了避免构成要素的混同而设置，并不表示任何顺序、数量或者重要性。

在本公开中，为了方便起见，使用“中部”、“上”、“下”、“前”、“后”、“竖直”、“水平”、“顶”、“底”、“内”、“外”等指示方位或位置关系的词句以参照附图说明构成要素的位置关系，仅是为了便于描述本说明书和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本公开的限制。构成要素的位置关系根据描述各构成要素的方向适当地改变。因此，不局限于在公开中说明的词句，根据情况可以适当地更换。

在本公开中，除非另有明确的规定和限定，术语“安装”、“相连”、“连接”应做广义理解。例如，可以是固定连接，或可拆卸连接，或一体地连接；可以是机械连接，或电连接；可以是直接相连，或通过中间件间接相连，或两个元件内部的连通。对于本领域的普通技术人员而言，可以根据具体情况理解上述术语在本公开中的具体含义。

在本公开中，晶体管是指至少包括栅电极、漏电极以及源电极这三个端子的元件。晶体管在漏电极（漏电极端子、漏区域或漏电极）与源电极（源电极端子、源区域或源电极）之间具有沟道区域，并且电流能够流过漏电极、沟道区域以及源电极。在本公开中，沟道区域是指电流主要流过的区域。

在本公开中，“平行”是指大约平行或几乎平行，比如，两条直线形成的角度为-10°以上且 10°以下的状态，因此，也包括该角度为-5°以上且 5°以下的状态。另外，“垂直”是指大约垂直，比如，两条直线形成的角度为 80°以上且 100°以下的状态，因此，也包括 85°以上且 95°以下的角度的状态。

本公开所说的“A 和 B 同层设置”是指，A 和 B 通过同一次图案化工艺同时形成。“B 的正投影位于 A 的正投影的范围之内”，是指 B 的正投影的边界落入 A 的正投影的边界范围内，或者 A 的正投影的边界与 B 的正投影的边界重叠。

本公开实施例中的“A 和 B 为一体式结构”可以是指在微观结构上无明显的断层或间隙等明显的分界界面。一般地，在一个膜层上图案化形成连接的膜层为一体式。比如 A 和 B 使用相同的材料成一个膜层并通过同一次图案化工艺同时形成具有连接关系的结构。

本公开实施例中，通过刻蚀去除不同层存储单元层间的半导体层，可以消除相邻层之间相邻晶体管之间的寄生晶体管（简称寄生 MOS）。

图 1A 为一示例性实施例提供的 3D 堆叠的半导体器件沿平行于衬底的 C1 方向的截面示意图；图 1B 为图 1A 所示 3D 堆叠的半导体器件沿垂直于衬底的 C2 方向的截面示意图，图 1C 为图 1A 所示 3D 堆叠的半导体器件沿垂直于衬底的 C3 方向的截面示意图。C2 方向和 C3 方向垂直，如图 1A、图 1B 和图 1C 所示，本实施例提供的 3D 堆叠的半导体器件可以包括:

多个晶体管，分布于不同层沿着垂直衬底 1 方向堆叠;

字线 40，贯穿所述不同层的所述晶体管结构，所述字线 40 可以沿着垂直衬底 1 方向延伸;

与所述多个晶体管分别对应的多个保护层 82;

其中，所述晶体管可以包括环绕所述字线 40 侧壁的半导体层 23，设置在所述字线 40 的侧壁和所述半导体层 23 之间的栅极绝缘层 24;

所述多个晶体管的多个半导体层 23 在所述字线 40 延伸的方向上间隔设置，即，所述多个半导体层 23 分布在所述字线 40 侧壁的不同区域;

每个所述保护层 82 分别环绕并覆盖对应的晶体管的半导体层 23 的外侧壁，相邻两个保护层 82 之间断开，即，所述多个晶体管分别对应的多个保护层 82 间隔设置。半导体层 23 的外侧壁为所述半导体层 23 远离所述栅电极 26 一侧的侧壁。

本实施例提供的 3D 堆叠的半导体器件，不同层的晶体管的半导体层间隔设置，可以消除寄生晶体管，另外，通过设置保护层，在制造 3D 堆叠的半导体器件时，可以避免暴露晶体管的半导体层，避免半导体层损坏，提高器件沟道材料的可靠性和稳定性。

一些实施例中，所述晶体管还可以包括栅电极 26，所述栅电极 26 可以沿着垂直衬底 1 的方向延伸，每个所述晶体管的所述栅电极 26 为所述字线 40 的一部分。

一些实施例中，所述晶体管还可以包括第一电极 51 和第二电极 52，所述第一电极 51 和所述第二电极 52 之间的沟道可以为水平沟道。水平沟道为沟道中载流子传输方向在平行于衬底的平面内，但是不限制载流子的传输方向必须是一个方向。实际应用中，载流子的传输方向整体上沿着一个方向延伸，但是在局部，与半导体层的形状有关。换句话说，水平沟道不代表在水

平面内必须沿着一个方向延伸，可能沿着不同的方向延伸，比如半导体层为环形时，环形半导体层上的源接触区和漏接触区为环形的一部分，此时，载流子从源接触区向漏接触区整体上沿着一个方向延伸，在局部可能不是一个方向。当然载流子传输方向在平行于衬底的平面内也是一个宏观上的概念，并不局限于绝对的平行于衬底，本申请保护第一电极和第二电极之间的沟道为非垂直于衬底的沟道。

一些实施例中，所述栅电极 26 可以仅沿垂直于所述衬底 1 的方向延伸。其中，该栅电极 26 包括侧表面和上下两端的端面，侧表面整体上与衬底垂直，或者说与半导体层 23 对应的起栅电极 26 控制作用的侧壁的部分区域，该区域的膜层与衬底 1 垂直。在实际制作产品过程中局部可能存在弯曲的区域也包含在本申请上述所述的情况中。

环绕所述栅电极 26 且与所述栅电极 26 相绝缘的半导体层 23，其中的半导体层 23 可以理解为一个膜层，该膜层具有两个相对的主表面（称为半导体层 23 的两个侧壁）和两个端面。两个相对主表面为相比端面其表面积更大。比如，半导体层 23 沿着栅电极 26 的侧壁延伸，半导体层 23 的膜层厚度方向为平行衬底 1 的方向，膜层在栅电极 26 侧壁的上下延伸的长度为膜层的高度，环绕所述栅电极 26 的长度为膜层的宽度。

一些实施例中，所述半导体层 23 在所述栅电极 26 的侧壁上延伸形成沿着垂直于所述衬底 1 方向延伸的环形的半导体层。一些实施例中，所述半导体层 23 可以仅沿垂直于衬底 1 的方向延伸。另一些实施例中，所述半导体层 23 沿着栅电极 26 或字线 40 的侧壁延伸，半导体层 23 的形状与字线 40 或栅电极 26 的侧壁形状相适应。

其中，环绕可以理解为部分或全部环绕所述栅电极 26 或字线 40。一些实施例中，所述环绕可以是整体上全部环绕，环绕后的半导体层 23 的横截面可以为闭合环形，且环形形状与栅电极 26 的横截面外轮廓形状相适应。示例性的，所述栅电极 26 的横截面比如为方形等结构。所述横截面的截取方向为沿着平行于衬底 1 的方向截取。一些实施例中，所述环绕可以是部分环绕，环绕后的横截面不是闭合的，但是呈现环形状。比如，半导体层 23 的横截面为具有开口的环形。

一些实施例中，沿着垂直所述衬底 1 的方向延伸的所述字线 40 不同区域的材料组分相同，可以理解为使用同一次膜层制作工艺形成，所述材料的组分相同可以理解为材料中测试出的主要元素相同，比如，都是通过金属或 ITO 等导电材料制作而成，但是不限制其不同区域的原子数比。

一些实施例中，不同层的晶体管可以共用一个沿着垂直所述衬底方向延伸的环状的栅极绝缘层 24，即所述多个晶体管的栅极绝缘层 24 连接形成一体式结构。

一些实施例中，同一晶体管的所述第一电极 51 和第二电极 52 可以位于同一导电膜层。可以理解为第一电极 51 和第二电极 52 位于同一金属膜层，由一个导电膜层图案化形成，所述导电膜层与所述衬底 1 的上表面大约平行。第一电极 51 和第二电极 52 可以同层设置。即所述第一电极 51 和所述第二电极 52 可以通过同一次图案化工艺同时形成，但本公开实施例不限于此，可以通过不同图案化工艺分别制造所述第一电极 51 和所述第二电极 52。

一些实施例中，所述间隔设置的所述半导体层 23 之间露出位于所述栅电极 26 和所述半导体层 23 之间的栅极绝缘层 24。

一些实施例中，堆叠的所述多个晶体管还可以包括：

沿着垂直衬底 1 的方向从下至上（即从靠近衬底 1 至远离衬底 1 方向）依次交替分布的绝缘层 16 和导电层 12；

贯穿每个所述绝缘层 16 和每个所述导电层 12 的通孔 K1，所述通孔 K1 中从内到外依次分布有所述字线 40、环绕所述字线 40 侧壁的所述栅极绝缘层 24、环绕所述栅极绝缘层 24 的所述多个半导体层 23，环绕所述半导体层 23 的所述保护层 82，所述保护层 82 与所述半导体层 23 接触；

其中，相邻两个所述半导体层 23 之间露出所述栅极绝缘层 24，相邻两个所述半导体层 23 之间填充有所述绝缘层 16 且所述绝缘层 16 与所述露出的栅极绝缘层 24 接触；

所述导电层 12 包括相互独立的第一电极 51 和第二电极 52，所述第一电极 51 和所述第二电极 52 其中之一为所述晶体管的源极，另一为所述晶体管的漏极，每个所述半导体层 23 与对应层的所述导电层 12 的源极和漏极接触。

一些实施例中，所述通孔 K1 对应所述导电层 12 的第一区域的口径可以等于所述通孔 K2 对应所述绝缘层 16 的第二区域的口径；即，所述通孔 K1 沿平行于所述衬底 1 方向不同位置的截面的大小和形状可以相同，通孔 K1 可以通过一次刻蚀制造完成；

所述导电层 12 在所述通孔 K1 内仅露出侧壁，所述绝缘层 16 在所述通孔 K1 内仅露出侧壁；

所述半导体层 23 分布于所述导电层 12 的侧壁。本实施例中，半导体层 23 不延伸到所述导电层 12 的上下两个表面，其中，导电层 12 的上表面为远离衬底 1 的表面，导电层 12 的下表面为靠近衬底 1 的表面。

一些实施例中，所述多个保护层 82 可以沿着垂直衬底 1 的方向延伸且在所述绝缘层 16 的上下表面断开。绝缘层 16 可以包括位于朝向衬底 1 一侧的下表面和位于远离衬底 1 一侧的下表面，所述保护层 82 在所述绝缘层 16 的上下表面断开，即保护层 82 延伸到绝缘层 16 的上表面时断开，延伸到绝缘层 16 的下表面时断开，即，保护层 82 只分布在导电层 12 所在的膜层，在制

造 3D 堆叠的半导体器件时，保护层 82 在绝缘层 16 的上下表面断开，可以便于去除层间的半导体层。

一些实施例中，所述保护层82与对应的所述晶体管的半导体层23接触，且所述保护层82覆盖所述半导体层23的侧壁中不与所述导电层12接触的区域。如图 1A 所示，半导体层 23 的侧壁可以包括 4 个侧面，一个侧面与第一电极 51 接触，一个侧面与第二电极 52 接触，其余两个侧面与保护层 82 接触，被保护层 82 保护。

一些实施例中，所述保护层 82 还可以分布于所述导电层 12 的侧壁且与所述导电层 12 的侧壁接触。如图 1A 所示，所述保护层 82 与第一电极 51 的侧壁接触，与所述第二电极 52 的侧壁接触，保护层 82 可以对第一电极 51 和第二电极 52 进行保护，避免制造过程中损坏第一电极 51 和第二电极 52。

一些实施例中，所述保护层 82 与所述绝缘层 16 的材料不同。在 3D 堆叠的半导体器件的制造过程中，导电层间通常填充有与绝缘层 16 材料相同的绝缘膜层，保护层 82 与绝缘层 16 的材料不同，便于在 3D 堆叠的半导体器件的制造过程中，实现对保护层 82 与绝缘膜层的分别刻蚀。

一些实施例中，所述多个晶体管的栅极绝缘层 24 可以连接形成一体式结构。但本公开实施例不限于此，一些实施例中，不同层晶体管的栅极绝缘层 24 在垂直于所述衬底 1 的方向上可以间隔设置。比如，多个晶体管的多个栅极绝缘层 24 可以在所述绝缘层 16 的侧壁断开。

一些实施例中，堆叠的所述多个晶体管还包括覆盖所述保护层 82 的外侧壁的第五绝缘层 17。如图 1B 所示，所述保护层 82 远离所述半导体层 23 一侧的侧壁为外侧壁，所述保护层 82 的外侧壁覆盖有第五绝缘层 17。

一些实施例中，沿垂直于衬底 1 方向相邻的晶体管的所述第一电极 51 在垂直衬底 1 的方向的投影重叠，所述第二电极 52 在垂直衬底 1 的方向的投影重叠，所述栅电极 26 在垂直衬底 1 的方向的投影重叠。本实施例提供的方案，在工艺过程中，可以通过导电层和绝缘层的相对堆叠再通过一个掩膜形成多层堆叠的第一电极和第二电极，实现工艺简单。另外，可以使得 3D 堆叠的半导体器件的结构更为紧凑。

一些实施例中，与所述多个晶体管对应的多个保护层 82 在垂直衬底 1 的方向的投影重叠。本实施例提供的方案，在工艺过程中，可以通过一次制造工艺形成多个保护层 82，实现工艺简单。另外，可以使得 3D 堆叠的半导体器件的结构更为紧凑。

上述 3D 堆叠的半导体器件可以和电容器组成 1T1C 的存储结构，或者，和其他晶体管组成 2T0C 的存储结构，等等。

如图 1A、图 1B 和图 1C 所示，本公开实施例提供一种 3D 存储器，包括：上述 3D 堆叠的半导体器件，还包括：数据存储元件。

一些实施例中，所述数据存储元件比如为电容，即形成 1T1C 的存储结构。但本公开实施例不限于此，可以和其他晶体管组成 2T0C 的存储结构，等等。一些实施例中，所述电容可以包括第一极板 41 和第二极板 42，所述第一极板 41 与所述第一电极 51 连接。一些实施例中，所述第一极板 41 与所述第一电极 51 可以连接为一体式结构。 一些实施例中，不同层的相同列的所述电容的所述第二极板 42 可以连接为一体式结构。如图 1C 所示，不同层的第一列的所述电容的所述第二极板 42 连接为一体式结构。不同层的第二列的所述电容的所述第二极板 42 连接为一体式结构，即，不同层的相同列的所述电容共用同一极板作为第二极板 42。一些实施例中，所述电容还可以包括设置在所述第一极板 41 和第二极板 42 之间的第二绝缘层 13。第二绝缘层 13 作为第一极板 41 和第二极板 42 之间的介质。

一些实施例中，不同层的相同列的所述电容的所述第二绝缘层 13 可以连接为一体式结构。如图 1C 所示，不同层的第一列的所述电容的所述第二绝缘层 13 连接为一体式结构。不同层的第二列的所述电容的所述第二绝缘层 13 连接为一体式结构，即，不同层的相同列的所述电容共用同一绝缘层作为极板间的介质。

一个晶体管和一个数据存储元件构成一个存储单元。一些实施例中，如图 1B 所示，同层的所述存储单元形成分别沿第一方向 X 和第二方向 Y 分布的阵列，每层所述存储单元还包括：位线 30，所述位线 30 与同层同一列的晶体管的所述第二电极 52 连接。图 1A 中示出了每层包括三行两列存储单元，但本公开实施例不限于此，每层可以包括其他行数和列数的存储单元，比如，可以只包括一个存储单元。所述第一方向 X 可以平行于所述衬底，所述第二方向 Y 可以平行于所述衬底，第一方向 X 和第二方向 Y 交叉。在一些实施例中，所述第一方向 X 和第二方向 Y 可以垂直。

一些实施例中，相邻两列的存储单元的晶体管的第二电极 52 连接形成位线 30。同层相邻两列的晶体管的所述第二电极 52 与所述位线 30 可以连接为一体式结构。

一些实施例中，所述位线 30 可以沿第二方向 Y 延伸。

一些实施例中，所述第一电极 51 可以沿第一方向 X 延伸。

在一示例性实施中，可以在形成导电层和绝缘层的堆叠结构后，刻蚀贯穿堆叠结构的通孔，在所述通孔内淀积牺牲层作为虚拟字线，形成保护层保护虚拟字线对应于沟道区域的区域，再去除牺牲层，在通孔内形成字线和半导体层，此时半导体层中晶体管的沟道区域被保护层保护，然后暴露出寄生晶体管的沟道并去除，达到去除寄生晶体管的效果。

下面通过本实施例 3D 堆叠的半导体器件的制造过程进一步说明本实施例的技术方案。本实施例中所说的“构图工艺”包括沉积膜层、涂覆光刻胶、

掩模曝光、显影、刻蚀、剥离光刻胶等处理，是相关技术中成熟的制造工艺。沉积可采用溅射、蒸镀、化学气相沉积等已知工艺，刻蚀可采用已知的方法，在此不做具体的限定。在本实施例的描述中，需要理解的是，“薄膜”是指将某一种材料在基底上利用沉积或涂覆工艺制作出的一层薄膜。若在整个制作过程当中该“薄膜”无需构图工艺或光刻工艺，则该“薄膜”还可以称为“层”。若在整个制作过程当中该“薄膜”还需构图工艺或光刻工艺，则在构图工艺前称为“薄膜”，构图工艺后称为“层”。经过构图工艺或光刻工艺后的“层”中包含至少一个“图案”。

一些实施例中，3D 堆叠的半导体器件的制造过程可以包括:

1）在衬底 1 上依次交替沉积第一绝缘薄膜 9 和第一导电薄膜 11 形成叠层结构，如图 2A、图 2B、图 2C、图 2D 所示，其中，图 2A 为 3D 堆叠的半导体器件的立体示意图，图 2B 为图 2A 所示 3D 堆叠的半导体器件沿 C1 方向的截面示意图，图 2C 为图 2A 所示 3D 堆叠的半导体器件沿 C2 方向的截面示意图，图 2D 为图 2A 所示 3D 堆叠的半导体器件沿 C3 方向的截面示意图。所述 C1 方向平行于所述衬底 1，所述 C2 方向垂直于所述衬底 1，所述 C3 方向垂直于所述衬底 1，所述 C2 方向垂直于所述 C3 方向。

一些实施例中，所述衬底 1 可以为半导体衬底，比如可以是硅衬底。

一些实施例中，所述第一绝缘薄膜 9 可以是 low-K 介质层，即介电常数 K<3.9 的介质层，包括但不限于硅氧化物，比如二氧化硅（SiO_2）等。

一些实施例中，所述第一导电薄膜 11 可以包括但不限于氮化钛（TiN）/钨（W）的多层结构。

图 2A 中示出的叠层结构包括 5 层第一绝缘薄膜 9 和 4 层第一导电薄膜 11，仅为示例，在其他实施例中，所述叠层结构可以包括更多或更少层交替设置的第一绝缘薄膜 9 和第一导电薄膜 11。图 2A 中示出的叠层结构还包括设置在顶部的硬掩膜，用于后续构图工艺，在构图后会去除。

2）对所述叠层结构进行构图形成包括交替堆叠的导电层 12 和第一绝缘层 10 的堆叠结构；如图 3A、图 3B、图 3C、图 3D 所示，其中，图 3A 为 3D 堆叠的半导体器件的立体示意图，图 3B 为图 3A 所示 3D 堆叠的半导体器件沿 C1 方向的截面示意图，图 3C 为图 3A 所示 3D 堆叠的半导体器件沿 C2’方向的截面示意图，图 3D 为图 3A 所示 3D 堆叠的半导体器件沿 C3 方向的截面示意图。所述 C2’ 方向平行于所述 C2 方向。

所述对所述叠层结构进行构图形成包括导电层 12 和第一绝缘层 10 的堆叠结构可以包括:

利用干法刻蚀方法刻蚀所述叠层结构，构图形成所述导电层 12 后再在被刻蚀的区域填充第一绝缘薄膜，以隔离不同器件；所述导电层 12 包括预设电

极图形，所述预设电极图形包含待形成的位线和所述晶体管的第一电极、第二电极；如图 3B 所示。其中，图 3B 所示的预设电极图形仅为示例，所述预设电极图形可以是其他形状，比如预设电极图形可以为如图 14 所示的形状，本公开实施例对此不作限定。

对所述第一绝缘薄膜进行刻蚀(可以包括各向异性刻蚀和各向同性刻蚀)，去除位于电容区域 100 的第一绝缘薄膜，形成第一绝缘层 10，此时，导电层 12 位于电容区域 100 的端面和部分侧壁暴露出来，暴露的区域可以作为电容的第一极板 41。

图 3A 中器件的顶层为硬掩膜，在后续过程中会刻蚀掉。

3）形成第二绝缘层 13 和第二极板 42;

所述形成第二绝缘层 13 和第二极板 42 可以包括：在所述电容区域 100 依次沉积第二绝缘薄膜和导体材料，分别形成第二绝缘层 13 和第二极板 42，所述第二绝缘层 13 覆盖导电层 12 暴露出的区域，如图 4A、图 4B、图 4C、图 4D 所示，其中，图 4A 为 3D 堆叠的半导体器件的立体示意图，图 4B 为图 4A 所示 3D 堆叠的半导体器件沿 C1 方向的截面示意图，图 4C 为图 4A 所示 3D 堆叠的半导体器件沿 C2'方向的截面示意图，图 4D 为图 4A 所示 3D 堆叠的半导体器件沿 C3 方向的截面示意图。

其中，第二绝缘层 13 作为电容极板间的介质，第二极板 42 作为电容的一个电极。

一些实施例中，可以通过原子层沉积（Atomic Layer Deposition，ALD）方式沉积所述第二绝缘薄膜和导体材料。

一些实施例中，所述第二绝缘薄膜可以是 High-K 介质材料，即介电常数 K≥3.9 的介质材料。所述 High-K 介质材料可以包括但不限于以下至少之一：氧化硅，三氧化二铝（Al_2O_3），氧化铪。

一些实施例中，所述导体材料包括但不限于以下至少之一：多晶硅，钨，氮化钛。

4)形成牺牲层 81;

所述形成牺牲层 81 可以包括：通过干法刻蚀对所述堆叠结构进行刻蚀，形成贯穿所述多个堆叠结构的多个通孔 K1，所述通孔 K1 的侧壁露出每个所述导电层 12;所述通孔 K1 可以包括对应导电层 12 的区域和对应第一绝缘层 10 的区域，即通孔 K1 贯穿导电层 12 形成的区域为通孔 K1 对应导电层 12 的区域，通孔 K1 贯穿第一绝缘层 10 形成的区域为通孔 K1 对应第一绝缘层 10 的区域。

在所述多个通孔 K1 内沉积填充所述通孔 K1 的绝缘层薄膜，形成牺牲层

81，如图 5A、图 5B、图 5C、图 5D 所示，其中，图 5A 为 3D 堆叠的半导体器件的立体示意图，图 5B 为图 5A 所示 3D 堆叠的半导体器件沿 C1 方向的截面示意图，图 5C 为图 5A 所示 3D 堆叠的半导体器件沿 C2 方向的截面示意图，图 5D 为图 5A 所示 3D 堆叠的半导体器件沿 C3 方向的截面示意图。

一些实施例中，所述通孔 K1 在平行于所述衬底 1 的平面上的正投影可以是方形等。

一些实施例中，所述通孔 K1 在平行于所述衬底 1 的平面上的正投影位于未形成通孔 K1 时所述导电层 12 的正投影内。

一些实施例中，所述绝缘层薄膜的材料不同于所述第一绝缘层 10 的材料，所述绝缘层薄膜比如为氮化硅（SiN）。

5)刻蚀填充在预设电极图形间的第一绝缘薄膜;

所述刻蚀填充在预设电极图形间的第一绝缘薄膜可以包括：沿垂直于衬底 1 方向从所述堆叠结构的顶部至底部刻蚀填充在预设电极图形间的第一绝缘薄膜，以暴露位于所述电容区域 100 外的导电层 12 的侧壁和第一绝缘层 10 的侧壁，如图 6A、图 6B、图 6C、图 6D 所示，其中，图 6A 为 3D 堆叠的半导体器件的立体示意图，图 6B 为图 6A 所示 3D 堆叠的半导体器件沿 C1 方向的截面示意图，图 6C 为图 6A 所示 3D 堆叠的半导体器件沿 C2 方向的截面示意图，图 6D 为图 6A 所示 3D 堆叠的半导体器件沿 C3 方向的截面示意图。此时，位于电容区域 100 外的第一绝缘层 10 的图形与位于电容区域 100 外的导电层 12 的图形一致。

6)刻蚀所述导电层 12，以暴露所述牺牲层 81 的部分侧壁，且使得所述预设电极图形形成至少一对彼此分离的第一电极 51 和第二电极 52，所述第一电极 51 与所述牺牲层 81 接触，所述第二电极 52 与所述牺牲层 81 接触;如图 7A、图 7B、图 7C、图 7D 所示，其中，图 7A 为 3D 堆叠的半导体器件的立体示意图，图 7B 为图 7A 所示 3D 堆叠的半导体器件沿 C1 方向的截面示意图，图 7C 为图 7A 所示 3D 堆叠的半导体器件沿 C2 方向的截面示意图，图 7D 为图 7A 所示 3D 堆叠的半导体器件沿 C3 方向的截面示意图。

所述第一电极 51 和第二电极 52 其中之一作为晶体管的源电极，另一作为晶体管的漏电极。

本步骤中，不刻蚀第一绝缘层 10，即第一绝缘层 10 的图形保持不变，和未执行步骤 6）时的导电层 12 的图形一致，即与图 6B 所示的导电层 12 的图形一致。

7）形成保护层 82;

所述形成保护层 82 可以包括：在所述导电层 12 的侧壁、所述牺牲层 81 的侧壁（即步骤 6 中暴露出的牺牲层 81 的侧壁）和所述第一绝缘层 10 的侧

壁沉积保护层薄膜，各向异性刻蚀所述保护层薄膜，比如，沿垂直于衬底 1 方向从顶部至底部刻蚀所述保护层薄膜以去除位于所述第一绝缘层 10 侧壁的保护层薄膜，形成覆盖所述导电层 12 的侧壁，所述牺牲层 81 的侧壁的所述保护层 82，所述保护层 82 填充步骤 7）中对导电层 12 刻蚀的区域，即保护层 82 和导电层 12 二者共同形成的图形与导电层 12 未被刻蚀的图形一致，即与步骤 5 中的导电层 12 的图形一致，如图 8A、图 8B、图 8C、图 8D 所示，其中，图 8A 为 3D 堆叠的半导体器件的立体示意图，图 8B 为图 8A 所示 3D 堆叠的半导体器件沿 C1 方向的截面示意图，图 8C 为图 8A 所示 3D 堆叠的半导体器件沿 C2 方向的截面示意图，图 8D 为图 8A 所示 3D 堆叠的半导体器件沿 C3 方向的截面示意图。

所述保护层 82 可以覆盖所述导电层 12 的侧壁，多个保护层 82 沿垂直于衬底 1 的方向延伸，多个保护层 82 沿垂直于衬底 1 的方向间隔设置，且在所述第一绝缘层 10 的侧壁断开。所述保护层 82 与牺牲层 81 的侧壁接触。所述保护层 82 可以包括第一部分和第二部分，所述第一部分设置在所述牺牲层 81 的第一侧，所述第二部分设置在所述牺牲层 81 的第二侧，所述第一侧和第二侧可以是相对的两侧。保护层 82 可以在后续刻蚀寄生晶体管的半导体层时保护作为晶体管的沟道区域的半导体层。

形成所述保护层 82 时，可以在导电层 12 和牺牲层 81 的侧壁上沉积保护层薄膜后对保护层薄膜进行刻蚀形成所述保护层 82；或者，可以在衬底 1 上沉积保护层薄膜填充叠层结构中被刻蚀形成的空白区域后，再刻蚀所述保护层薄膜形成所述保护层 82。

一些实施例中，所述保护层薄膜的材料与所述第一绝缘层 10 的材料不同，便于对保护层 82 和第一绝缘层 10 独立刻蚀。

一些实施例中，所述保护层薄膜可以和所述牺牲层薄膜材料一致，但不限于此。

一些实施例中，所述保护层薄膜可以包括但不限于 SiN。

8）去除牺牲层 81；

所述去除牺牲层 81 可以包括：

在形成前述图案的衬底上沉积第三绝缘薄膜；磨平所述第三绝缘薄膜，以形成第三绝缘层 14，以及，暴露所述牺牲层 81 远离所述衬底 1 的表面；

通过各向异性刻蚀去除所述通孔 K1 中所述牺牲层 81，比如，沿垂直于衬底的方向从所述通孔 K1 的顶部至底部进行刻蚀，去除所述牺牲层 81，如图 9A、图 9B、图 9C、图 9D 所示，其中，图 9A 为 3D 堆叠的半导体器件的立体示意图，图 9B 为图 9A 所示 3D 堆叠的半导体器件沿 C1 方向的截面示意图，图 9C 为图 9A 所示 3D 堆叠的半导体器件沿 C2 方向的截面示意图，图 9D 为图 9A 所示 3D 堆叠的半导体器件沿 C3 方向的截面示意图。

9）形成半导体层 23、栅极绝缘层 24 和栅电极 26;

所述形成半导体层 23、栅极绝缘层 24 和栅电极 26 可以包括：在所述通孔 K1 的侧壁依次沉积半导体薄膜、栅绝缘薄膜，以及，沉积填充所述通孔 K1 的栅电极薄膜，依次形成半导体层 23、栅极绝缘层 24 和栅电极 26；如图 10A、图 10B、图 10C、图 10D 所示，其中，图 10A 为 3D 堆叠的半导体器件的立体示意图，图 10B 为图 10A 所示 3D 堆叠的半导体器件沿 C1 方向的截面示意图，图 10C 为图 10A 所示 3D 堆叠的半导体器件沿 C2 方向的截面示意图，图 10D 为图 10A 所示 3D 堆叠的半导体器件沿 C3 方向的截面示意图。

一些实施例中，所述半导体薄膜包括但不限于以下至少之一：铟镓锌氧化物(InGaZnO)、氧化铟锌(InZnO)、氧化铟镓（InGaO）、氧化铟锡(InSnO)、氧化铟镓锡(InGaSnO)、氧化铟镓锌锡(InGaZnSnO)、氧化铟(InO)、氧化锡(SnO)、氧化锌锡(ZnSnO，ZTO)、氧化铟铝锌金（InAlZnO）、氧化锌(ZnO)、铟镓硅氧化物(InGaSiO)、氧化铟钨(InWO，IWO)、氧化钛(TiO)、氮氧化锌(ZnON)、氧化镁锌(MgZnO)、锆铟锌氧化物(ZrInZnO)、铪铟锌氧化物(HfInZnO)、锡铟锌氧化物(SnInZnO)、铝锡铟锌氧化物(AlSnInZnO)、硅铟锌氧化物(SiInZnO)、铝锌锡氧化物(AlZnSnO)、镓锌锡氧化物(GaZnSnO)、锆锌锡氧化物(ZrZnSnO)等材料，只要保证晶体管的漏电流能满足要求即可，具体可根据实际情况进行调整。

一些实施例中，所述栅绝缘薄膜可以是 High-K 介质材料，比如介电常数 K≥3.9 的介质材料。一些实施例中，可以包括铪、铝、镧、锆等一个或多个的氧化物。示例性的，比如，可以包括但不限于以下至少之一：氧化铪（HfO_2）、氧化铝（Al_2O_3），铪铝氧化物（HfAlO），铪镧氧化物（HfLaO）、锆的氧化物（ZrO_2）等高 K 材料。

一些实施例中，一些实施例中，栅极电极材料可以是如下不同类型材料中的一种或多种。

比如，含有钨、铝、钛、铜、镍、铂、钌、钼、金、铱、铑、钽、钴等金属;可以是含有前述提到的这些金属中的金属合金;还可以是金属氧化物、金属氮化物、金属硅化物、金属碳化物等，如掺锡的氧化铟 ITO、掺铟的氧化锌 IZO、铟的氧化物 InO、掺铝氧化锌(Al-doped ZnO，AZO)、氧化铱(IrOx)、氧化钌(RuOx)等金属氧化物导电材料；比如，氮化钛(TiN)、氮化钽(TaN)、氮化钨(WN)、氮化钛铝(TiAlN)等金属氮化物材料。

10）刻蚀第一绝缘层 10 和第三绝缘层 14 以暴露所述通孔 K1 对应所述第一绝缘层 10 的区域内的半导体层 23，以及，暴露所述保护层 82 的侧壁，如图 11A、图 11B、图 11C、图 11D 所示，其中，图 11A 为 3D 堆叠的半导体器件的立体示意图，图 11B 为图 11A 所示 3D 堆叠的半导体器件沿 C1 方向的截面示意图，图 11C 为图 11A 所示 3D 堆叠的半导体器件沿 C2 方向的

截面示意图，图 11D 为图 11A 所示 3D 堆叠的半导体器件沿 C3 方向的截面示意图。其中，通孔 K1 对应所述导电层 12 的区域内的半导体层 23 未被暴露，该区域内的半导体层 23 的侧壁部分被导电层 12 覆盖，部分被保护层 82 覆盖，从而可以避免在后续步骤中被破坏。

所述刻蚀第一绝缘层 10 和第三绝缘层 14 可以包括：通过干法刻蚀去除所述第三绝缘层 14，通过湿法刻蚀去除覆盖在所述半导体层 23 侧壁的所述第一绝缘层 10。

11）刻蚀被暴露的半导体层 23，即刻蚀所述通孔 K1 对应所述第一绝缘层 10 的区域内的半导体层 23，如图 12A 至图 12D 所示，其中，图 12A 为 3D 堆叠的半导体器件的立体示意图，图 12B 为图 12A 所示 3D 堆叠的半导体器件沿 C1 方向的截面示意图，图 12C 为图 12A 所示 3D 堆叠的半导体器件沿 C2 方向的截面示意图，图 12D 为图 12A 所示 3D 堆叠的半导体器件沿 C3 方向的截面示意图。通过刻蚀所述通孔 K1 对应所述第一绝缘层 10 的区域内的半导体层 23，可以去除寄生晶体管，提高器件性能。可以看到，半导体层 23 被刻蚀成间隔设置的多段，每段作为一个晶体管的半导体层。

12）形成第四绝缘层 15;

所述形成第四绝缘层 15 可以包括：在形成前述图案的衬底上填充第四绝缘薄膜并磨平，形成所述第四绝缘层 15，如图 13A、图 13B、图 13C、图 13D 所示，其中，图 13A 为 3D 堆叠的半导体器件的立体示意图，图 13B 为图 13A 所示 3D 堆叠的半导体器件沿 C1 方向的截面示意图，图 13C 为图 13A 所示 3D 堆叠的半导体器件沿 C2 方向的截面示意图，图 13D 为图 13A 所示 3D 堆叠的半导体器件沿 C3 方向的截面示意图。第四绝缘层 15 可以包括两部分，一部分为位于相邻的导电层 12 间的绝缘层 16，另一部分填充导电层 12 的电极间的区域，即第五绝缘层 17。

本实施例提供的方案，形成通孔以后，形成牺牲层作为虚拟字线，将虚拟字线周边沟道区域的导电层去除，在沟道区域形成保护层（或称内侧墙，inner spacer），再去除牺牲层形成半导体层和栅电极，然后暴露出寄生晶体管的沟道，此时器件的沟道被保护层保护，从而可以选择性去除寄生晶体管的沟道，最终达到去除寄生晶体管的目的，本实施例提供的本方案能够有效的消除寄生晶体管，且后期不需要暴露器件的沟道，避免了沟道暴露被破坏的风险，保证了器件沟道材料的可靠性和稳定性。另外，本实施例的制造方法利用现有成熟的制造设备即可实现，能够很好地与现有制造工艺兼容，因此工艺实现简单，易于实施，生产效率高，具有易于工艺实现、生产成本低和良品率高等优点。

本公开实施例还提供了一种电子设备，包括前述任一实施例所述的 3D 堆叠的半导体器件。所述电子设备可以为：存储装置、智能电话、计算机、

平板电脑、人工智能设备、可穿戴设备或移动电源等。存储装置可以包括计算机中的内存等，此处不作限定。

图 15 为本公开实施例提供的一种 3D 堆叠的半导体器件的制造方法流程图。如图 15 所示，本实施例提供一种 3D 堆叠的半导体器件的制造方法，所述 3D 堆叠的半导体器件可以包括：多个晶体管，分布于不同层沿着垂直衬底方向堆叠；字线，贯穿所述不同层的所述晶体管；与所述多个晶体管分别对应的多个保护层；所述 3D 堆叠的半导体器件的制造方法包括：

步骤 1501，提供衬底，在所述衬底上依次交替沉积第一绝缘薄膜和导电薄膜，进行构图形成堆叠结构，所述堆叠结构包括交替设置的第一绝缘层和导电层的堆叠，所述导电层包括预设电极图形，所述预设电极图形包含待形成的所述晶体管的第一电极和第二电极；

步骤 1502，形成在垂直于所述衬底的方向上贯穿所述堆叠结构的通孔，所述通孔的侧壁露出每个所述导电层在所述通孔内填充绝缘层薄膜形成字线的牺牲层；

步骤 1503，刻蚀所述导电层，以暴露所述牺牲层的部分侧壁，使得所述预设电极图形中的所述第一电极和所述第二电极断开，且，所述第一电极与所述牺牲层接触，所述第二电极与所述牺牲层接触；

步骤 1504，形成与所述多个晶体管分别对应的多个保护层，所述多个保护层分别覆盖牺牲层和导电层的侧壁，相邻两个保护层之间断开；

步骤 1505，去除所述牺牲层，在所述通孔的侧壁依次沉积半导体薄膜、栅绝缘薄膜，以及，沉积填充所述通孔的栅电极薄膜，以形成多层所述晶体管的半导体层、栅极绝缘层和所述字线，所述半导体层与所述第一电极、第二电极和所述保护层接触；不同层的所述晶体管的所述栅电极为所述字线的一部分；

步骤 1506，刻蚀去除所述通孔内对应于所述第一绝缘层的区域内的所述半导体层。

本实施例提供的半导体器件的制造方法，通过在通孔内形成牺牲层，以及，形成覆盖所述牺牲层与沟道区域对应的区域的保护层，实现对沟道区域的保护，便于后续刻蚀层间的半导体层，实现去除寄生晶体管的目的，提高器件性能和器件稳定性。

一些实施例中，所述刻蚀所述导电层之前还包括：沿垂直于衬底方向从所述堆叠结构的顶部至底部进行刻蚀，以暴露所述导电层的侧壁和所述第一绝缘层的侧壁；

所述形成与所述多个晶体管分别对应的多个保护层包括：

在所述导电层的侧壁、所述牺牲层的侧壁和所述第一绝缘层的侧壁沉积

保护层薄膜，沿垂直于衬底方向从所述堆叠结构的顶部至底部刻蚀所述保护层薄膜以去除位于所述第一绝缘层侧壁的保护层薄膜，形成覆盖所述导电层的侧壁、所述牺牲层的侧壁的所述保护层。

一些实施例中，所述形成所述保护层之后，去除所述牺牲层之前，还包括：沉积第三绝缘薄膜，形成设置在所述保护层侧壁和所述第一绝缘层侧壁的第三绝缘层；

所述刻蚀去除所述通孔内对应于所述第一绝缘层的区域内的所述半导体层前还包括：

刻蚀所述第三绝缘层和第一绝缘层以暴露所述保护层的侧壁和所述通孔内对应于所述第一绝缘层的区域内的所述半导体层的侧壁。

虽然本公开所揭露的实施方式如上，但所述的内容仅为便于理解本公开而采用的实施方式，并非用以限定本公开。任何本公开所属领域内的技术人员，在不脱离本公开所揭露的精神和范围的前提下，可以在实施的形式及细节上进行任何的修改与变化，但本公开的专利保护范围，仍须以所附的权利要求书所界定的范围为准。

权 利 要 求 书

1. 一种 3D 堆叠的半导体器件，包括:

多个晶体管，分布于不同层沿着垂直衬底方向堆叠;

字线，贯穿所述不同层的所述晶体管;

与所述多个晶体管分别对应的多个保护层;

其中，所述晶体管包括环绕所述字线侧壁的半导体层，设置在所述字线的侧壁和所述半导体层之间的栅极绝缘层;

所述多个晶体管的多个半导体层在所述字线延伸的方向上间隔设置;

每个所述保护层分别环绕并覆盖对应的半导体层的外侧壁，相邻两个保护层之间断开。

2. 根据权利要求 1 所述的 3D 堆叠的半导体器件，其中，堆叠的所述多个晶体管包括:

沿着垂直衬底的方向从下至上依次交替分布的绝缘层和导电层;

贯穿各所述绝缘层和各所述导电层的通孔，所述通孔中从内到外依次分布有所述字线、环绕所述字线侧壁的所述栅极绝缘层、环绕所述栅极绝缘层的所述多个半导体层，环绕所述半导体层的所述保护层，所述保护层与所述半导体层接触;

其中，相邻两个所述半导体层之间露出所述栅极绝缘层，相邻两个所述半导体层之间填充有所述绝缘层且所述绝缘层与所述露出的栅极绝缘层接触;

所述导电层包括相互独立的第一电极和第二电极，所述第一电极和所述第二电极其中之一为所述晶体管的源极，另一为所述晶体管的漏极。

3. 根据权利要求 2 所述的 3D 堆叠的半导体器件，其中，所述通孔对应所述导电层的第一区域的口径等于所述通孔对应所述绝缘层的第二区域的口径;

所述导电层在所述通孔内仅露出侧壁，所述绝缘层在所述通孔内仅露出侧壁;

所述半导体层分布于所述导电层的侧壁。

4. 根据权利要求 2 所述的 3D 堆叠的半导体器件，其中，所述多个保护层沿着垂直衬底的方向延伸且在所述绝缘层的上下两个表面断开。

5. 根据权利要求 2 所述的 3D 堆叠的半导体器件，其中，所述保护层与对应的所述晶体管的半导体层接触，且所述保护层覆盖所述半导体层的侧壁中不与所述导电层接触的区域。

6. 根据权利要求 2 所述的 3D 堆叠的半导体器件，其中，所述保护层还

分布于所述导电层的侧壁且与所述导电层的侧壁接触。

7. 根据权利要求 2 所述的 3D 堆叠的半导体器件，其中，所述保护层与所述绝缘层的材料不同。

8. 根据权利要求 2 所述的 3D 堆叠的半导体器件，其中，堆叠的所述多个晶体管还包括覆盖所述保护层的外侧壁的第五绝缘层。

9. 一种电子设备，包括如权利要求 1 至 8 任一所述的 3D 堆叠的半导体器件。

10. 一种 3D 堆叠的半导体器件的制造方法，所述 3D 堆叠的半导体器件包括：多个晶体管，分布于不同层沿着垂直衬底方向堆叠；字线，贯穿所述不同层的所述晶体管；与所述多个晶体管分别对应的多个保护层；所述 3D 堆叠的半导体器件的制造方法包括：

提供衬底，在所述衬底上依次交替沉积第一绝缘薄膜和导电薄膜，进行构图形成堆叠结构，所述堆叠结构包括交替设置的第一绝缘层和导电层的堆叠，所述导电层包括预设电极图形，所述预设电极图形包含待形成的所述晶体管的第一电极和第二电极；

形成在垂直于所述衬底的方向上贯穿所述堆叠结构的通孔，所述通孔的侧壁露出每个所述导电层，在所述通孔内填充绝缘薄膜形成字线的牺牲层；

刻蚀所述导电层，以暴露所述牺牲层的部分侧壁，使得所述预设电极图形中的所述第一电极和所述第二电极断开，且，所述第一电极与所述牺牲层接触，所述第二电极与所述牺牲层接触；

形成与所述多个晶体管分别对应的多个保护层，所述多个保护层分别覆盖牺牲层和导电层的侧壁，相邻两个保护层之间断开；

去除所述牺牲层，在所述通孔的侧壁依次沉积半导体薄膜、栅绝缘薄膜，以及，沉积填充所述通孔的栅电极薄膜，以形成多层所述晶体管的半导体层、栅极绝缘层和所述字线，所述半导体层与所述第一电极、第二电极和所述保护层接触；不同层的所述晶体管的所述栅电极为所述字线的一部分；

刻蚀去除所述通孔内对应于所述第一绝缘层的区域内的所述半导体层。

11. 根据权利要求 10 所述的 3D 堆叠的半导体器件的制造方法，其中，

所述刻蚀所述导电层之前还包括：沿垂直于衬底方向从所述堆叠结构的顶部至底部进行刻蚀，以暴露所述导电层的侧壁和所述第一绝缘层的侧壁；

所述形成与所述多个晶体管分别对应的多个保护层包括：

在所述导电层的侧壁、所述牺牲层的侧壁和所述第一绝缘层的侧壁沉积保护层薄膜，沿垂直于衬底方向从顶部至底部刻蚀所述保护层薄膜以去除位于所述第一绝缘层侧壁的保护层薄膜，形成覆盖所述导电层的侧壁、所述牺

牲层的侧壁的所述保护层。

12. 根据权利要求 10 所述的 3D 堆叠的半导体器件的制造方法，其中，

所述形成所述保护层之后，去除所述牺牲层之前，还包括：沉积第三绝缘薄膜，形成设置在所述保护层侧壁和所述第一绝缘层侧壁的第三绝缘层；

所述刻蚀去除所述通孔内对应于所述第一绝缘层的区域内的所述半导体层前还包括：

刻蚀所述第三绝缘层和第一绝缘层以暴露所述保护层的侧壁和所述通孔内对应于所述第一绝缘层的区域内的所述半导体层的侧壁。

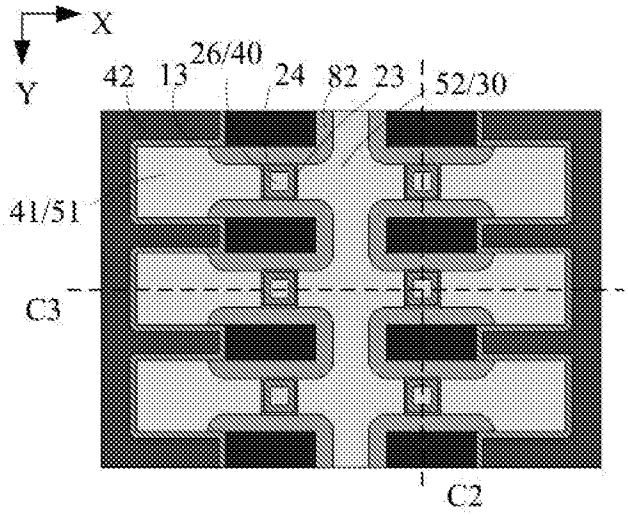

X
Y
42
13
26/40
24
82
23
52/30
41/51
C3
C2

图 1A

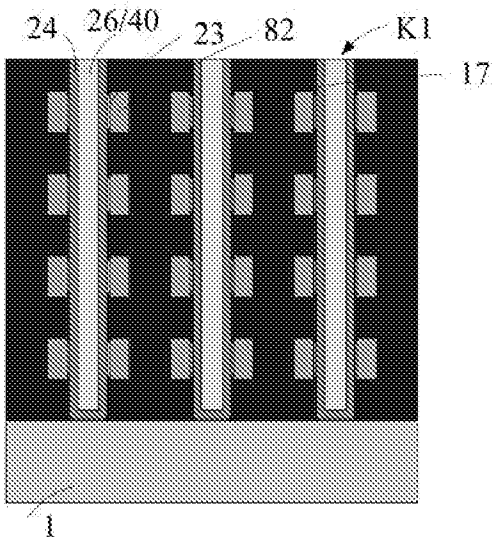

24
26/40
23
82
K1
17
1

图 1B

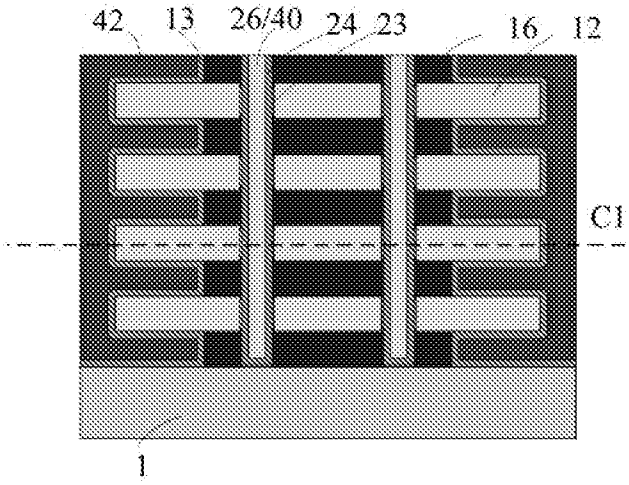

42
13
26/40
24
23
16
12
C1
1

图 1C

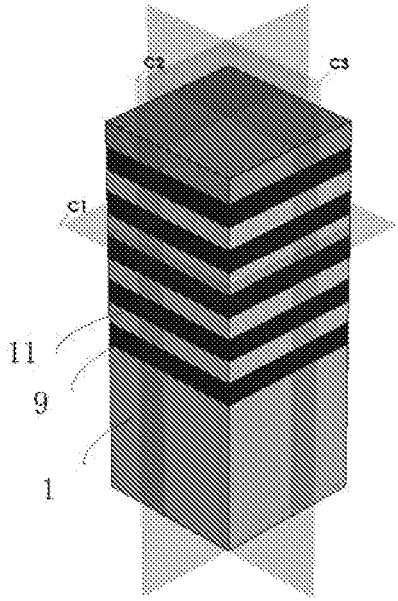


图 2A

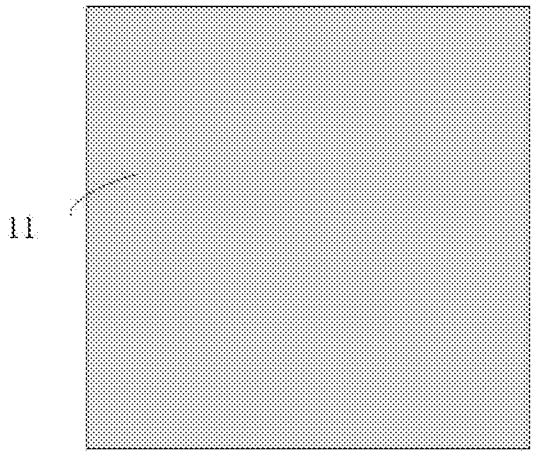


图 2B

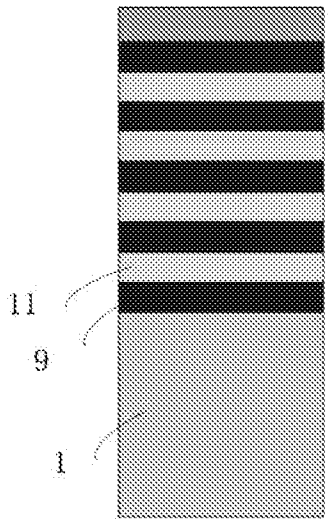


图 2C

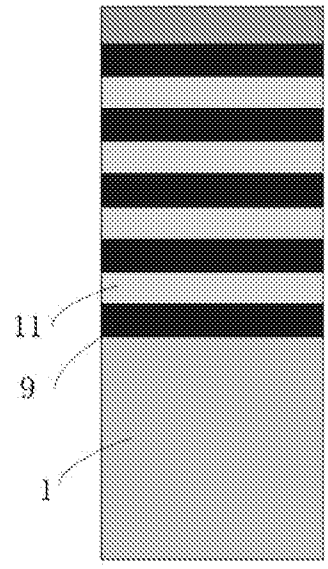


图 2D

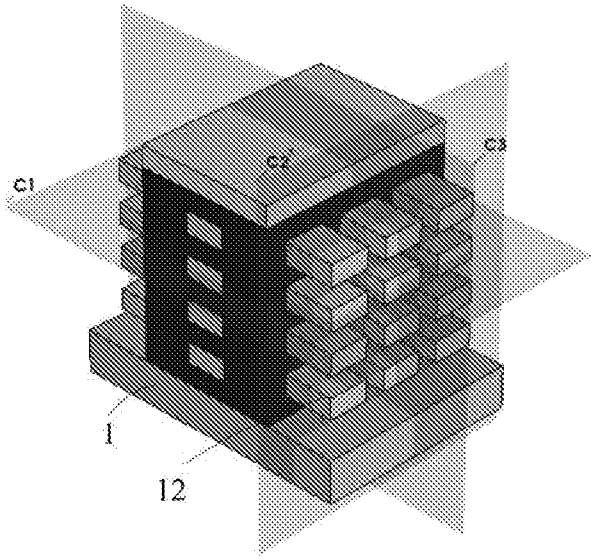


图 3A

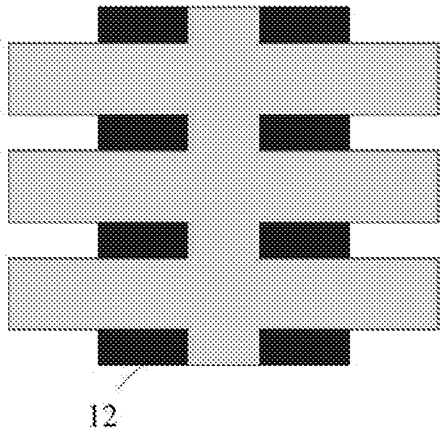


图 3B

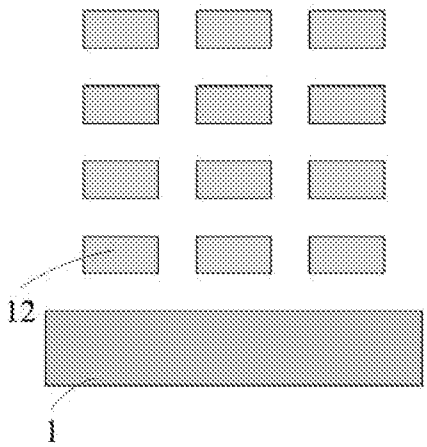


图 3C

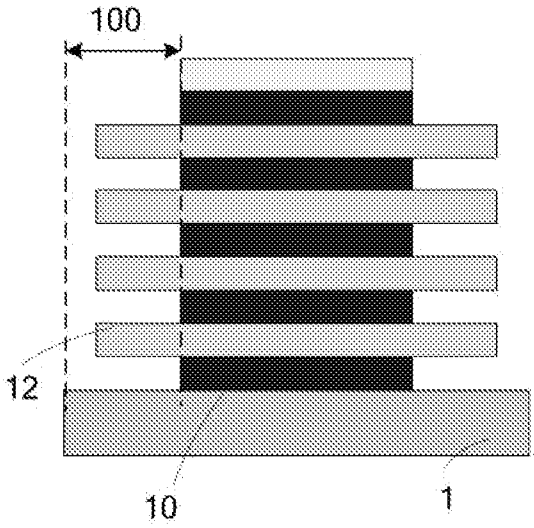


图 3D

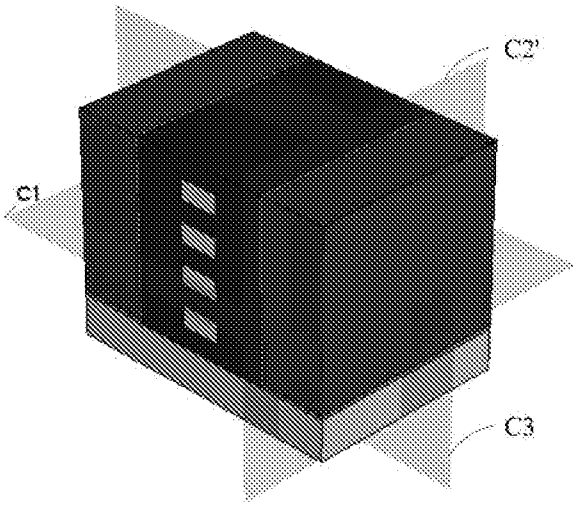


图 4A

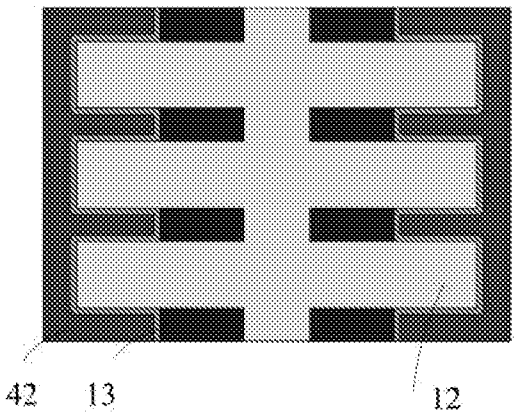


图 4B

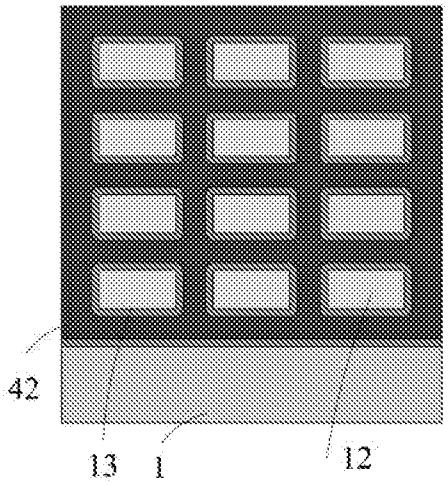


图 4C

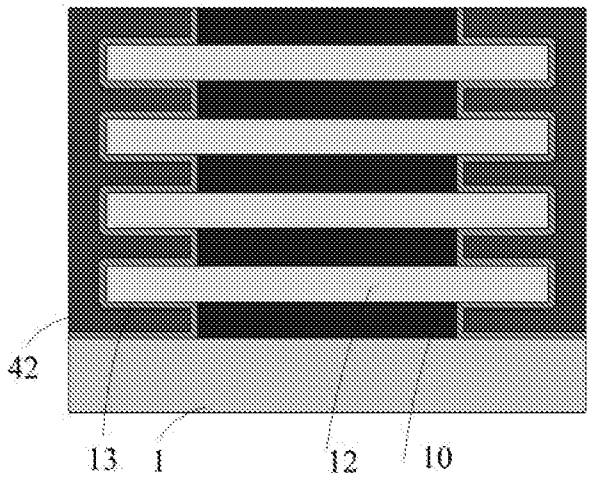


图 4D

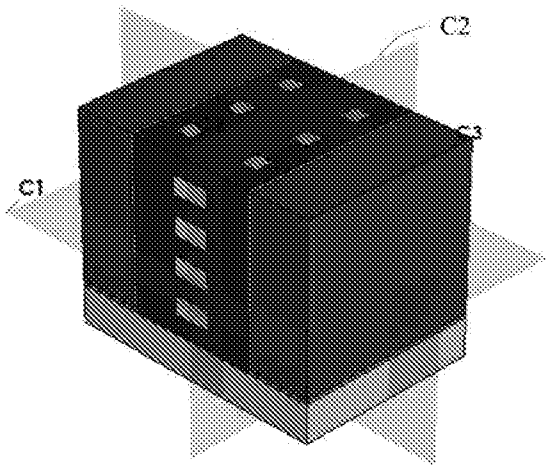


图 5A

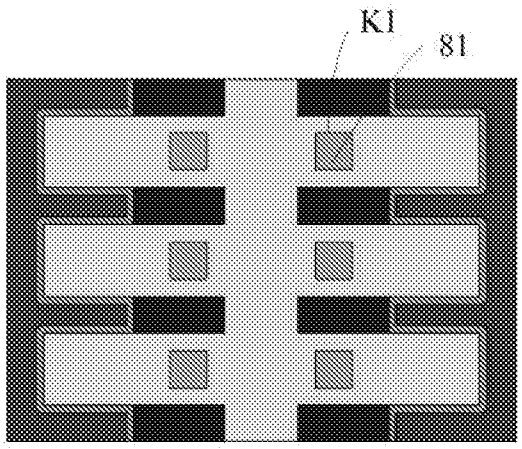


图 5B

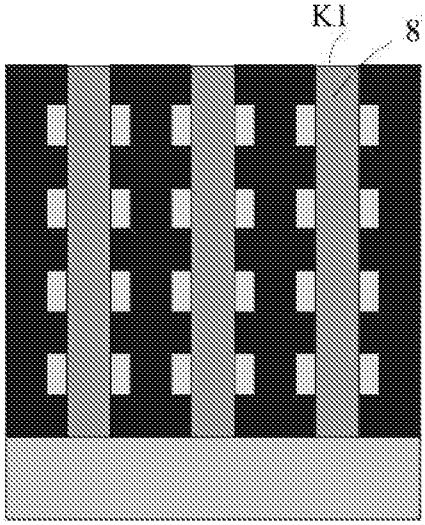


图 5C

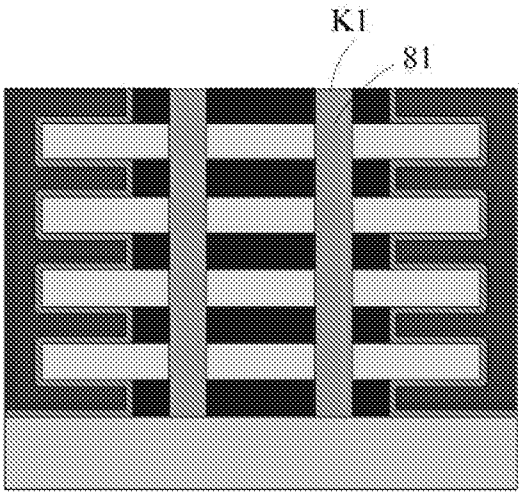


图 5D

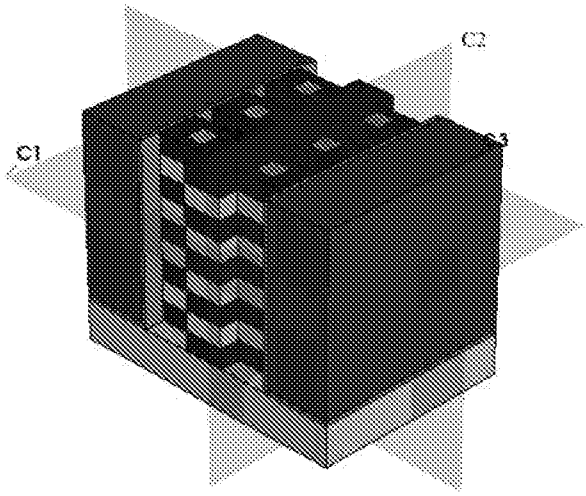


图 6A

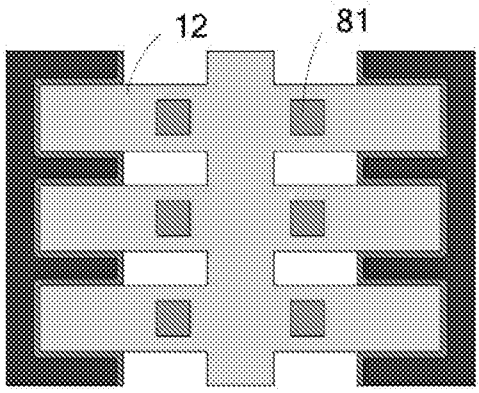


图 6B

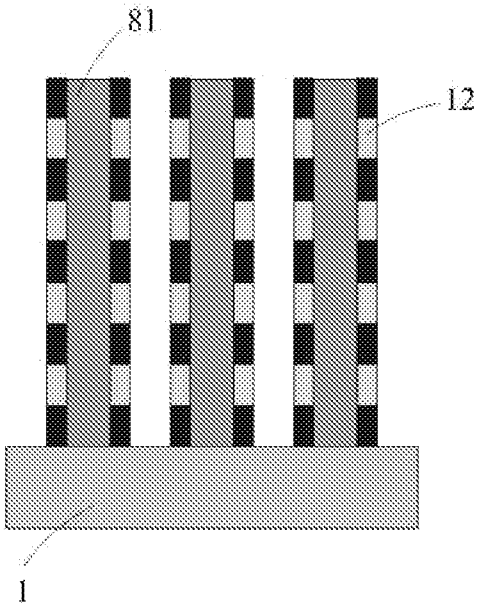


图 6C

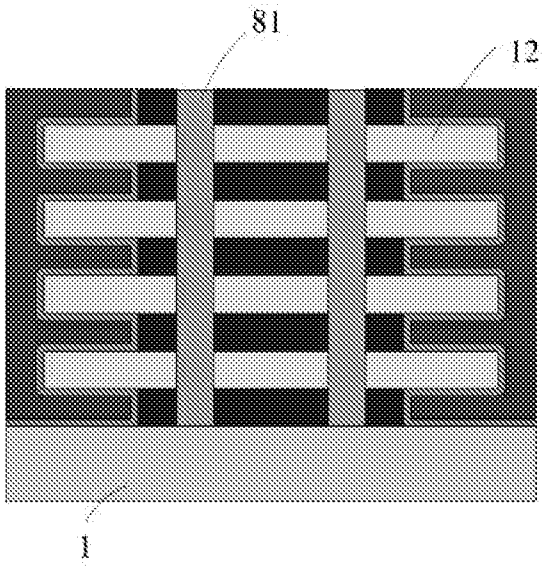


图 6D

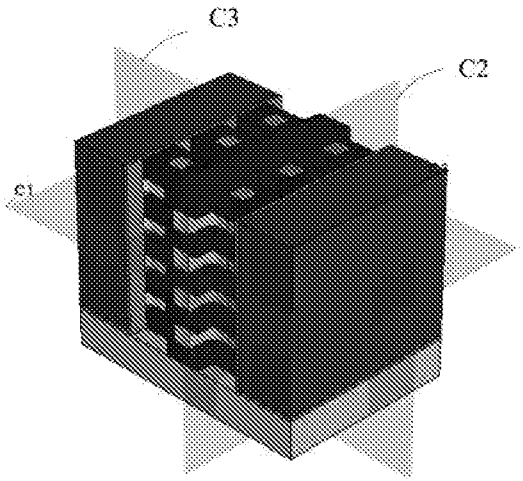


图 7A

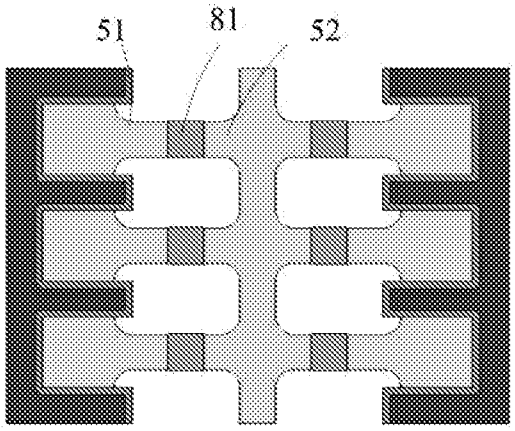


图 7B

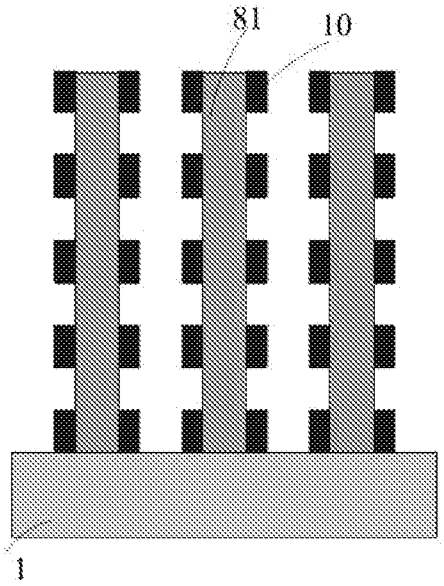


图 7C

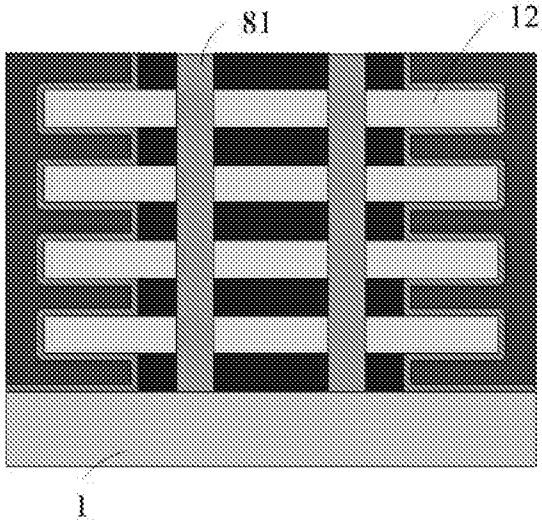


图 7D

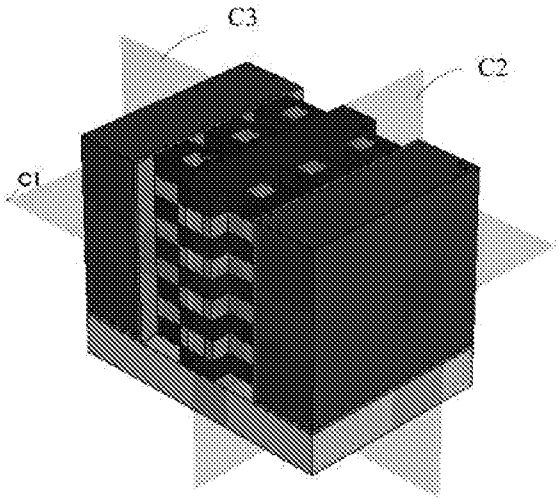


图 8A

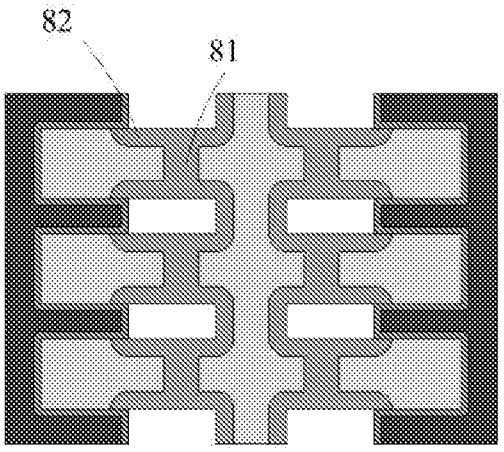


图 8B

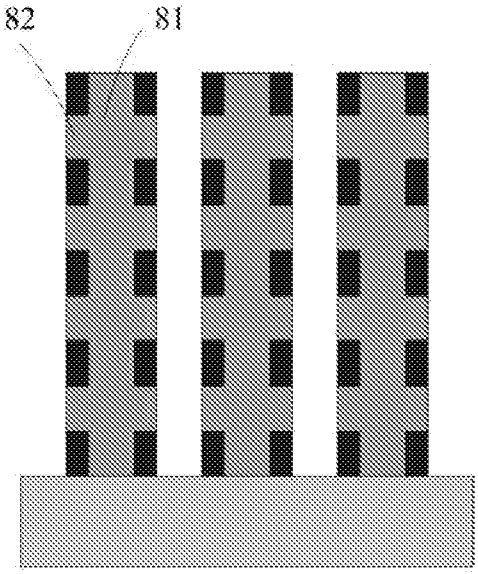


图 8C

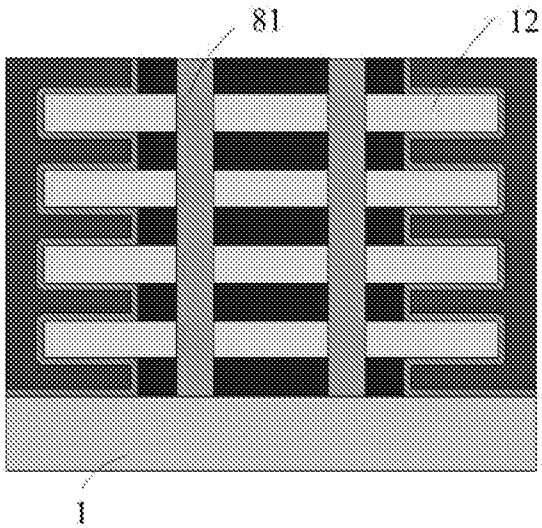


图 8D

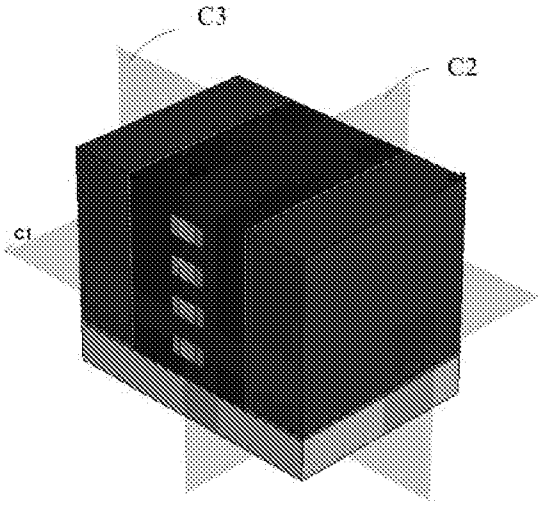


图 9A

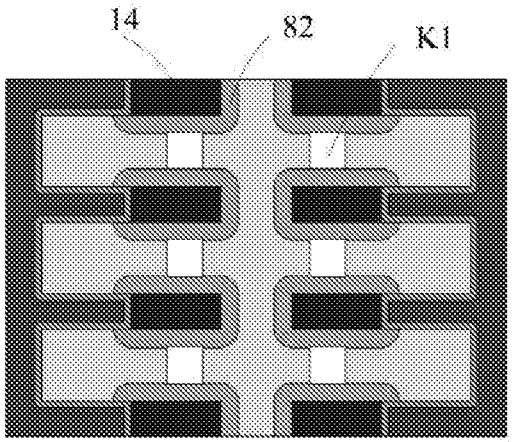


图 9B

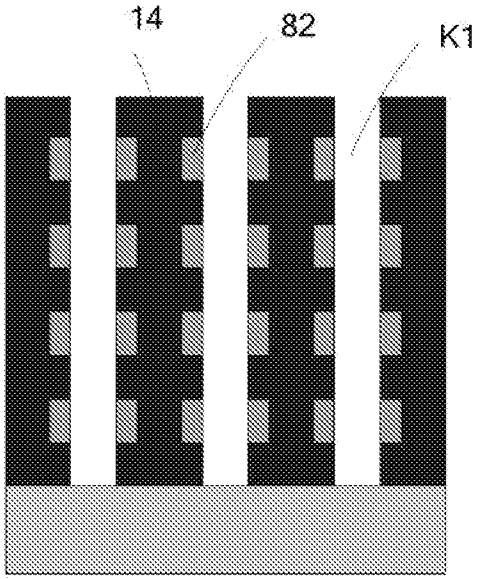


图 9C

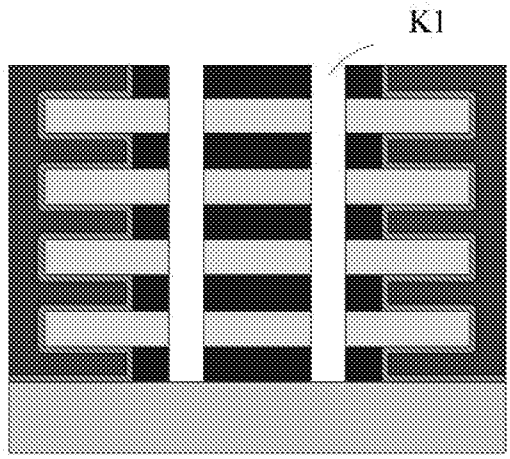


图 9D

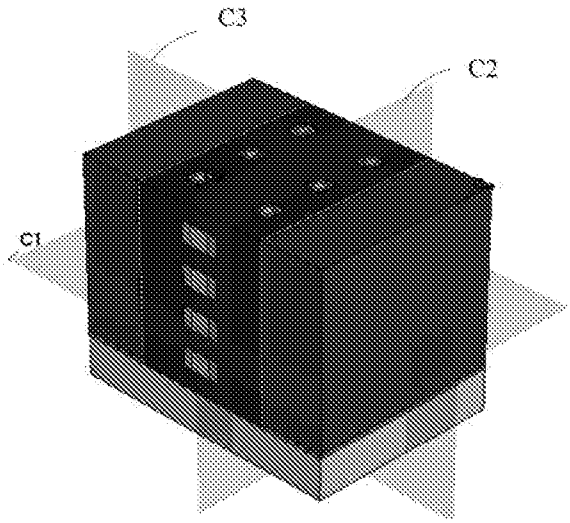


图 10A

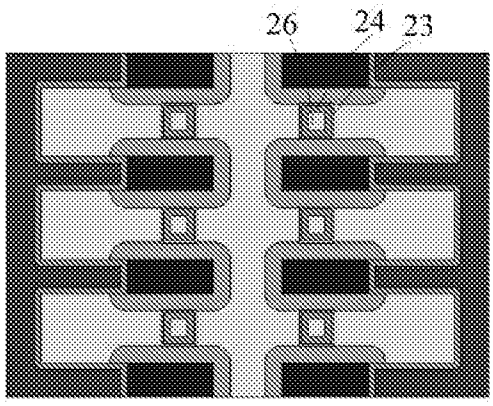


图 10B

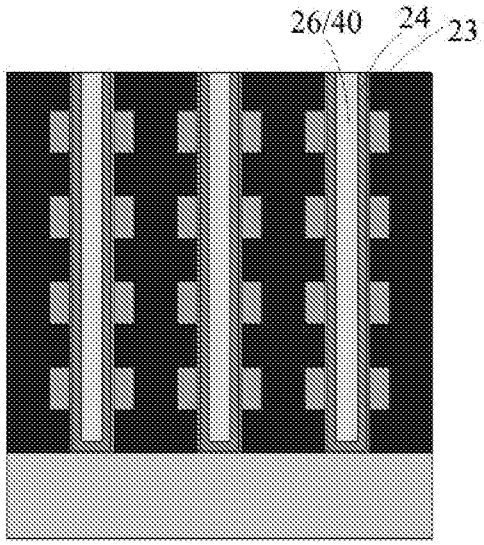


图 10C

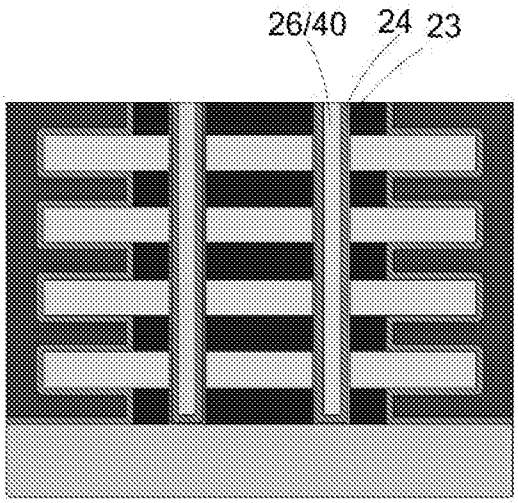


图 10D

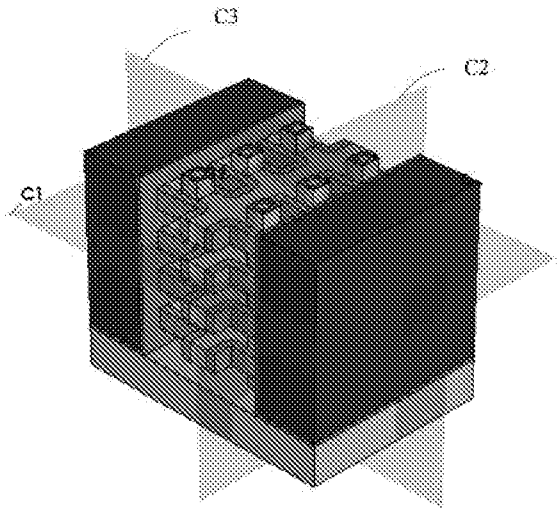


图 11A

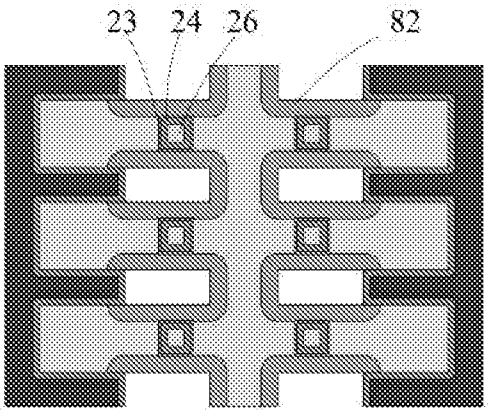


图 11B

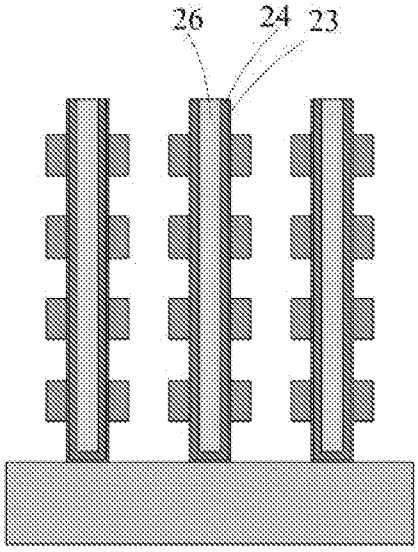


图 11C

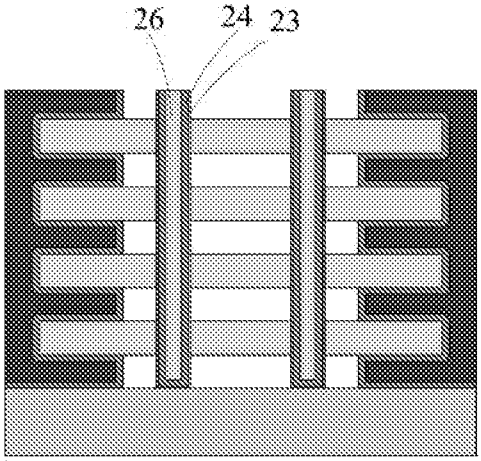


图 11D

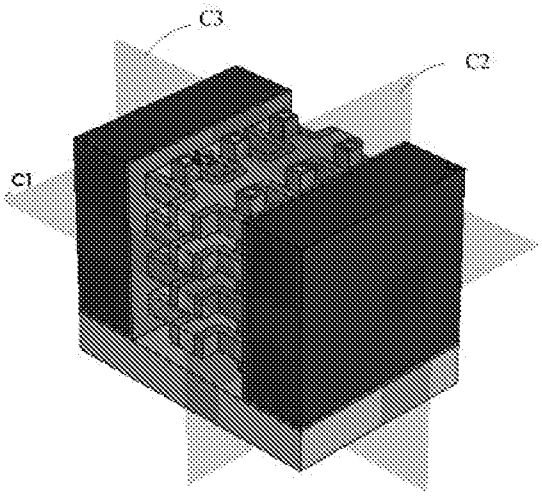


图 12A

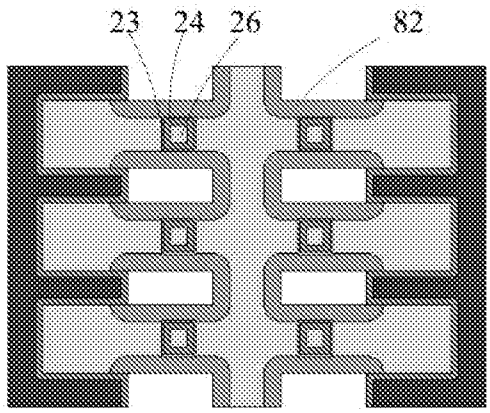


图 12B

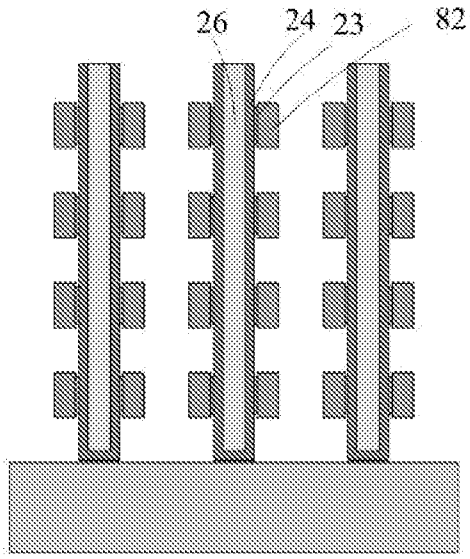


图 12C

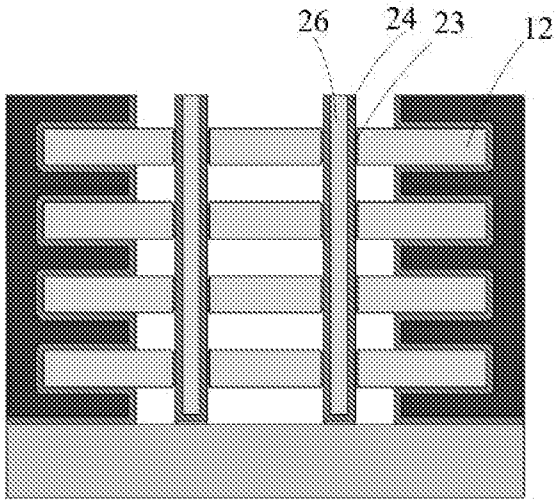


图 12D

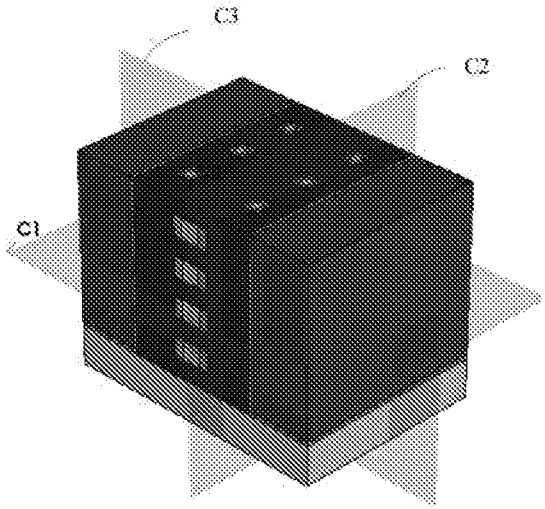


图 13A

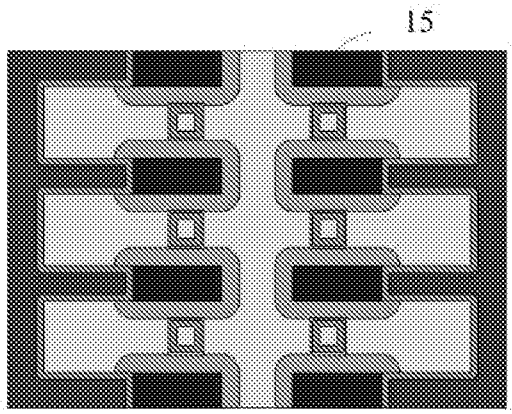


图 13B

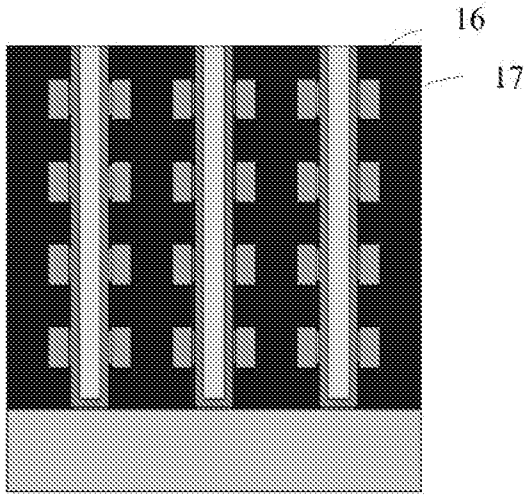


图 13C

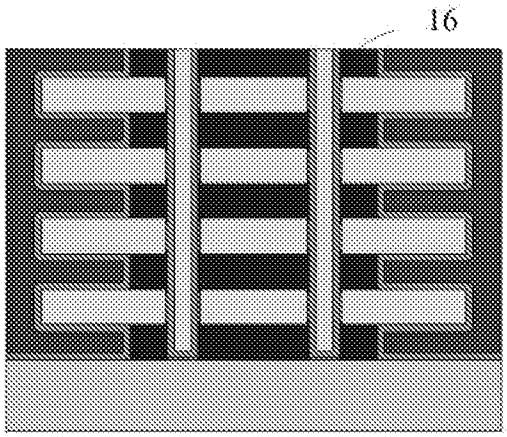


图 13D

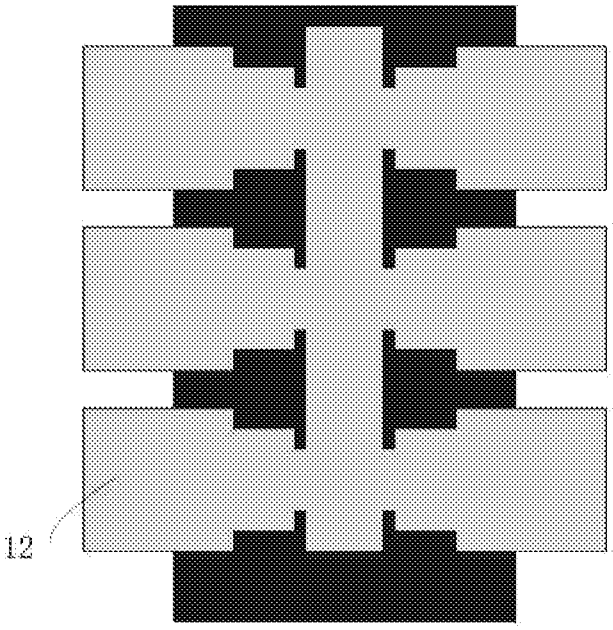


图 14

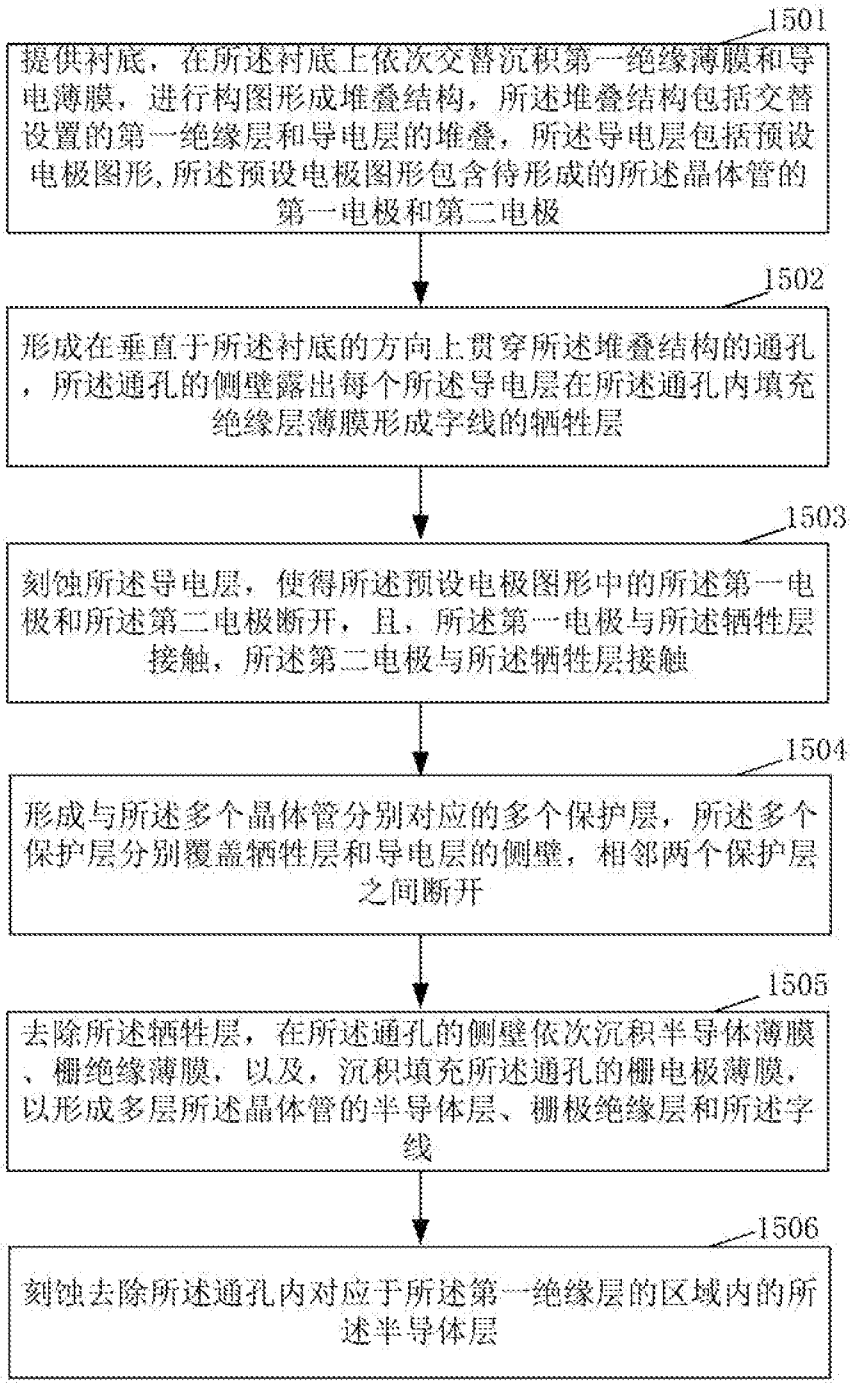

1501
提供衬底，在所述衬底上依次交替沉积第一绝缘薄膜和导电薄膜，进行构图形成堆叠结构，所述堆叠结构包括交替设置的第一绝缘层和导电层的堆叠，所述导电层包括预设电极图形，所述预设电极图形包含待形成的所述晶体管的第一电极和第二电极
1502
形成在垂直于所述衬底的方向上贯穿所述堆叠结构的通孔，所述通孔的侧壁露出每个所述导电层在所述通孔内填充绝缘层薄膜形成字线的牺牲层
1503
刻蚀所述导电层，使得所述预设电极图形中的所述第一电极和所述第二电极断开，且，所述第一电极与所述牺牲层接触，所述第二电极与所述牺牲层接触
1504
形成与所述多个晶体管分别对应的多个保护层，所述多个保护层分别覆盖牺牲层和导电层的侧壁，相邻两个保护层之间断开
1505
去除所述牺牲层，在所述通孔的侧壁依次沉积半导体薄膜、栅绝缘薄膜，以及，沉积填充所述通孔的栅电极薄膜，以形成多层所述晶体管的半导体层、栅极绝缘层和所述字线
1506
刻蚀去除所述通孔内对应于所述第一绝缘层的区域内的所述半导体层

图 15

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2023/099226

A. CLASSIFICATION OF SUBJECT MATTER

H10B12/00(2023.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H10B, H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT, DWPI, ENTXT, ENTXTC, CNKI: 存储器, 三维, 半导体, 字线, 晶体管; memory, 3D, three-dimensional, semiconductor, word line, transistor

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 115988875 A (BEIJING CHAOXIAN MEMORY RESEARCH INSTITUTE) 18 April 2023 (2023-04-18) description, paragraphs [0003]-[0216], and figures 1A-15	1-12
X	CN 112992902 A (SAMSUNG ELECTRONICS CO., LTD.) 18 June 2021 (2021-06-18) description, paragraphs [0003]-[0141], and figures 1-35B	1-9
A	CN 112992902 A (SAMSUNG ELECTRONICS CO., LTD.) 18 June 2021 (2021-06-18) entire document	10-12
A	CN 115346988 A (BEIJING CHAOXIAN MEMORY RESEARCH INSTITUTE) 15 November 2022 (2022-11-15) entire document	1-12
A	CN 114975286 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 30 August 2022 (2022-08-30) entire document	1-12

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
10 October 2023	**11 October 2023**

Name and mailing address of the ISA/CN	Authorized officer
China National Intellectual Property Administration (ISA/CN) **China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2023/099226

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN 115988875 A	18 April 2023	None	
CN 112992902 A	18 June 2021	KR 20210077098 A	25 June 2021
		US 2023031207 A1	02 February 2023
		US 2021183862 A1	17 June 2021
		US 11502086 B2	15 November 2022
CN 115346988 A	15 November 2022	None	
CN 114975286 A	30 August 2022	None	

国际检索报告

国际申请号
PCT/CN2023/099226

A. 主题的分类

H10B12/00(2023.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H10B, H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNTXT, DWPI, ENTXT, ENTXTC, CNKI: 存储器，三维，半导体，字线，晶体管；memory, 3D, three-dimensional, semiconductor, word line, transistor

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
PX	CN 115988875 A (北京超弦存储器研究院) 2023年4月18日 (2023 - 04 - 18) 说明书[0003]- [0216]段，附图1A-15	1-12
X	CN 112992902 A (三星电子株式会社) 2021年6月18日 (2021 - 06 - 18) 说明书[0003]- [0141]段，附图1-35B	1-9
A	CN 112992902 A (三星电子株式会社) 2021年6月18日 (2021 - 06 - 18) 全文	10-12
A	CN 115346988 A (北京超弦存储器研究院) 2022年11月15日 (2022 - 11 - 15) 全文	1-12
A	CN 114975286 A (长鑫存储技术有限公司) 2022年8月30日 (2022 - 08 - 30) 全文	1-12

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2023年10月10日	2023年10月11日
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088	受权官员 王晓峰 电话号码 (+86) 62089918

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2023/099226

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	115988875	A	2023年4月18日	无			
CN	112992902	A	2021年6月18日	KR	20210077098	A	2021年6月25日
				US	2023031207	A1	2023年2月2日
				US	2021183862	A1	2021年6月17日
				US	11502086	B2	2022年11月15日
CN	115346988	A	2022年11月15日	无			
CN	114975286	A	2022年8月30日	无			