

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2020년 7월 2일 (02.07.2020)

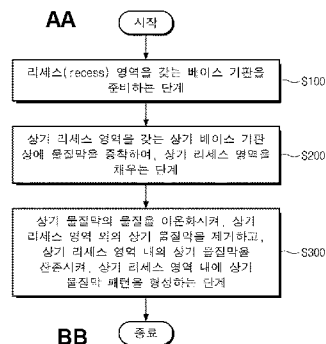


(10) 국제공개번호
WO 2020/138976 A1

- (51) 국제특허분류: *H01L 21/321* (2006.01) *H01L 21/306* (2006.01)
H01L 21/304 (2006.01) *H01L 21/768* (2006.01)
H01L 21/324 (2006.01)
- (21) 국제출원번호: PCT/KR2019/018520
- (22) 국제출원일: 2019년 12월 26일 (26.12.2019)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2018-0169518 2018년 12월 26일 (26.12.2018) KR
10-2019-0124118 2019년 10월 7일 (07.10.2019) KR
- (71) 출원인: 한양대학교에리카산학협력단 (INDUSTRY-UNIVERSITY COOPERATION FOUNDATION HANYANG UNIVERSITY ERICA CAMPUS) [KR/KR]; 15588 경기도 안산시 상록구 한양대학교로 55, Gyeonggi-do (KR).
- (72) 발명자: 유봉영 (YOO, Bongyoung); 13613 경기도 성남시 분당구 정자일로 55 102-1801, Gyeonggi-do (KR). 박기문 (PARK, Kimoon); 15468 경기도 안산시 단원구 광덕2로 241, Gyeonggi-do (KR). 이진현 (LEE, Jinhyun); 15265 경기도 안산시 단원구 황금4길 25-1 202, Gyeonggi-do (KR).
- (74) 대리인: 박상열 (PARK, Sangyoul); 08506 서울시 금천구 가산디지털2로 98 1-315, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 발명의 명칭: 반도체 소자의 제조 방법



S100 ... Step of preparing base substrate having recessed regions
S200 ... Step of depositing material film on base substrate having recessed regions so as to fill recessed regions with same
S300 ... Step of forming material film pattern in recessed regions by removing material film in exclusion of recessed regions by ionizing material of material film, leaving behind material film in recessed regions
AA ... Start
BB ... End

(57) Abstract: A method for manufacturing a semiconductor device is provided. The method for manufacturing the semiconductor device comprises the steps of: preparing a base substrate structure having recessed regions; depositing a material film on the base substrate structure having the recessed regions so as to fill the recessed regions with same; and forming a material film pattern in the recessed regions by removing the material film in exclusion of the recessed regions by ionizing the material of the material film, leaving behind the material film in the recessed regions.

[다음 쪽 계속]

SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(57) 요약서: 반도체 소자의 제조 방법이 제공된다. 상기 반도체 소자의 제조 방법은, 리세스(recess) 영역을 갖는 베이스 기판 구조체를 준비하는 단계, 상기 리세스 영역을 갖는 상기 베이스 기판 구조체 상에 물질막을 증착하여, 상기 리세스 영역을 채우는 단계, 및 상기 물질막의 물질을 이온화시켜, 상기 리세스 영역 외의 상기 물질막을 제거하고, 상기 리세스 영역 내의 상기 물질막을 잔존시켜, 상기 리세스 영역 내에 물질막 패턴을 형성하는 단계를 포함할 수 있다.

명세서

발명의 명칭: 반도체 소자의 제조 방법

기술분야

- [1] 본 출원은 반도체 소자의 제조 방법에 관한 것으로서, 보다 구체적으로는 리세스 영역 내에 물질막 패턴을 형성하는 것을 포함하는 반도체 소자의 제조 방법에 관련된 것이다.

배경기술

- [2] 반도체 장치를 제조할 때, 금속층의 증착 및 선택적 제거는 중요한 공정이다. 전형적인 반도체 웨이퍼는 표면에 증착되거나 도금되는 여러개의 금속층을 갖는데, 각각의 연속하는 층은 다른 층이 더 추가되기 전에 연마되거나 에칭된다. 특히, 웨이퍼 면 상에 구리를 전기도금하는 것이 널리 실시되고 있다. 전형적으로, 구리의 도금(이는 일반적으로 웨이퍼 상에 구리로 된 얇개층을 만든다)을 한 후에 도금층의 원하지 않는 부분을 제거하기 위해 일반적으로 화학기계적 연마(Chemical-Mechanical Polishing, CMP) 공정을 이용하고 있다.
- [3] 전형적인 CMP 공정에서, 기판(예, 웨이퍼)은 플래튼(platen)에 부착된 회전 폴리싱 패드(rotating polishing pad)와 접촉되게 놓인다. CMP 슬러리, 전형적으로는 연마 및 화학적 반응 혼합물이 기판의 CMP 공정 동안 패드에 공급된다. CMP 공정 동안, 패드(플래튼에 고정됨) 및 기판이 회전되면서, 웨이퍼 캐리어 시스템 또는 폴리싱 헤드가 기판에 대해서 압력(다운포스(downward force))을 가한다. 슬러리는 화학 기계적 상호작용에 의해서 평탄화(폴리싱) 공정을 수행하며, 기판 필름이 기판에 대한 패드의 회전 운동의 효과로 인해서 평탄화된다. 폴리싱은 이러한 방식으로 기판상의 소정의 필름이 제거될 때까지 계속되며, 폴리싱의 통상적인 목적은 기판을 효과적으로 평탄화시키는 것이다.
- [4] 그러나, CMP 공정에는 슬러리에 함유되어 있는 입자에 의한 스크래치, 오염, 부식의 문제와 함께 공정 비용이 높다는 문제점이 있다. 이에 따라, 반도체 공정에 있어, CMP 공정에서 발생하는 문제점을 해결하며, 평탄화 공정을 수행할 수 있는 방법에 대해 지속적으로 연구되고 있다.

발명의 상세한 설명

기술적 과제

- [5] 본 출원이 해결하고자 하는 일 기술적 과제는, 제조 공정이 간소화된 반도체 소자의 제조 방법을 제공하는 데 있다.
- [6] 본 출원이 해결하고자 하는 다른 기술적 과제는, CMP 공정을 생략하여, CMP 공정에서 발생하는 문제점(슬러리에 포함된 입자에 의한 스크래치, 오염, 부식 등)을 해결할 수 있는 반도체 소자의 제조 방법을 제공하는 데 있다.
- [7] 본 출원이 해결하고자 하는 또 다른 기술적 과제는, 제조 비용이 절감된 반도체 소자의 제조 방법을 제공하는 데 있다.

[8] 본 출원이 해결하고자 하는 또 다른 기술적 과제는, 신뢰성이 향상된 반도체 소자의 제조 방법을 제공하는 데 있다.

[9] 본 출원이 해결하고자 하는 기술적 과제는 상술된 것에 제한되지 않는다.

과제 해결 수단

[10] 상술된 기술적 과제들을 해결하기 위해 본 출원은 반도체 소자의 제조 방법을 제공한다.

[11] 일 실시 예에 따르면, 상기 반도체 소자의 제조 방법은, 리세스(recess) 영역을 갖는 베이스 기판 구조체를 준비하는 단계, 상기 리세스 영역을 갖는 상기 베이스 기판 구조체 상에 물질막을 증착하여, 상기 리세스 영역을 채우는 단계, 및 상기 물질막의 물질을 이온화시켜, 상기 리세스 영역 외의 상기 물질막을 제거하고, 상기 리세스 영역 내의 상기 물질막을 잔존시켜, 상기 리세스 영역 내에 물질막 패턴을 형성하는 단계를 포함할 수 있다.

[12] 일 실시 예에 따르면, 상기 물질막의 상기 물질을 이온화시키는 단계는, 상기 물질막을 갖는 상기 베이스 기판 구조체를 전해질 내에 침지하는 단계, 상기 물질막에 제1 전압을 인가하는 제1 제거 단계, 및 상기 물질막에 상기 제1 전압보다 낮은 레벨의 제2 전압을 인가하는 제2 제거 단계를 포함할 수 있다.

[13] 일 실시 예에 따르면, 상기 반도체 소자의 제조 방법은, 상기 제1 전압이 인가된 직후(directly after), 상기 제2 전압이 인가되는 것을 포함할 수 있다.

[14] 일 실시 예에 따르면, 상기 제1 제거 단계에서 상기 물질막의 상기 물질이 이온화되는 속도는, 상기 제2 제거 단계에서 상기 물질막의 상기 물질이 이온화되는 속도보다 빠른 것을 포함할 수 있다.

[15] 일 실시 예에 따르면, 상기 제2 전압은 0.5V 초과 1.6V 미만인 것을 포함할 수 있다.

[16] 일 실시 예에 따르면, 상기 전해질은 인산(H_3PO_4)을 포함하고, 상기 인산의 농도는 50 wt% 이상인 것을 포함할 수 있다.

[17] 일 실시 예에 따르면, 상기 인산의 농도가 낮아짐에 따라, 상기 물질의 이온화 속도가 빨라지는 것을 포함할 수 있다.

[18] 일 실시 예에 따르면, 상기 물질막을 증착하기 전, 상기 베이스 기판 구조체 상에, 상기 리세스 영역의 내면을 따라, 베리어층을 형성하는 단계를 더 포함하되, 상기 전해질은, 상기 베리어층을 식각하는 베리어 식각액을 포함할 수 있다.

[19] 일 실시 예에 따르면, 상기 베리어층은 티타늄(Ti), 및 탄탈륨(Ta) 중 어느 하나를 포함할 수 있다.

[20] 일 실시 예에 따르면, 상기 전해질이 교반되는 동시에, 상기 물질막에 상기 제1 및 제2 전압이 인가되는 것을 포함할 수 있다.

[21] 일 실시 예에 따르면, 상기 리세스 영역은 트렌치(Trench)이고, 상기 물질막 패턴은 금속 배선인 것을 포함할 수 있다.

- [22] 일 실시 예에 따르면, 상기 리세스 영역은 상기 베이스 기판을 관통하는 비아홀(Via-hole)이고, 상기 물질막 패턴은 TSV(Through Silicon Via)인 것을 포함할 수 있다.
- [23] 일 실시 예에 따르면, 상기 물질막은 구리막을 포함할 수 있다.
- [24] 다른 실시 예에 따르면, 상기 반도체 소자의 제조 방법은, 베이스 기판을 준비하는 단계, 상기 베이스 기판 상에 물질막을 증착하는 단계, 상기 물질막이 증착된 상기 베이스 기판을 전해질 내에 침지하는 단계, 및 상기 물질막에 제1 전압, 및 상기 제1 전압보다 낮은 레벨의 제2 전압을 연속적으로(sequentially) 인가하여, 상기 물질막의 물질을 이온화시켜, 상기 물질막의 적어도 일부분을 제거하는 단계를 포함할 수 있다.
- [25] 다른 실시 예에 따르면, 제1 전압 구간에서 전압 증가에 따라서 상기 물질막의 제거 속도가 제1 기울기로 감소하는 제1 구간, 및 제2 전압 구간에서 전압 증가에 따라서 상기 물질막의 제거 속도가 제2 기울기로 증가하는 제2 구간이 제공되고, 상기 제2 구간의 상기 제2 기울기의 크기는, 상기 제1 구간의 상기 제1 기울기의 크기보다 크고, 상기 제1 전압은 상기 제2 전압 구간에서 선택되고, 상기 제2 전압은 상기 제1 전압 구간에서 선택되는 것을 포함할 수 있다.

발명의 효과

- [26] 본 출원의 실시 예에 따른 반도체 소자의 제조 방법은, 리세스 영역을 갖는 베이스 기판 구조체를 준비하는 단계, 상기 리세스 영역을 갖는 상기 베이스 기판 구조체 상에 물질막을 증착하여, 상기 리세스 영역을 채우는 단계, 및 상기 물질막의 물질을 이온화시켜, 상기 리세스 영역 외의 상기 물질막을 제거하고, 상기 리세스 영역 내의 상기 물질막을 잔존시켜, 상기 리세스 영역 내에 상기 물질막 패턴을 형성하는 단계를 포함할 수 있다.
- [27] 이에 따라, 상기 리세스 영역 내의 상기 물질막 패턴을 형성하는 공정에 따른 막질의 손상(슬러리에 포함된 입자에 의한 스크래치, 오염, 부식 등)이 예방될 수 있다. 또한, 간단하고 저렴한 비용으로, 고신뢰성의 금속 배선 또는 TSV(Through Silicon Via)가 제조될 수 있다.

도면의 간단한 설명

- [28] 도 1은 본 출원의 실시 예에 따른 반도체 소자의 제조 방법을 설명하는 순서도이다.
- [29] 도 2 내지 도 7은 본 출원의 제1 실시 예에 따른 반도체 소자의 제조 공정을 나타내는 도면이다.
- [30] 도 8 내지 도 11은 본 출원의 제1 실시 예의 변형 예에 따른 반도체 소자의 제조 공정을 나타내는 도면이다.
- [31] 도 12 내지 도 16은 본 출원의 제2 실시 예에 따른 반도체 소자의 제조 공정을 나타내는 도면이다.
- [32] 도 17 및 도 18은 본 출원의 실시 예 1에 따른 반도체 소자의 제조 과정에서,

전해연마에 따른 결과를 촬영한 사진이다.

- [33] 도 19는 본 출원의 실시 예 1에 따른 반도체 소자를 서로 다른 배율 및 각도에서 촬영한 사진이다.
- [34] 도 20은 본 출원의 비교 예 1에 따른 반도체 소자의 EDS analysis를 나타내는 사진이다.
- [35] 도 21은 본 출원의 실시 예 1에 따른 반도체 소자의 EDS analysis를 나타내는 사진이다.
- [36] 도 22는 본 출원의 실시 예 1에 따른 반도체 소자를 촬영한 사진이다.
- [37] 도 23은 본 출원의 비교 예 1에 따른 반도체 소자의 제조 과정에서 전해연마 공정이 수행되기 전 상태를 촬영한 사진이다.
- [38] 도 24는 본 출원의 비교 예 1에 따른 반도체 소자의 제조 과정에서 전해연마 공정이 수행된 후의 상태를 촬영한 사진이다.
- [39] 도 25는 전해질이 포함하는 불화암모늄(NH_4F)의 농도에 따른 베리어층의 제거 효과를 비교하는 사진들이다.
- [40] 도 26은 본 출원의 실시 예 3에 따른 반도체 소자의 제조 과정에서, 비아홀 내에 구리막이 증착된 상태를 촬영하여 나타낸 사진이다.
- [41] 도 27은 본 출원의 실시 예 3에 따른 반도체 소자를 촬영한 사진이다.
- [42] 도 28 및 도 29는 전해질이 포함하는 인산의 농도에 따른 효과를 비교하는 그래프이다.
- [43] 도 30은 본 출원의 실시 예 1에 따른 반도체 소자의 제조 공정에서 전해질 교반에 따른 효과를 비교하는 사진들이다.
- [44] 도 31 및 도 32는 본 출원의 실시 예 1에 따른 반도체 소자의 제조 공정에서 전해질 교반에 따른 효과를 비교하는 그래프들이다.
- [45] 도 33 및 도 34는 본 출원의 실시 예 1 및 실시 예 2에 따른 반도체 소자를 비교하는 사진들이다.
- [46] 도 35는 본 출원의 실시 예 2에 따른 반도체 소자의 제조 공정에서 전해질 교반에 따른 효과를 비교하는 그래프들이다.
- [47] 도 36은 본 출원의 실시 예 1에 따른 반도체 소자의 제조 공정에서 전해질 교반에 따른 효과 및 인산의 농도에 따른 효과를 비교하는 SEM 사진들이다.
- [48] 도 37은 본 출원의 실시 예 1에 따른 반도체 소자의 제조 공정에서 전해질 교반에 따른 효과 및 인산의 농도에 따른 효과를 비교하는 그래프이다.
- [49] 도 38은 본 출원의 실시 예 1에 따른 반도체 소자의 제조 공정에서 전해질 교반에 따른 효과 및 인산의 농도에 따른 효과를 비교하는 AFM 사진들이다.
- [50] 도 39 및 도 40은 본 출원의 실시 예 2에 따른 반도체 소자의 제조 공정에서 전해질 교반에 따른 효과를 비교하는 SEM 사진들이다.
- [51] 도 41은 구리막 제거를 위한 전해연마 과정에서 인가되는 전압에 따라 구리가 이온화되는 정도를 나타내는 그래프이다.
- [52] 도 42는 도 41에 표시된 각 구간에서 촬영된 반도체 소자들을 나타내는

사진이다.

[53] 도 43 및 도 44는 구리막의 제거를 위한 전해연마 공정에서 인가되는 전하의 크기에 따른 효과를 비교하는 사진이다.

[54] 도 45는 구리막의 제거를 위한 전해연마 공정에서 인가되는 전하량에 따른 구리막의 두께 변화를 나타내는 그래프이다.

발명의 실시를 위한 형태

[55] 이하, 첨부된 도면들을 참조하여 본 출원의 바람직한 실시 예를 상세히 설명할 것이다. 그러나 본 출원의 기술적 사상은 여기서 설명되는 실시 예에 한정되지 않고 다른 형태로 구체화 될 수도 있다. 오히려, 여기서 소개되는 실시 예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 출원의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.

[56] 본 명세서에서, 어떤 구성요소가 다른 구성요소 상에 있다고 언급되는 경우에 그것은 다른 구성요소 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 구성요소가 개재될 수도 있다는 것을 의미한다. 또한, 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다.

[57] 또한, 본 명세서의 다양한 실시 예들에서 제1, 제2, 제3 등의 용어가 다양한 구성요소들을 기술하기 위해서 사용되었지만, 이들 구성요소들이 이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어들은 단지 어느 구성요소를 다른 구성요소와 구별시키기 위해서 사용되었을 뿐이다. 따라서, 어느 한 실시 예에 제 1 구성요소로 언급된 것이 다른 실시 예에서는 제 2 구성요소로 언급될 수도 있다. 여기에 설명되고 예시되는 각 실시 예는 그것의 상보적인 실시 예도 포함한다. 또한, 본 명세서에서 '및/또는'은 전후에 나열한 구성요소들 중 적어도 하나를 포함하는 의미로 사용되었다.

[58] 명세서에서 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한 복수의 표현을 포함한다. 또한, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 구성요소 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징이나 숫자, 단계, 구성요소 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 배제하는 것으로 이해되어서는 안 된다. 또한, 본 명세서에서 "연결"은 복수의 구성 요소를 간접적으로 연결하는 것, 및 직접적으로 연결하는 것을 모두 포함하는 의미로 사용된다.

[59] 또한, 하기에서 본 출원을 설명함에 있어 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 출원의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 것이다.

[60]

[61] 도 1은 본 출원의 실시 예에 따른 반도체 소자의 제조 방법을 설명하는 순서도이고, 도 2 내지 도 7은 본 출원의 제1 실시 예에 따른 반도체 소자의 제조

공정을 나타내는 도면이다.

- [62] 도 1 및 도 2를 참조하면, 베이스 기판 구조체(100)가 준비될 수 있다(S100). 일 실시 예에 따르면, 상기 베이스 기판 구조체(100)는, 반도체 기판, 금속 기판, 플라스틱 기판, 또는 유리 기판을 포함할 수 있다. 예를 들어, 상기 베이스 기판 구조체(100)는 실리콘(Si) 반도체 기판을 포함할 수 있다.
- [63] 상기 베이스 기판 구조체(100)는 리세스(recess) 영역(110)을 가질 수 있다. 일 실시 예에 따르면, 상기 리세스 영역(110)은, 트렌치(Trench)일 수 있다. 이에 따라, 상기 베이스 기판 구조체(100)는, 트렌치가 형성된 반도체 기판일 수 있다. 예를 들어, 상기 트렌치의 깊이는 $3\mu\text{m}$ 일 수 있다. 상기 리세스 영역(110)은 상기 반도체 기판에 직접 형성되거나, 또는 상기 반도체 기판 상에 형성된 막에 형성될 수 있다.
- [64] 도 3을 참조하면, 상기 베이스 기판 구조체(100) 상에, 베리어층(200)이 형성될 수 있다. 상기 베리어층(200)은, 상기 리세스 영역(110)의 내면을 따라 형성될 수 있다. 다시 말하면, 상기 베리어층(200)은 상기 리세스 영역(110)을 갖는 상기 베이스 기판 구조체(100)의 표면 프로파일을 따라, 콘포말하게 형성될 수 있다. 상기 베리어층(200)은, 후술되는 물질막의 물질이 확산되는 것을 방지할 수 있다. 또한, 상기 베리어층(200)은, 후술되는 물질막과 상기 베이스 기판 구조체(100) 사이의 접착력을 향상시킬 수 있다.
- [65] 일 실시 예에 따르면, 상기 베리어층(200)은 티타늄(Ti)을 포함할 수 있다. 또는, 이와는 달리, 다른 실시 예에 따르면, 상기 베리어층(200)은 질화티타늄(TiN), 질화규소티타늄(TiSiN), 텅스텐(W), 질화텅스텐(WN), 탄탈륨(Ta), 질화탄탈륨(TaN), 질화규소탄탈륨(TaSiN) 중 적어도 어느 하나를 포함할 수 있다. 일 실시 예에 따르면, 상기 베리어층(200)은 20 nm의 두께로 형성될 수 있다.
- [66] 도 4를 참조하면, 상기 베리어층(200)이 형성된 상기 베이스 기판 구조체(100) 상에, 시드층(seed layer, 300)이 형성될 수 있다. 일 실시 예에 따르면, 상기 시드층(300)은 금속을 포함할 수 있다. 상기 시드층(300)은 상기 리세스 영역(110)의 내면을 따라 상기 베리어층(200) 상에 형성될 수 있다. 예를 들어, 상기 금속은 구리(Cu)일 수 있다. 일 실시 예에 따르면, 상기 시드층(300)은 무전해도금 방법으로 형성될 수 있다. 일 실시 예에 따르면, 상기 시드층(300)은 150 nm의 두께로 형성될 수 있다.
- [67] 후술되는 도 5에 도시된 바와 달리, 상기 시드층(300) 및 상기 물질막(400) 사이의 경계면은 실질적으로 구분되지 않을 수 있다.
- [68] 또한, 상기 시드층(300)은 상기 물질막(400)과 동일한 물질(예를 들어, 구리)로 형성될 수 있고, 후술되는 상기 물질막(400)의 제거 공정에서, 상기 물질막(400)과 함께 상기 리세스 영역(110)외에 배치된 상기 시드층(300)의 일부분이 제거될 수 있다.
- [69] 도 1 및 도 5를 참조하면, 상기 시드층(300)이 형성된 상기 베이스 기판

- 구조체(100) 상에 물질막(400)이 증착될 수 있다. 상기 물질막(400)은, 상기 리세스 영역(110)을 채울 수 있다(S200).
- [70] 일 실시 예에 따르면, 상기 물질막(400)은 전해증착 방법으로 증착될 수 있다. 구체적인 예를 들어, 상기 물질막(400)의 증착은, 황산구리(CuSO_4) 1000mM, 황산(H_2SO_4) 580 mM, 염산(HCl) 1.9 mM을 포함하는 용액 내에서 수행될 수 있다. 또한, 상기 물질막(400)의 증착은, -30 mA/cm^2 의 전류밀도, 25°C 의 온도의 조건에서 300s의 시간 동안 수행될 수 있다.
- [71] 다른 실시 예에 따르면, 상기 물질막(400)은, 화학기상 증착법, 물리기상 증착법, 원자층 증착법 등 다양한 방법으로 형성될 수 있다.
- [72] 상기 물질막(400)은 상기 리세스 영역(110)을 완전히 채울 수 있다. 또한, 상기 물질막(400)은 상기 리세스 영역(110) 외부의 상기 베이스 기판 구조체(100) 상에 형성될 수 있다. 다시 말하면, 상기 물질막(400)은, 상기 리세스 영역(110)을 채우고, 상기 베이스 기판 구조체(100)의 상부면을 덮을 수 있다.
- [73] 도 1, 도 6, 및 도 7을 참조하면, 상기 리세스 영역(110) 외의 상기 물질막(400)은 제거되고, 상기 리세스 영역(110) 내의 상기 물질막(400)은 잔존될 수 있다. 이에 따라, 상기 리세스 영역(110) 내에 물질막 패턴(500)이 형성될 수 있다(S300). 즉, 상기 물질막 패턴(500)은, 상기 리세스 영역(110) 내에 잔존된 상기 물질막(400)일 수 있고, 상기 물질막 패턴(500)의 상부면과 상기 베이스 기판 구조체(100)의 상부면은 공면(共面, co planar)을 이룰 수 있다. 다시 말하면, 상기 베이스 기판 구조체(100)의 상부면과 상기 리세스 영역(110) 내에 잔존된 상기 물질막(400)의 상부면이 공면을 이룰때까지, 상기 물질막(400), 상기 베리어층(200), 및 상기 시드층(300)이 제거될 수 있다.
- [74] 일 실시 예에 따르면, 상기 물질막 패턴(500)은 금속 배선일 수 있다. 구체적으로, 예를 들어, 상기 물질막 패턴(500)은 구리(Cu) 배선일 수 있다.
- [75] 상기 물질막(400)은, 상기 물질막(400)의 물질이 이온화되어 제거될 수 있다. 일 실시 예에 따르면, 상기 물질막(400)의 상기 물질을 이온화시키는 단계는, 상기 물질막(400)을 갖는 상기 베이스 기판 구조체(100)를 전해질 내에 침지하는 단계, 상기 물질막(400)에 제1 전압을 인가하는 제1 제거 단계, 및 상기 물질막(400)에 제2 전압을 인가하는 제2 제거 단계를 포함할 수 있다. 상기 제2 전압은, 상기 제1 전압보다 낮은 레벨일 수 있다.
- [76] 상기 제1 전압이 인가된 직후(directly after), 상기 제2 전압이 인가될 수 있다. 다시 말해, 상기 제1 전압 및 상기 제2 전압은 연속적(sequentially)으로 인가될 수 있다. 즉, 1회의 공정에서, 상기 제1 전압이 인가된 후, 상기 제2 전압이 인가될 수 있다.
- [77] 또는, 다른 실시 예에 따르면, 상기 제1 전압이 인가되고, 상기 제2 전압이 인가되기 전, 상기 전해질을 교반하는 단계가 수행될 수 있다. 이 경우, 상대적으로 높은 레벨의 상기 제1 전압이 인가됨에 따라, 상기 물질막(400) 표면에 구멍이 형성되는 pitting 현상이 예방될 수 있다.

- [78] 일 실시 예에 따르면, 상기 물질막(400) 제거 단계에서, 상기 물질막(400)에 인가되는 전압이 증가함에 따라, 상기 물질막(400)의 제거 속도가 서로 다른 제1 구간, 및 제2 구간이 나타날 수 있다.
- [79] 구체적으로, 상기 제1 구간은, 제1 전압 구간에서 전압 증가에 따라서 상기 물질막(400)의 제거 속도가 제1 기울기로 감소하는 구간일 수 있다. 예를 들어, 상기 제1 전압 구간은, 상기 물질막(400)에 인가되는 전압이 0.5V 초과 1.6V 미만인 구간일 수 있다. 이와 달리, 상기 제2 구간은, 제2 전압 구간에서 전압 증가에 따라서 상기 물질막(400)의 제거 속도가 제2 기울기로 증가하는 구간일 수 있다. 예를 들어, 상기 제2 전압 구간은, 상기 물질막(400)에 인가되는 전압이 1.6V 이상인 구간일 수 있다.
- [80] 상기 제2 구간의 상기 제2 기울기의 크기는, 상기 제1 구간의 상기 제1 기울기의 크기보다 클 수 있다. 이에 따라, 상기 제1 구간은, 상기 제2 구간 보다 상기 물질막(400)의 제거율 변화량이 작을 수 있다. 즉, 상기 제1 구간 내에서 전압이 인가되는 경우, 상기 물질막(400)의 상기 물질이 안정적 그리고 실질적으로 균일하게 이온화 될 수 있다.
- [81] 이와는 달리, 상기 제2 구간은, 상기 제1 구간 보다 상기 물질막(400)의 제거율 변화량이 클 수 있다. 즉, 상기 제2 구간에서 상기 물질막(400)의 상기 물질이 이온화되는 속도는, 상기 제1 구간에서 상기 물질막(400)의 상기 물질이 이온화되는 속도보다 빠를 수 있다.
- [82] 일 실시 예에 따르면, 상술된 상기 제1 제거 단계에서의 상기 제1 전압은, 상기 제2 전압 구간에서 선택될 수 있다. 이와 달리, 상기 제2 제거 단계에서의 상기 제2 전압은, 상기 제1 전압 구간에서 선택될 수 있다.
- [83] 즉, 상기 제1 제거 단계에서는, 상기 물질막(400)이 상대적으로 빠른 속도로 제거되고, 상기 제2 제거 단계에서는, 상기 물질막(400)이 상대적으로 안정적으로 그리고 균일하게 제거될 수 있다. 이에 따라, 상기 물질막(400)의 제거를 위한 공정 시간이 단축될 수 있을 뿐만 아니라, 상기 물질막(400)의 식각 균일성이 향상되고, 상기 리세스 영역(110) 내의 상기 물질막 패턴(500)의 특성이 향상될 수 있다.
- [84] 상기 제1 전압 구간보다 낮은 전압 범위에서는, 상기 물질막(400)의 상기 물질이 실질적으로 이온화되지 않을 수 있다. 즉, 상기 제1 전압 구간보다 낮은 전압 범위에서는, 상기 물질막(400)이 실질적으로 제거되지 않을 수 있다.
- [85] 일 실시 예에 따르면, 상기 전해질이 교반되는 동시에, 상기 물질막(400)에 상기 제1 전압 및 상기 제2 전압이 순차적으로 제공될 수 있다. 이에 따라, 상기 물질막 패턴(500)의 형성 효율이 향상될 수 있다. 즉, 상기 물질막(400)의 제거가 상대적으로 빠른 시간 내에 수행될 수 있을 뿐만 아니라, 상기 물질막(400)의 식각 균일성 또한 향상될 수 있다.
- [86] 일 실시 예에 따르면, 상기 전해질은 산성 용액을 포함할 수 있다. 예를 들어, 상기 산성 용액은 인산(H_3PO_4) 용액을 포함할 수 있다. 일 실시 예에 따르면, 상기

전해질 내에서, 상기 인산의 농도는 50 wt% 이상일 수 있다. 이와는 달리, 상기 전해질 내에서 상기 인산의 농도가 50 wt% 미만일 경우, 상술된 바와 같이, 상기 물질막(400)의 상기 물질이 균일하고 안정적으로 제거되는 상기 제1 구간이 존재하지 않을 수 있고, 이에 따라, 상기 리세스 영역(110) 내에 상기 물질막 패턴(500)을 형성하는 것이 용이하지 않다. 다시 말하면, 상기 베이스 기판 구조체(100)의 상부면과 상기 물질막 패턴(500)의 상부면이 공면(共面, coplanar)을 이루는 공정 조건을 셋팅하기 용이하지 않다. 또한, 불균일 및 불안정하게 상기 물질막(400)이 제거되어, 상기 리세스 영역(110) 내의 상기 물질막 패턴(500)의 막질이 저하될 수 있다. 이에 따라, 본 출원의 실시 예에 따르면, 상기 전해질 내에서 상기 인산의 농도는 50 wt% 이상일 수 있다.

[87] 또한, 일 실시 예에 따르면, 상기 인산의 농도에 따라, 상기 물질막(400)의 상기 물질의 이온화 속도가 제어될 수 있다. 구체적으로, 상기 인산의 농도가 낮아짐에 따라, 상기 물질의 이온화 속도가 빨라질 수 있다. 결과적으로, 상기 전해질 내에서 상기 인산의 농도가 낮을수록, 상기 물질막(400)의 제거 속도가 빨라질 수 있다.

[88] 또한, 일 실시 예에 따르면, 상기 인산의 농도에 따라서, 상기 물질막(400)의 상기 물질이 균일하고 안정적으로 제거되는 상기 제1 구간에 해당하는 상기 제1 전압 구간이 확장될 수 있다. 따라서, 상기 인산의 농도가 상대적으로 고농도인 경우, 상대적으로 용이하게 공정 조건을 셋팅할 수 있다.

[89] 상기 전해질은, 베리어 식각액을 더 포함할 수 있다. 상기 베리어 식각액은, 상기 베리어층(200)을 식각할 수 있다. 상기 물질막(400)이 제거되는 동시에, 상기 베리어층(200) 또한 제거될 수 있다. 즉, 상기 베리어층(200) 및 상기 물질막(400)은 함께 제거될 수 있다. 구체적으로, 상기 물질막(400)의 상기 물질이 이온화되어 제거되는 과정에서, 상기 물질막(400) 및 상기 시드층(300)이 제거되어, 상기 베리어층(200)이 노출된 경우, 노출된 상기 베리어층(200)이 상기 베리어 식각액에 의해 제거될 수 있다. 즉, 상기 리세스 영역(110) 외부에 배치된 상기 베리어층(200)의 일부분이 제거되고, 상기 리세스 영역(110) 내면 및 상기 물질막 패턴(500) 사이에, 상기 베리어층(200)이 잔존될 수 있다.

[90] 예를 들어, 상기 베리어 식각액은 불화암모늄(NH_4F)을 포함할 수 있다. 구체적으로, 불화암모늄은 수용액 내에서 물과 반응하여 불산(HF)을 형성할 수 있다. 이에 따라, 불산에 의하여 상기 베리어층(200)이 식각될 수 있다.

[91] 일 실시 예에 따르면, 상기 베리어 식각액의 농도가 제어될 수 있다. 구체적으로, 상기 베리어 식각액은, 0.5~2M 농도의 불화암모늄(NH_4F)을 포함할 수 있다. 불화암모늄의 농도가 0.5M 미만인 경우, 상기 리세스 영역(110) 외부의 상기 베리어층(200)이 완전히 제거되지 않을 수 있고, 불화암모늄의 농도가 2M 초과인 경우 불화암모늄에 의한 불산으로, 다른 막들(예를 들어, 중간 절연막)이 손상될 수 있다. 이에 따라, 본 출원의 실시 예에 따르면, 불화암모늄의 농도는 0.5~2M일 수 있다.

- [92] 이상, 본 출원의 제1 실시 예에 따른 반도체 소자의 제조 방법이 설명되었다. 이하, 본 출원의 제1 실시 예의 변형 예에 따른 반도체 소자의 제조 방법이 도 8 내지 도 11을 참조하여 설명된다.
- [93] 도 8 내지 도 11은 본 출원의 제1 실시 예의 변형 예에 따른 반도체 소자의 제조 공정을 나타내는 도면이다.
- [94] 본 출원의 제1 실시 예의 변형 예에 따른 반도체 소자의 제조 방법은, 도 1 내지 도 7을 참조하여 설명된 상기 제1 실시 예에 따른 반도체 소자의 제조 방법과 동일하되, 상기 제1 실시 예의 변형 예에 따른 반도체 소자는, 상기 시드층(300)이 생략될 수 있다. 즉, 상기 베리어층(200) 상에 상기 물질막(400)이 증착된 후, 상기 리세스 영역(110) 외에 배치된 상기 베리어층(200) 및 상기 물질막(400)이 제거될 수 있다.
- [95]
- [96] 이상, 본 출원의 제1 실시 예 및 제1 실시 예의 변형 예에 따른 반도체 소자의 제조 방법이 설명되었다. 이하, 본 출원의 제2 실시 예에 따른 반도체 소자의 제조 방법이 설명된다.
- [97] 도 12 내지 도 17은 본 출원의 제2 실시 예에 따른 반도체 소자의 제조 공정을 나타내는 도면이다.
- [98] 도 12를 참조하면, 베이스 기판 구조체(100)가 준비될 수 있다. 일 실시 예에 따르면, 상기 베이스 기판 구조체(100)는, 반도체 기판, 금속 기판, 플라스틱 기판, 또는 유리 기판을 포함할 수 있다. 예를 들어, 상기 베이스 기판 구조체(100)는 실리콘(Si) 반도체 기판을 포함할 수 있다.
- [99] 상기 베이스 기판 구조체(100)는 리세스(recess) 영역(110)을 가질 수 있다. 즉, 상기 베이스 기판 구조체(100)는, 리세스 영역이 형성된 반도체 기판을 포함할 수 있다. 일 실시 예에 따르면, 상기 리세스 영역(110)은, 비아 홀(Via-hole)일 수 있다. 이에 따라, 상기 베이스 기판 구조체(100)는, 비아 홀이 형성된 반도체 기판일 수 있다.
- [100] 도 13을 참조하면, 상기 베이스 기판 구조체(100) 상에 베리어층(200)이 형성될 수 있다. 상기 베리어층(200)은, 상기 리세스 영역(110)의 내면을 따라 형성될 수 있다. 상기 베리어층(200)은, 후술되는 물질막의 물질이 확산되는 것을 방지할 수 있다. 또한, 상기 베리어층(200)은, 후술되는 물질막과 상기 베이스 기판 구조체(100) 사이의 접착력을 향상시킬 수 있다.
- [101] 일 실시 예에 따르면, 상기 베리어층(200)은 탄탈륨(Ta)을 포함할 수 있다. 또는, 이와는 달리, 다른 실시 예에 따르면, 상기 베리어층(200)은, 티타늄(Ti), 질화티타늄(TiN), 질화규소티타늄(TiSiN), 텅스텐(W), 질화텅스텐(WN), 질화탄탈륨(TaN), 질화규소탄탈륨(TaSiN) 중 적어도 어느 하나를 포함할 수 있다.
- [102] 도 14를 참조하면, 상기 베리어층(200)이 형성된 상기 베이스 기판 구조체(100) 상에 물질막(400)이 증착될 수 있다. 상기 물질막(400)은, 상기 리세스

- 영역(110)을 채울 수 있다. 예를 들어, 상기 물질막(400)은 구리막일 수 있다.
- [103] 일 실시 예에 따르면, 상기 물질막(400)은 전해증착 방법으로 증착될 수 있다. 이 경우, 시드층이 상기 물질막(400)을 형성하기 전, 상기 베이스 기판 구조체(100) 상에 형성될 수 있다. 또는, 다른 실시 예에 따르면, 상기 물질막(400)은, 화학기상 증착법, 물리기상 증착법, 원자층 증착법 등 다양한 방법으로 형성될 수 있다.
- [104] 도 15 및 도 16을 참조하면, 상기 리세스 영역(110) 외의 상기 물질막(400)은 제거되고, 상기 리세스 영역(110) 내의 상기 물질막(400)은 잔존될 수 있다. 이에 따라, 상기 리세스 영역(110) 내에 물질막 패턴(500)이 형성될 수 있다. 즉, 상기 물질막 패턴(500)은, 상기 리세스 영역(110) 내에 잔존된 상기 물질막(400)일 수 있다.
- [105] 상기 물질막(400)은 도 1 내지 도 7을 참조하여 설명된 방법으로 제거될 수 있다.
- [106] 일 실시 예에 따르면, 상기 물질막 패턴(500)의 양 단이 노출되도록, 상기 베이스 기판 구조체(100)의 하부 영역 제거될 수 있다. 이에 따라, 반도체 기판 구조체(700)가 제조될 수 있다. 이 경우, 상기 반도체 기판 구조체(700)에서 상기 물질막 패턴(500)은 TSV(Through Silicon Via)일 수 있다. 즉, 복수의 상기 반도체 기판 구조체(700)가 적층되는 경우, 상기 물질막 패턴(500)이 연결되어, 전기적 통로를 형성할 수 있다. 예를 들어, 상술된 바와 같이, 상기 물질막 패턴(500)이 형성된 후, FEOL(front end of line) 및 BEOL(back end of line) 공정이 수행되고, 상기 베이스 기판 구조체(100)의 하부 영역이 제거되거나, 또는, FEOL 공정이 수행되고 상기 물질막 패턴(500)이 형성되고 BEOL 공정이 수행된 후 상기 베이스 기판 구조체(100)의 하부 영역이 제거되거나, 또는 FEOL 및 BEOL 공정이 수행되고 상기 물질막 패턴(500)이 형성될 수 있다. 즉, 본 출원의 실시 예에 따른 상기 물질막 패턴(500)의 형성 공정은 FEOL 공정 및 BEOL 공정과 다양한 방식으로 조합될 수 있다.
- [107] 본 출원의 실시 예에 따른 반도체 소자의 제조 방법은, 상기 리세스 영역(110)을 갖는 상기 베이스 기판 구조체(100)를 준비하는 단계, 상기 리세스 영역(110)을 갖는 상기 베이스 기판 구조체(100) 상에 상기 물질막(400)을 증착하여, 상기 리세스 영역(110)을 채우는 단계, 및 상기 물질막(400)의 상기 물질을 이온화시켜, 상기 리세스 영역(110) 외의 상기 물질막(400)을 제거하고, 상기 리세스 영역(110) 내의 상기 물질막(400)을 잔존시켜, 상기 리세스 영역(110) 내에 상기 물질막 패턴(500)을 형성하는 단계를 포함할 수 있다.
- [108] 이에 따라, 종래 상기 물질막 패턴(500)을 형성하기 위한 화학적 기계적 연마 공정을 생략하거나, 또는 간소화할 수 있고, 화학적 기계적 연마 공정에서 투입되는 슬러리에 포함된 입자에 의한 스크래치, 오염, 부식 등의 문제가 최소화될 수 있다. 또한, 화학적 기계적 연마 공정에 의해 상기 물질막 패턴(500)의 상부면이 오목하게 패이는(dent) 디싱(dishing) 현상이 최소화될 수

있다. 이로 인해, 상기 베이스 기판 구조체(100)의 상부면과 상기 물질막 패턴(500)의 상부면이 평평하게 실질적으로 공면(共面, co planar)을 이룰 수 있고, 제조 공정이 간소하고, 제조 비용이 절감된, 고품질 및 고신뢰성의 금속 배선 또는 TSV의 제조 공정이 제공될 수 있다.

[109]

[110] 이상, 본 출원의 실시 예에 따른 반도체 소자의 제조 방법이 설명되었다. 이하, 본 출원의 실시 예에 따른 반도체 소자의 제조 방법의 구체적인 실험 예 및 특성 평가 결과가 설명된다.

[111] 실시 예 1에 따른 반도체 소자 제조

[112] 3 μm 깊이의 트렌치(Trench)를 갖는 실리콘 기판을 준비한 후, 트렌치의 내면을 따라, 실리콘 기판 상에 티타늄(Ti)층을 형성하였다. 이후, 티타늄층 상에 구리(Cu) 시드층을 형성하고, 구리 시드층이 형성된 실리콘 기판에 전해증착 방법으로, 구리막을 증착하였다. 구체적으로, 황산구리(CuSO_4) 1000mM, 황산(H_2SO_4) 580 mM, 염산(HCl) 1.9 mM을 포함하는 용액 내에서, -30 mA/cm^2 의 전류밀도, 25°C 의 온도의 조건에서 300s의 시간 동안 전해증착을 수행하여, 구리막을 증착시켰다.

[113] 계속해서, 구리막이 증착된 실리콘 기판을 전해질에 침지시킨 후 전압을 인가하는 전해연마(electropolishing) 방법으로, 트렌치 외의 구리막을 제거하고, 트렌치 내의 구리막을 잔존시켜, 상기 실시 예 1에 따른 반도체 소자를 제조하였다. 보다 구체적으로, 구리막을 제거하는 전해연마 공정에서, 상술된 구리막이 증착된 실리콘 기판은 Working electrode로 사용되었고, 백금 시트(Pt sheet)는 Counter electrode로 사용되었고, Ag/AgCl은 Reference electrode로 사용되었다. 또한, 전해질로서, 인산(H_3PO_4) 및 불 화암모늄(NH_4F)이 혼합된 용액이 사용되었다.

[114]

[115] 실시 예 2에 따른 반도체 소자 제조

[116] 상술된 실시 예 1에 따른 반도체 소자의 제조 방법으로 반도체 소자를 제조하되, 구리막을 제거하는 전해연마 공정에서, 구리막이 증착된 실리콘 기판에 제1 전압을 인가한 후, 제1 전압보다 낮은 레벨의 제2 전압을 인가하였다.

[117]

[118] 실시 예 3에 따른 반도체 소자 제조

[119] 비아 홀(Via-hole)을 갖는 실리콘 기판을 준비한 후, 비아 홀의 내면을 따라, 실리콘 기판 상에 탄탈륨(Ta)층을 형성하였다. 이후, 상술된 실시 예 1에 따른 반도체 소자의 제조 방법을 수행하여, 실시 예 3에 따른 반도체 소자를 제조하였다.

[120]

[121] 실시 예 4에 따른 반도체 소자 제조

[122] 비아 홀(Via-hole)을 갖는 실리콘 기판을 준비한 후, 비아 홀의 내면을 따라,

실리콘 기판 상에 탄탈륨(Ta)층을 형성하였다. 이후, 상술된 실시 예 2에 따른 반도체 소자의 제조 방법을 수행하여, 실시 예 4에 따른 반도체 소자를 제조하였다.

[123]

[124] 비교 예 1에 따른 반도체 소자 제조

[125] 상술된 실시 예 1에 따른 반도체 소자의 제조 방법으로 반도체 소자를 제조하되, 구리막을 제거하는 전해연마 공정에서, 불화암모늄(NH_4F)을 포함하지 않고, 인산(H_3PO_4)을 포함하는 전해질이 사용되어, 비교 예 1에 따른 반도체 소자를 제조하였다.

[126]

[127] 상기 실시 예 1 내지 실시 예 4, 및 비교 예 1에 따른 반도체 소자의 제조 방법이 아래의 <표 1>을 통해 정리된다.

[128] [표1]

구분	리세스 구조	전해연마 단계 전압인가 횟수	전해질
실시 예 1	트렌치(Trench)	1	$\text{H}_3\text{PO}_4 + \text{NH}_4\text{F}$
실시 예 2	트렌치(Trench)	2	$\text{H}_3\text{PO}_4 + \text{NH}_4\text{F}$
실시 예 3	비아-홀(Via-hole)	1	$\text{H}_3\text{PO}_4 + \text{NH}_4\text{F}$
실시 예 4	비아-홀(Via-hole)	2	$\text{H}_3\text{PO}_4 + \text{NH}_4\text{F}$
비교 예 1	트렌치(Trench)	1	H_3PO_4

[129] 도 17 및 도 18은 본 출원의 실시 예 1에 따른 반도체 소자의 제조 과정에서, 전해연마에 따른 결과를 촬영한 사진이다. 도 17을 참조하면, 상기 실시 예 1에 따른 반도체 소자의 제조 과정에서, 전해연마를 수행하기 전(Before Electropolishing), 및 전해연마를 수행한 후(After Electropolishing)에 대해 각각 SEM(Scanning Electron Microscope) 촬영하고, 그 결과를 나타내었다. 도 17의 (a)는 5 μm 선폭 및 1 μm 피치의 트렌치에 구리막이 채워진 상태를 나타내고, 도 17의 (b)는 1 μm 선폭 및 2 μm 피치의 트렌치에 구리막이 채워진 상태를 나타내고, 도 17의 (c)는 2 μm 선폭 및 2 μm 피치의 트렌치에 구리막이 채워진 상태를 나타낸다. 도 17의 (a) 내지 (c)에서 확인할 수 있듯이, 전해연마가 수행됨에 따라, 트렌치 외의 구리막이 용이하게 제거되었음을 확인할 수 있었다. 도 18을 참조하면, 상기 실시 예 1에 따른 반도체 소자의 상부면(Top View)을 촬영하여 나타내었다. 도 19에서 확인할 수 있듯이, 전해연마가 수행된 반도체 소자의 경우, 트렌치 외의 구리막이 용이하게 제거되었음을 확인할 수 있었다.

[130] 도 19는 본 출원의 실시 예 1에 따른 반도체 소자를 서로 다른 배율 및 각도에서 촬영한 사진이다.

[131] 도 19에 촬영된 상기 실시 예 1에 따른 반도체 소자의 구체적인 제조 공정

조건은 다음과 같다. 구리막 증착 공정은, -30 mA/cm^2 의 전류 및 9 C/cm^2 조건에서 수행되었으며, 구리막 제거 공정은, $70 \text{ wt\% H}_3\text{PO}_4 + 1.0 \text{M NH}_4\text{F}$ 의 전해질, 1.3V 의 포텐셜(Potential), 7.5 C/cm^2 조건에서 수행되었다.

- [132] 도 19의 (a) 내지 (c)를 참조하면, 상기 실시 예 1에 따른 반도체 소자의 상부면(Top View)을 서로 다른 배율로 SEM 촬영하여 나타내고, 도 19의 (d)를 참조하면, 상기 실시 예 1에 따른 반도체 소자의 측면(Side View)을 SEM 촬영하여 나타내었다. 도 19의 (a) 내지 (d)에서 확인할 수 있듯이, 트렌치 외의 구리막이 용이하게 제거되었음을 확인할 수 있었다.
- [133] 도 20은 본 출원의 비교 예 1에 따른 반도체 소자의 EDS analysis를 나타내는 사진이고, 도 21은 본 출원의 실시 예 1에 따른 반도체 소자의 EDS analysis를 나타내는 사진이고, 도 22는 본 출원의 실시 예 1에 따른 반도체 소자를 촬영한 사진이다.
- [134] 도 20 및 도 21을 참조하면, 상기 비교 예 1에 따른 반도체 소자 및 비교 예 2에 따른 반도체 소자의 EDS(Energy Dispersive X-ray Spectroscopy) analysis를 촬영하여 나타내었고, 도 22를 참조하면, 상기 실시 예 1에 따른 반도체 소자를 측면(Side view)에서 SEM 촬영하여 나타내었다.
- [135] 도 20 내지 도 22에서 확인할 수 있듯이, 상기 비교 예 1에 따른 반도체 소자의 경우, 티타늄층이 제거되지 않았지만, 실시 예 1에 따른 반도체 소자의 경우, 구리막과 함께 티타늄층 또한 제거된 것을 확인할 수 있었다. 즉, 구리막의 전해연마 과정에서 전해질에 포함된 불화암모늄(NH_4F)이, 티타늄층을 제거하는 것을 확인할 수 있었다.
- [136] 도 23은 본 출원의 비교 예 1에 따른 반도체 소자의 제조 과정에서 전해연마 공정이 수행되기 전 상태를 촬영한 사진이고, 도 24는 본 출원의 비교 예 1에 따른 반도체 소자의 제조 과정에서 전해연마 공정이 수행된 후의 상태를 촬영한 사진이다.
- [137] 도 23를 참조하면, 상기 비교 예 1에 따른 반도체 소자의 제조 과정에서 전해연마 공정이 수행되기 전 상태를 SEM 촬영하여 나타내었다. 구리막 증착을 위한 구체적인 공정 조건은 다음과 같다. -30 mA/cm^2 의 전류(Current) 및 9 C/cm^2 의 조건에서 구리막 증착이 수행되었다. 도 24에서 확인할 수 있듯이, 트렌치 내에 구리막의 증착이 용이하게 이루어진 것을 확인할 수 있었다.
- [138] 도 24를 참조하면, 상기 비교 예 1에 따른 반도체 소자의 제조 과정에서 전해연마 공정이 수행된 후의 상태를 SEM 촬영하여 나타내었다. 구리막 제거를 위한 구체적인 공정 조건은 다음과 같다. $70 \text{ wt\% H}_3\text{PO}_4$ 전해질, 1.3V 포텐셜(Potential), 7.5 C/cm^2 의 조건에서 구리막 제거가 수행되었다.
- [139] 도 24에서 확인할 수 있듯이, 상기 비교 예 1에 따른 반도체 소자의 경우, 구리막의 제거는 발생되었지만, 구리막과 실리콘 기판 구조체 사이에 형성된 티타늄(Ti)층은 제거되지 않은 것을 확인할 수 있었다.
- [140] 도 25는 전해질이 포함하는 불화암모늄(NH_4F)의 농도에 따른 베리어층의 제거

효과를 비교하는 사진들이다.

- [141] 도 25의 (a)를 참조하면, 상기 실시 예 1에 따른 반도체 소자를 SEM 촬영하여 나타내었다. 도 25의 (a)에서 촬영된 반도체 소자의 제조 과정에서, 구리막 제거를 위한 구체적인 공정 조건은 다음과 같다. 70 wt% H_3PO_4 + 1.0M NH_4F 전해질, 1.3V 포텐셜(Potential), 7.5 C/cm²의 조건에서 구리막 제거가 수행되었다.
- [142] 도 25의 (b)를 참조하면, 상기 실시 예 1에 따른 반도체 소자를 SEM 촬영하여 나타내었다. 도 25의 (b)에서 촬영된 반도체 소자의 제조 과정에서, 구리막 제거를 위한 구체적인 공정 조건은 다음과 같다. 70 wt% H_3PO_4 + 2.0M NH_4F 전해질, 1.3V 포텐셜(Potential), 7.5 C/cm²의 조건에서 구리막 제거가 수행되었다.
- [143] 도 25의 (c)를 참조하면, 상기 실시 예 1에 따른 반도체 소자를 SEM 촬영하여 나타내었다. 도 25의 (c)에서 촬영된 반도체 소자의 제조 과정에서, 구리막 제거를 위한 구체적인 공정 조건은 다음과 같다. 70 wt% H_3PO_4 + 2.5M NH_4F 전해질, 1.3V 포텐셜(Potential), 7.5 C/cm²의 조건에서 구리막 제거가 수행되었다.
- [144] 도 25의 (a) 내지 (c)에서 확인할 수 있듯이, 상기 실시 예 1에 따른 반도체 소자의 경우, 트렌치 영역 외의 구리막 제거가 용이하게 수행된 것을 확인할 수 있었다. 또한, 전해질이 포함하는 불화암모늄의 농도와 관계 없이, 구리막과 실리콘 기판 구조체 사이에 배치된 티타늄층이 용이하게 제거된 것을 확인할 수 있었다.
- [145] 도 26은 본 출원의 실시 예 3에 따른 반도체 소자의 제조 과정에서, 비아홀 내에 구리막이 증착된 상태를 촬영하여 나타낸 사진이고, 도 27은 본 출원의 실시 예 3에 따른 반도체 소자를 촬영한 사진이다.
- [146] 도 26을 참조하면, 상기 실시 예 3에 따른 반도체 소자의 제조 과정에서, 비아홀 내에 구리막을 증착시킨 후, 구리막이 증착된 상태의 실리콘 기판 구조체의 단면을 촬영하여 나타내었다. 도 26에서 확인할 수 있듯이, 비아홀 내에 구리막이 용이하게 채워진 것을 확인할 수 있었다.
- [147] 도 27을 참조하면, 상기 실시 예 3에 따른 반도체 소자를 SEM 촬영하여 나타내었다. 도 27에서 확인할 수 있듯이, 상기 실시 예 3에 따른 반도체 소자는, 비아홀 외의 구리막이 용이하게 제거된 것을 확인할 수 있었다. 또한, 비아홀 내에 구리막이 채워짐에 따라, TSV(Through Silicon Via)로 사용될 수 있음을 확인할 수 있었다.
- [148] 도 28 및 도 29는 전해질이 포함하는 인산의 농도에 따른 효과를 비교하는 그래프이다.
- [149] 도 28 및 도 29를 참조하면, 50wt%의 H_3PO_4 를 포함하는 전해질을 사용하여 제조된 제1 실시 예에 따른 반도체 소자, 60wt%의 H_3PO_4 를 포함하는 전해질을 사용하여 제조된 제1 실시 예에 따른 반도체 소자, 70wt%의 H_3PO_4 를 포함하는 전해질을 사용하여 제조된 제1 실시 예에 따른 반도체 소자, 85wt%의 H_3PO_4 를 포함하는 전해질을 사용하여 제조된 제1 실시 예에 따른 반도체 소자, 30wt%의 H_3PO_4 를 포함하는 전해질을 사용하여 제조된 제1 실시 예에 따른 반도체 소자,

및 10wt%의 H_3PO_4 를 포함하는 전해질을 사용하여 제조된 제1 실시 예에 따른 반도체 소자 각각에 대해, 구리막 전해연마 과정에서, 시간에 따라 포텐셜(Potential(V) [vs. Ag/AgCl])을 변화시키고, 그에 따른 전류밀도(Current density, mA/cm^2) 변화를 측정하여 나타내었다.

[150] 도 28 및 도 29에서 확인할 수 있듯이, 30 wt% 및 10 wt%의 H_3PO_4 를 포함하는 전해질을 사용하여 제조된 반도체 소자의 경우, 포텐셜 변화에 따른 전류밀도 변화가 불규칙적으로 발생하는 것을 확인할 수 있었다.

[151] 하지만, 50 wt%, 60 wt%, 70 wt%, 및 85 wt%의 H_3PO_4 를 포함하는 전해질을 사용하여 제조된 반도체 소자의 경우, 포텐셜 변화에 따른 전류밀도 변화가 일정한 경향을 나타내는 것을 확인할 수 있었다.

[152] 또한, 50 wt%, 60 wt%, 70 wt%, 및 85 wt%의 H_3PO_4 를 포함하는 전해질을 사용하여 제조된 반도체 소자의 경우, H_3PO_4 의 농도가 낮을수록 전류밀도가 높게 나타나는 것을 확인할 수 있었다.

[153] 결과적으로, 구리막 제거를 위한 전해연마 공정에서, 인산의 농도는 50 wt% 이상이 사용되어야 하며, 인산의 농도가 낮아짐에 따라, 구리의 이온화 속도가 빨라지는 것을 확인할 수 있었다.

[154] 도 30은 본 출원의 실시 예 1에 따른 반도체 소자의 제조 공정에서 전해질 교반에 따른 효과를 비교하는 사진들이다.

[155] 도 30을 참조하면, 상기 실시 예 1에 따른 반도체 소자의 제조 방법에 따라 반도체 소자를 제조하되, 구리막 제거 과정에서 전해질이 교반(Agitation)되는 시간을 제어하고, 이에 따라 제조된 상기 실시 예 1에 따른 반도체 소자를 촬영하였다. 도 30에서 촬영된 사진의 반도체 소자는, 85 wt%의 H_3PO_4 를 포함하는 전해질 내에서, 구리막 제거를 위한 전해연마가 수행되었다.

[156] 도 30의 (a)는 300s의 전해연마 시간 동안 교반을 300s 동안 수행한 경우를 나타내고, 도 30의 (b)는 300s 동안 전해연마를 수행하되 교반을 240s 수행한 후 60s 동안 교반을 수행하지 않은 경우를 나타내고, 도 30의 (c)는 300s 동안 전해연마를 수행하되 교반을 180s 수행한 후 120s 동안 교반을 수행하지 않은 경우를 나타내고, 도 30의 (d)는 300s의 전해연마 시간 동안 교반을 수행하지 않은 경우를 나타내고, 도 30의 (e)는 전해질 교반의 속도를 나타낸다.

[157] 도 30의 (a) 내지 (d)에서 확인할 수 있듯이, 전해연마 과정에서, 전해질의 교반이 수행되는 경우, 트렌치 외의 구리막 제거가 보다 용이하게 이루어지는 것을 확인할 수 있었다.

[158] 도 31 및 도 32는 본 출원의 실시 예 1에 따른 반도체 소자의 제조 공정에서 전해질 교반에 따른 효과를 비교하는 그래프들이다.

[159] 도 31 및 도 32를 참조하면, 구리막 제거 과정에서 전해질이 교반(Agitation)되는 시간이 제어된 복수의 상기 실시 예 1에 따른 반도체 소자를 제조하되, 각각에 대해 구리막 제거를 위한 전해연마 과정에서 시간에 따른 전류(Current)의 변화 및 전하(charge)의 변화를 측정하였다. 구체적으로, 300s 동안 전해연마를

수행하되 교반(400rpm)을 240s 수행한 후 60s 동안 교반을 수행하지 않은 경우(도 31 및 도 32의 a), 300s 동안 전해연마를 수행하되 교반(400rpm)을 180s 수행한 후 120s 동안 교반을 수행하지 않은 경우(도 31 및 도 32의 b), 300s의 전해연마 시간 동안 교반을 수행하지 않은 경우(도 31 및 도 32의 c) 각각에 대해 시간에 따른 전류의 변화 및 전하의 변화를 측정하였다. 도 31은 1.3V의 조건을 기준으로 측정되었고, 도 32는 3.6 C/cm²의 조건을 기준으로 측정되었다.

- [160] 도 31 및 도 32에서 확인할 수 있듯이, 전해연마 시간 동안 교반을 수행하지 않은 경우, 구리막의 제거를 위해 600s의 시간이 소요되었지만, 교반이 수행된 경우에는 300s의 시간이 소요되는 것을 확인할 수 있었다.
- [161] 도 33 및 도 34는 본 출원의 실시 예 1 및 실시 예 2에 따른 반도체 소자를 비교하는 사진들이다.
- [162] 도 33 및 도 34를 참조하면, 상기 실시 예 1 및 실시 예 2에 따른 반도체 소자의 제조 방법에 따라 반도체 소자를 제조한 후, 각각을 SEM 촬영하여 나타내었다. 도 33 및 도 34에서 촬영된 사진의 반도체 소자는, 85 wt%의 H₃PO₄를 포함하는 전해질 내에서, 구리막 제거를 위한 전해연마가 수행되었다.
- [163] 구체적으로, 도 33의 (a)는 2.3V의 전압이 300s 동안 인가되어 제조된 실시 예 1에 따른 반도체 소자를 촬영하여 나타낸 사진이고, 도 33의 (b)는 2.3V의 전압이 240s 동안 인가된 후 1.3V의 전압이 60s 동안 인가되어 제조된 실시 예 2에 따른 반도체 소자를 촬영하여 나타낸 사진이고, 도 33의 (c)는 2.3V의 전압이 180s 동안 인가된 후 1.3V의 전압이 120s 동안 인가되어 제조된 실시 예 2에 따른 반도체 소자를 촬영하여 나타낸 사진이다.
- [164] 또한, 도 34의 (a)는 2.3V의 전압이 300s 동안 인가되어 제조된 실시 예 1에 따른 반도체 소자를 촬영하여 나타낸 사진이고, 도 34의 (b)는 2.3V의 전압이 240s 동안 인가된 후 1.3V의 전압이 60s 동안 인가되어 제조된 실시 예 2에 따른 반도체 소자를 촬영하여 나타낸 사진이고, 도 34의 (d)는 2.3V의 전압이 180s 동안 인가된 후 1.3V의 전압이 120s 동안 인가되어 제조된 실시 예 2에 따른 반도체 소자를 촬영하여 나타낸 사진이고, 도 34의 (e)는 1.3V의 전압이 300s 동안 인가되어 제조된 실시 예 1에 따른 반도체 소자를 촬영하여 나타낸 사진이다.
- [165] 도 33 및 도 34에서 확인할 수 있듯이, 상기 실시 예 2에 따른 반도체 소자는, 트렌치 외의 구리막이 용이하게 제거된 것을 확인할 수 있었다. 또한, 상기 실시 예 2에 따른 반도체 소자는, 상기 실시 예 1에 따른 반도체 소자와 비교하여 트렌치 외의 구리막 제거 효율이 향상된 것을 확인할 수 있었다.
- [166] 도 35는 본 출원의 실시 예 2에 따른 반도체 소자의 제조 공정에서 전해질 교반에 따른 효과를 비교하는 그래프들이다.
- [167] 도 35를 참조하면, 구리막 제거 과정에서 전해질이 교반(Agitation)되는 시간이 제어된 복수의 상기 실시 예 2에 따른 반도체 소자를 제조하되, 각각에 대해 구리막 제거를 위한 전해연마 과정에서 시간에 따른 전류(Current)의 변화 및

전하(Charge)의 변화를 측정하였다. 구체적으로, 2.3V의 전압으로 240s의 시간 동안 전해식각을 수행한 후 1.3V의 전압으로 60s의 시간 동안 전해식각을 수행한 경우(도 35의 a), 2.3V의 전압으로 180s의 시간 동안 전해식각을 수행한 후 1.3V의 전압으로 120s의 시간 동안 전해식각을 수행한 경우(도 35의 b), 및 2.3V의 전압으로 300s의 시간 동안 교반(400rpm)이 수행된 경우(도 35의 c) 각각에 대해 시간에 따른 전류의 변화 및 전하의 변화를 측정하였다. 전하의 변화는 3.6 C/cm^2 의 조건을 기준으로 측정되었다.

- [168] 도 36은 본 출원의 실시 예 1에 따른 반도체 소자의 제조 공정에서 전해질 교반에 따른 효과 및 인산의 농도에 따른 효과를 비교하는 SEM 사진들이다.
- [169] 도 36을 참조하면, 구리막 제거 과정에서 전해질이 교반(Agitation)되는 시간 및 인산의 농도가 제어된 복수의 상기 실시 예 1에 따른 반도체 소자를 제조하고, 각각에 대해 SEM 촬영을 하여 나타내었다. 구체적으로, 도 36의 (a)는 85 wt% H_3PO_4 전해질, 4.5 C/cm^2 , 400 rpm 교반의 조건에서 제조된 반도체 소자를 나타내고, 도 36의 (b)는 70 wt% H_3PO_4 전해질, 4.5 C/cm^2 , 400 rpm 교반의 조건에서 제조된 반도체 소자를 나타내고, 도 36의 (c)는 50 wt% H_3PO_4 전해질, 4.5 C/cm^2 , 400 rpm 교반의 조건에서 제조된 반도체 소자를 나타내고, 도 36의 (d)는 85 wt% H_3PO_4 전해질, 4.5 C/cm^2 , 미교반(without agitation)의 조건에서 제조된 반도체 소자를 나타내고, 도 36의 (e)는 70 wt% H_3PO_4 전해질, 4.5 C/cm^2 , 미교반(without agitation)의 조건에서 제조된 반도체 소자를 나타내고, 도 37의 (f)는 50 wt% H_3PO_4 전해질, 4.5 C/cm^2 , 미교반(without agitation)의 조건에서 제조된 반도체 소자를 나타낸다.
- [170] 도 36의 (a) 내지 (f)에서 확인할 수 있듯이, 전해질이 교반되지 않은 경우와 비교하여 전해질이 교반된 상태에서 구리막이 제거된 경우, 구리막 제거 효율이 보다 높은 것을 확인할 수 있었다. 또한, H_3PO_4 의 농도가 낮아질수록 구리막의 제거 효율이 높은 것을 확인할 수 있었다.
- [171] 도 37은 본 출원의 실시 예 1에 따른 반도체 소자의 제조 공정에서 전해질 교반에 따른 효과 및 인산의 농도에 따른 효과를 비교하는 그래프이다.
- [172] 도 37을 참조하면, 구리막 제거 과정에서 전해질이 교반(Agitation)되는 시간 및 인산의 농도가 제어된 복수의 상기 실시 예 1에 따른 반도체 소자를 제조하되, 각각에 대해 구리막 제거를 위한 전해연마 과정에서 시간에 따른 전하(Charge)의 변화를 측정하였다. 구체적으로, 50 wt%의 H_3PO_4 및 400rpm으로 교반된 경우, 50 wt%의 H_3PO_4 및 교반되지 않은 경우, 70 wt%의 H_3PO_4 및 400rpm으로 교반된 경우, 70 wt%의 H_3PO_4 및 교반되지 않은 경우, 85 wt%의 H_3PO_4 및 400rpm으로 교반된 경우, 85 wt%의 H_3PO_4 및 교반되지 않은 경우 각각에 대해 시간에 따른 전하의 변화를 측정하였다. 도 38은 3.6 C/cm^2 의 조건을 기준으로 측정되었다.
- [173] 도 37에서 확인할 수 있듯이, 50 wt%의 H_3PO_4 및 400rpm으로 교반된 경우 가장 높은 구리막 제거 효율이 나타나는 것을 확인할 수 있었다. 반면, 85 wt%의 H_3PO_4 및 교반되지 않은 경우는, 구리막 제거 효율이 가장 낮게 나타나는 것을 확인할

수 있었다.

- [174] 도 38은 본 출원의 실시 예 1에 따른 반도체 소자의 제조 공정에서 전해질 교반에 따른 효과 및 인산의 농도에 따른 효과를 비교하는 AFM 사진들이다.
- [175] 도 38을 참조하면, 구리막 제거 과정에서 전해질이 교반(Agitation)되는 시간 및 인산의 농도가 제어된 복수의 상기 실시 예 1에 따른 반도체 소자를 제조하고, 각각에 대해 AFM(Atomic force microscopy) 촬영을 하여 나타내었다.
- [176] 구체적으로, 도 38의 (a)는 85 wt% H_3PO_4 전해질, 4.5 C/cm², 400 rpm 교반의 조건에서 제조된 반도체 소자를 나타내고, 도 38의 (b)는 70 wt% H_3PO_4 전해질, 4.5 C/cm², 400 rpm 교반의 조건에서 제조된 반도체 소자를 나타내고, 도 38의 (c)는 50 wt% H_3PO_4 전해질, 4.5 C/cm², 400 rpm 교반의 조건에서 제조된 반도체 소자를 나타내고, 도 38의 (d)는 85 wt% H_3PO_4 전해질, 4.5 C/cm², 미교반(without agitation)의 조건에서 제조된 반도체 소자를 나타내고, 도 38의 (e)는 70 wt% H_3PO_4 전해질, 4.5 C/cm², 미교반(without agitation)의 조건에서 제조된 반도체 소자를 나타내고, 도 38의 (f)는 50 wt% H_3PO_4 전해질, 4.5 C/cm², 미교반(without agitation)의 조건에서 제조된 반도체 소자를 나타낸다.
- [177] 도 38의 (a) 내지 (f)에서 확인할 수 있듯이, 전해질이 교반되지 않은 경우와 비교하여 전해질이 교반된 상태에서 구리막이 제거된 경우, 구리막 제거 효율이 보다 높은 것을 확인할 수 있었다. 또한, H_3PO_4 의 농도가 낮아질수록 구리막의 제거 효율이 높은 것을 확인할 수 있었다.
- [178] 도 39 및 도 40은 본 출원의 실시 예 2에 따른 반도체 소자의 제조 공정에서 전해질 교반에 따른 효과를 비교하는 SEM 사진들이다.
- [179] 도 39를 참조하면, 상기 실시 예 2에 따른 반도체 소자의 제조 공정에 따라 반도체 소자를 제조하되, 다음과 같은 구체적인 조건에 따라 제조되었다. 구리막 증착 공정은, -30 mA/cm²의 전류, 9 C/cm² 조건에서 수행되었고, 구리막 제거 공정은 70 wt% H_3PO_4 전해질, 1.3V 포텐셜(Potential), 6.5C/cm² 및 400rpm으로의 교반이 수행되는 1차 제거, 1.0 C/cm² 및 교반이 수행되지 않는 2차 제거의 조건에서 수행되었다.
- [180] 도 40을 참조하면, 상기 실시 예 2에 따른 반도체 소자의 제조 공정에 따라 반도체 소자를 제조하되, 다음과 같은 구체적인 조건에 따라 제조되었다. 구리막 증착 공정은, -30 mA/cm²의 전류, 9 C/cm² 조건에서 수행되었고, 구리막 제거 공정은 70 wt% H_3PO_4 전해질, 1.3V 포텐셜(Potential), 6.5C/cm² 및 400rpm으로의 교반이 수행되는 1차 제거, 0.5 C/cm² 및 교반이 수행되지 않는 2차 제거의 조건에서 수행되었다.
- [181] 도 39 및 도 40에서 확인할 수 있듯이, 2차 제거 조건의 변화에도 불구하고, 트렌치 외의 구리막이 용이하게 제거된 것을 확인할 수 있었다. 또한, 다양한 크기의 Line width와 Line space를 갖는 트렌치 내에 구리막이 용이하게 채워진 것을 확인할 수 있었다.
- [182] 도 41은 구리막 제거를 위한 전해연마 과정에서 인가되는 전압에 따라 구리가

이온화되는 정도를 나타내는 그래프이고, 도 42는 도 41에 표시된 각 구간에서 촬영된 반도체 소자들을 나타내는 사진이다.

- [183] 도 41을 참조하면, 상기 실시 예 1에 따른 반도체 소자의 제조 방법에 따라 반도체 소자를 준비하되, 구리막 제거를 위한 전해연마 과정에서 인가되는 포텐셜(Potential V vs. Ag/AgCl)을 제어하고, 이에 따른 전류 밀도(Current density, mA/cm²)를 측정하여 나타내었다.
- [184] 도 42를 참조하면, 도 41에서 상술된 반도체 소자를 SEM 촬영하여 나타내었다. 구체적으로, 도 41의 (a)는 전해연마가 수행되기 이전 상태를 촬영하여 나타내고, 도 41의 (b)는 0.25V가 인가된 상태를 촬영하여 나타내고, 도 41의 (c)는 0.375V가 인가된 상태를 촬영하여 나타내고, 도 41의 (d)는 0.5V가 인가된 상태를 촬영하여 나타내고, 도 41의 (e)는 1.3V가 인가된 상태를 촬영하여 나타내었다.
- [185] 도 41 및 도 42에서 확인할 수 있듯이, 0V 초과 0.5V 이하의 구간과 1.6V 이상 2.5V 이하의 구간에서는, 인가되는 전압의 증가에 따라 전류 밀도의 기울기가 증가하는 것을 확인할 수 있었다. 반면, 0.5 V 초과 1.5V 미만의 구간에서는, 인가되는 전압의 증가에 따라 전류 밀도의 기울기가 소폭으로 감소하는 것을 확인할 수 있었다.
- [186] 또한, 0V 초과 0.5V 이하의 구간에서는 구리막 제거가 이루어지지 않았고, 0.375V 이상의 구간에서는 구리막의 제거가 이루어 지는 것을 확인할 수 있었다. 뿐만 아니라, 1.6V 이상 2.5V 이하의 구간에서는 0.5 V 초과 1.5V 미만의 구간과 비교하여, 측정된 전류 밀도의 기울기가 현저하게 높은 것으로 보아, 식각 속도가 현저하게 빠른 것을 확인할 수 있었고, 0.5 V 초과 1.5V 미만의 구간에서는 상대적으로 식각 속도는 낮지만, 식각된 구리막의 표면 상태가 가장 좋게 나타나는 것을 확인할 수 있었다.
- [187] 결과적으로, 구리막 제거를 위한 전해연마 과정에서, 상대적으로 높은 레벨의 제1 전압을 인가하여 빠른 속도로 구리막을 제거한 후, 상대적으로 낮은 레벨의 제2 전압을 인가하여 구리막의 식각 균일성을 향상시키는 것이, 평탄화 공정을 효율적으로 수행할 수 있는 방법임을 알 수 있다.
- [188] 도 43 및 도 44는 구리막의 제거를 위한 전해연마 공정에서 인가되는 전하의 크기에 따른 효과를 비교하는 사진이고, 도 45는 구리막의 제거를 위한 전해연마 공정에서 인가되는 전하량에 따른 구리막의 두께 변화를 나타내는 그래프이다.
- [189] 도 43 및 도 44를 참조하면, 구리막 제거 과정에서 인가되는 전하의 크기를 0C/cm², 0.5 C/cm², 1.5 C/cm², 및 2.5 C/cm²으로 제어된 복수의 상기 실시 예 1에 따른 반도체 소자를 제조한 후, 각각을 SEM 촬영하여 나타내었다. 도 43은 Top image를 나타내고 도 44는 Vertical image를 나타낸다.
- [190] 도 45를 참조하면, 구리막 제거 과정에서 인가되는 전하의 크기를 제어한 후, 각각의 C/cm² 크기에 따라 제조된 실시 예 1에 따른 반도체 소자에서, 트랜치 외의 구리막의 두께(Thickness, um) 변화를 측정하여 나타내었다.
- [191] 도 43 내지 도 45에서 확인할 수 있듯이, 구리막 제거 과정에서 인가되는 전하의

크기(또는 전압의 크기)가 증가함에 따라, 구리막의 제거가 용이하게 발생하는 것을 확인할 수 있었다.

[192]

[193] 이상, 본 출원을 바람직한 실시 예를 사용하여 상세히 설명하였으나, 본 출원의 범위는 특정 실시 예에 한정되는 것은 아니며, 첨부된 특허청구범위에 의하여 해석되어야 할 것이다. 또한, 이 기술분야에서 통상의 지식을 습득한 자라면, 본 출원의 범위에서 벗어나지 않으면서도 많은 수정과 변형이 가능함을 이해하여야 할 것이다.

산업상 이용가능성

[194] 본 발명의 실시 예에 따른 반도체 소자의 제조 방법은, 금속 배선, TSV 등 반도체 소자의 다양한 구성 요소에 적용될 수 있다.

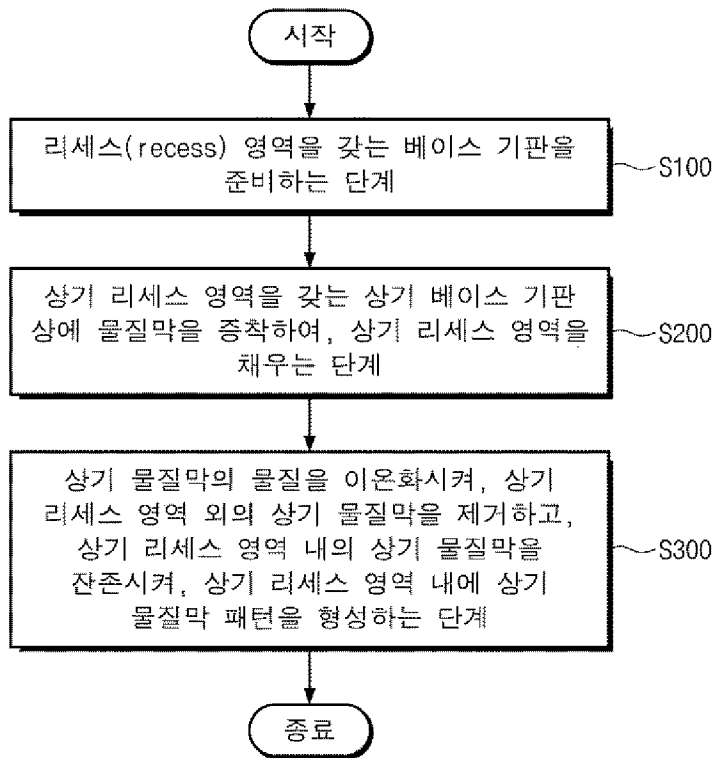
[195]

청구범위

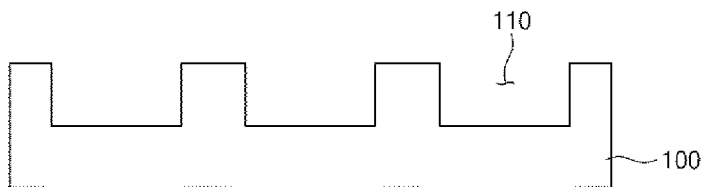
- [청구항 1] 리세스(recess) 영역을 갖는 베이스 기판 구조체를 준비하는 단계;
상기 리세스 영역을 갖는 상기 베이스 기판 구조체 상에 물질막을 증착하여, 상기 리세스 영역을 채우는 단계; 및
상기 물질막의 물질을 이온화시켜, 상기 리세스 영역 외의 상기 물질막을 제거하고, 상기 리세스 영역 내의 상기 물질막을 잔존시켜, 상기 리세스 영역 내에 물질막 패턴을 형성하는 단계를 포함하는 반도체 소자의 제조 방법.
- [청구항 2] 제1 항에 있어서,
상기 물질막의 상기 물질을 이온화시키는 단계는,
상기 물질막을 갖는 상기 베이스 기판 구조체를 전해질 내에 침지하는 단계;
상기 물질막에 제1 전압을 인가하는 제1 제거 단계; 및
상기 물질막에 상기 제1 전압보다 낮은 레벨의 제2 전압을 인가하는 제2 제거 단계를 포함하는 반도체 소자의 제조 방법.
- [청구항 3] 제2 항에 있어서,
상기 제1 전압이 인가된 직후(directly after), 상기 제2 전압이 인가되는 것을 포함하는 반도체 소자의 제조 방법.
- [청구항 4] 제2 항에 있어서,
상기 제1 제거 단계에서 상기 물질막의 상기 물질이 이온화되는 속도는,
상기 제2 제거 단계에서 상기 물질막의 상기 물질이 이온화되는 속도보다 빠른 것을 포함하는 반도체 소자의 제조 방법.
- [청구항 5] 제2 항에 있어서,
상기 제2 전압은 0.5V 초과 1.6V 미만인 것을 포함하는 반도체 소자의 제조 방법.
- [청구항 6] 제2 항에 있어서,
상기 전해질은 인산(H_3PO_4)을 포함하고, 상기 인산의 농도는 50 wt% 이상인 것을 포함하는 반도체 소자의 제조 방법.
- [청구항 7] 제2 항에 있어서,
상기 인산의 농도가 낮아짐에 따라, 상기 물질의 이온화 속도가 빨라지는 것을 포함하는 반도체 소자의 제조 방법.
- [청구항 8] 제2 항에 있어서,
상기 물질막을 증착하기 전,
상기 베이스 기판 구조체 상에, 상기 리세스 영역의 내면을 따라,
베리어층을 형성하는 단계를 더 포함하되,
상기 전해질은, 상기 베리어층을 식각하는 베리어 식각액을 포함하는 반도체 소자의 제조 방법.

- [청구항 9] 제8 항에 있어서,
상기 베리어층은 티타늄(Ti), 탄탈륨(Ta), 질화티타늄(TiN),
질화규소티타늄(TiSiN), 텅스텐(W), 질화텅스텐(WN), 질화탄탈륨(TaN),
및 질화규소탄탈륨(TaSiN) 중 어느 하나를 포함하는 반도체 소자의 제조
방법.
- [청구항 10] 제2 항에 있어서,
상기 전해질이 교반되는 동시에, 상기 물질막에 상기 제1 및 제2 전압이
인가되는 것을 포함하는 반도체 소자의 제조 방법.
- [청구항 11] 제1 항에 있어서,
상기 리세스 영역은 트렌치(Trench)이고, 상기 물질막 패턴은 금속 배선인
것을 포함하는 반도체 소자의 제조 방법.
- [청구항 12] 제1 항에 있어서,
상기 리세스 영역은 상기 베이스 기판을 관통하는 비아 홀(Via-hole)이고,
상기 물질막 패턴은 TSV(Through Silicon Via)인 것을 포함하는 반도체
소자의 제조 방법.
- [청구항 13] 제1 항에 있어서,
상기 물질막은 구리막을 포함하는 반도체 소자의 제조 방법.
- [청구항 14] 베이스 기판을 준비하는 단계;
상기 베이스 기판 상에 물질막을 증착하는 단계;
상기 물질막이 증착된 상기 베이스 기판을 전해질 내에 침지하는 단계; 및
상기 물질막에 제1 전압, 및 상기 제1 전압보다 낮은 레벨의 제2 전압을
연속적으로(sequentially) 인가하여, 상기 물질막의 물질을 이온화시켜,
상기 물질막의 적어도 일부분을 제거하는 단계를 포함하는 반도체
소자의 제조 방법.
- [청구항 15] 제14 항에 있어서,
제1 전압 구간에서 전압 증가에 따라서 상기 물질막의 제거 속도가 제1
기울기로 감소하는 제1 구간, 및 제2 전압 구간에서 전압 증가에 따라서
상기 물질막의 제거 속도가 제2 기울기로 증가하는 제2 구간이 제공되고,
상기 제2 구간의 상기 제2 기울기의 크기는, 상기 제1 구간의 상기 제1
기울기의 크기보다 크고,
상기 제1 전압은 상기 제2 전압 구간에서 선택되고, 상기 제2 전압은 상기
제1 전압 구간에서 선택되는 것을 포함하는 반도체 소자의 제조 방법.

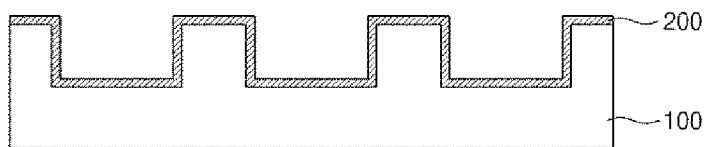
[도1]



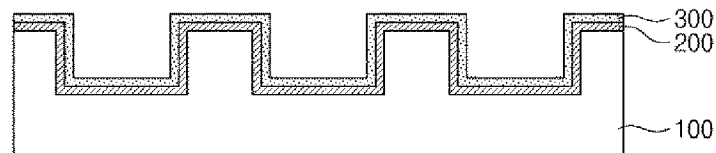
[도2]



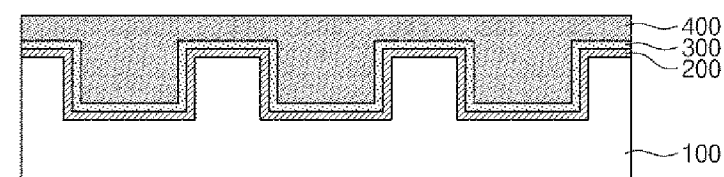
[도3]



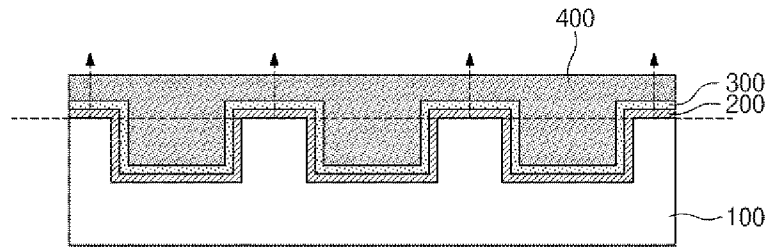
[도4]



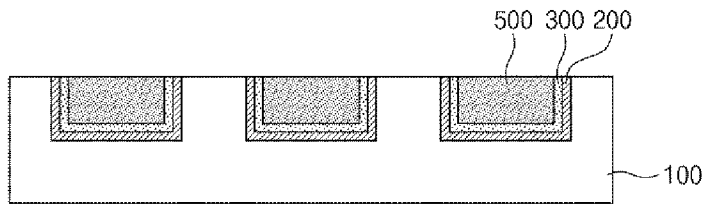
[도5]



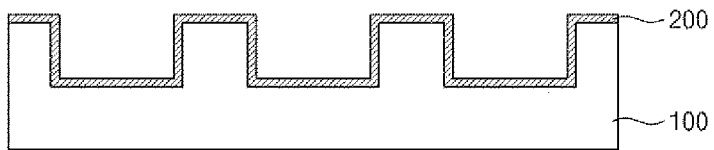
[도6]



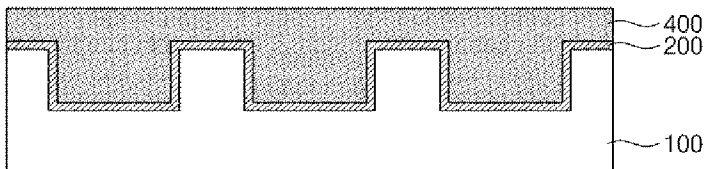
[도7]



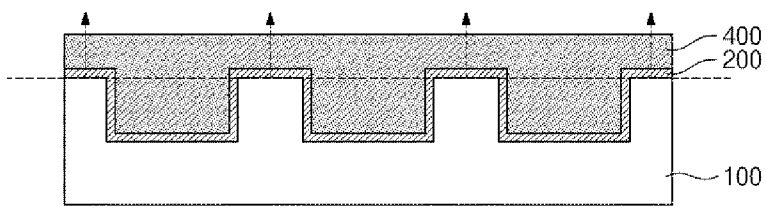
[도8]



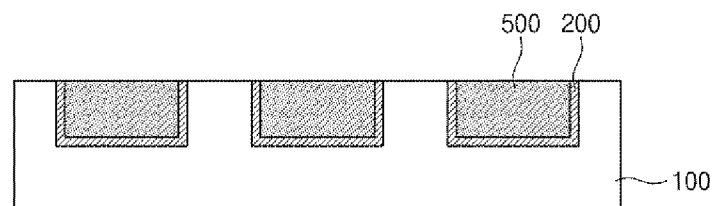
[도9]



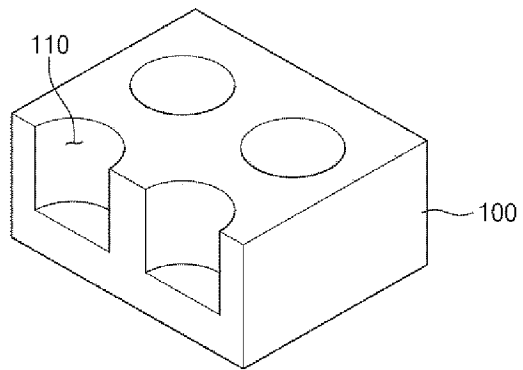
[도10]



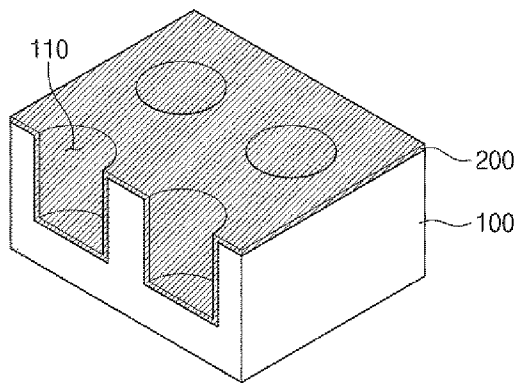
[도11]



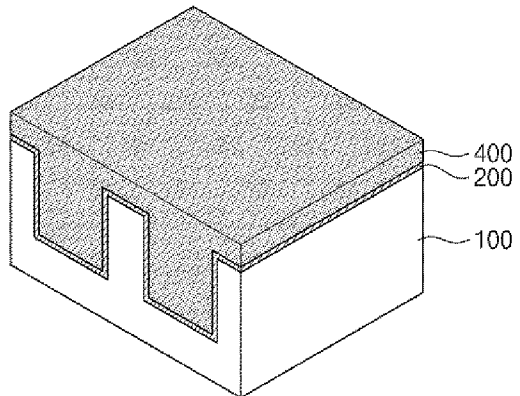
[도12]



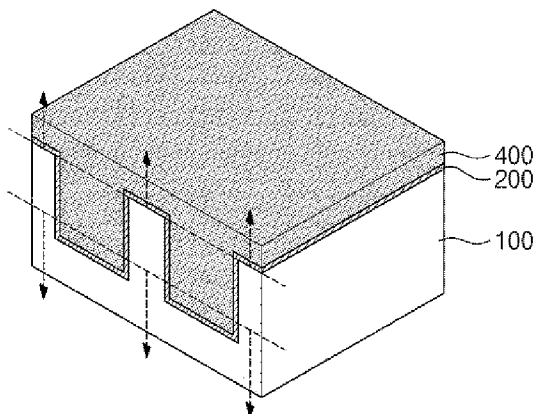
[도13]



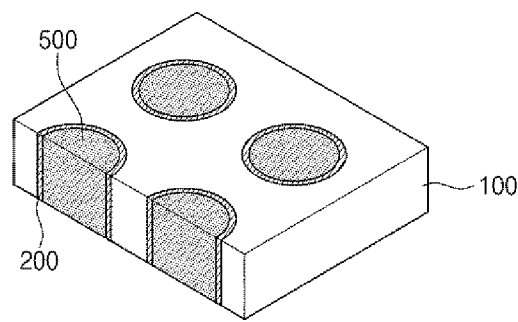
[도14]



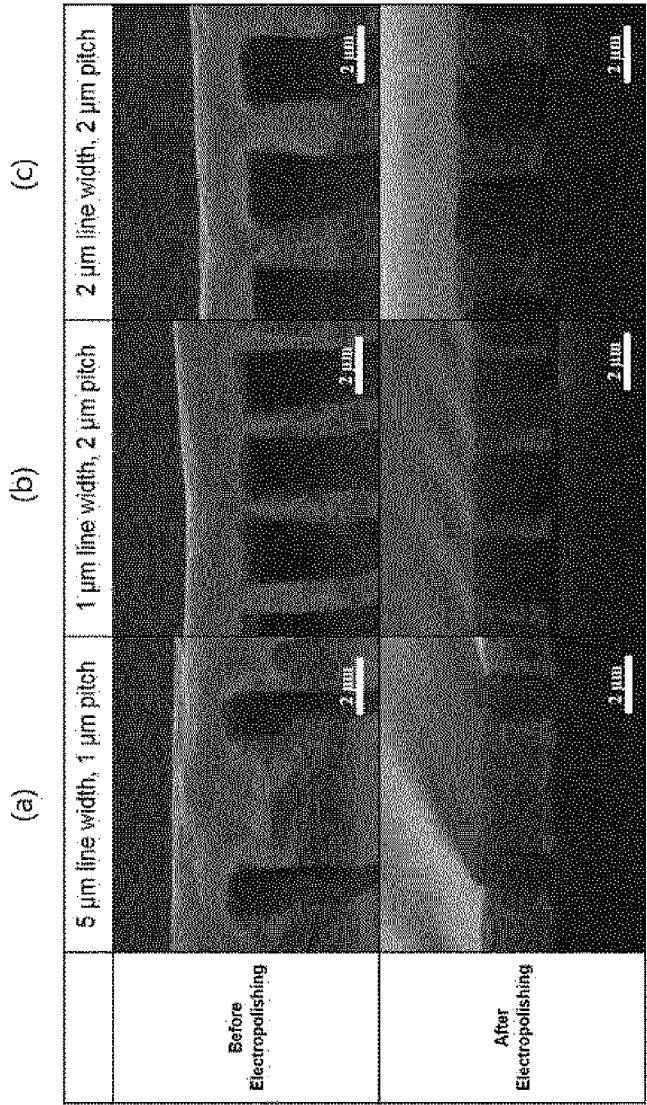
[도15]



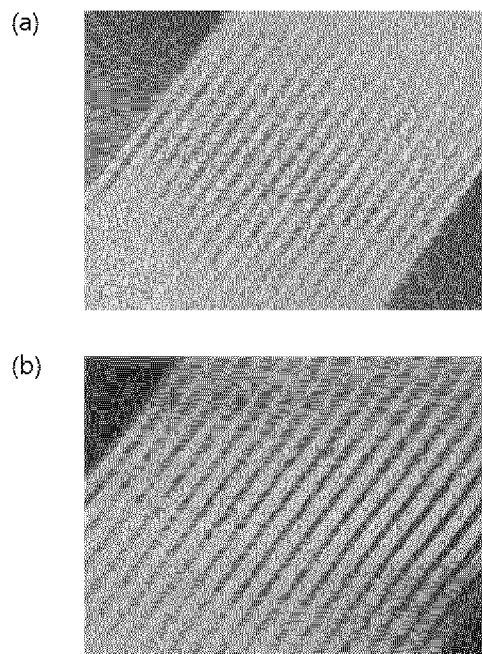
[도16]



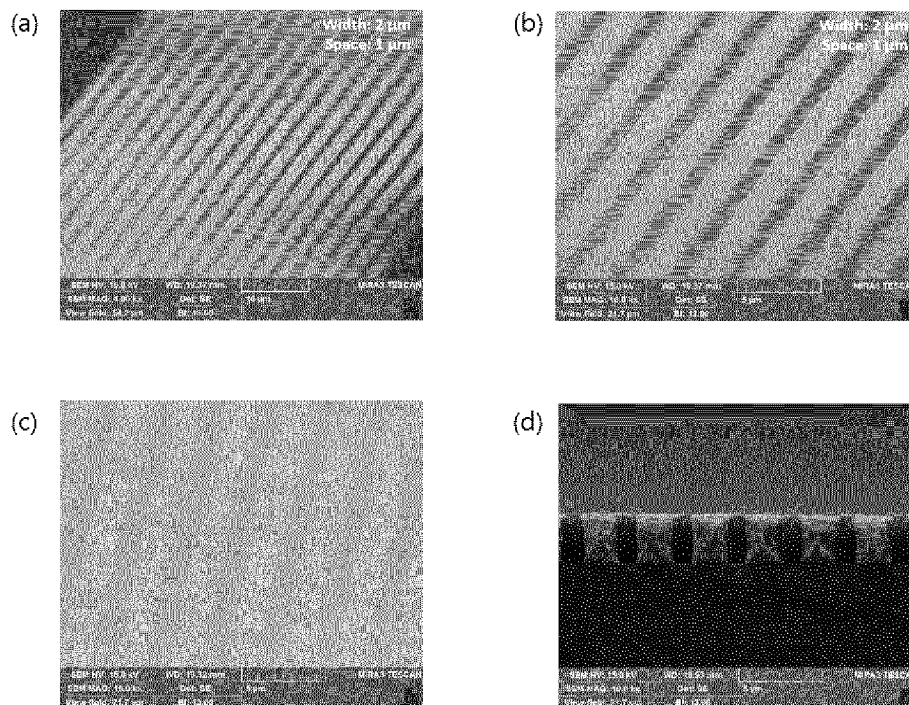
[도17]



[도18]



[도19]





(d)



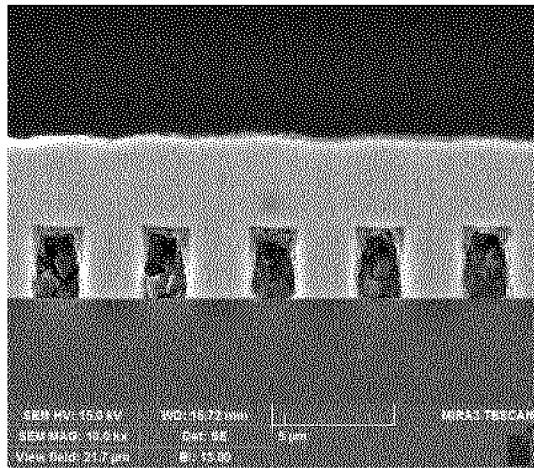
A square plot showing a dense, uniform distribution of small white dots on a black background, representing a random distribution of points.



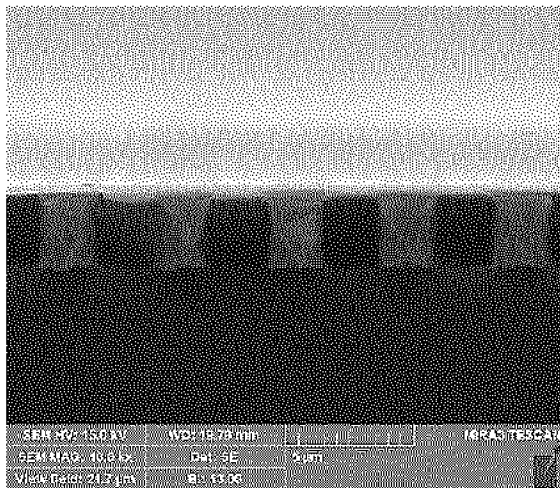
(d)

SEM image showing a cross-section of a polymer film. The image displays a layered structure with a dark, textured top layer and a lighter, more uniform bottom layer. A scale bar is visible in the bottom right corner, indicating a length of 10.00 μm. The image is labeled with technical parameters: 5.0kV, 10.0kV, WD: 10.00 mm, and 10.00 μm.

[도23]

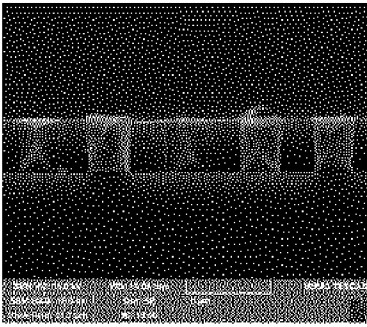


[도24]

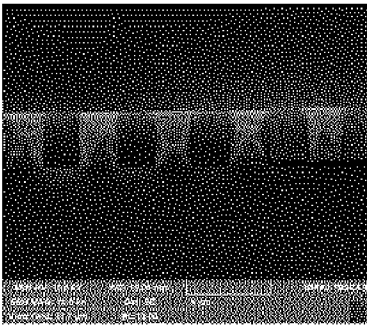


[도25]

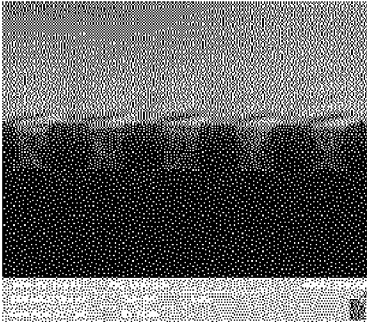
(a)



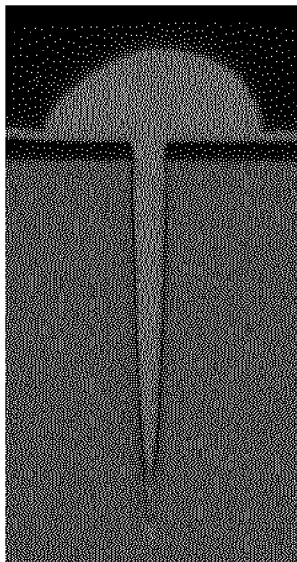
(b)



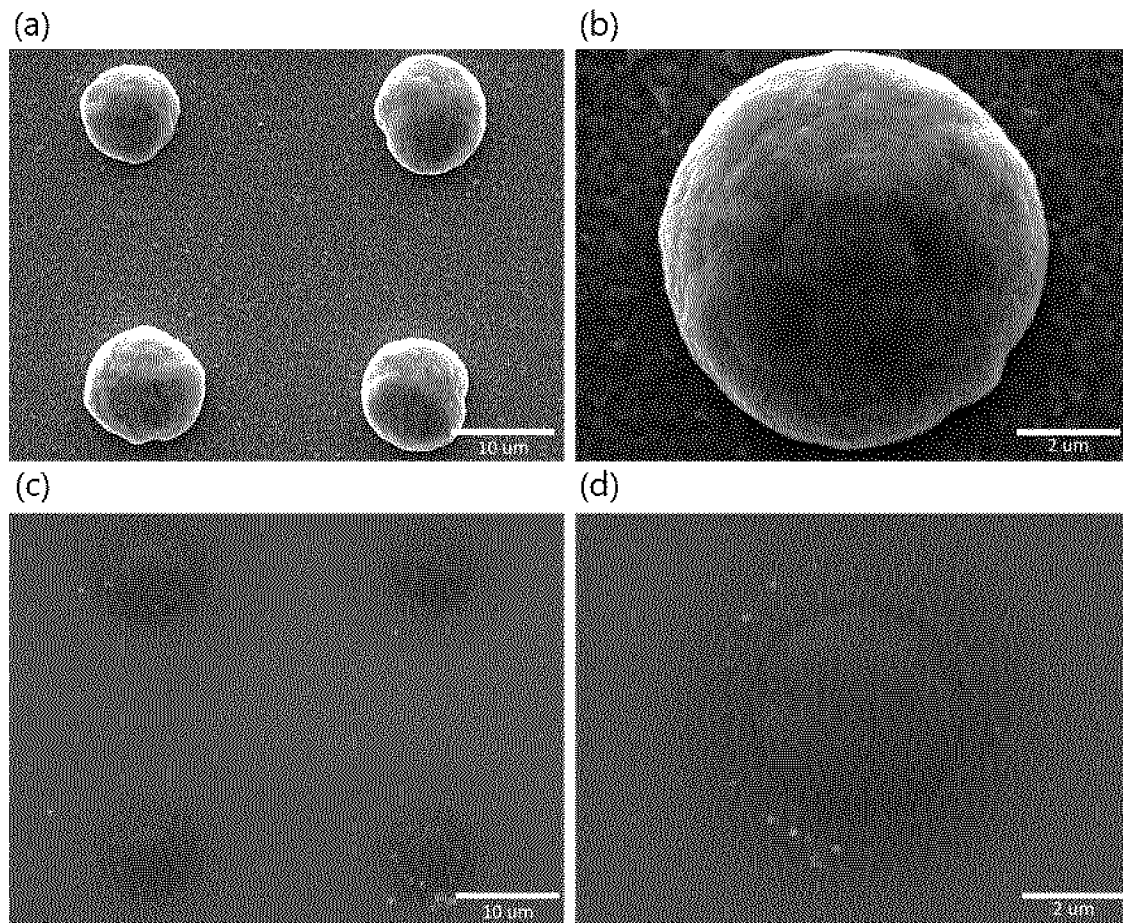
(c)



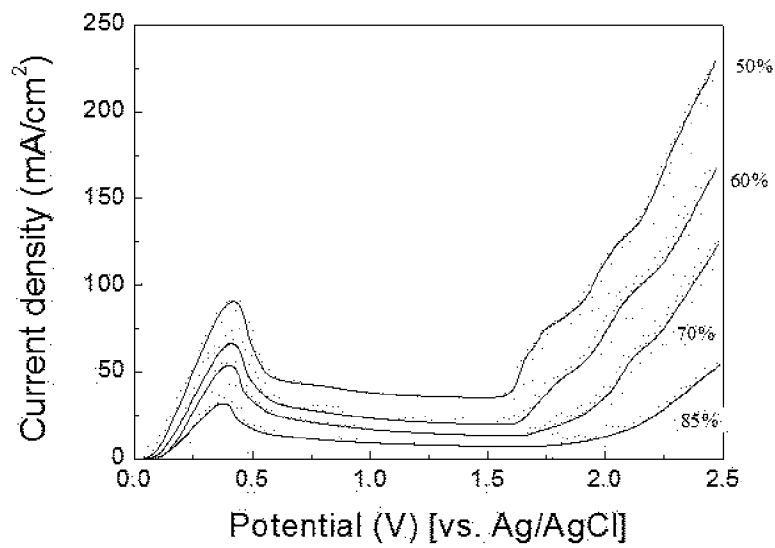
[도26]



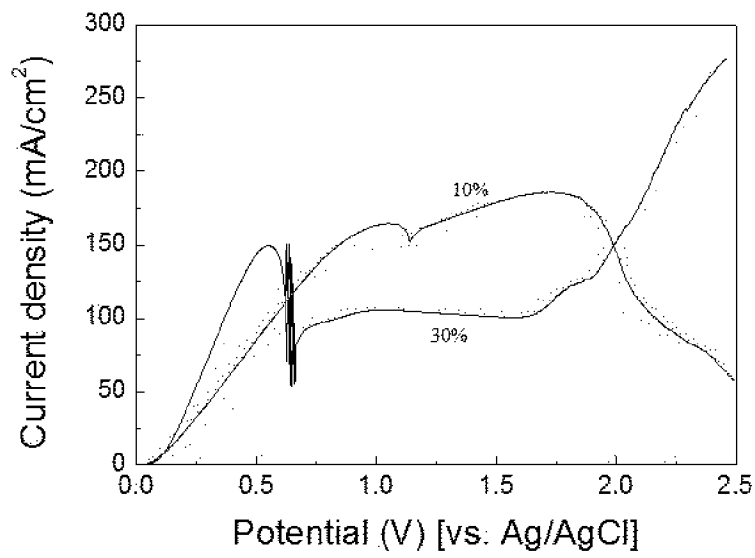
[도27]



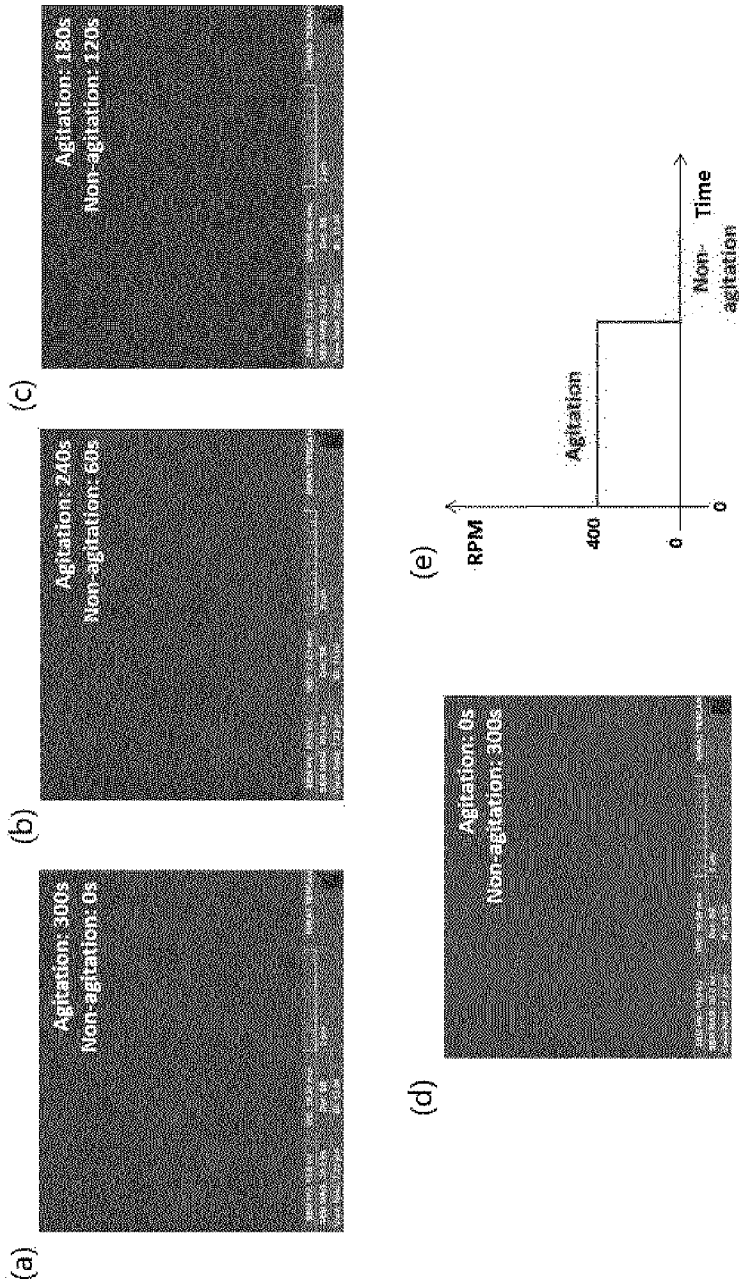
[도28]



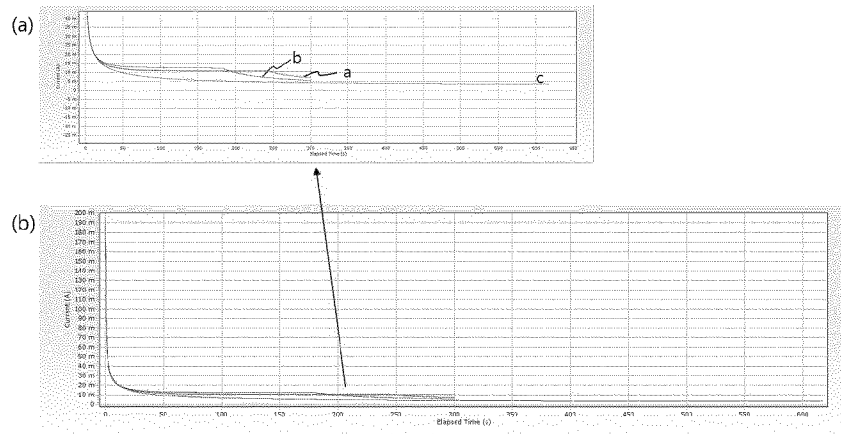
[도29]



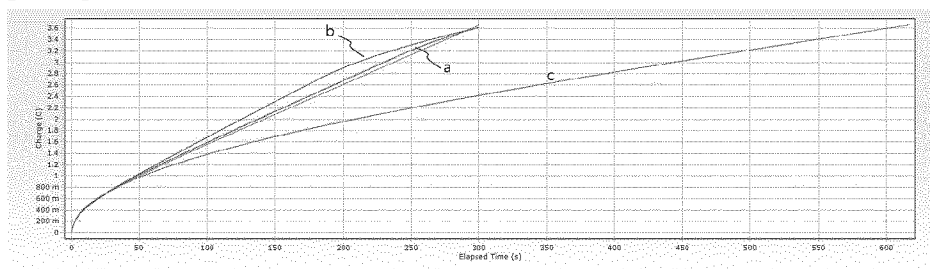
[도30]



[도31]

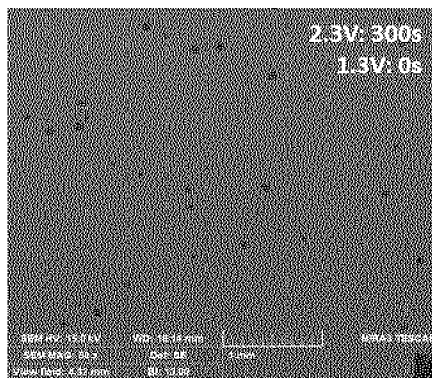


[도32]

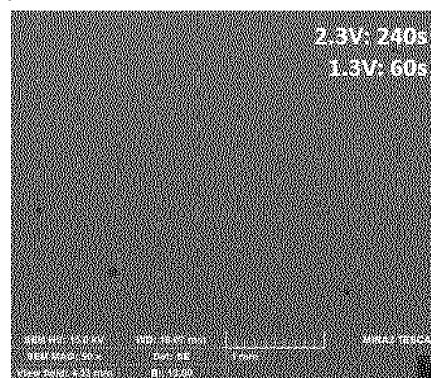


[도33]

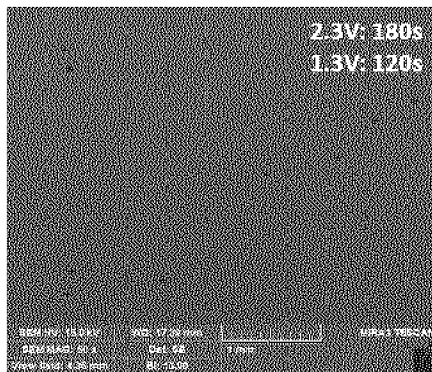
(a)



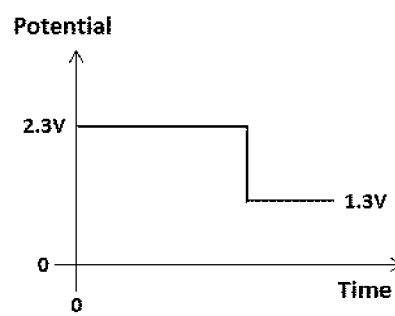
(b)



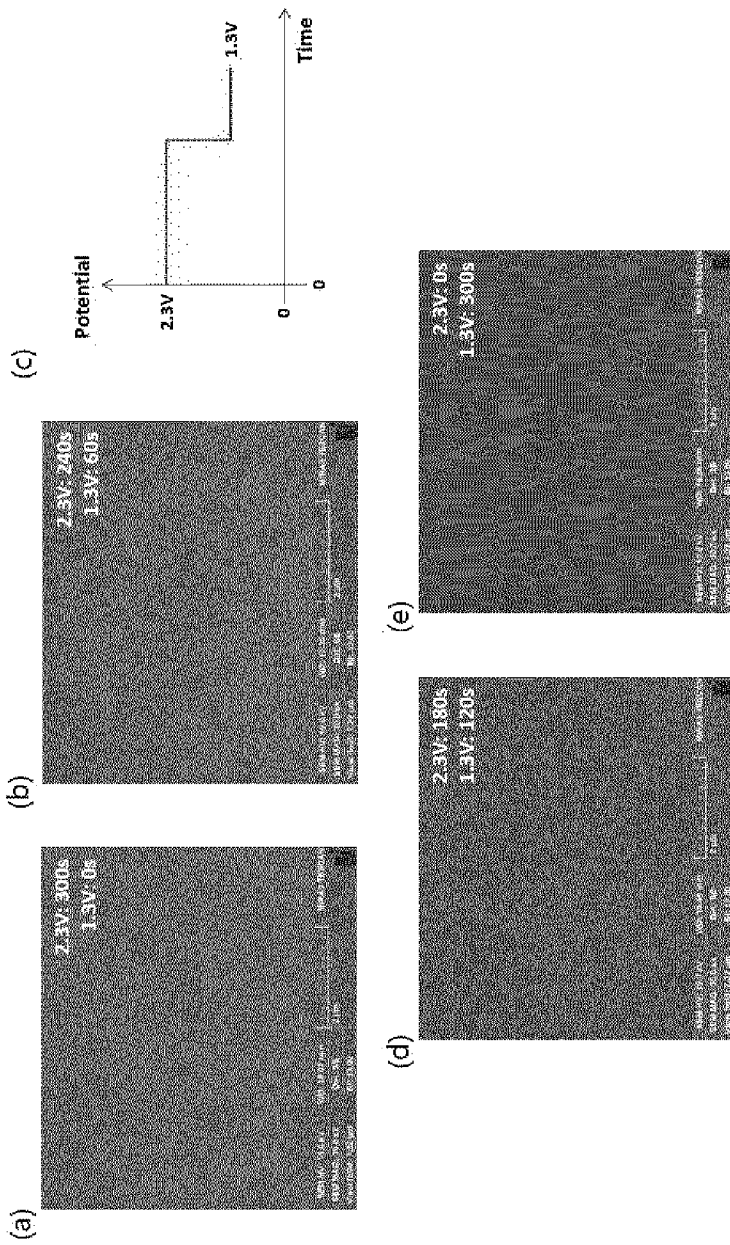
(c)



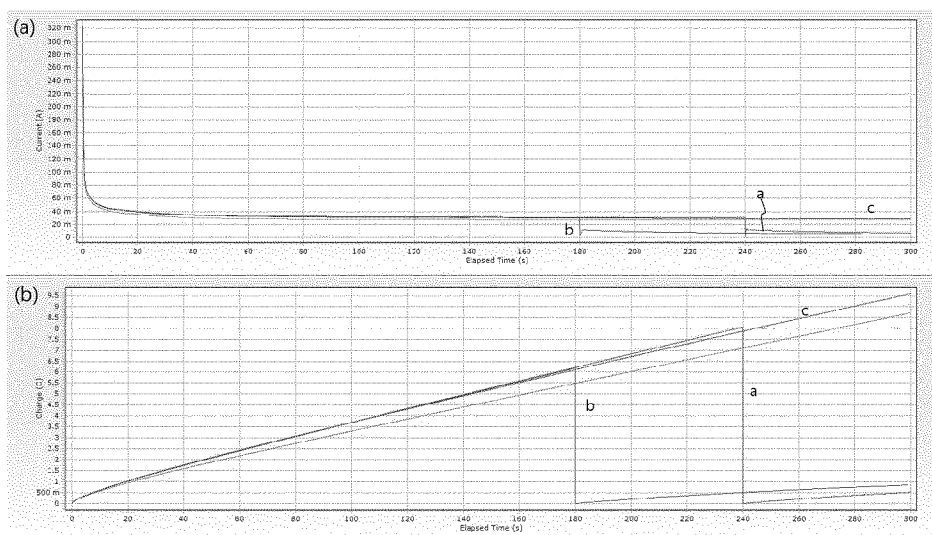
(d)



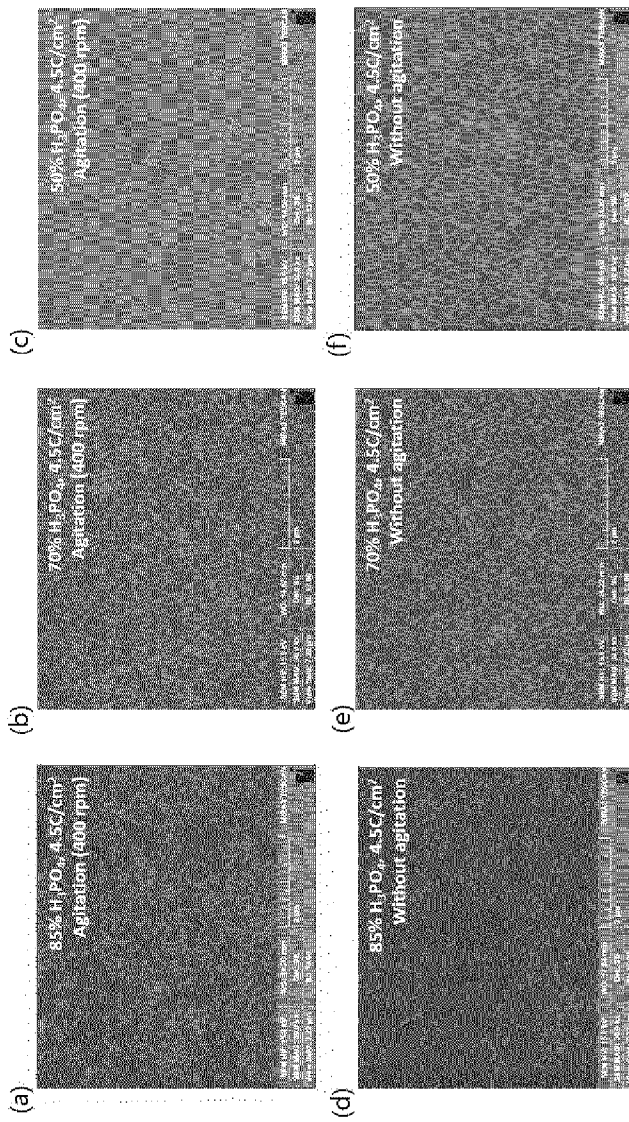
[도34]



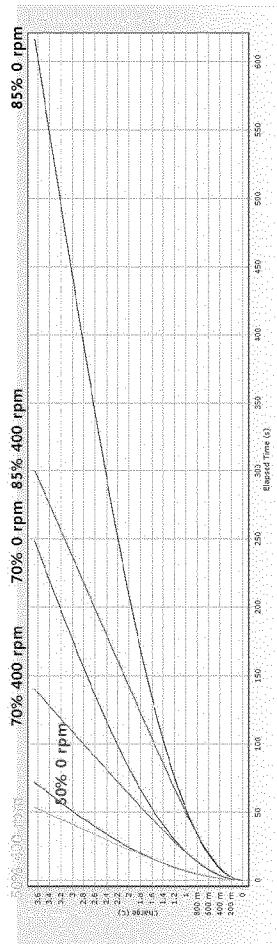
[도35]



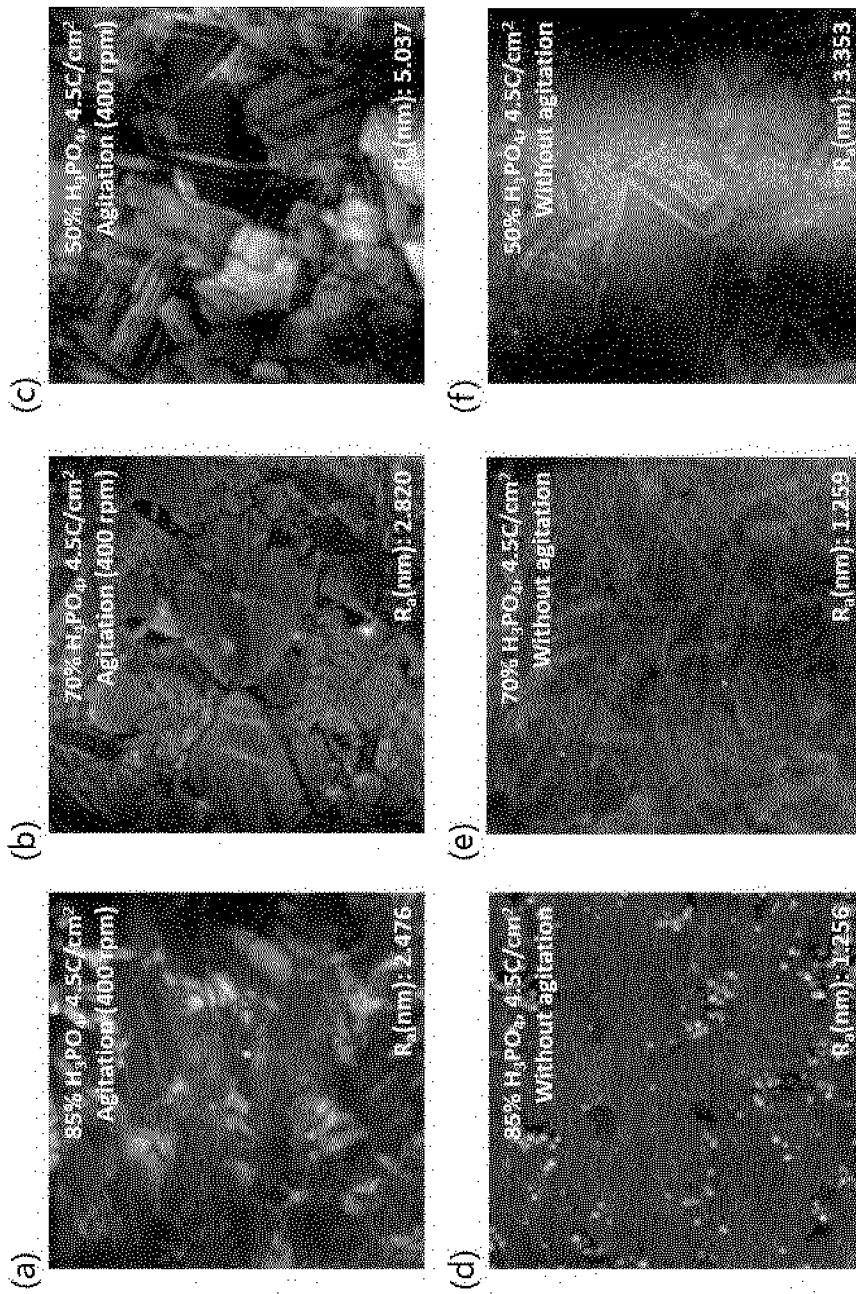
[도36]



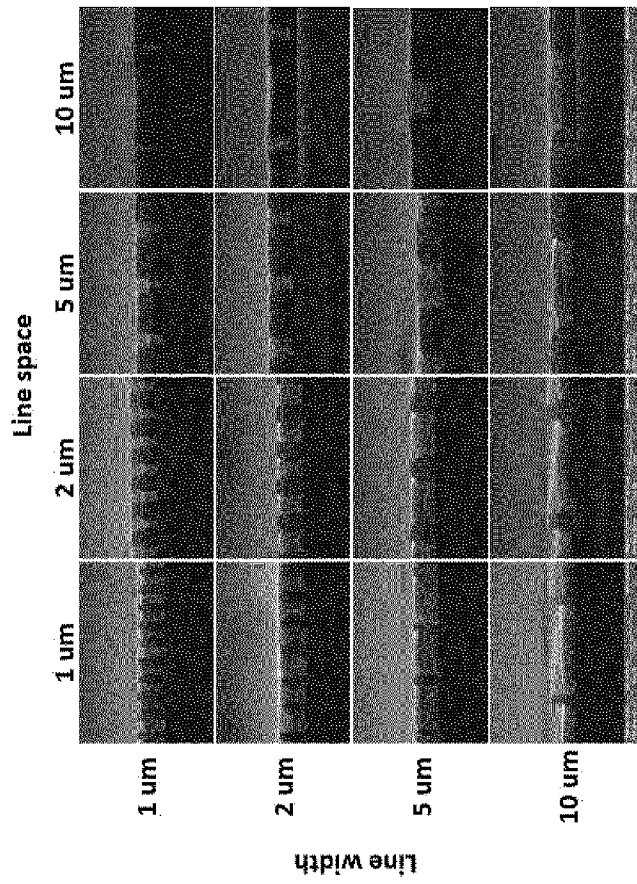
[도37]



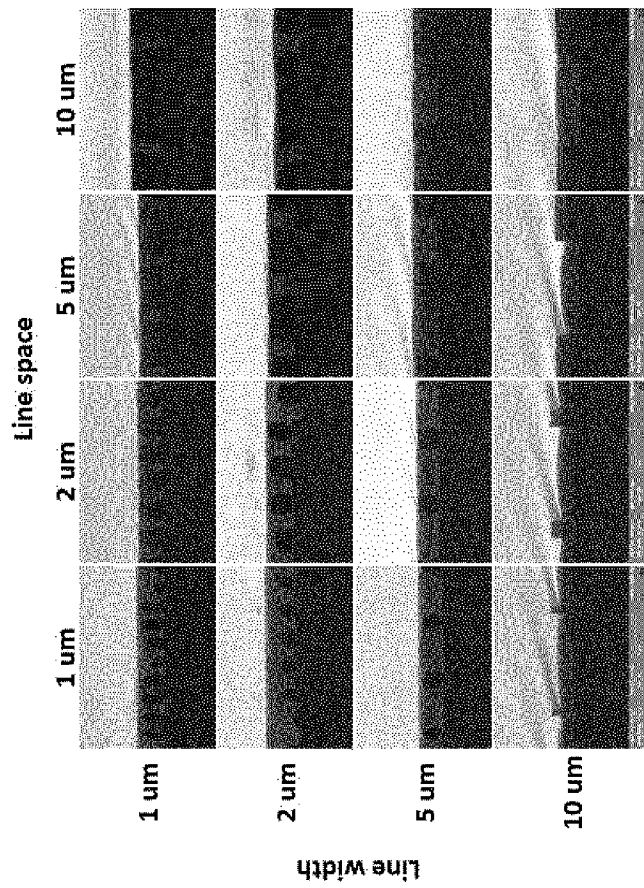
[도38]



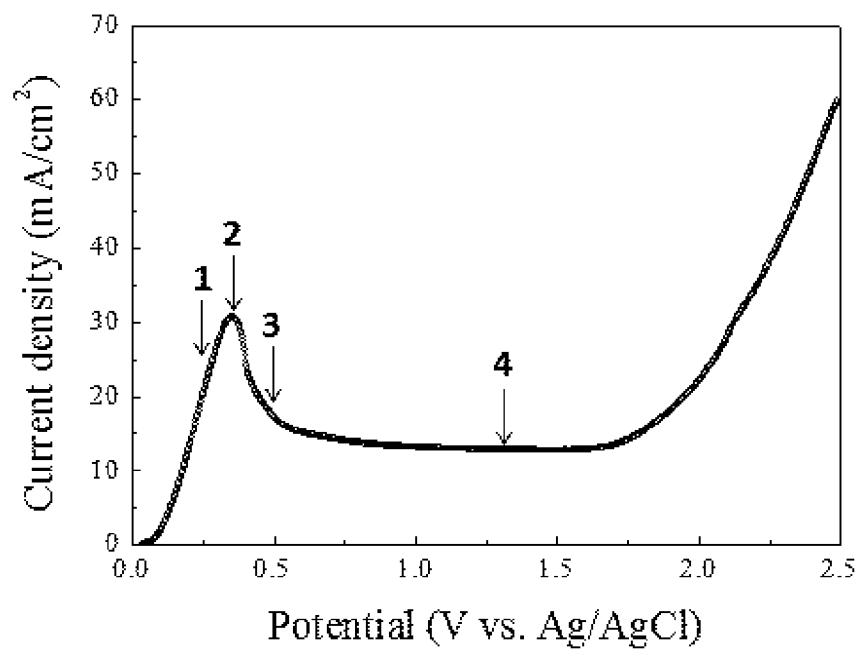
[도39]



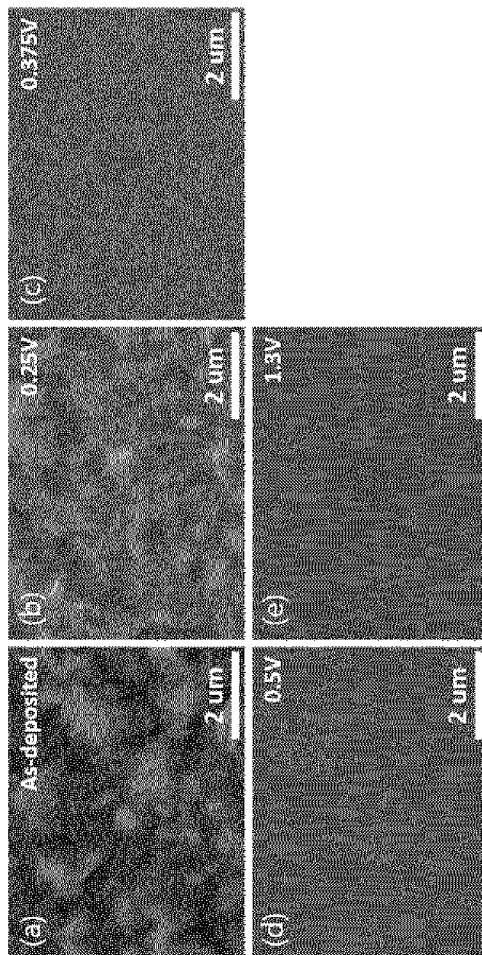
[도40]



[도41]

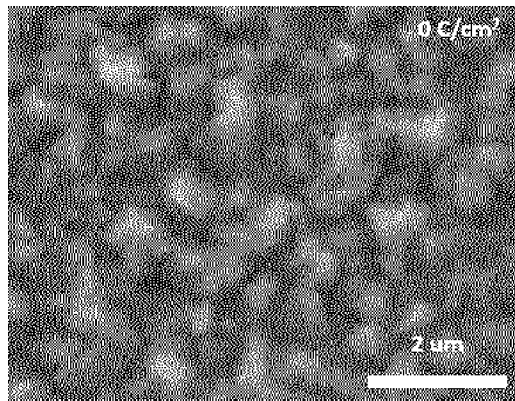


[도42]

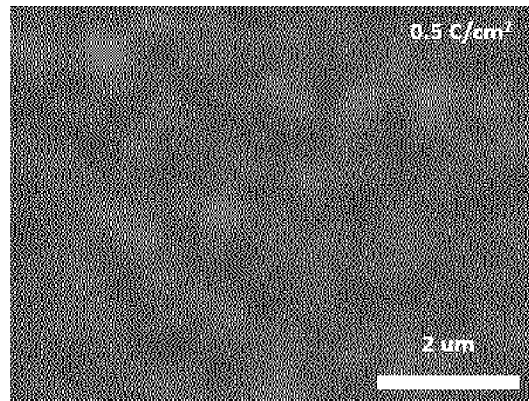


[도43]

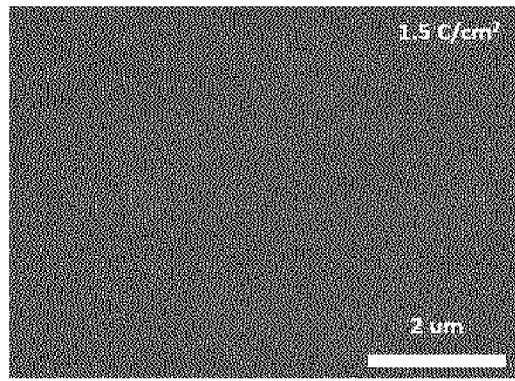
(a)



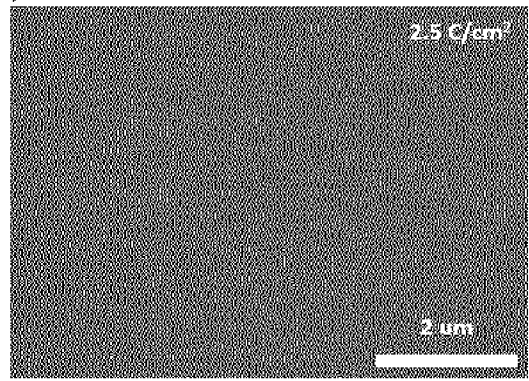
(b)



(c)

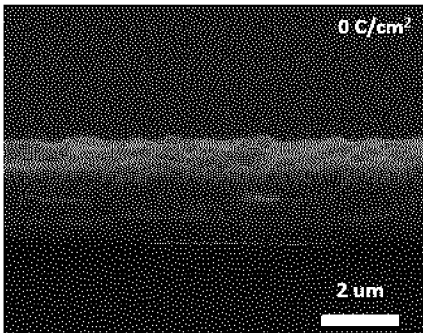


(d)

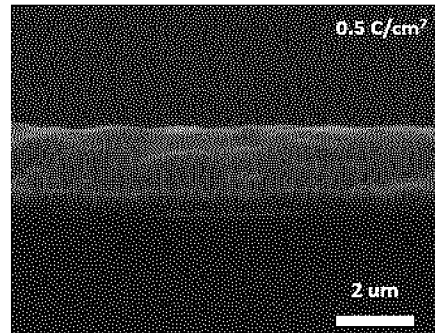


[도44]

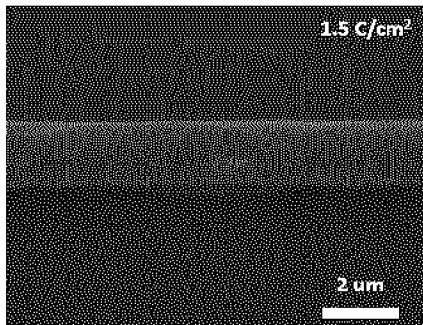
(a)



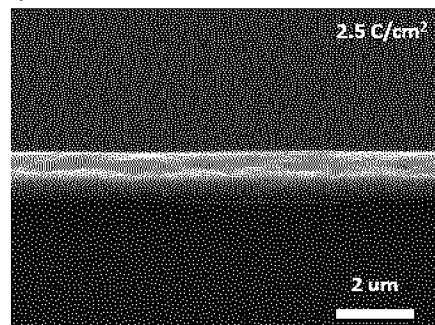
(b)



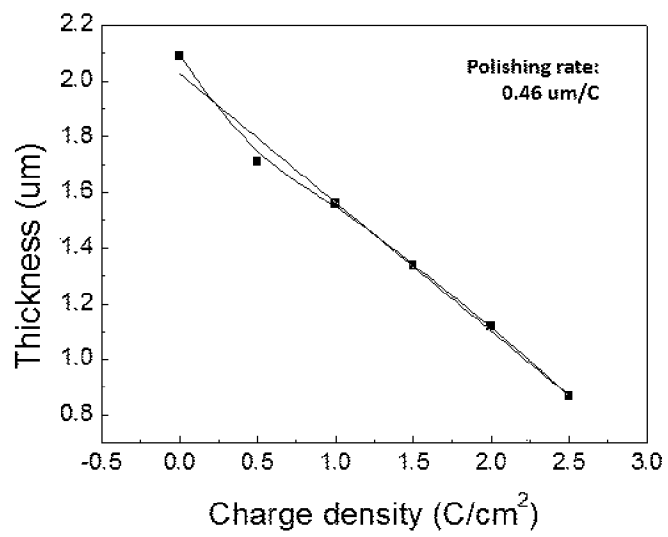
(c)



(d)



[도45]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2019/018520**A. CLASSIFICATION OF SUBJECT MATTER*****H01L 21/321(2006.01)i, H01L 21/304(2006.01)i, H01L 21/324(2006.01)i, H01L 21/306(2006.01)i, H01L 21/768(2006.01)i***

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 21/321; C25F 3/00; C25F 3/12; C25F 7/00; H01L 21/28; H01L 21/302; H01L 21/304; H01L 21/3205; H01L 21/324; H01L 21/306; H01L 21/768

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above

Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: electro-planarization, barrier layer, voltage

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-2004-0094560 A (SAMSUNG ELECTRONICS CO., LTD.) 10 November 2004 See pages 3-4, claims 1, 13 and figures 2-6.	1-7, 10-15
Y		8-9
Y	KR 10-1492467 B1 (ACM RESEARCH (SHANGHAI) INC.) 11 February 2015 See paragraphs [0027]-[0028].	8-9
A	KR 10-2007-0061579 A (BASF AKTIENGESELLSCHAFT) 13 June 2007 See claim 12 and figure 1.	1-15
A	KR 10-2004-0030147 A (ACM RESEARCH, INC.) 08 April 2004 See page 6 and figures 1a-2d.	1-15
A	JP 2007-523264 A (E.I. DU PONT DE NEMOURS AND COMPANY) 16 August 2007 See figures 40-43.	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

08 APRIL 2020 (08.04.2020)

Date of mailing of the international search report

08 APRIL 2020 (08.04.2020)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex Daejeon Building 4, 189, Cheongsu-ro, Seo-gu,
Daejeon, 35208, Republic of Korea
Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2019/018520

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2004-0094560 A	10/11/2004	US 2004-0217013 A1	04/11/2004
KR 10-1492467 B1	11/02/2015	JP 2012-500480 A	05/01/2012
		JP 5412517 B2	12/02/2014
		KR 10-2011-0051251 A	17/05/2011
		US 2011-0177692 A1	21/07/2011
		US 2014-0053978 A1	27/02/2014
		US 8598039 B2	03/12/2013
		WO 2010-020092 A1	25/02/2010
KR 10-2007-0061579 A	13/06/2007	AT 503087 A2	15/07/2007
		CH 698385 B1	31/07/2009
		DE 112005002414 T5	27/09/2007
		EP 1935013 A1	25/06/2008
		GB 2434159 A	18/07/2007
		GB 2434159 B	06/05/2009
		IL 182224 A	20/09/2007
		JP 2008-516083 A	15/05/2008
		MY 141248 A	31/03/2010
		RU 2007116697 A	20/11/2008
		TW 200611998 A	16/04/2006
		TW 1294923 B	21/03/2008
		US 2006-0070888 A1	06/04/2006
		US 7501051 B2	10/03/2009
		WO 2006-037584 A1	13/04/2006
KR 10-2004-0030147 A	08/04/2004	AU 2002-336360 A1	03/03/2003
		AU 2002-336360 A8	03/03/2003
		CA 2456225 A1	27/02/2003
		CN 100419963 C	17/09/2008
		CN 1543668 A	03/11/2004
		EP 1423868 A2	02/06/2004
		JP 2005-500687 A	06/01/2005
		TW 569330 B	01/01/2004
		US 2004-0253809 A1	16/12/2004
		WO 03-017330 A2	27/02/2003
		WO 03-017330 A3	24/07/2003
JP 2007-523264 A	16/08/2007	EP 1685281 A2	02/08/2006
		EP 1718787 A2	08/11/2006
		JP 2007-510065 A	19/04/2007
		KR 10-2006-0120679 A	27/11/2006
		KR 10-2007-0021162 A	22/02/2007
		TW 200527521 A	16/08/2005
		TW 200528587 A	01/09/2005
		US 2007-0051619 A1	08/03/2007
		US 2007-0051639 A1	08/03/2007
		US 7422677 B2	09/09/2008
		US 7566385 B2	28/07/2009

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2019/018520

Patent document cited in search report	Publication date	Patent family member	Publication date
		WO 2005-042810 A2	12/05/2005
		WO 2005-042810 A3	13/10/2005
		WO 2005-083159 A2	09/09/2005
		WO 2005-083159 A3	10/11/2005

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 21/321(2006.01)i, H01L 21/304(2006.01)i, H01L 21/324(2006.01)i, H01L 21/306(2006.01)i, H01L 21/768(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 21/321; C25F 3/00; C25F 3/12; C25F 7/00; H01L 21/28; H01L 21/302; H01L 21/304; H01L 21/3205; H01L 21/324; H01L 21/306; H01L 21/768

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 전해연마(electro-planarization), 확산방지막(barrier layer), 전압(voltage)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-2004-0094560 A (삼성전자주식회사) 2004.11.10 페이지 3-4, 청구항 1, 13 및 도면 2-6	1-7, 10-15
Y		8-9
Y	KR 10-1492467 B1 (에이씨엠 리서치 (상하이) 인코포레이티드) 2015.02.11 단락 [0027]-[0028]	8-9
A	KR 10-2007-0061579 A (바스프 악티엔게젤샤프트) 2007.06.13 청구항 12 및 도면 1	1-15
A	KR 10-2004-0030147 A (에이씨엠 리서치, 인코포레이티드) 2004.04.08 페이지 6 및 도면 1a-2d	1-15
A	JP 2007-523264 A (E.I. DU PONT DE NEMOURS AND COMPANY) 2007.08.16 도면 40-43	1-15

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“D” 본 국제출원에서 출원인이 인용한 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후 “X”에 공개된 선출원 또는 특허 문헌

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“&” 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일

2020년 04월 08일 (08.04.2020)

국제조사보고서 발송일

2020년 04월 08일 (08.04.2020)

ISA/KR의 명칭 및 우편주소

대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

장기정

전화번호 +82-42-481-8364



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2004-0094560 A	2004/11/10	US 2004-0217013 A1	2004/11/04
KR 10-1492467 B1	2015/02/11	JP 2012-500480 A	2012/01/05
		JP 5412517 B2	2014/02/12
		KR 10-2011-0051251 A	2011/05/17
		US 2011-0177692 A1	2011/07/21
		US 2014-0053978 A1	2014/02/27
		US 8598039 B2	2013/12/03
		WO 2010-020092 A1	2010/02/25
KR 10-2007-0061579 A	2007/06/13	AT 503087 A2	2007/07/15
		CH 698385 B1	2009/07/31
		DE 112005002414 T5	2007/09/27
		EP 1935013 A1	2008/06/25
		GB 2434159 A	2007/07/18
		GB 2434159 B	2009/05/06
		IL 182224 A	2007/09/20
		JP 2008-516083 A	2008/05/15
		MY 141248 A	2010/03/31
		RU 2007116697 A	2008/11/20
		TW 200611998 A	2006/04/16
		TW I294923 B	2008/03/21
		US 2006-0070888 A1	2006/04/06
		US 7501051 B2	2009/03/10
		WO 2006-037584 A1	2006/04/13
KR 10-2004-0030147 A	2004/04/08	AU 2002-336360 A1	2003/03/03
		AU 2002-336360 A8	2003/03/03
		CA 2456225 A1	2003/02/27
		CN 100419963 C	2008/09/17
		CN 1543668 A	2004/11/03
		EP 1423868 A2	2004/06/02
		JP 2005-500687 A	2005/01/06
		TW 569330 B	2004/01/01
		US 2004-0253809 A1	2004/12/16
		WO 03-017330 A2	2003/02/27
		WO 03-017330 A3	2003/07/24
JP 2007-523264 A	2007/08/16	EP 1685281 A2	2006/08/02
		EP 1718787 A2	2006/11/08
		JP 2007-510065 A	2007/04/19
		KR 10-2006-0120679 A	2006/11/27
		KR 10-2007-0021162 A	2007/02/22
		TW 200527521 A	2005/08/16
		TW 200528587 A	2005/09/01
		US 2007-0051619 A1	2007/03/08
		US 2007-0051639 A1	2007/03/08
		US 7422677 B2	2008/09/09
		US 7566385 B2	2009/07/28

국제조사보고서에서
인용된 특허문헌

공개일

대응특허문헌

공개일

WO 2005-042810 A2	2005/05/12
WO 2005-042810 A3	2005/10/13
WO 2005-083159 A2	2005/09/09
WO 2005-083159 A3	2005/11/10