

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4896317号
(P4896317)

(45) 発行日 平成24年3月14日(2012.3.14)

(24) 登録日 平成24年1月6日(2012.1.6)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)
 G09G 3/20 (2006.01)
 H05B 33/08 (2006.01)
 H01L 51/50 (2006.01)

G09G 3/30 H
 G09G 3/20 611A
 G09G 3/20 624B
 G09G 3/20 660U
 G09G 3/20 680T

請求項の数 7 (全 45 頁) 最終頁に続く

(21) 出願番号 特願2001-249858 (P2001-249858)
 (22) 出願日 平成13年8月21日(2001.8.21)
 (65) 公開番号 特開2002-140034 (P2002-140034A)
 (43) 公開日 平成14年5月17日(2002.5.17)
 審査請求日 平成20年8月8日(2008.8.8)
 (31) 優先権主張番号 特願2000-253188 (P2000-253188)
 (32) 優先日 平成12年8月23日(2000.8.23)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 小山 潤
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 山崎 仁之

最終頁に続く

(54) 【発明の名称】 E L表示装置

(57) 【特許請求の範囲】

【請求項1】

n (nは2以上の自然数) 個のTF Tと、n 個の記憶回路と、D / Aコンバータと、E L素子と、を有する画素と、ソース信号線駆動回路と、を有するE L表示装置であって、
 前記TF Tそれぞれにおける、ゲートはゲート信号線と、ソースおよびドレインの一方はソース信号線と、ソースおよびドレインの他方は前記記憶回路の一の入力端子と電氣的に接続され、

前記記憶回路の出力端子はそれぞれ、前記D / Aコンバータの入力端子と電氣的に接続され、

前記D / Aコンバータの出力端子は、前記E L素子と電氣的に接続され、

前記ソース信号線駆動回路は、シフトレジスタと、前記シフトレジスタからのサンプリングパルスによってnビットのデジタル信号を保持する第1のラッチ回路と、前記第1のラッチ回路に保持された前記nビットのデジタル信号が転送される第2のラッチ回路と、前記第2のラッチ回路に転送された前記nビットのデジタル信号を1ビットずつ順に選択し前記ソース信号線に☐入力するスイッチと、を有することを特徴とするE L表示装置。

【請求項2】

n (nは2以上の自然数) 個のTF Tと、nビットのデジタル信号をm (mは2以上の自然数) フレーム分記憶するn × m個の記憶回路と、D / Aコンバータと、第1の選択部と、第2の選択部と、E L素子と、を有する画素と、ソース信号線駆動回路と、を有するE L表示装置であって、

10

20

前記 T F T それぞれにおける、ゲートはゲート信号線と、ソースおよびドレインの一方はソース信号線と、ソースおよびドレインの他方は前記第 1 の選択部を介して前記記憶回路のの入力端子と電氣的に接続され、

前記記憶回路の出力端子はそれぞれ、前記第 2 の選択部を介して前記 D / A コンバータのの入力端子と電氣的に接続され、

前記 D / A コンバータの出力端子は、前記 E L 素子と電氣的に接続され、

前記ソース信号線駆動回路は、シフトレジスタと、前記シフトレジスタからのサンプリングパルスによって n ビットのデジタル信号を保持する第 1 のラッチ回路と、前記第 1 のラッチ回路に保持された前記 n ビットのデジタル信号が転送される第 2 のラッチ回路と、前記第 2 のラッチ回路に転送された前記 n ビットのデジタル信号を 1 ビットずつ順に選択し前記ソース信号線に入力するスイッチと、を有することを特徴とする E L 表示装置。

10

【請求項 3】

n (n は 2 以上の自然数) 個の T F T と、 n 個の記憶回路と、 D / A コンバータと、 E L 素子と、を有する画素と、ソース信号線駆動回路と、を有する E L 表示装置であって、

前記 T F T それぞれにおける、ゲートはゲート信号線と、ソースおよびドレインの一方はソース信号線と、ソースおよびドレインの他方は前記記憶回路のの入力端子と電氣的に接続され、

前記記憶回路の出力端子はそれぞれ、前記 D / A コンバータのの入力端子と電氣的に接続され、

前記 D / A コンバータの出力端子は、前記 E L 素子と電氣的に接続され、

20

前記ソース信号線駆動回路は、シフトレジスタと、前記シフトレジスタからのサンプリングパルスによって n ビットのデジタル信号を保持するラッチ回路と、前記ラッチ回路に保持された前記 n ビットのデジタル信号を 1 ビットずつ順に選択し前記ソース信号線に入力するスイッチと、を有することを特徴とする E L 表示装置。

【請求項 4】

請求項 1 乃至請求項 3 において、

前記 T F T のゲートはそれぞれ、 n 本の前記ゲート信号線のと電氣的に接続されていることを特徴とする E L 表示装置。

【請求項 5】

請求項 1 乃至請求項 4 において、

前記 T F T のソースおよびドレインの一方はそれぞれ、 n 本の前記ソース信号線のと電氣的に接続されていることを特徴とする E L 表示装置。

30

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、

前記記憶回路は、スタティック型メモリ (S R A M) 、強誘電体メモリ (F R A M) またはダイナミック型メモリ (D R A M) であることを特徴とする E L 表示装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一項において、

前記記憶回路及び D / A コンバータは、前記ソース信号線と重なるように形成されていることを特徴とする E L 表示装置。

40

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、携帯情報装置に関する。特に、有機 E L 素子などを用いた表示装置を組み込んだ、携帯電話、 P D A 、携帯パーソナルコンピュータ、携帯ナビゲーションシステム、電子書籍などの携帯情報装置に関する。

【 0 0 0 2 】

なお、本明細書中では、 E L 素子とは、一重項励起子からの発光 (蛍光) を利用するものと、三重項励起子からの発光 (燐光) を利用するものの両方を示すものとする。

【 0 0 0 3 】

50

【従来の技術】

近年、通信技術の発展によって、携帯電話が普及している。今後はさらに動画の電送や、より多量の情報伝達が予想される。一方パーソナルコンピュータもその軽量化によって、モバイル対応の製品が生産されている。電子手帳にはじまったパーソナルデジタルアシスタント（PDA）と呼ばれる情報機器も多数生産され、普及しつつある。また、EL表示装置などの発展により、それらの携帯情報機器には、ほとんどのものにフラットディスプレイが装備されている。

【0004】

さらに最近の技術では、それらに使用されるEL表示装置としてアクティブマトリクス型表示装置を使用する方向にある。

10

【0005】

アクティブマトリクス型表示装置は、画素1つずつに対して、薄膜トランジスタ（以下、TFTと表記する）を1つずつ配置し、画像を制御している。この様なアクティブマトリクス型表示装置はパッシブマトリクス型表示装置と比較して、高精細化、画質の向上が可能である、動画対応が可能であるなどの長所を持っている。それ故に今後は携帯情報機器のEL表示装置はパッシブマトリクス型からアクティブマトリクス型に変化していくと思われる。

【0006】

また、アクティブマトリクス型表示装置のなかでも、近年、低温ポリシリコンを用いた、表示装置の製品化が行われている。低温ポリシリコン技術では、画素を構成する画素TFTの他に、画素部の周辺部に、TFTを用いて駆動回路を同時形成することができ、装置の小型化、低消費電力化に大いに貢献する。それに伴って、近年その応用分野の拡大が著しいモバイル機器の表示部等に、EL表示装置は不可欠なデバイスとなってきている。

20

【0007】

図15に、EL表示装置を組み込んだ、従来の携帯情報端末のブロック図を示す。

【0008】

携帯情報端末ではユーザーが必要に応じて、求める情報を引き出すことが要求される。その情報は、まず、その携帯情報端末内の記憶装置（DRAM1509、フラッシュメモリ1510など）に記憶されているもの、または携帯情報端末に差し込まれるメモリーカード1503に記憶されているもの、外部インターフェイスポート1505を介して外部機器と接続して情報を得る物などがある。これらの情報はペン入力タブレット1501より入力されるユーザーの指示に基づいて、CPU1506により処理され、EL表示装置1513は表示を行う。

30

【0009】

具体的には、ペン入力タブレット1501より入力された信号は、検出回路1502により検出され、タブレットインターフェイス1518に入力される。この入力信号は、タブレットインターフェイス1518により処理され、映像信号処理回路1507等に入力される。必要なデータをCPU1506が処理し、それをVRAM1511に格納してある画像フォーマットに基づき、画像データに変換し、ELコントローラ1512に送る。ここでELコントローラ1512はEL表示装置1513を駆動する信号を生成し、表示装置1513に inputsする。

40

こうして表示装置1513は、駆動し、表示を行う。

【0010】

図16に、EL表示装置を組み込んだ、従来の携帯電話のブロック図を示す。携帯電話は電波を送受信する送受信回路1615と、受信した信号を音声処理する音声処理回路1602、スピーカ1614、マイク1608、またデータを入力するキーボード1601、キーボード1601より入力された信号を処理する、キーボードインターフェイス1618などを有している。

【0011】

キーボードより入力されるユーザーの指示に基づいて、記憶装置（DRAM1609、フ

50

ラッシュメモリ 1610 など)に記憶されているもの、または携帯情報端末に差し込まれるメモリーカード 1603 に記憶されているもの、外部インターフェイスポート 1605 を介して外部機器と接続して得る情報等が CPU 1606 により処理され、EL 表示装置 1613 は表示を行う。

【0012】

具体的には、キーボード 1601 より入力された信号は、キーボードインターフェイス 1618 により処理され、映像信号処理回路 1607 等に入力される。必要なデータを CPU 1606 が処理し、それを VRAM 1611 に格納してある画像フォーマットに基づき、画像データに変換し、EL コントローラ 1612 に送付する。ここで EL コントローラ 1612 は EL 表示装置 1613 を駆動する信号を生成し、表示装置に入力する。こうして、表示装置は駆動し、表示を行う。

10

【0013】

なお、送受信回路 1615 の構造の例として、図 26 を示す。

【0014】

送受信回路 1615 は、アンテナ 2602、フィルタ 2603、2607、2608、2612、2616、スイッチ 2604、アンプ 2605、2606、2617、第 1 周波数変換回路 2609、第 2 周波数変換回路 2613、周波数変換回路 2611、発振回路 2610、2614、直交変換器 2615、データ復調回路 2618、データ変調回路 2619 を含む。

【0015】

20

ここで、上記の携帯情報端末や携帯電話に組み込まれた表示装置として、従来のデジタル方式の EL 表示装置について説明する。その概略図を、図 13 に示す。中央に画素部 1308 が配置されている。画素部の上側には、ソース信号線を制御するための、ソース信号線駆動回路 1301 が配置されている。ソース信号線駆動回路 1301 は、シフトレジスタ回路 1303、第 1 のラッチ回路 1304、第 2 のラッチ回路 1305、D/A コンバータ (D/A 変換回路) 1306、アナログスイッチ 1307 等を有する。画素部の左右には、ゲート信号線を制御するための、ゲート信号線駆動回路 1302 が配置されている。なお、図 13 においては、ゲート信号線駆動回路 1302 は、画素部の左右両側に配置されているが、片側配置でも構わない。ただし、両側配置とした方が、駆動効率、駆動信頼性の面から見て望ましい。

30

【0016】

ソース信号線駆動回路 1301 に関しては、図 14 に示すような構成を有している。図 14 に例として示す駆動回路は、水平方向解像度 1024 画素、3 ビットデジタル階調信号の表示に対応したソース信号線駆動回路であり、シフトレジスタ回路 (SR) 1401、第 1 のラッチ回路 (LAT1) 1402、第 2 のラッチ回路 (LAT2) 1403、D/A コンバータ (D/A) 1404 等を有する。なお、図 14 では図示していないが、必要に応じてバッファ回路、レベルシフタ回路等を配置しても良い。

【0017】

図 13 および図 14 を用いて、表示装置の動作について簡単に説明する。まず、シフトレジスタ回路 1303 (図 14 中、SR と表記) にクロック信号 (S-CLK、S-CLKb) およびスタートパルス (S-SP) が入力され、順次パルス (サンプリングパルス) が出力される。続いて、それらのパルスは第 1 のラッチ回路 1304 (図 14 中、LAT1 と表記) に入力され、同じく第 1 のラッチ回路 1304 に入力されたデジタル信号 (Digital Data) をそれぞれ保持していく。ここで、D1 が最上位ビット (MSB: Most Significant Bit)、D3 が最下位ビット (LSB: Least Significant Bit) である。第 1 のラッチ回路 1304 において、1 水平周期分のデジタル信号の保持が完了すると、帰線期間中に、第 1 のラッチ回路 1304 で保持されているデジタル信号は、ラッチ信号 (Latch Pulse) の入力に従い、一斉に第 2 のラッチ回路 1305 (図 14 中、LAT2 と表記) へと転送される。

40

【0018】

50

その後、再びシフトレジスタ回路1303が動作し、次の水平周期分のデジタル信号の保持が開始される。同時に、第2のラッチ回路1305で保持されているデジタル信号は、D/Aコンバータ1306（図14中、D/Aと表記）にてアナログ信号へと変換される。このアナログ信号は、ソース信号線を経由して画素に入力される。この動作を繰り返すことによって、画像の表示が行われる。

【0019】

続いて、画素部1308の駆動について説明する。図29に、図13の画素部1308の一部を示す。図29(A)は、 3×3 画素のマトリクスを示している。点線枠1900にて囲まれた部分が1画素であり、図29(B)にその拡大図を示す。図29(B)において、1901は、画素に信号を書き込む時のスイッチング素子として機能するTFT（以下、スイッチング用TFTという）である。このスイッチング用TFT1901にはnチャンネル型もしくはpチャンネル型のいずれの極性を用いても良い。1902はEL素子1903に供給する電流を制御するための素子（電流制御素子）として機能するTFT（以下、EL駆動用TFTという）である。EL駆動用TFT1902にpチャンネル型を用いる場合には、EL素子1903の陽極1909と電源供給線1907との間に配置する。別の構成方法として、EL駆動用TFT1902にnチャンネル型を用いて、EL素子1903の陰極1910と陰極電極1908との間に配置したりすることも可能である。しかし、TFTの動作としてソース接地が良いこと、EL素子1903の製造上の制約などから、EL駆動用TFT1902にはpチャンネル型TFTを用い、図29(B)に図示したように、EL素子1903の陽極1909と電源供給線1907との間にEL駆動用TFT1902を配置する方式が一般的であり、多く採用されている。1904は、ソース信号線1906から入力される信号（電圧）を保持するための保持容量である。図29(B)での保持容量1904の一方の端子は、電源供給線1907に接続されているが、専用の配線を用いることもある。スイッチング用TFT1901のゲート電極は、ゲート信号線1905に、ソース領域もしくはドレイン領域の一方は、ソース信号線1906に接続され、もう一方はEL駆動用TFTのゲート電極に接続されている。

【0020】

次に、同図29を参照して、アクティブマトリクス型EL表示装置の回路の動作について説明する。まず、ゲート信号線1905が選択されると、スイッチング用TFT1901のゲート電極に電圧が印加され、スイッチング用TFT1901が導通状態になる。すると、ソース信号線1906の信号（電圧）が保持容量1904に入力される。保持容量1904の電圧は、EL駆動用TFT1902のゲート・ソース間電圧 V_{GS} となるため、保持容量1904の電圧に応じた電流がEL駆動用TFT1902とEL素子1903に流れる。その結果、EL素子1903が点灯する。

【0021】

EL素子1903の輝度、つまりEL素子1903を流れる電流量は、EL駆動用TFT1902の V_{GS} によって制御される。 V_{GS} は、保持容量1904の電圧であり、それはソース信号線1906に入力される信号（電圧）である。つまり、ソース信号線1906に入力される信号（電圧）を制御することによって、EL素子1903の輝度を制御する。最後に、ゲート信号線1905を非選択状態にして、スイッチング用TFT1901のゲートを閉じ、スイッチング用TFT1901を非導通状態にする。その時、保持容量1904に蓄積された電荷は保持される。よって、EL駆動用TFT1902の V_{GS} は、そのまま保持され、 V_{GS} に応じた電流が、EL駆動用TFT1902を介してEL素子1903に流れ続ける。

【0022】

EL素子の駆動等に関しては、SID99 Digest : P372 : “Current Status and future of Light-Emitting Polymer Display Driven by Poly-Si TFT”、ASIA DISPLAY98 : P217 : “High Resolution Light Emitting Polymer Display Driven by Low Temperature Polysilicon Thin Film Transistor with Integrated Driver”、Euro Display99 Late News : P27 : “3.8 Green OLED with Low Temperature Poly-Si TFT”などに報告されている。

10

20

30

40

50

【 0 0 2 3 】

【 発明が解決しようとする課題 】

以上に述べたような従来の携帯情報装置では、組み込まれた表示装置が画像を表示する場合、たとえその画像が静止画像であっても、同一の映像のデータを1秒間に60回づつ、表示装置に送り続けていた。即ち、図15中、破線で囲った部分(CPU1506にある映像信号処理回路1507、VRAM1511、ELコントローラ1512、EL表示装置1513のソース信号線駆動回路及びゲート信号線駆動回路、ペン入力タブレット1501、検出回路1502、タブレットインターフェイス1518)は画像の表示を行っている限り、動作を行っていた。また、図16中、破線で囲った部分(CPU1606にある映像信号処理回路1607、VRAM1611、ELコントローラ1612、EL表示装置1613のソース信号線駆動回路及びゲート信号線駆動回路、キーボード1601、キーボードインターフェイス1618)は画像の表示を行っている限り、動作を行っていた。

10

【 0 0 2 4 】

ここで、画素数の少ないパッシブマトリクス型表示装置においては、記憶回路を表示装置のドライバICもしくはコントローラの中に内蔵し、VRAMを停止するものも存在するが、アクティブマトリクス型表示装置のような多数の画素を用いる表示装置では、ドライバ内もしくはコントローラ内に記憶回路を有するのはチップサイズの観点から、非現実的である。よって、従来の携帯情報装置では、静止画を表示する場合においても、多くの回路は動作を続けねばならず、消費電力の低減に対して、妨げと成っていた。

20

【 0 0 2 5 】

また、モバイル機器においては、低消費電力化が大きく望まれている。さらに、モバイル機器は、静止画モードで使用される(静止画を表示し続ける)ことが大部分を占めているにもかかわらず、前述のように駆動回路は静止画表示の際にも動作し続けているため、低消費電力化への足かせとなっている。

【 0 0 2 6 】

そこで本発明は、携帯情報端末や携帯電話等の低消費電力化が望まれる機器において、静止画の表示時における駆動回路の消費電力を低減することを課題とする。

【 0 0 2 7 】

【 課題を解決するための手段 】

前述の課題を解決するために、本発明では次のような手段を用いた。

30

【 0 0 2 8 】

携帯情報装置に組み込まれた表示装置の画素内に複数の記憶回路を配置し、画素毎にデジタル信号を記憶させる。静止画の場合、一度書き込みを行えば、それ以降、画素に書き込まれる情報は同様であるので、フレーム毎に信号の入力を行わなくとも、記憶回路に記憶されている信号を読み出すことによって静止画を継続的に表示することができる。

【 0 0 2 9 】

すなわち、静止画を表示する際は、最低1フレーム分の信号の処理動作を行って以降は、ソース信号線駆動回路や画像信号処理回路等を停止させておくことが可能となり、それに伴って電力消費を大きく低減することが可能となる。

40

【 0 0 3 0 】

以下に、本発明の携帯情報装置の構成について記載する。

【 0 0 3 1 】

本発明によって、

EL表示装置を有する携帯情報装置において、

前記EL表示装置は、複数の画素を有し、

前記複数の画素はそれぞれ、複数の記憶回路と、D/Aコンバータとを有することを特徴とする携帯情報装置が提供される。

【 0 0 3 2 】

本発明によって、

50

ＥＬ表示装置を有する携帯情報装置において、
前記ＥＬ表示装置は、複数の画素を有し、
前記複数の画素はそれぞれ、 n （ n は、２以上の自然数）個の記憶回路と、前記 n 個の記憶回路に記憶されたデジタル信号をアナログ信号に変換するＤ／Ａコンバータとを有することを特徴とする携帯情報装置が提供される。

【００３３】

本発明によって、
ＥＬ表示装置を有し、
前記ＥＬ表示装置は、複数の画素と、電源供給線とを有し、
前記複数の画素はそれぞれ、ゲート電極にアナログ信号が入力されるＴＦＴと、ＥＬ素子とを有し、
前記ＴＦＴのソース領域とドレイン領域とは、一方は、前記電源供給線に接続され、もう一方は、前記ＥＬ素子に接続された携帯情報装置において、
前記複数の画素はそれぞれ、 n （ n は、２以上の自然数）個の記憶回路と、前記 n 個の記憶回路に記憶されたデジタル信号を前記アナログ信号に変換するＤ／Ａコンバータとを有することを特徴とする携帯情報装置が提供される。

【００３４】

本発明によって、
ＥＬ表示装置を有し、
前記ＥＬ表示装置は、複数の画素と、電源供給線とを有し、
前記複数の画素はそれぞれ、ゲート電極にアナログ信号が入力されるＴＦＴと、ＥＬ素子とを有し、
前記ＴＦＴのソース領域とドレイン領域とは、一方は、前記電源供給線に接続され、もう一方は、前記ＥＬ素子に接続された携帯情報装置において、
前記複数の画素はそれぞれ、 $n \times m$ （ n 及び m は、２以上の自然数）個の記憶回路と、前記 $n \times m$ 個の記憶回路に記憶された n ビット分のデジタル信号を前記アナログ信号に変換するＤ／Ａコンバータとを有することを特徴とする携帯情報装置が提供される。

【００３５】

本発明によって、
ＥＬ表示装置を有し、
前記ＥＬ表示装置は、複数の画素を有し、
前記複数の画素はそれぞれ、ゲート電極にアナログ信号が入力されるＴＦＴと、電源供給線と、ＥＬ素子とを有し、
前記ＴＦＴのソース領域とドレイン領域とは、一方は、前記電源供給線に接続され、もう一方は、前記ＥＬ素子に接続された携帯情報装置において、
前記複数の画素はそれぞれ、 $n \times m$ （ n 及び m は、２以上の自然数）個の記憶回路と、前記 $n \times m$ 個の記憶回路に記憶された n ビット分のデジタル信号を前記アナログ信号に変換するＤ／Ａコンバータとを有し、
前記複数の画素はそれぞれ、 m フレーム分のデジタル信号を記憶することを特徴とする携帯情報装置が提供される。

【００３６】

前記ＥＬ表示装置は、ソース信号線を有し、
前記記憶回路及び前記Ｄ／Ａコンバータは、前記ソース信号線と重なって配置されていることを特徴とする携帯情報装置であってもよい。

【００３７】

前記ＥＬ表示装置は、ゲート信号線を有し、
前記記憶回路及び前記Ｄ／Ａコンバータは、前記ゲート信号線と重なって配置されていることを特徴とする携帯情報装置であってもよい。

【００３８】

本発明によって、

E L 表示装置を有し、
前記 E L 表示装置は、複数の画素とを有し、
前記複数の画素はそれぞれ、E L 素子を有する携帯情報装置において、
前記複数の画素は、ソース信号線と、 n (n は、2 以上の自然数) 本のゲート信号線と、
電源供給線と、 n 個の第 1 の T F T と、 n 個の記憶回路と、第 2 の T F T と、D / A コン
バータとを有し、
前記 n 個の第 1 の T F T のゲート電極はそれぞれ、前記 n 本のゲート信号線のうちのい
ずれか異なる 1 本に接続され、ソース領域とドレイン領域の一方はそれぞれ、前記ソース信
号線に接続され、もう一方はそれぞれ、前記 n 個の記憶回路のうちのいずれか異なる 1 つ
の入力端子に接続され、
前記 n 個の記憶回路の出力端子はそれぞれ、前記 D / A コンバータの入力端子に接続され
、
前記 D / A コンバータの出力端子は、前記第 2 の T F T のゲート電極に接続され、
前記第 2 の T F T のソース領域とドレイン領域の一方は、前記電源供給線と接続され、も
う一方は、前記 E L 素子と接続されていることを特徴とする携帯情報装置が提供される。

【0039】

本発明によって、
E L 表示装置を有し、
前記 E L 表示装置は、複数の画素とを有し、
前記複数の画素はそれぞれ、E L 素子を有する携帯情報装置において、
前記複数の画素は、 n (n は、2 以上の自然数) 本のソース信号線と、ゲート信号線と、
電源供給線と、 n 個の第 1 の T F T と、 n 個の記憶回路と、第 2 の T F T と、D / A コン
バータとを有し、
前記 n 個の第 1 の T F T のゲート電極はそれぞれ、前記ゲート信号線に接続され、ソース
領域とドレイン領域の一方はそれぞれ、前記 n 本のソース信号線のうちのいずれか異なる
1 本に接続され、もう一方はそれぞれ、前記 n 個の記憶回路のうちのいずれか異なる 1 つ
の入力端子に接続され、
前記 n 個の記憶回路の出力端子はそれぞれ、前記 D / A コンバータの入力端子に接続され
、
前記 D / A コンバータの出力端子は、前記第 2 の T F T のゲート電極に接続され、
前記第 2 の T F T のソース領域とドレイン領域の一方は、前記電源供給線と接続され、も
う一方は、前記 E L 素子と接続されていることを特徴とする携帯情報装置が提供される。

【0040】

前記 E L 表示装置は、ソース信号線駆動回路を有し、
前記ソース信号線駆動回路は、シフトレジスタと、前記シフトレジスタからのサンプリ
ングパルスによって n ビットのデジタル信号を保持する第 1 のラッチ回路と、前記第 1 のラ
ッチ回路に保持された前記 n ビットのデジタル信号が転送される第 2 のラッチ回路と、前
記第 2 のラッチ回路に転送された前記 n ビットのデジタル信号を 1 ビットずつ順に選択し
前記ソース信号線に inputs するスイッチとを有することを特徴とする携帯情報装置であって
もよい。

【0041】

前記 E L 表示装置は、ソース信号線駆動回路を有し、
前記ソース信号線駆動回路は、シフトレジスタと、前記シフトレジスタからのサンプリ
ングパルスによって 1 ビットのデジタル信号を保持する第 1 のラッチ回路と、前記第 1 のラ
ッチ回路に保持された前記 1 ビットのデジタル信号が転送される第 2 のラッチ回路とを有
することを特徴とする携帯情報装置であってもよい。

【0042】

前記 E L 表示装置は、ソース信号線駆動回路を有し、
前記ソース信号線駆動回路は、シフトレジスタと、前記シフトレジスタからのサンプリ
ングパルスによって n ビットのデジタル信号を保持するラッチ回路とを有することを特徴と

10

20

30

40

50

する携帯情報装置であってもよい。

【 0 0 4 3 】

前記 E L 表示装置は、ソース信号線駆動回路を有し、

前記ソース信号線駆動回路は、シフトレジスタと、前記シフトレジスタからのサンプリングパルスによって n ビットのデジタル信号を保持するラッチ回路と、前記ラッチ回路に保持された n ビットのデジタル信号を前記 n 本のソース信号線に入力する n 個のスイッチとを有することを特徴とする携帯情報装置であってもよい。

【 0 0 4 4 】

前記記憶回路はスタティック型メモリ (S R A M)、強誘電体メモリ (F R A M) またはダイナミック型メモリ (D R A M) であることを特徴とする携帯情報装置であってもよい。

10

【 0 0 4 5 】

前記記憶回路は、ガラス基板上、プラスチック基板上、ステンレス基板上または単結晶ウエハ上に形成されていることを特徴とする携帯情報装置であってもよい。

【 0 0 4 6 】

前記携帯情報装置は、携帯電話、パーソナルコンピュータ、ナビゲーションシステム、PDA または電子書籍であることを特徴とした携帯情報装置であってもよい。

【 0 0 4 7 】

本発明によって、

複数の画素を有する E L 表示装置が組み込まれた携帯情報装置の駆動方法において、前記複数の画素がそれぞれ有する複数の記憶回路にデジタル信号を記憶させ、前記記憶されたデジタル信号を繰り返し読み出し、前記繰り返し読み出したデジタル信号に対応するアナログ信号にそれぞれ変換し、E L 素子に入力することを特徴とする携帯情報装置の駆動方法が提供される。

20

【 0 0 4 8 】

前記複数の画素は、マトリクス状に配置され、

前記複数の画素のうち、特定の行の画素または特定の列の画素が有する前記複数の記憶回路の前記記憶されたデジタル信号のみを書き換えることを特徴とする携帯情報装置の駆動方法であってもよい。

【 0 0 4 9 】

30

本発明によって、

複数の画素と、前記複数の画素に映像信号を入力するソース信号線駆動回路とを有する E L 表示装置が組み込まれた携帯情報装置の駆動方法において、前記複数の画素がそれぞれ有する複数の記憶回路にデジタル信号を記憶させ、前記記憶されたデジタル信号を繰り返し読み出し、前記繰り返し読み出したデジタル信号に対応するアナログ信号にそれぞれ変換し、E L 素子に入力することによって、前記ソース信号線駆動回路の動作を停止することを特徴とする携帯情報装置の駆動方法が提供される。

【 0 0 5 0 】

本発明によって、

E L 表示装置と、C P U とを有する携帯情報装置の駆動方法において、

40

前記 E L 表示装置は、複数の画素と、前記複数の画素に信号を出力する第 1 の回路とを有し、

前記 C P U は、前記第 1 の回路を制御する第 2 の回路を有し、

前記複数の画素がそれぞれ有する複数の記憶回路にデジタル信号を記憶させ、前記記憶されたデジタル信号を繰り返し読み出し、前記繰り返し読み出したデジタル信号に対応するアナログ信号にそれぞれ変換し、E L 素子に入力することによって、前記第 2 の回路の動作を停止することを特徴とする携帯情報装置の駆動方法が提供される。

【 0 0 5 1 】

本発明によって、

複数の画素を有する E L 表示装置と、V R A M とが組み込まれた携帯情報装置の駆動方法

50

において、

前記複数の画素がそれぞれ有する複数の記憶回路にデジタル信号を記憶させ、前記記憶されたデジタル信号を繰り返し読み出し、前記繰り返し読み出したデジタル信号を対応するアナログ信号にそれぞれ変換し、ＥＬ素子に入力することによって、前記ＶＲＡＭのデータ読み出し操作を停止することを特徴とする携帯情報装置の駆動方法が提供される。

【００５２】

前記複数の記憶回路は、１フレーム期間に１度読み出し操作が行われることを特徴とする携帯情報装置の駆動方法であってもよい。

【００５３】

前記記憶回路はスタティック型メモリ（ＳＲＡＭ）、強誘電体メモリ（ＦＲＡＭ）またはダイナミック型メモリ（ＤＲＡＭ）であることを特徴とする携帯情報装置の駆動方法であってもよい。

10

【００５４】

前記記憶回路は、ガラス基板上、プラスチック基板上、ステンレス基板上または単結晶ウェハ上に形成されていることを特徴とする携帯情報装置の駆動方法であってもよい。

【００５５】

前記携帯情報装置は、携帯電話、パーソナルコンピュータ、ナビゲーションシステム、ＰＤＡまたは電子書籍であることを特徴とする携帯情報装置の駆動方法であってもよい。

【００５６】

【発明の実施の形態】

20

まず、本発明の携帯情報装置が有する表示装置について説明する。

【００５７】

図１は本発明の構成を示したものである。本発明では、静止画を表示する場合、表示装置２４１３の画素の内部にある、記憶回路に映像信号を記憶させ、記憶した映像信号を呼び出すことによって、表示をおこなう。よって、従来、動作させていたＣＰＵ２４０６の内部回路のうち映像信号処理回路２４０７、ＶＲＡＭ２４１１、表示装置２４１３の中のソース信号線駆動回路を停止することが可能となる。

【００５８】

以下その内容について、具体的に説明をおこなう。ペン入力タブレット２４０１からの入力が入力一定時間の間行われず、もしくは外部インターフェイスポート２４０５から、映像表示を変えなければならないような信号入力が入力一定時間されない場合、ＣＰＵ２４０６は静止画モードであると判断をおこなう。ＣＰＵ２４０６がそのような判断を行った場合、ＣＰＵ２４０６は以下のような動作をおこなう。ＥＬコントローラ２４１２を介して、表示装置２４１３のソース信号線駆動回路を停止させる。具体的には、ソース信号線駆動回路にスタートパルス、クロック信号、映像データ信号の供給を停止することによって、ソース信号線駆動回路の動作を停止させることができる。このときゲート信号線駆動回路は停止せず、信号の供給を受け、記憶回路のデータをＥＬ駆動用ＴＦＴに送る動作をおこなう。

30

【００５９】

この様に、記憶回路に保持された信号の読み出しを、ゲート信号線駆動回路を用いて行う場合、ＥＬコントローラ２４１２は、ゲート信号線駆動回路に、クロック信号、スタートパルス等を供給し続け、ゲート信号線駆動回路は動作し続ける。

40

【００６０】

ゲート信号線駆動回路はソース信号線駆動回路に比べて、一般的には、１／１００以下の周波数で駆動されるため、動作を停止しなくとも、消費電力上は問題にならない。もちろん、ゲート信号線駆動回路を停止してもよい。このような動作によって、表示装置２４１３はゲート信号線駆動回路のみ、または、ソース信号線駆動回路とゲート信号線駆動回路の両方の信号線駆動回路を停止させて、表示をおこなう。

【００６１】

次に、ＣＰＵ２４０６は、ＣＰＵ２４０６内部の映像信号処理回路２４０７および、ＶＲ

50

A M 2 4 1 1 を停止する。前述したように、表示装置 2 4 1 3 は、その内部の記憶回路に蓄えられた映像データを用いて表示を行っているので、新たに映像データを表示装置に送り込む必要性がない、よって、映像データを発生、加工する映像信号処理回路 2 4 0 7、V R A M 2 4 1 1 などは動作していなくともかまわない。

【 0 0 6 2 】

つまり、映像信号処理回路 2 4 0 7、V R A M 2 4 1 1 などは動作を停止することができる。

【 0 0 6 3 】

以上により、C P U 2 4 0 6 内部の電力削減、V R A M 2 4 1 1 の電力削減、ソース信号線駆動回路の電力削減が達成されるのである。

10

【 0 0 6 4 】

また、E L 表示装置が静止画を表示している時に、ペン入力タブレット 2 4 0 1 に入力され、この入力に対応した映像信号により E L 表示装置が表示する画像を変化させる場合は、ペン入力タブレットの検出回路 2 4 0 2 からダブレットインターフェイス 2 4 1 8 を介して、C P U 2 4 0 6 に表示内容を変えるような指示がだされ、C P U 2 4 0 6 は停止していた V R A M 2 4 1 1、映像信号処理回路 2 4 0 7 を動作させる。そして、E L コントローラ 2 4 1 2 により、表示装置 2 4 1 3 のソース信号線駆動回路にスタートパルス、クロック信号、映像データを供給し、停止していたソース信号線駆動回路を動作させ、新たな映像信号を画素に書き込むことができる。

【 0 0 6 5 】

20

この様に、図 1 中、破線で囲った部分（ゲート信号線駆動回路、E L コントローラ 2 4 1 2、ペン入力タブレット 2 4 0 1、検出回路 2 4 0 2、ダブレットインターフェイス 2 4 1 8）が動作していれば、この携帯情報端末は、静止画を表示し続けることができる。

【 0 0 6 6 】

図 2 は本発明を使用した携帯電話の例である。動作概要は図 1 の携帯情報端末とだいたい同じである。携帯情報端末と異なるのは、携帯電話では、入力は、キーボード 2 5 0 1 によって行われ、この入力された情報が、キーボードインターフェイス 2 5 1 8 を介して C P U 2 5 0 6 に入力されることと、電話会社の通信系を介して、アンテナに入力された情報が、送受信回路 2 5 1 5 で増幅等されたのち、C P U 2 5 0 6 に入力されることである。

30

【 0 0 6 7 】

静止画を表示する場合は、前述した携帯情報端末と同様に、映像信号処理回路 2 5 0 7、V R A M 2 5 1 1、ソース信号線駆動回路などは停止させることができる。

【 0 0 6 8 】

この様に、図 2 中、破線で囲った部分（ゲート信号線駆動回路、E L コントローラ 2 5 1 2、キーボード 2 5 0 1、キーボードインターフェイス 2 5 1 8）が動作していれば、この携帯電話は静止画を表示し続けることができる。

【 0 0 6 9 】

次に、本発明の携帯情報装置が有する表示装置について説明する。

【 0 0 7 0 】

40

図 2 5 は、記憶回路を有する画素を有する表示装置における、ソース信号線駆動回路および一部の画素の構成を示したものである。この回路は、3 ビットデジタル階調信号に対応したものであり、シフトレジスタ回路 2 0 1、第 1 のラッチ回路 2 0 2、第 2 のラッチ回路 2 0 3、ビット信号選択スイッチ 2 0 4、画素 2 0 5 を有する。2 1 0 は、ゲート信号線駆動回路あるいは外部から直接供給される信号であり、画素の説明とともに後述する。

【 0 0 7 1 】

図 2 4 は、図 2 5 における画素 2 0 5 における回路構成を詳細に示したものである。この画素は、3 ビットデジタル階調に対応したものであり、E L 素子（1 1 4）、保持容量（C s）、記憶回路（1 0 5 ~ 1 0 7）及び D / A コンバータ（D / A : 1 1 1）、E L 駆動用 T F T（1 1 5）、電源供給線（1 1 2）等を有している。1 0 1 はソース信号線、



50

102～104は書き込み用ゲート信号線、108～110は書き込み用TF Tである。

【0072】

図3は、図24に示した表示装置におけるタイミングチャートである。表示装置は3ビットデジタル階調信号に対応し、VGAのものを対象としている。図3、図24及び図25を用いて、駆動方法について説明する。なお、各符号は、図3、図24及び図25のものをそのまま用いる(図番は省略する)。

【0073】

図25および図3(A)、(B)を参照する。図3(A)において、各フレーム期間を、と表記して説明する。まず、区間における回路動作について説明する。

【0074】

従来のデジタル方式の駆動回路の場合と同様に、シフトレジスタ回路201にクロック信号(S-CLK、S-CLKb)およびスタートパルス(S-SP)が入力され、順次サンプリングパルスが出力される。続いて、サンプリングパルスは第1のラッチ回路202(LAT1)に入力され、同じく第1のラッチ回路202に入力されたデジタル信号(Digital Data)をそれぞれ保持していく。この期間を、本明細書においてはドットデータサンプリング期間と表記する。1水平期間分のドットデータサンプリング期間は、図3(A)において1～480で示す各期間である。デジタル信号は3ビットであり、D1がMSB(Most Significant Bit)、D3がLSB(Least Significant Bit)である。第1のラッチ回路202において、1水平周期分のデジタル信号の保持が完了すると、帰線期間中に、第1のラッチ回路202で保持されているデジタル信号は、ラッチ信号(Latch Pulse)の入力に従い、一斉に第2のラッチ回路203(LAT2)へと転送される。

【0075】

続いて、再びシフトレジスタ回路201から出力されるサンプリングパルスに従い、次の水平周期分のデジタル信号の保持動作が行われる。


【0076】

一方、第2のラッチ回路203に転送されたデジタル信号は、画素内に配置された記憶回路に書き込まれる。図3(B)に示すように、次列のドットデータサンプリング期間をI、IIおよびIIIと3分割し、第2のラッチ回路に保持されているデジタル信号をソース信号線に出力する。このとき、ビット信号選択スイッチ204によって、各ビットの信号が順番にソース信号線に出力されるように選択的に接続される。

【0077】

期間Iでは、書き込み用ゲート信号線102にパルスが入力されてTF T108が導通し、記憶回路105にデジタル信号が書き込まれる。続いて、期間IIでは、書き込み用ゲート信号線103にパルスが入力されてTF T109が導通し、記憶回路106にデジタル信号が書き込まれる。最後に、期間IIIでは、書き込み用ゲート信号線104にパルスが入力されてTF T110が導通し、記憶回路107にデジタル信号が書き込まれる。

【0078】

以上で、1水平期間分のデジタル信号の処理が終了する。図3(B)の期間は、図3(A)において印で示された期間である。以上の動作を最終段まで行うことにより、1フレーム分のデジタル信号が記憶回路105～107に書き込まれる。

【0079】

書き込まれたデジタル信号は、D/Aコンバータ111によってアナログ信号に変換され、EL駆動用TF T115のゲート電極に入力される。このアナログ信号に応じた電流が、電源供給線112よりEL駆動用TF T115を介してEL素子114に入力される。こうして、EL素子114の輝度が変化し階調を表現する。ここでは、3ビットであるから、輝度は0～7までの8段階が得られる。

【0080】

以上の動作を繰り返して、映像の表示が継続的に行われる。ここで、静止画を表示する場合には、最初の動作で、記憶回路105～107に一旦デジタル信号が記憶されてからは

10

20

30

40

50

、各フレーム期間において、記憶回路 105 ~ 107 に記憶されたデジタル信号を反復して読み出せば良い。

【0081】

フレーム期間毎に、記憶回路にそれぞれ記憶されたデジタル信号を反復して読み出し、D/A111においてアナログ信号に変換する操作は、DACコントローラを用いて制御すればよい。

【0082】

もしくは、記憶回路の出力をそれぞれ、読み出し用TF T（図示せず）を介してD/A111に入力するようにする。この読み出し用TF Tのオン・オフを操作することによって、各フレーム期間毎に、記憶回路に記憶されたデジタル信号を反復して読み出してもよい。

10

【0083】

このとき、読み出し用TF Tのゲート電極が接続された読み出し用ゲート信号線（図示せず）に信号を入力する動作は、読み出し用のゲート信号線駆動回路（図示せず）を用いて行う。

【0084】

したがって、この静止画が表示されている期間中は、EL表示装置において、ソース信号線駆動回路の駆動を停止させることが出来る。

【0085】

さらに、記憶回路へのデジタル信号の書き込み、あるいは記憶回路からのデジタル信号の読み出しは、ゲート信号線1本単位で行うことが可能である。すなわち、ソース信号線駆動回路を短期間のみ動作させ、画面の一部のみを書き換えるなどといった表示方法をとることも出来る。

20

【0086】

また、本実施形態においては、1画素内に3つの記憶回路を有し、3ビットのデジタル信号を1フレーム分だけ記憶する機能を有しているが、本発明はこの数に限定しない。つまり、 n （ n は、2以上の自然数）ビットのデジタル信号を m （ m は、2以上の自然数）フレーム分だけ記憶するには、1画素内に $n \times m$ 個の記憶回路を有していれば良い。

【0087】

以上のように、画素内に実装された記憶回路を用いてデジタル信号の記憶を行い、静止画を表示する際には各フレーム期間で記憶回路に記憶されたデジタル信号を反復して用いる。こうして、ソース信号線駆動回路を駆動することなく、継続的に静止画表示が可能となる。よって、EL表示装置の低消費電力化に大きく貢献することが出来る。

30

【0088】

また、ソース信号線駆動回路に関しては、ビット数に応じて増加するラッチ回路等の配置の問題から、必ずしも絶縁体上に一体形成する必要はなく、その一部あるいは全部を外付けで構成しても良い。

【0089】

さらに、本実施形態にて示したソース信号線駆動回路においては、ビット数に応じたラッチ回路を配置しているが、1ビット分のみ配置して動作させることも可能である。この場合、上位ビットから下位ビットのデジタル信号を直列にラッチ回路に入力すれば良い。

40

【0090】

本発明では、前述した様に、ゲート信号線1本単位での信号の書き換えも可能である。この場合は、ゲート信号線駆動回路としてデコーダを使うのが望ましい。ゲート信号線駆動回路としてデコーダを使用した例を図23に示す。

【0091】

デコーダを使用する場合には、特開平8-101669に開示された回路を用いればよい。

【0092】

また、ソース信号線駆動回路にもこれを用いて、部分書き換えを行うことができる。

50

【 0 0 9 3 】

このような構成により、本発明の携帯情報装置は静止画表示中に動作し続ける部分を少なくし、消費電力を低減することができる。

【 0 0 9 4 】

【実施例】

以下に、本発明の実施例について記述する。

【 0 0 9 5 】

[実施例 1]

本実施例においては、実施形態において示した、本発明の携帯情報装置が有する E L 表示装置の画素部の回路における記憶回路及び D / A コンバータを、具体的にトランジスタ等を用いて構成した例を示し、その動作について説明する。

10

【 0 0 9 6 】

図 8 は、図 2 4 に示した画素と同様のもので、D / A コンバータ 1 1 1 を実際に回路で構成した例である。D / A コンバータ 1 1 1 として、複数の階調電圧線を選択する方式のものを用いた。なお、図 2 4 と同じ部分は同じ符号で示す。

【 0 0 9 7 】

3 ビットのデジタル信号を処理する場合、8 本の階調電圧線があり、それぞれにスイッチ T F T が接続されている。記憶回路 1 0 5 ~ 1 0 7 からの出力は、デコーダを介してスイッチ T F T を選択的に駆動する。これにより記憶回路より入力されたデジタル信号に応じた階調電圧が E L 駆動用 T F T 1 1 5 のゲート電極に入力される。

20

【 0 0 9 8 】

図中、各部に付した符号において、図 2 4 と同じ部位については、図 2 4 と同じ番号を付している。記憶回路 1 0 5 ~ 1 0 7 のそれぞれに、書き込み選択用 T F T 1 0 8 ~ 1 1 0 を設け、記憶回路選択信号線（書き込み用ゲート信号線）1 0 2 ~ 1 0 4 をもって制御する。

【 0 0 9 9 】

なお、図 8 において、記憶回路 1 0 5 ~ 1 0 7 それぞれからの出力は、記憶回路に記憶された信号及びその信号の反転信号によって構成される。

【 0 1 0 0 】

図 4 は、記憶回路の一例を示したものである。点線枠 4 5 0 で示される部分が記憶回路（図 8 中、1 0 5 ~ 1 0 7 で示すそれぞれの部分）であり、4 5 1 は書き込み用 T F T（図 8 中、1 0 8 ~ 1 1 0 で示すそれぞれの部分）である。ここで示した記憶回路 4 5 0 には、フリップフロップを利用したスタティック型メモリ（Static RAM : SRAM）を用いているが、記憶回路に関してはこの構成に限定しない。

30

【 0 1 0 1 】

本実施例にて図 8 で示した回路は、実施形態にて図 3 を用いて示したタイミングチャートに従って駆動することが出来る。図 3、図 8 を用いて、記憶回路選択部（書き込み用 T F T 1 0 8 ~ 1 1 0）の実際の駆動方法を加えて、回路動作について説明する。なお、各符号は、図 3、図 8 のものをそのまま用いる（図番は省略する）。

【 0 1 0 2 】

図 3（A）（B）を参照する。図 3（A）において、各フレーム期間を 、 、 と表記して説明する。まず、区間 における回路動作について説明する。

40

【 0 1 0 3 】

シフトレジスタ回路から第 2 のラッチ回路までの駆動方法に関しては実施形態にて示したものと同様であるのでそれに従う。

【 0 1 0 4 】

期間 I では、書き込み用ゲート信号線 1 0 2 にパルスが入力されて T F T 1 0 8 が導通し、記憶回路 1 0 5 にデジタル信号が書き込まれる。続いて、期間 II では、書き込み用ゲート信号線 1 0 3 にパルスが入力されて T F T 1 0 9 が導通し、記憶回路 1 0 6 にデジタル信号が書き込まれる。最後に、期間 III では、書き込み用ゲート信号線 1 0 4 にパルスが

50

入力されて T F T 1 1 0 が導通し、記憶回路 1 0 7 にデジタル信号が書き込まれる。

【 0 1 0 5 】

以上で、1 水平期間分のデジタル信号の処理が終了する。図 3 (B) の期間は、図 3 (A) において印で示された期間である。以上の動作を最終段まで行うことにより、1 フレーム分のデジタル信号が記憶回路 1 0 5 ~ 1 0 7 に書き込まれる。

【 0 1 0 6 】

書き込まれたデジタル信号は、D / A コンバータ 1 1 1 によってアナログ信号に変換され、E L 駆動用 T F T 1 1 5 のゲート電極に入力される。このアナログ信号に応じた電流が、電源供給線 1 1 2 より E L 駆動用 T F T 1 1 5 を介して E L 素子 1 1 4 に入力される。こうして、E L 素子 1 1 4 の輝度が変化し階調を表現する。ここでは、3 ビットのデジタル信号を入力しているの、輝度は 0 ~ 7 までの 8 段階が得られる。

10

【 0 1 0 7 】

以上のようにして、1 フレーム期間分の表示が行われる。一方、駆動回路側では、同時に次のフレーム期間のデジタル信号の処理が行われている。

【 0 1 0 8 】

以上の手順を繰り返すことにより、映像の表示を行う。なお、静止画の表示を行う場合には、あるフレームのデジタル信号の、記憶回路への書き込みが終了したら、ソース信号線駆動回路を停止させ、同じ記憶回路に書き込まれている信号を毎フレームで読み込んで表示を行う。

【 0 1 0 9 】

20

この際、図 8 において図示していないが、各画素の各記憶回路の出力が、読み出し用 T F T を介して D / A に入力されるようにし、この読み出し用 T F T を、操作することによって、フレーム期間毎に記憶回路の信号を反復して読み出すことができる。この読み出し用 T F T を操作する回路は、公知の構成の回路を自由に用いることができる。

【 0 1 1 0 】

また、記憶回路に入力された信号を、常に D / A 回路に入力し、対応するアナログ信号を液晶素子に出力して、静止画の表示を行うこともできる。この場合は、書き込み用 T F T が選択され、新たに記憶回路に情報が書き込まれるまで、画素は、同じ輝度の表示を続ける。この駆動方法では、前述の読み出し用 T F T 等はいらない。

【 0 1 1 1 】

30

このような方法により、静止画の表示中における消費電力を大きく低減することが出来る。

【 0 1 1 2 】

[実施例 2]

本実施例においては、画素部の記憶回路への書き込みを点順次で行うことにより、ソース信号線駆動回路の第 2 のラッチ回路を省略した例について記す。

【 0 1 1 3 】

図 5 は、記憶回路を有する画素を用いた E L 表示装置における、ソース信号線駆動回路および一部の画素の構成を示したものである。この回路は、3 ビットデジタル階調信号に対応したものであり、シフトレジスタ回路 5 0 1、ラッチ回路 5 0 2、画素 5 0 3 を有する。5 1 0 は、ゲート信号線駆動回路あるいは外部から直接供給される信号であり、画素の説明とともに後述する。

40

【 0 1 1 4 】

図 6 は、図 5 に示した画素 5 0 3 の回路構成の詳細図である。実施例 1 と同様、3 ビットデジタル階調信号に対応したものであり、E L 素子 6 1 4、記憶回路 (6 0 5 ~ 6 0 7) 及び D / A コンバータ (D / A : 6 1 1) 等を有している。6 0 1 は第 1 ビット (M S B) 信号用ソース信号線、6 0 2 は第 2 ビット信号用ソース信号線、6 0 3 は第 3 ビット (L S B) 信号用ソース信号線、6 0 4 は書き込み用ゲート信号線、6 0 8 ~ 6 1 0 は書き込み用 T F T である。

【 0 1 1 5 】

50

図 7 は、本実施例にて示した回路の駆動に関するタイミングチャートである。

図 6 および図 7 を用いて説明する。

【 0 1 1 6 】

シフトレジスタ回路 5 0 1 からラッチ回路 (L A T 1) 5 0 2 までの動作は実施形態および実施例 1 と同様に行われる。図 7 (B) に示すように、第 1 段目でのラッチ動作が終了すると、直ちに画素の記憶回路への書き込みを開始する。書き込み用ゲート信号線 6 0 4 にパルスが入力され、書き込み用 T F T 6 0 8 ~ 6 1 0 が導通し、記憶回路への書き込みが可能な状態となる。ラッチ回路 5 0 2 に保持されたビット毎のデジタル信号は、3 本のソース信号線 6 0 1 ~ 6 0 3 を経由して、同時に書き込まれる。

【 0 1 1 7 】

第 1 段目でラッチ回路に保持されたデジタル信号が、記憶回路へ書き込まれているとき、次段では続くサンプリングパルスに従って、ラッチ回路においてデジタル信号の保持が行われている。このようにして、順次記憶回路への書き込みが行われていく。

【 0 1 1 8 】

最終段まで、上記動作を繰り返し、1 水平期間が終了する。

【 0 1 1 9 】

これを全ての水平期間 1 ~ 4 8 0 について繰り返す。

【 0 1 2 0 】

以上で、1 フレーム目の表示期間が完了する。区間 2 では、次のフレームにおけるデジタル信号の処理が行われる。

【 0 1 2 1 】

図 7 (B) で示す期間は、図 7 (A) において、印 2 で示す期間に相当する。

【 0 1 2 2 】

以上の手順を繰り返すことにより、映像の表示を行う。なお、静止画の表示を行う場合には、あるフレームのデジタル信号の、記憶回路への書き込みが終了したら、ソース信号線駆動回路を停止させ、同じ記憶回路に書き込まれている信号を毎フレームで読み込んで表示を行う。このような方法により、静止画の表示中における消費電力を大きく低減することが出来る。さらに、実施形態にて示した回路と比較すると、ラッチ回路の数を $1/2$ とすることが出来、回路配置の省スペース化による装置全体の小型化に貢献出来る。

【 0 1 2 3 】

[実施例 3]

本実施例においては、実施例 2 にて示した、第 2 のラッチ回路を省略した E L 表示装置の回路構成を応用し、線順次駆動により画素内の記憶回路への書き込みを行う方法を用いた E L 表示装置の例について記す。

【 0 1 2 4 】

図 1 7 は、本実施例にて示す E L 表示装置のソース信号線駆動回路の回路構成例を示している。この回路は、3 ビットデジタル階調信号に対応したものであり、シフトレジスタ回路 (S R) 1 7 0 1、ラッチ回路 (L A T 1) 1 7 0 2、スイッチ回路 (S W) 1 7 0 3、画素 1 7 0 4 を有する。1 7 1 0 は、ゲート信号線駆動回路あるいは外部から直接供給される信号である。画素の回路構成に関しては、実施例 2 のものと同様で良いので、図 6 をそのまま参照する。

【 0 1 2 5 】

図 1 8 は、本実施例にて示した回路の駆動に関するタイミングチャートである。図 6、図 1 7 および図 1 8 を用いて説明する。

【 0 1 2 6 】

シフトレジスタ回路 1 7 0 1 からサンプリングパルスが出力され、ラッチ回路 1 7 0 2 で、サンプリングパルスに従ってデジタル信号を保持するまでの動作は、実施例 1 および実施例 2 と同様である。本実施例では、ラッチ回路 1 7 0 2 と画素 1 7 0 4 内の記憶回路との間に、スイッチ回路 1 7 0 3 を有しているため、ラッチ回路でのデジタル信号の保持が完了しても、直ちに記憶回路への書き込みが開始されない。ドットデータサンプリング期

10

20

30

40

50

間が終了するまでの間は、スイッチ回路 1703 は閉じたままであり、その間、ラッチ回路ではデジタル信号が保持され続ける。

【0127】

図 18 (B) に示すように、1 水平期間分のデジタル信号の保持が完了すると、その後の帰線期間中にラッチ信号 (L a t c h P u l s e) が入力されてスイッチ回路 1703 が一斉に開き、ラッチ回路 1702 で保持されていたデジタル信号は一斉に画素 1704 内の記憶回路に書き込まれる。このときの書き込み動作に関わる、画素 1704 内の動作、さらに次のフレーム期間における表示の際の読み出し動作に関わる、画素 1704 内の動作については、実施例 2 と同様で良いので、ここでは説明を省略する。

【0128】

図 18 (B) で示す期間は、図 18 (A) において、印で示す期間に相当する。

【0129】

以上の方法によって、第 2 のラッチ回路を省略したソース信号線駆動回路においても、線順次の書き込み駆動を容易に行うことが出来る。

【0130】

[実施例 4]

本実施例では、図 8 で示した D / A コンバータとは異なる構造のものをを用いた画素の例を示す。図 9 に、その回路図を示す。なお、図 8 と同じ部分は同じ符号で示す。

【0131】

図 8 で示したものと同様に階調電圧線を選択する方式であるが、図 8 では、素子の数が多く、画素内で素子の占める面積が大きくなる。そのため、図 9 では、スイッチを直列接続し、デコーダとスイッチを兼ねて素子数を減らしている。

【0132】

なお、図 9 において、記憶回路 105 ~ 107 のそれぞれからの出力は、記憶回路に記憶された信号及びその信号の反転信号によって構成される。

【0133】

本実施例は、実施例 1 ~ 実施例 3 と自由に組み合わせて実施することが可能である。

【0134】

[実施例 5]

本実施例では、図 8 や図 9 で示した D / A コンバータとは異なる構造のものをを用いた画素の例を示す。図 20 に、その回路図を示す。なお、図 8 及び図 9 と同じ部分は同じ符号で示す。

【0135】

図 8 や図 9 で示した D / A コンバータでは、階調電圧線を用いるため、階調数の分だけ配線が必要となり、多階調化には適さない。そのため、図 20 では、容量 C 1 ~ C 3 の組み合わせによって、基準電圧を分圧し、階調電圧を作っている。この様な容量分割方式では、容量 C 1 ~ C 3 の比で階調が作られるため、多様な階調が表現可能である。

【0136】

この様な容量分割方式の D / A コンバータは、AMLCD99 Digest of Technical Papers p29 ~ 32 に記載してある。

【0137】

本実施例は、実施例 1 ~ 実施例 3 と自由に組み合わせて実施することが可能である。

【0138】

[実施例 6]

本実施例では、図 8 や図 9 及び図 20 で示した D / A コンバータとは異なる構造のものをを用いた画素の例を示す。図 21 に、その回路図を示す。なお、図 8 や図 9 及び図 20 と同じ部分は同じ符号で示す。

【0139】

図 21 に示したものは、図 20 の D / A コンバータをさらに簡略化したものである。容量 C 1 ~ C 3 それぞれの 2 つの電極のうち E L 素子と接続されていない方の電極は、リセッ

10

20

30

40

50

ト時には V_L に接続され、非リセット時には、 V_H または V_L のいずれかに接続されるが、その接続をスイッチのみで構成できる。

【0140】

なお、図21において、記憶回路105～107のそれぞれからの出力は、記憶回路に記憶された信号及びその信号の反転信号によって構成される。

【0141】

本実施例は、実施例1～実施例3と自由に組み合わせて実施することが可能である。

【0142】

[実施例7]

本実施例では、実施形態で示した図25とは異なった構造のソース信号線駆動回路の例を示す。

10

【0143】

図22に示す様に、ソース信号線駆動回路のラッチ回路を1ビット分のみ有し、代わりにソース信号線駆動回路を3倍の速度で動作させ、1ライン期間中に、第1ビットデータ、第2ビットデータ、第3ビットデータの順にデータをソース信号線駆動回路に入力し、実施形態で示した図25のソース信号線駆動回路と同様の効果を得られる。

【0144】

この方式では、外部にデータを順に入れ替えるための回路が必要であるが、ソース信号線駆動回路は小さくすることが可能である。

【0145】

20

[実施例8]

本実施例では、本発明の携帯情報装置のEL表示装置の画素部とその周辺に設けられる駆動回路部（ソース信号線駆動回路、ゲート信号線駆動回路）のTFTを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路部に関しては基本単位であるCMOS回路を図示することとする。

【0146】

まず、図10(A)に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板5001上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜5002を形成する。例えば、プラズマCVD法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜5002aを10～200[nm]（好ましくは50～100[nm]）形成し、同様に SiH_4 、 N_2O から作製される酸化窒化水素化シリコン膜5002bを50～200[nm]（好ましくは100～150[nm]）の厚さに積層形成する。本実施例では下地膜5002を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

30

【0147】

島状半導体層5003～5006は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層5003～5006の厚さは25～80[nm]（好ましくは30～60[nm]）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（SiGe）合金などで形成すると良い。

40

【0148】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30[Hz]とし、レーザーエネルギー密度を100～400[mJ/cm²]（代表的には200～300[mJ/cm²])とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1～10[kHz]とし、レーザーエネルギー密度を300～600[mJ/cm²]（代表的には350～500[mJ/cm²])と

50

すると良い。そして幅 100 ~ 1000 [μm]、例えば 400 [μm]で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率（オーバーラップ率）を 80 ~ 98 [%]として行う。

【0149】

次いで、島状半導体層 5003 ~ 5006 を覆うゲート絶縁膜 5007 を形成する。ゲート絶縁膜 5007 はプラズマ CVD 法またはスパッタ法を用い、厚さを 40 ~ 150 [nm]としてシリコンを含む絶縁膜で形成する。本実施例では、120 [nm]の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマ CVD 法で TEOs (Tetraethyl Orthosilicate) と O_2 とを混合し、反応圧力 40 [Pa]、基板温度 300 ~ 400 []とし、高周波 (13.56 [MHz])、電力密度 0.5 ~ 0.8 [W/cm^2]で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後 400 ~ 500 []の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。

10

【0150】

そして、ゲート絶縁膜 5007 上にゲート電極を形成するための第1の導電膜 5008 と第2の導電膜 5009 とを形成する。本実施例では、第1の導電膜 5008 を Ta で 50 ~ 100 [nm]の厚さに形成し、第2の導電膜 5009 を W で 100 ~ 300 [nm]の厚さに形成する。

【0151】

Ta 膜はスパッタ法で、Ta のターゲットを Ar でスパッタすることにより形成する。この場合、Ar に適量の Xe や Kr を加えると、Ta 膜の内部応力を緩和して膜の剥離を防止することが出来る。また、相の Ta 膜の抵抗率は 20 [μcm]程度でありゲート電極に使用することが出来るが、相の Ta 膜の抵抗率は 180 [μcm]程度でありゲート電極とするには不向きである。相の Ta 膜を形成するために、Ta の相に近い結晶構造をもつ窒化タンタルを 10 ~ 50 [nm]程度の厚さで Ta の下地に形成しておくこと相の Ta 膜を容易に得ることが出来る。

20

【0152】

W 膜を形成する場合には、W をターゲットとしたスパッタ法で形成する。その他に 6 フッ化タングステン (WF_6) を用いる熱 CVD 法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W 膜の抵抗率は 20 [μcm]以下にすることが望ましい。W 膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W 中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度 99.9999 [%]の W ターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮して W 膜を形成することにより、抵抗率 9 ~ 20 [μcm]を実現することが出来る。

30

【0153】

なお、本実施例では、第1の導電膜 5008 を Ta、第2の導電膜 5009 を W としたが、特に限定されず、いずれも Ta、W、Ti、Mo、Al、Cu などから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例で望ましいものとしては、第1の導電膜 5008 を窒化タンタル (Ta₂N₅) で形成し、第2の導電膜 5009 を W とする組み合わせ、第1の導電膜 5008 を窒化タンタル (Ta₂N₅) で形成し、第2の導電膜 5009 を Al とする組み合わせ、第1の導電膜 5008 を窒化タンタル (Ta₂N₅) で形成し、第2の導電膜 5009 を Cu とする組み合わせが挙げられる。

40

【0154】

次に、レジストによるマスク 5010 を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例では ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスに CF_4 と Cl_2 を混合し、1 [Pa]の圧力

50

でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。 CF_4 と Cl_2 を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0155】

上記エッチング条件では、レジストによるマスクの形状に適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。テーパ部の角度は $15 \sim 45^\circ$ となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、 $10 \sim 20[\%]$ 程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は $2 \sim 4$ (代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は $20 \sim 50[\text{nm}]$ 程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層5011~5016(第1の導電層5011a~5016aと第2の導電層5011b~5016b)を形成する。このとき、ゲート絶縁膜5007においては、第1の形状の導電層5011~5016で覆われない領域は $20 \sim 50[\text{nm}]$ 程度エッチングされ薄くなった領域が形成される。

(図10(B))

【0156】

そして、第1のドーピング処理を行いn型を付与する不純物元素を添加する。

ドーピングの方法はイオンドープ法もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14}[\text{atoms}/\text{cm}^2]$ とし、加速電圧を $60 \sim 100[\text{keV}]$ として行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層5011~5015がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域5017~5025が形成される。第1の不純物領域5017~5025には $1 \times 10^{20} \sim 1 \times 10^{21}[\text{atoms}/\text{cm}^3]$ の濃度範囲でn型を付与する不純物元素を添加する。(図10(B))

【0157】

次に、図10(C)に示すように、レジストマスクは除去しないまま、第2のエッチング処理を行う。エッチングガスに CF_4 と Cl_2 と O_2 とを用い、W膜を選択的にエッチングする。この時、第2のエッチング処理により第2の形状の導電層5026~5031(第1の導電層5026a~5031aと第2の導電層5026b~5031b)を形成する。このとき、ゲート絶縁膜5007においては、第2の形状の導電層5026~5031で覆われない領域はさらに $20 \sim 50[\text{nm}]$ 程度エッチングされ薄くなった領域が形成される。

【0158】

W膜やTa膜の CF_4 と Cl_2 の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物である WF_6 が極端に高く、その他の WCl_5 、 TaF_5 、 TaCl_5 は同程度である。従って、 CF_4 と Cl_2 の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量の O_2 を添加すると CF_4 と O_2 が反応して CO とFになり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、 O_2 を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

【0159】

そして、図11(A)に示すように第2のドーピング処理を行う。この場合、第1のドー

10

20

30

40

50

ピング処理よりもドーズ量を下げて高い加速電圧の条件としてn型を付与する不純物元素をドーピングする。例えば、加速電圧を70～120 [keV]とし、 1×10^{13} [atoms/cm²]のドーズ量で行い、図10(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層5026～5030を不純物元素に対するマスクとして用い、第1の導電層5026a～5030aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第3の不純物領域5032～5036が形成される。この第3の不純物領域5032～5036に添加されたリン(P)の濃度は、第1の導電層5026a～5030aのテーパ部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層5026a～5030aのテーパ部と重なる半導体層において、第1の導電層5026a～5030aのテーパ部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

10

【0160】

図11(B)に示すように第3のエッチング処理を行う。エッチングガスにCHF₃を用い、反応性イオンエッチング法(RIE法)を用いて行う。第3のエッチング処理により、第1の導電層5026a～5031aのテーパ部を部分的にエッチングして、第1の導電層が半導体層と重なる領域が縮小される。第3のエッチング処理によって、第3の形状の導電層5037～5042(第1の導電層5037a～5042aと第2の導電層5037b～5042b)を形成する。このとき、ゲート絶縁膜5007においては、第3の形状の導電層5037～5042で覆われない領域はさらに20～50 [nm]程度エッチングされ薄くなった領域が形成される。

20

【0161】

第3のエッチング処理によって、第3の不純物領域5032～5036においては、第1の導電層5037a～5041aと重なる第3の不純物領域5032a～5036aと、第1の不純物領域と第3の不純物領域との間の第2の不純物領域5032b～5036bとが形成される。

【0162】

そして、図11(C)に示すように、pチャネル型TFETを形成する島状半導体層5004に第1の導電型とは逆の導電型の第4の不純物領域5043～5048を形成する。第3の形状の導電層5038bを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、nチャネル型TFETを形成する島状半導体層5003、5005、5006および配線部5042はレジストマスク5200で全面を被覆しておく。不純物領域5043～5048にはそれぞれ異なる濃度でリンが添加されているが、ジボラン(B₂H₆)を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度が $2 \times 10^{20} \sim 2 \times 10^{21}$ [atoms/cm³]となるようにする。

30

【0163】

以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第3の形状の導電層5037～5041がゲート電極として機能する。また、5042は島状のソース信号線として機能する。

【0164】

レジストマスク5200を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することが出来る。熱アニール法では酸素濃度が1 [ppm]以下、好ましくは0.1 [ppm]以下の窒素雰囲気中で400～700 [°C]、代表的には500～600 [°C]で行うものであり、本実施例では500 [°C]で4時間の熱処理を行う。ただし、第3の形状の導電層5037～5042に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。

40

【0165】

さらに、3～100 [%]の水素を含む雰囲気中で、300～450 [°C]で1～12時間の

50

熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0166】

次いで、図12(A)に示すように、第1の層間絶縁膜5055を酸化窒化シリコン膜から100～200[nm]の厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜5056を形成した後、第1の層間絶縁膜5055、第2の層間絶縁膜5056、およびゲート絶縁膜5007に対してコンタクトホールを形成し、各配線（接続配線、信号線を含む）5057～5062、5064をパターンニング形成した後、接続配線5062に接する画素電極5063をパターンニング形成する。

10

【0167】

第2の層間絶縁膜5056としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を使用することが出来る。特に、第2の層間絶縁膜5056は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFEによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1～5[μm]（さらに好ましくは2～4[μm]）とすれば良い。

【0168】

コンタクトホールの形成は、ドライエッチングまたはウエットエッチングを用い、n型の不純物領域5017、5018、5021、5023～5025またはp型の不純物領域5043～5048に達するコンタクトホール、配線5042に達するコンタクトホール、電源供給線に達するコンタクトホール（図示せず）、およびゲート電極に達するコンタクトホール（図示せず）をそれぞれ形成する。

20

【0169】

また、配線（接続配線、信号線を含む）5057～5062、5064として、Ti膜を100[nm]、Tiを含むアルミニウム膜を300[nm]、Ti膜150[nm]をスパッタ法で連続形成した3層構造の積層膜を所望の形状にパターンニングしたものを用いる。勿論、他の導電膜を用いても良い。

【0170】

また、本実施例では、画素電極5063としてMgAg膜を110[nm]の厚さに形成し、パターンニングを行った。画素電極5063を接続配線5062と接して重なるように配置することでコンタクトを取っている。この画素電極5063がEL素子の陰極となる。（図12(A)）

30

【0171】

次に、図12(B)に示すように、珪素を含む絶縁膜（本実施例では酸化珪素膜）を500[nm]の厚さに形成し、画素電極5063に対応する位置に開口部を形成して、バンクとして機能する第3の層間絶縁膜5065を形成する。開口部を形成する際、ウエットエッチング法を用いることで容易にテーパ形状の側壁とすることが出来る。開口部の側壁が十分になだらかでないと段差に起因するEL層の劣化が顕著な問題となってしまうため、注意が必要である。

40

【0172】

次に、EL層5066および陽極（対向電極）5067を、真空蒸着法を用いて大気解放しないで連続形成する。なお、EL層5066の膜厚は80～200[nm]（典型的には100～120[nm]）、陽極5067は、ITO膜にて形成した。

【0173】

この工程では、赤色に対応する画素、緑色に対応する画素および青色に対応する画素に対して順次、EL層および陽極を形成する。但し、EL層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的にEL層および陽極を形成するのが好ましい。

50

【0174】

即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のE L層を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光のE L層を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のE L層を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。

【0175】

ここではRGBに対応した3種類のE L素子を形成する方式を用いたが、白色発光のE L素子とカラーフィルタとを組み合わせた方式、青色または青緑発光のE L素子と蛍光体（
10 蛍光性の色変換層：CCM）とを組み合わせた方式、陰極（画素電極）に透明電極を利用してRGBに対応したE L素子を重ねる方式などを用いても良い。

【0176】

なお、E L層5066としては公知の材料を用いることが出来る。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層および電子注入層でなる4層構造をE L層とすれば良い。

【0177】

次に、同じゲート信号線にゲート電極が接続されたスイッチング用TFTを有する画素（同じラインの画素）上に、メタルマスクを用いて陽極5067を形成する。

【0178】

なお本実施例では、陽極5067としてITOを用い、陰極5063としてMgAgを用いたが、本発明はこれに限定されない。陽極5067及び陰極5063として他の公知の材料を用いても良い。
20

【0179】

最後に、窒化珪素膜でなるパッシベーション膜5068を300[nm]の厚さに形成する。パッシベーション膜5068を形成しておくことで、E L層5066を水分等から保護することができ、E L素子の信頼性をさらに高めることが出来る。

【0180】

こうして図12(B)に示すような構造のE Lディスプレイパネルが完成する。なお、本実施例におけるE Lディスプレイパネルの作製工程においては、回路の構成および工程の
30 関係上、ゲート電極を形成している材料であるTa、Wによってソース信号線を形成し、ソース、ドレイン電極を形成している配線材料であるAlによってゲート信号線を形成しているが、異なる材料を用いても良い。

【0181】

なお、上記の行程により作製されるアクティブマトリクス型E L表示装置におけるTFTはトップゲート構造をとっているが、ボトムゲート構造のTFTやその他の構造のTFTに対しても本実施例は容易に適用され得る。

【0182】

また、本実施例においては、ガラス基板を使用しているが、ガラス基板に限らず、プラスチック基板、ステンレス基板、単結晶ウェハ等、ガラス基板以外のものを使用することによっても実施が可能である。
40

【0183】

ところで、本実施例のE Lディスプレイパネルは、画素部だけでなく駆動回路部にも最適な構造のTFTを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。また結晶化工程においてNi等の金属触媒を添加し、結晶性を高めることも可能である。それによって、ソース信号線駆動回路の駆動周波数を10[MHz]以上にすることが可能である。

【0184】

まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するTFTを、駆動回路部を形成するCMOS回路のnチャネル型TFTとして用いる。なお、
50

ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、線順次駆動におけるラッチ、点順次駆動におけるトランсмисシヨンゲートなどが含まれる。

【0185】

本実施例の場合、 n チャネル型TFTの活性層は、ソース領域、ドレイン領域、ゲート絶縁膜を間に挟んでゲート電極と重なるオーバーラップLDD領域(L_{OV} 領域)、ゲート絶縁膜を間に挟んでゲート電極と重ならないオフセットLDD領域(L_{OFF} 領域)およびチャネル形成領域を含む。

【0186】

また、CMOS回路の p チャネル型TFTは、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。勿論、 n チャネル型TFTと同様にLDD領域を設け、ホットキャリア対策を講じることも可能である。

10

【0187】

その他、駆動回路において、チャネル形成領域を双方向に電流が流れるようなCMOS回路、即ち、ソース領域とドレイン領域の役割が入れ替わるようなCMOS回路が用いられる場合、CMOS回路を形成する n チャネル型TFTは、チャネル形成領域の両サイドにチャネル形成領域を挟む形でLDD領域を形成することが好ましい。このような例としては、点順次駆動に用いられるトランсмисシヨンゲートなどが挙げられる。また駆動回路において、オフ電流を極力低く抑える必要のあるCMOS回路が用いられる場合、CMOS回路を形成する n チャネル型TFTは、 L_{OV} 領域を有していることが好ましい。このような例としては、やはり、点順次駆動に用いられるトランсмисシヨンゲートなどが挙げられる。

20

【0188】

なお、実際には図12(B)の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)や透光性のシーリング材でパッケージング(封入)することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料(例えば酸化バリウム)を配置したりするとEL素子の信頼性が向上する。

【0189】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ(フレキシブルプリントサーキット:FPC)を取り付けて製品として完成する。このような出荷出来る状態にまでした状態を本明細書中ではEL表示装置という。

30

【0190】

また、本実施例で示す工程に従えば、EL表示装置の作製に必要なフォトリソマスクの数を抑えることが出来る。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することが出来る。

【0191】

[実施例9]

本実施例では、本発明の携帯情報装置のEL表示装置を作製した例について、図19を用いて説明する。

40

【0192】

図19(A)は、EL表示装置の上面図であり、図19(B)は、図19(A)のA-A'における断面図、図19(C)は図19(A)のB-B'における断面図である。

【0193】

基板4001上に設けられた画素部4002と、ソース信号線駆動回路4003と、第1及び第2のゲート信号線駆動回路4004a、bとを囲むようにして、シール材4009が設けられている。また画素部4002と、ソース信号線駆動回路4003と、第1及び第2のゲート信号線駆動回路4004a、bとの上にシーリング材4008が設けられている。よって画素部4002と、ソース信号線駆動回路4003と、第1及び第2のゲート信号線駆動回路4004a、bとは、基板4001とシール材4009とシーリング材

50

4008とによって、充填材4210で密封されている。

【0194】

また基板4001上に設けられた画素部4002と、ソース信号線駆動回路4003と、第1及び第2のゲート信号線駆動回路4004a、bとは、複数のTFTを有している。図19(B)では代表的に、下地膜4010上に形成された、ソース信号線駆動回路4003に含まれる駆動TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを図示する)4201及び画素部4002に含まれる画素TFT(EL素子への電流を制御するTFT:EL駆動用TFT)4202を図示した。

【0195】

本実施例では、駆動TFT4201には公知の方法で作製されたpチャネル型TFT及びnチャネル型TFTが用いられ、EL駆動用TFT4202には公知の方法で作製されたpチャネル型TFTが用いられる。

【0196】

駆動TFT4201及びEL駆動用TFT4202上には層間絶縁膜(平坦化膜)4301が形成され、その上にEL駆動用TFT4202のドレイン領域と電氣的に接続する画素電極(陽極)4203が形成される。画素電極4203としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものをを用いても良い。

【0197】

そして、画素電極4203の上には絶縁膜4302が形成され、絶縁膜4302は画素電極4203の上に開口部が形成されている。この開口部において、画素電極4203の上にはEL(エレクトロルミネッセンス)層4204が形成される。EL層4204は公知の有機EL材料または無機EL材料を用いることができる。また、有機EL材料には低分子系(モノマー系)材料と高分子系(ポリマー系)材料があるがどちらを用いても良い。

【0198】

EL層4204の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、EL層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【0199】

EL層4204の上には遮光性を有する導電膜(代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜)からなる陰極4205が形成される。また、陰極4205とEL層4204の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、EL層4204を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極4205を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。そして陰極4205には所定の電圧が与えられている。

【0200】

以上のようにして、画素電極(陽極)4203、EL層4204及び陰極4205からなるEL素子4303が形成される。そしてEL素子4303を覆うように、絶縁膜4302上に保護膜4209が形成されている。保護膜4209は、EL素子4303に酸素や水分等が入り込むのを防ぐのに効果的である。

【0201】

4005aは電源供給線に接続された引き回し配線であり、EL駆動用TFT4202のソース領域に電氣的に接続されている。引き回し配線4005aはシール材4009と基板4001との間を通り、異方導電性フィルム4300を介してFPC4006が有するFPC用配線4333に電氣的に接続される。

【0202】

シーリング材4008としては、ガラス材、金属材(代表的にはステンレス材)、セラミックス材、プラスチック材(プラスチックフィルムも含む)を用いることができる。プラ

10

20

30

40

50

スチック材としては、FRP (Fiberglass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVF フィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0203】

但し、EL素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0204】

また、充填材4210としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC (ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB (ポリビニルブチラル) またはEVA (エチレンビニルアセテート) を用いることができる。本実施例では充填材として窒素を用いた。

【0205】

また充填材4210を吸湿性物質 (好ましくは酸化バリウム) もしくは酸素を吸着しうる物質にさらしておくために、シーリング材4008の基板4001側の面に凹部4007を設けて吸湿性物質または酸素を吸着しうる物質4207を配置する。そして、吸湿性物質または酸素を吸着しうる物質4207が飛び散らないように、凹部カバー材4208によって吸湿性物質または酸素を吸着しうる物質4207は凹部4007に保持されている。なお凹部カバー材4208は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質4207は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質4207を設けることで、EL素子4303の劣化を抑制できる。

【0206】

図19 (C) に示すように、画素電極4203が形成されると同時に、引き回し配線4005a上に接するように導電性膜4203aが形成される。

【0207】

また、異方導電性フィルム4300は導電性フィラー4300aを有している。基板4001とFPC4006とを熱圧着することで、基板4001上の導電性膜4203aとFPC4006上のFPC用配線4333とが、導電性フィラー4300aによって電氣的に接続される。

【0208】

[実施例10]

本実施例では、本発明の携帯情報装置のEL表示装置として、EL素子より発光した光を画素基板側に放射する下方出光のEL表示装置を使用した場合の例を示す。

【0209】

デザインルールを1 μ mルール、画素ピッチを100ppi程度とすれば、画素内部の記憶回路及びD/Aコンバータ等は、ソース信号線の下に配置することが可能となり、開口率の低下の問題を解決することができる。これにより、本発明を、EL素子より発光した光を画素基板側とは逆の方向に放射する上方出光のEL表示装置だけでなく、下方出光のEL表示装置にも適用できる。

【0210】

図30に、上記構成の下方出光のEL表示装置の画素の上面図を模式的に示す。

【0211】

3301は画素、3302~3304は記憶回路、3305はD/Aコンバータ (図中D/Aと記載)、3306は画素電極、3307はソース信号線である。画素電極3306としては透明電極を用いる。なお、電源供給線や対向電極、カラーフィルタ及び保持容量等は図示していない。ここで、記憶回路3302~3304及びD/Aコンバータ330

10

20

30

40

50

5 は、ソース信号線 3 3 0 7 の下に形成されている。

【 0 2 1 2 】

なお図示していないが、ソース信号線 3 3 0 7 の下ではなくゲート信号線の下に、これらの記憶回路 3 3 0 2 ~ 3 3 0 4 及び D / A コンバータ 3 3 0 5 等を配置することも可能である。

【 0 2 1 3 】

[実施例 1 1]

本発明の情報端末機器の E L 表示装置の画素においては、記憶回路としてスタティック型メモリ (Static RAM : SRAM) を用いて構成していたが、記憶回路は S R A M のみに限定されない。本発明の情報端末機器の E L 表示装置の画素に適用可能な記憶回路には、他に

10

【 0 2 1 4 】

さらに、特に図示しないが、他の形式の記憶回路として、強誘電体メモリ (Ferroelectric RAM : FRAM) を利用して本発明の情報端末機器の E L 表示装置の画素を構成することも可能である。F R A M は、S R A M や D R A M と同等の書き込み速度を有する不揮発性メモリであり、その書き込み電圧が低い等の特徴を利用して、本発明の情報端末機器の E L 表示装置のさらなる低消費電力化が可能である。またその他、フラッシュメモリ等によっても、構成は可能である。

【 0 2 1 5 】

[実施例 1 2]

本発明の携帯情報装置が有する E L 表示装置において、三重項励起子からの燐光を発光に利用できる E L 材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、E L 素子の低消費電力化、長寿命化、および軽量化が可能になる。

20

【 0 2 1 6 】

ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。

(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.)

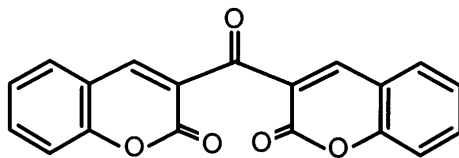
【 0 2 1 7 】

上記の論文により報告された E L 材料 (クマリン色素) の分子式を以下に示す。

【 0 2 1 8 】

30

【化 1】



40

【 0 2 1 9 】

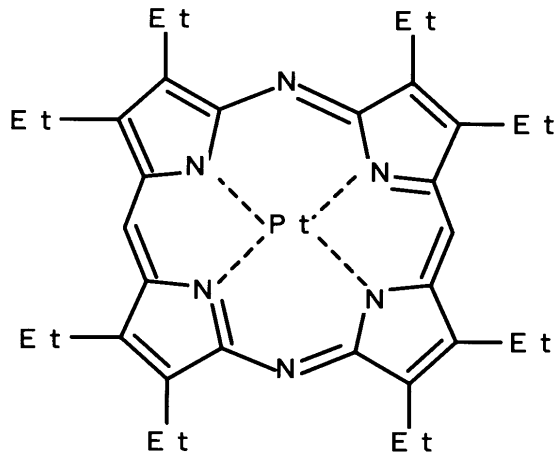
(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

【 0 2 2 0 】

上記の論文により報告された E L 材料 (Pt 錯体) の分子式を以下に示す。

【 0 2 2 1 】

【化 2】



10

【 0 2 2 2 】

(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett., 75 (1999) p.4.) (T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.)

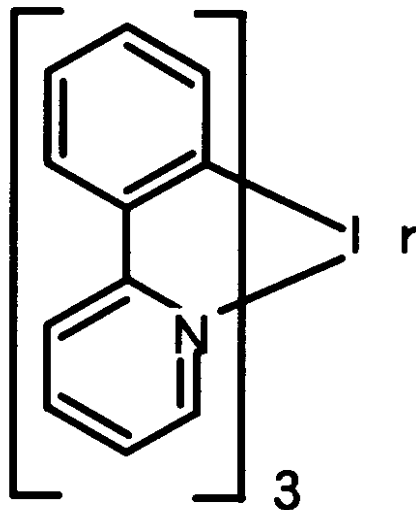
【 0 2 2 3 】

20

上記の論文により報告された E L 材料 (I r 錯体) の分子式を以下に示す。

【 0 2 2 4 】

【 化 3 】



30

40

【 0 2 2 5 】

次に、三重項励起子からの燐光を発光に利用できる E L 材料の特性について述べる。

【 0 2 2 6 】

本発明の携帯情報装置の有する E L 表示装置において、任意波形発生器により電源供給線に D C 印加、ON-OFFをスイッチングし、応答時間を測定した。ON期間 (選択期間)、OFF 期間 (非選択期間、電圧 0 V) はそれぞれ 2 5 0 μ s とした。

【 0 2 2 7 】

50

ＥＬ素子の発光輝度を測定する光学系として、顕微鏡、顕微鏡鏡筒にフォトマルチプライヤー設置し、フォトマルチプライヤーの出力をオシロスコープで測定した。なお本明細書において応答時間とは、非選択状態から選択状態へのスイッチの立ち上がり、選択状態から非選択状態へのスイッチの立ち下がりと定義する。具体的には、駆動波形のスイッチの瞬間からそれに追従する光学応答の変化がフル応答に対し９０％まで変化するのに要する時間を応答時間とした。

【０２２８】

図３４に、測定時における、電源供給線に入力される信号の駆動波形と、ＥＬ素子の発光輝度を意味する光学応答波形を示す。上が駆動波形、下が光学応答波形である。フォトマルチプライヤーはマイナス出力のタイプを使用しており、電圧０Ｖから６Ｖまでを印加した。この時応答時間は３３μｓであった。

10

【０２２９】

以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より３～４倍の高い外部発光量子効率の実現が可能となる。

【０２３０】

[実施例１３]

本実施例では、本発明の携帯情報端末の外観図について述べる。図３１に示すのは本発明の構成を有する携帯情報端末であり、２７０１は表示用パネル、２７０２は操作用パネルである。表示用パネル２７０１と操作用パネル２７０２とは接続部２７０３において接続されている。そして接続部２７０３における、表示用パネル２７０１の表示部２７０４が設けられている面と操作用パネル２７０２の操作キー２７０６が設けられている面との角度は、任意に変えることができる。

20

【０２３１】

表示用パネル２７０１は表示部２７０４を有している。また図３１に示した携帯情報端末は電話としての機能を有しており、表示用パネル２７０１は音声出力部２７０５を有しており、音声は音声出力部２７０５から出力される。表示部２７０４にはＥＬ表示装置が用いられている。

【０２３２】

表示部２７０４のアスペクト比は１６：９、４：３など任意に選択することができる。表示部２７０４のサイズは対角１インチ～４．５インチ程度が望ましい。

30

【０２３３】

操作用パネル２７０２は操作キー２７０６、電源スイッチ２７０７、音声入力部２７０８を有している。なお図３１では操作キー２７０６と電源スイッチ２７０７とを別個に設けたが、操作キー２７０６の中に電源スイッチ２７０７が含まれる構成にしても良い。音声入力部２７０８において、音声が入力される。

【０２３４】

なお図３１では表示用パネル２７０１が音声出力部２７０５を有し、操作用パネル２７０２が音声入力部２７０８を有しているが、本実施例はこの構成に限定されない。表示用パネル２７０１が音声入力部２７０８を有し、操作用パネル２７０２が音声出力部２７０５を有していても良い。また音声出力部２７０５と音声入力部２７０８とが共に表示用パネル２７０１に設けられていても良いし、音声出力部２７０５と音声入力部２７０８とが共に操作用パネル２７０２に設けられていても良い。

40

【０２３５】

なお図３２では図３１で示した携帯情報端末の操作キー２７０６を人差し指で操作している例について示した。また図３３では図３１で示した携帯情報端末の操作キー２７０６を親指で操作している例について示した。なお操作キー２７０６は操作用パネル２７０２の側面に設けても良い。操作は片手（きき手）の人差し指のみ、または親指のみでも可能である。

【０２３６】

[実施例１４]

50

本実施例では、本発明の携帯情報装置を応用した電子機器について、図 28 及び図 27 を用いて説明する。

【0237】

本発明の携帯情報装置としてパーソナルコンピュータがある。図 28 (A) はパーソナルコンピュータであり、本体 2801、画像入力部 2802、表示部 2803、キーボード 2804 等を含む。表示部 2803 として、画素毎に記憶回路を有する EL 表示装置を用いることで、パーソナルコンピュータの低消費電力化を実現できる。

【0238】

本発明の携帯情報装置としてナビゲーション装置がある。図 28 (B) はナビゲーション装置であり、本体 2811、表示部 2812、スピーカ部 2813、記憶媒体 2814、操作スイッチ 2815 等を含む。表示部 2812 として、画素毎に記憶回路を有する EL 表示装置を用いることで、ナビゲーション装置の低消費電力化を実現できる。

10

【0239】

本発明の携帯情報装置として電子書籍がある。図 28 (C) は電子書籍であり、本体 2851、表示部 2852、記憶媒体 2853、操作スイッチ 2854、アンテナ 2855 等を含み、ミニディスク (MD) や DVD (Digital Versatile Disc) に記憶されたデータや、アンテナで受信したデータを表示するものである。表示部 2852 として、画素毎に記憶回路を有する EL 表示装置を用いることで、電子書籍の低消費電力化を実現できる。

【0240】

20

本発明の携帯情報装置として携帯電話がある。図 27 (A) は携帯電話であり、表示用パネル 2901、操作用パネル 2902、接続部 2903、表示部 2904、音声出力部 2905、操作キー 2906、電源スイッチ 2907、音声入力部 2908、アンテナ 2909、CCD 受光部 2910、外部入力ポート 2011 等を含む。表示部 2904 として、画素毎に記憶回路を有する EL 表示装置を用いることで、携帯電話の低消費電力化を実現できる。

【0241】

本発明の携帯情報装置として PDA がある。図 27 (B) は PDA であり、表示部及びペン入力タブレット 3004、操作キー 3006、電源スイッチ 3007、外部入力ポート 3011、入力用ペン 3012 等を含む。表示部 3004 として、画素毎に記憶回路を有する EL 表示装置を用いることで、PDA の低消費電力化を実現できる。

30

[実施例 15]

本実施例では、図 20 に示した構成と同様構成の画素を有する EL 表示装置において、各画素の有する記憶回路に保持され D/A コンバータに入力されている信号を、対応するアナログ信号に変換する操作を、DAC コントローラを用いて制御する場合について図 36 を用いて説明する。

【0242】

なお、本実施例において、各画素の有する記憶回路に保持され D/A コンバータに入力されている信号を、対応するアナログ信号に変換し、D/A コンバータから出力する操作を、記憶回路の読み出し操作と呼ぶことにする。

40

【0243】

DAC コントローラの構成としては、公知の構成の回路を自由に用いることができる。

【0244】

図 36 において、画素は、書き込み用 TFT 108 ~ 110 と、記憶回路 105 ~ 107 と、ソース信号線 101 と、電源供給線 112 と、書き込み用ゲート信号線 102 ~ 104 と、D/A コンバータ 400 と、EL 駆動用 TFT 115 と、EL 素子 114 と、保持容量 CS とを有する。

【0245】

書き込み用 TFT 108 ~ 110 のソース領域もしくはドレイン領域の一方は、ソース信号線 101 に接続され、もう一方はそれぞれ、記憶回路 105 ~ 107 の入力それぞれに

50

接続されている。書き込み用 T F T 1 0 8 ~ 1 1 0 のゲート電極はそれぞれ、書き込み用ゲート信号線 1 0 2 ~ 1 0 4 それぞれに接続されている。記憶回路 1 0 5 ~ 1 0 7 の出力は、D / A コンバータ 4 0 0 の入力 $i n 1 \sim i n 3$ それぞれに接続されている。D / A コンバータ 4 0 0 の出力 $o u t$ は、E L 駆動用 T F T 1 1 5 のゲート電極及び保持容量 $C s$ の一方の電極に接続されている。E L 駆動用 T F T 1 1 5 のソース領域とドレイン領域とは、一方は電源供給線 1 1 2 に接続され、もう一方は、E L 素子 1 1 4 の一方の電極に接続されている。保持容量 $C s$ の、E L 駆動用 T F T 1 1 5 のゲート電極と接続されていない側は、電源供給線 1 1 2 と接続されている。

【 0 2 4 6 】

D / A コンバータ 4 0 0 は、N A N D 回路 4 4 1 ~ 4 4 3、インバータ 4 4 4 ~ 4 4 6 及び 4 6 1、スイッチ 4 4 7 a ~ 4 4 9 a、スイッチ 4 4 7 b ~ 4 4 9 b、スイッチ 4 6 0、コンデンサ $C 1 \sim C 3$ 、リセット用信号線 4 5 2、低圧側階調電源線 4 5 3、高圧側階調電源線 4 5 4、中間圧側階調電源線 4 5 5 によって構成されている。

【 0 2 4 7 】

記憶回路 1 0 5 ~ 1 0 7 にデジタル信号を記憶するまでの動作については、実施の形態や実施例 1 で示した動作と同様であるので、説明は省略する。

【 0 2 4 8 】

以下、D / A コンバータ 4 0 0 の動作について説明する。

【 0 2 4 9 】

リセット用信号線 4 5 2 に入力された信号 $r e s$ によって、スイッチ 4 6 0 が導通状態になり、容量 $C 1 \sim C 3$ の、 $o u t$ 端子に接続された側の電位は、中間圧側階調電源線 4 5 5 の電位 V_M に固定されている。また、高圧側階調電源線 4 5 4 の電位は、低圧側階調電源線 4 5 3 の電位 V_L と等しく設定されている。このとき、 $i n 1 \sim i n 3$ にデジタル信号が入力されても、容量 $C 1 \sim C 3$ には、信号は書き込まれない。

【 0 2 5 0 】

この後、リセット用信号線 4 5 2 の信号 $r e s$ が変化し、スイッチ 4 6 0 がオフとなって、容量 $C 1 \sim C 3$ の $o u t$ 端子側の電位の固定が解除される。次に、高圧側階調電源線 4 5 4 の電位が、低圧側階調電源線 4 5 3 の電位 V_L と異なる値 V_H に変化する。この時端子 $i n 1 \sim i n 3$ に入力された信号に応じて、N A N D 回路 4 4 1 ~ 4 4 3 の出力が変化し、スイッチ 4 4 7 ~ 4 4 9 のそれぞれにおいて、2 つのスイッチのどちらかがオンの状態となって、高圧側階調電源線の電位 V_H もしくは低圧側階調電源線 V_L の電位が、容量 $C 1 \sim C 3$ の電極に印加される。

【 0 2 5 1 】

ここで、この容量 $C 1 \sim C 3$ の値は、各ビットに対応して設定されている。例えば、 $C 1 : C 2 : C 3$ が 1 : 2 : 4 となるように設定されている。

【 0 2 5 2 】

この容量 $C 1 \sim C 3$ に印加された電圧によって容量 $C 1 \sim C 3$ の $o u t$ 端子側の電位が変化し、出力の電位が変化する。つまり、入力された $i n 1 \sim i n 3$ のデジタル信号に応じたアナログの信号が $o u t$ 端子より出力される。

【 0 2 5 3 】

リセット用信号線 4 5 2 に入力された信号 $r e s$ 及び、高圧側階調電源線 4 5 4 の電位等を、D A C コントローラによって制御することによって、入力されたデジタル信号に対するアナログ信号の、D / A コンバータ 4 0 0 からの出力を制御することができる。

【 0 2 5 4 】

一旦画素の有する記憶回路にデジタル信号を書き込んだ後は、D A C コントローラを用いて上記動作を繰り返し、記憶回路に保持されたデジタル信号の読み出し操作を反復することによって、静止画を表示することができる。

【 0 2 5 5 】

このとき、ソース信号線駆動回路及びゲート信号線駆動回路の動作を停止することができる。

10

20

30

40

50

【 0 2 5 6 】

なお、図 3 6 では、3 個の記憶回路を配置した構成の画素を例に説明したが、これに限定されない。一般に、各画素に n (n は、2 以上の自然数) 個の記憶回路を配置した構成の画素を有する E L 表示装置に応用することができる。

【 0 2 5 7 】

D A C コントローラは、公知の構成の回路を自由に用いることができる。

【 0 2 5 8 】

[実施例 1 6]

本実施例では、本発明の画素の構成の例について図 3 5 を用いて説明する。

【 0 2 5 9 】

図 3 5 において、図 2 4 と同じ部分は同じ符号を用いて示し、説明は省略する。

【 0 2 6 0 】

図 3 5 において、記憶回路 1 0 5 ~ 1 0 7 の出力はそれぞれ、読み出し用 T F T 1 2 1 ~ 1 2 3 を介して、D / A 1 1 1 に入力されている。ここで、読み出し用 T F T 1 2 1 ~ 1 2 3 のゲート電極は、読み出し用ゲート信号線 1 2 4 に接続されている。

【 0 2 6 1 】

図 3 5 の構成の画素において、各記憶回路 1 0 5 ~ 1 0 7 に信号を書き込む動作は、実施形態及び実施例と同じであるので、ここでは説明は省略する。

【 0 2 6 2 】

静止画を表示する際、一旦記憶回路 1 0 5 ~ 1 0 7 にデジタル信号を記憶した後は、読み出し用ゲート信号線 1 2 4 に信号を入力することによって、読み出し用 T F T 1 2 1 ~ 1 2 3 をオンにし、記憶回路 1 0 5 ~ 1 0 7 に保持されたデジタル信号を D / A 1 1 1 に入力する。ここで本実施例のように各画素が読み出し用 T F T を有する場合、記憶回路 1 0 5 ~ 1 0 7 に保持されたデジタル信号を D / A 1 1 1 に入力することを、記憶回路の信号の読み出し操作と呼ぶことにする。

【 0 2 6 3 】

読み出し用 T F T 1 2 1 ~ 1 2 3 をオン・オフを切り換え、読み出し操作を、反復ことによって、静止画を表示することができる。

【 0 2 6 4 】

ここで、読み出し操作は、読み出し用ゲート信号線を選択して行われるが、この読み出し用ゲート信号線 1 2 4 は、読み出し用ゲート信号線駆動回路を用いて駆動することができる。

【 0 2 6 5 】

この読み出し用ゲート信号線駆動回路の構成は、公知のゲート信号線駆動回路等を自由に用いることができる。

【 0 2 6 6 】

なお、図 3 5 では、3 個の記憶回路を配置した構成の画素を例に説明したが、これに限定されない。一般に、各画素に n (n は、2 以上の自然数) 個の記憶回路を配置した構成の画素を有する E L 表示装置に応用することができる。

【 0 2 6 7 】

[実施例 1 7]

本実施例では、本発明の E L 表示装置の画素の構成を図 3 7 に示す。

【 0 2 6 8 】

図 3 7 において、図 2 4 と同じ部分は同じ符号を用いて示し、説明は省略する。

【 0 2 6 9 】

記憶回路 1 4 1 a ~ 1 4 3 a と、記憶回路 1 4 1 b ~ 1 4 3 b が各画素に配置されている。

【 0 2 7 0 】

選択スイッチ 1 5 1 は、書き込み用 T F T 1 0 8 と記憶回路 1 4 1 a または記憶回路 1 4 1 b との接続を選択する。選択スイッチ 1 5 2 は、書き込み用 T F T 1 0 9 と記憶回路 1

10

20

30

40

50

4 2 a または記憶回路 1 4 2 b との接続を選択する。選択スイッチ 1 5 3 は、書き込み用 T F T 1 1 0 と記憶回路 1 4 3 a または記憶回路 1 4 3 b との接続を選択する。

【0 2 7 1】

選択スイッチ 1 5 4 は、D / A 1 1 1 と記憶回路 1 4 1 a または記憶回路 1 4 1 b との接続を選択する。選択スイッチ 1 5 5 は、D / A 1 1 1 と記憶回路 1 4 2 a または記憶回路 1 4 2 b との接続を選択する。選択スイッチ 1 5 6 は、D / A 1 1 1 と記憶回路 1 4 3 a または記憶回路 1 4 3 b との接続を選択する。

【0 2 7 2】

選択スイッチ 1 5 1 ~ 1 5 3 及び選択スイッチ 1 5 4 ~ 1 5 6 によって、記憶回路 1 4 1 a ~ 1 4 3 a にデジタル信号を記憶する場合と、記憶回路 1 4 1 b ~ 1 4 3 b にデジタル信号を記憶する場合とを選択することができる。また、記憶回路 1 4 1 a ~ 1 4 3 a からデジタル信号を D / A 1 1 1 に入力する場合と、記憶回路 1 4 1 b ~ 1 4 3 b からデジタル信号を D / A 1 1 1 に入力する場合とを選択することができる。

10

【0 2 7 3】

各画素において、選択された各記憶回路にデジタル信号を入力する動作、及び選択された各記憶回路に保持されたデジタル信号を読み出す動作については、実施の形態や実施例 1 と同様であるので説明は省略する。

【0 2 7 4】

画素は、記憶回路 1 4 1 a ~ 1 4 3 a を用いて、1 フレーム期間分の 3 ビットのデジタル信号を記憶し、記憶回路 1 4 1 b ~ 1 4 3 b を用いて、前記フレーム期間とは別のフレーム期間の 3 ビット分の信号を記憶することができる。

20

【0 2 7 5】

図 3 7 においては、3 ビット分のデジタル信号を 2 フレーム分記憶する回路を示すが、本実施例はこれに限定されない。一般に、n (n は、2 以上の自然数) ビット分のデジタル信号を m (m は、2 以上の自然数) フレーム分記憶可能な画素を有する E L 表示装置に適用することができる。

【0 2 7 6】

【発明の効果】

E L 表示装置を組み込んだ携帯情報装置において、各画素の内部に配置された複数の記憶回路を用いてデジタル信号の記憶を行う。静止画を表示する際に各フレーム期間で記憶回路に記憶されたデジタル信号を反復して用いる。こうして、継続的に静止画表示を行う際に、ソース信号線駆動回路等を停止させておくことが可能となる。また、E L 表示装置に入力する信号を処理する、映像信号処理回路等の回路も、継続的に静止画表示を行う際は、停止させておくことが可能になるため、携帯情報装置の低消費電力化に大きく貢献する。

30

【図面の簡単な説明】

【図 1】 複数の記憶回路を内部に有する本発明の携帯情報端末のブロック図。

【図 2】 複数の記憶回路を内部に有する本発明の携帯電話のブロック図。

【図 3】 本発明の携帯情報装置の E L 表示装置の画素を用いて表示を行うためのタイミングチャートを示す図。

40

【図 4】 本発明の携帯情報装置が有する E L 表示装置の画素が有する記憶回路の回路図。

【図 5】 第 2 のラッチ回路を持たないソース信号線駆動回路の回路構成例を示す図。

【図 6】 図 5 のソース信号線駆動回路によって駆動される、本発明の携帯情報装置の E L 表示装置の画素の詳細な回路図。

【図 7】 図 5 および図 6 に記載の回路を用いて表示を行うためのタイミングチャートを示す図。

【図 8】 本発明の携帯情報装置の E L 表示装置の D / A コンバータの構成を示す図。

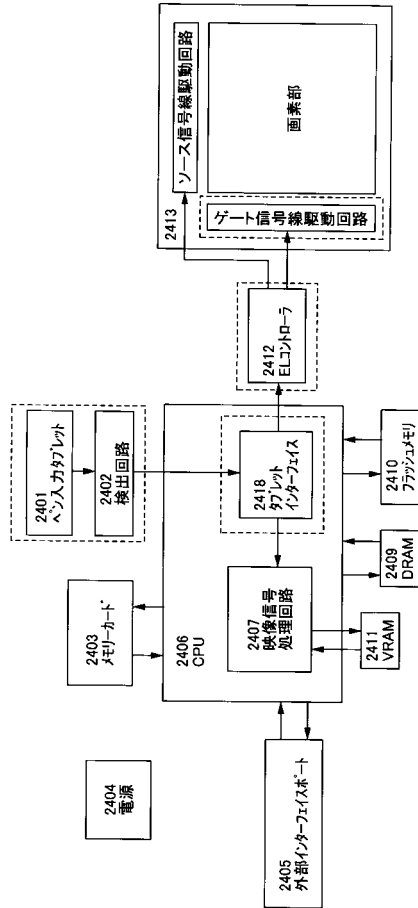
【図 9】 本発明の携帯情報装置の E L 表示装置の D / A コンバータの構成を示す図。

【図 1 0】 本発明の携帯情報装置の E L 表示装置の作製工程例を示す図。

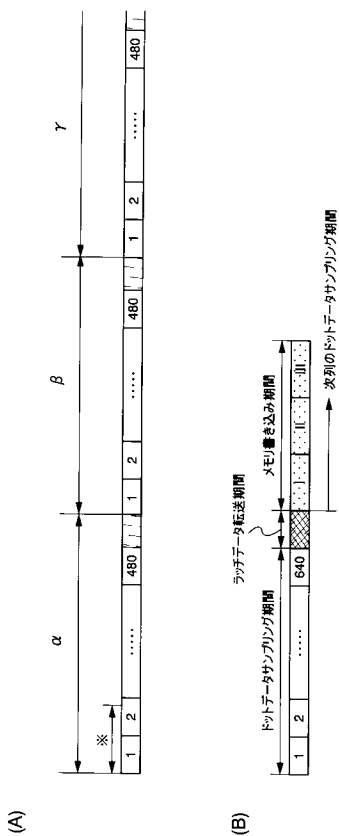
50

- 【図 1 1】 本発明の携帯情報装置の E L 表示装置の作製工程例を示す図。
- 【図 1 2】 本発明の携帯情報装置の E L 表示装置の作製工程例を示す図。
- 【図 1 3】 従来の携帯情報装置の E L 表示装置の全体の回路構成を簡略に示す図。
- 【図 1 4】 従来の携帯情報装置の E L 表示装置のソース信号線駆動回路の回路構成例を示す図。
- 【図 1 5】 従来の携帯情報端末のブロック図。
- 【図 1 6】 従来の携帯電話のブロック図。
- 【図 1 7】 第 2 のラッチ回路を持たないソース信号線駆動回路の回路構成例を示す図。
- 【図 1 8】 図 1 7 に記載の回路を用いて表示を行うためのタイミングチャートを示す図。 10
- 【図 1 9】 本発明の携帯情報装置の E L 表示装置の上面図及び断面図。
- 【図 2 0】 本発明の携帯情報装置の E L 表示装置の D / A コンバータの構成を示す図。
- 【図 2 1】 本発明の携帯情報装置の E L 表示装置の D / A コンバータの構成を示す図。
- 【図 2 2】 1 ビット処理分のラッチ回路を有するソース信号線駆動回路の回路構成例を示す図。
- 【図 2 3】 デコーダを用いたゲート信号線駆動回路の例を示す図。
- 【図 2 4】 本発明の携帯情報装置の E L 表示装置の画素の構成を示す図。 20
- 【図 2 5】 ソース信号線駆動回路の回路構成例を示す図。
- 【図 2 6】 携帯電話の送受信部のブロック図。
- 【図 2 7】 本発明の携帯情報装置の応用例を示す図。
- 【図 2 8】 本発明の携帯情報装置の応用例を示す図。
- 【図 2 9】 従来のアクティブマトリクス型 E L 表示装置の画素部の構成例を示す図。
- 【図 3 0】 本発明の携帯情報装置の E L 表示装置の画素の上面図。
- 【図 3 1】 本発明の携帯情報端末の例を示す図。
- 【図 3 2】 本発明の携帯情報端末の例を示す図。
- 【図 3 3】 本発明の携帯情報端末の例を示す図。
- 【図 3 4】 三重項励起子からの燐光を利用した E L 材料の特性を示す図。 30
- 【図 3 5】 本発明の携帯情報装置の E L 表示装置の画素の構成を示す図。
- 【図 3 6】 本発明の携帯情報装置の E L 表示装置の画素の構成を示す図。
- 【図 3 7】 本発明の携帯情報装置の E L 表示装置の画素の構成を示す図。

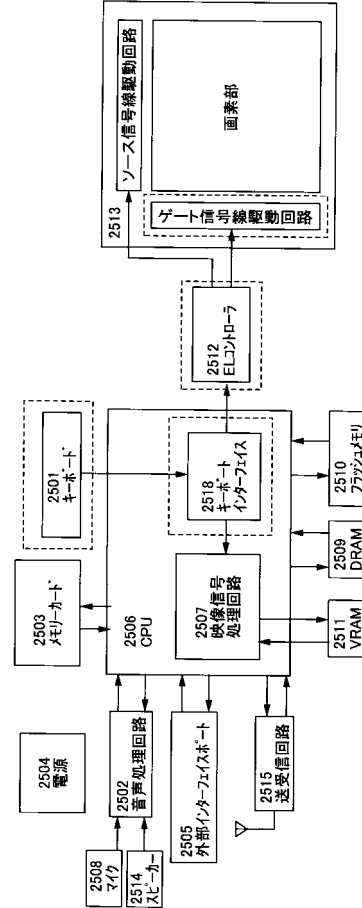
【図 1】



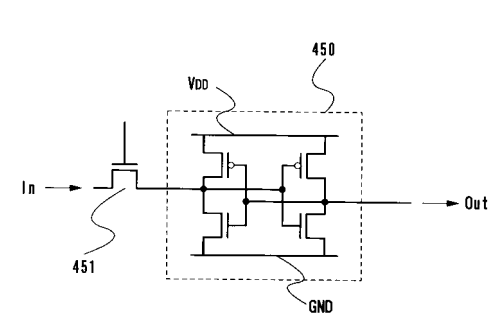
【図 3】



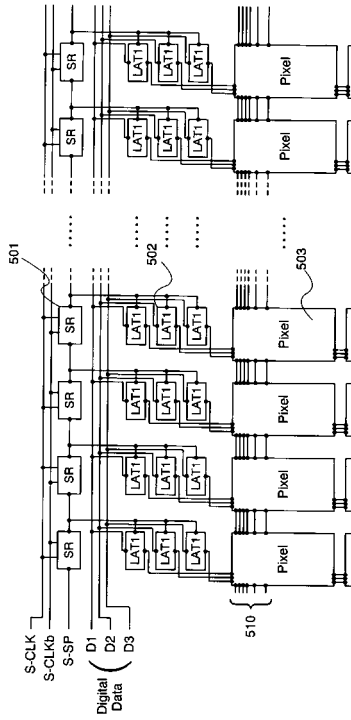
【図 2】



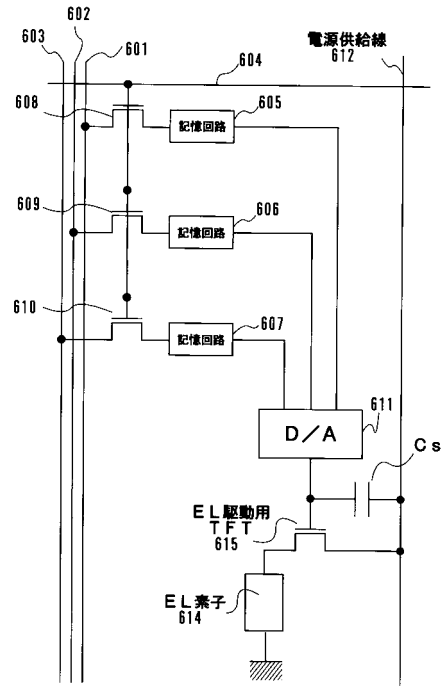
【図 4】



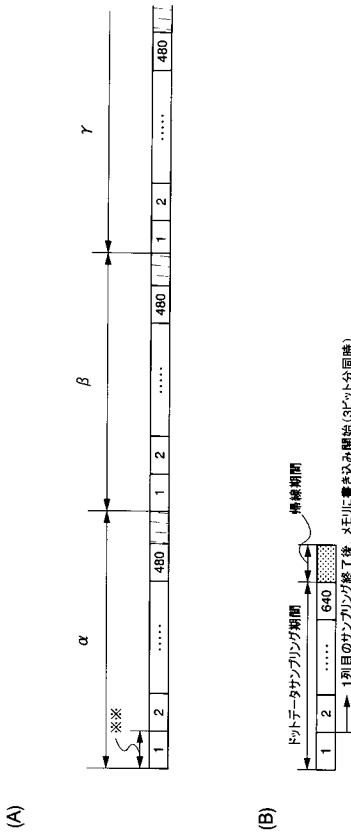
【図 5】



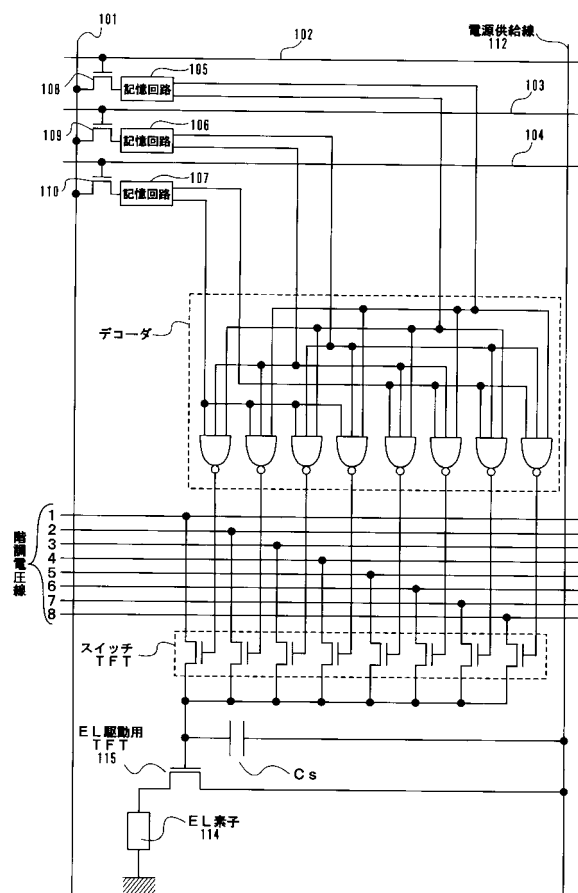
【図 6】



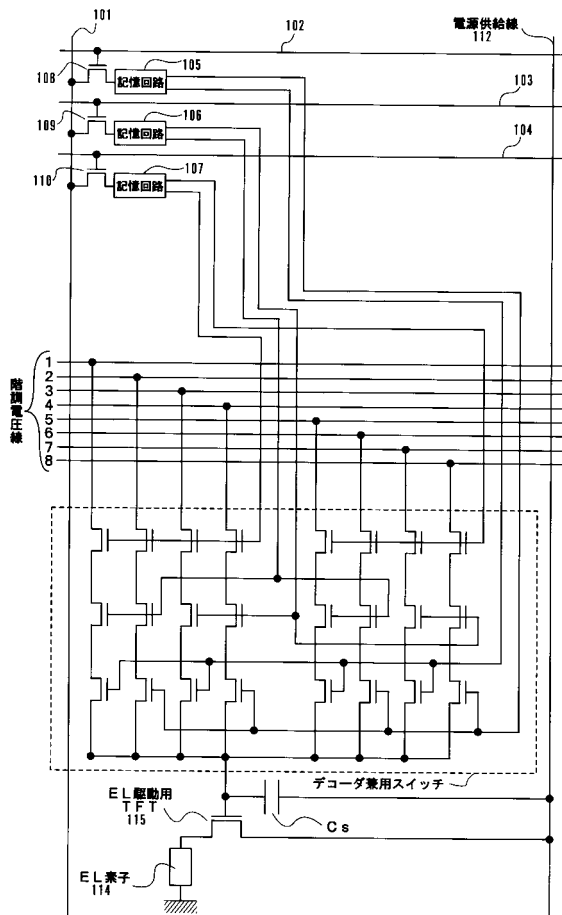
【図 7】



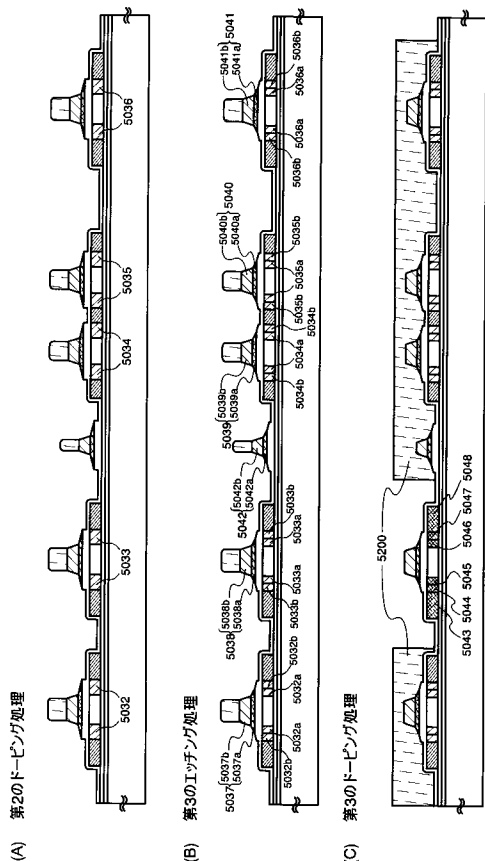
【図 8】



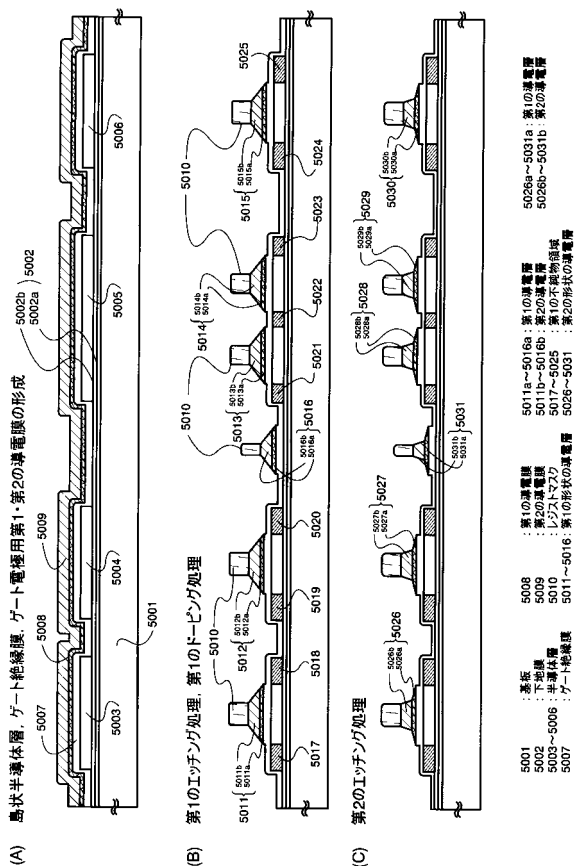
【图 9】



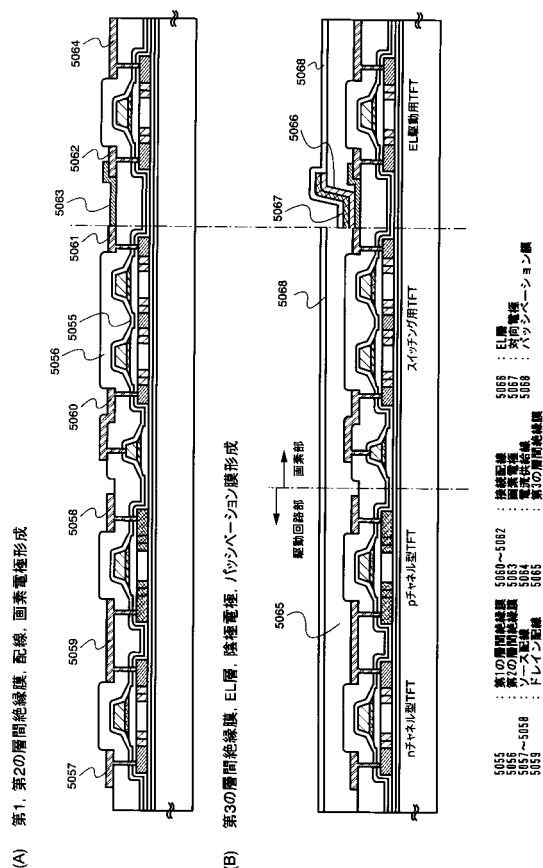
【 ㄎ 1 1 】



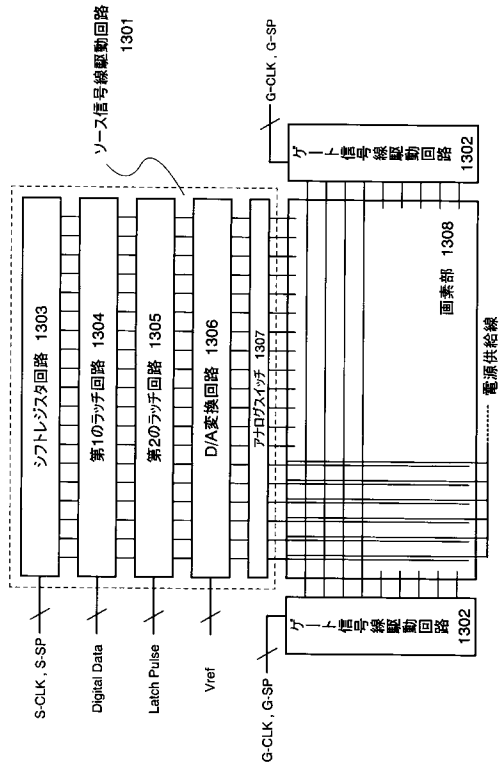
【 図 1 0 】



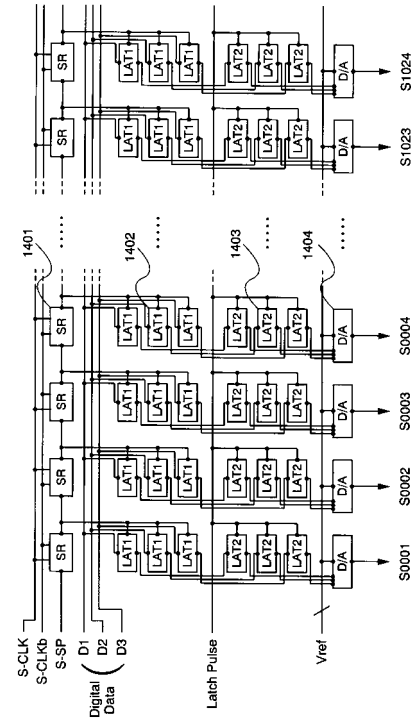
【 ㊦ 1 2 】



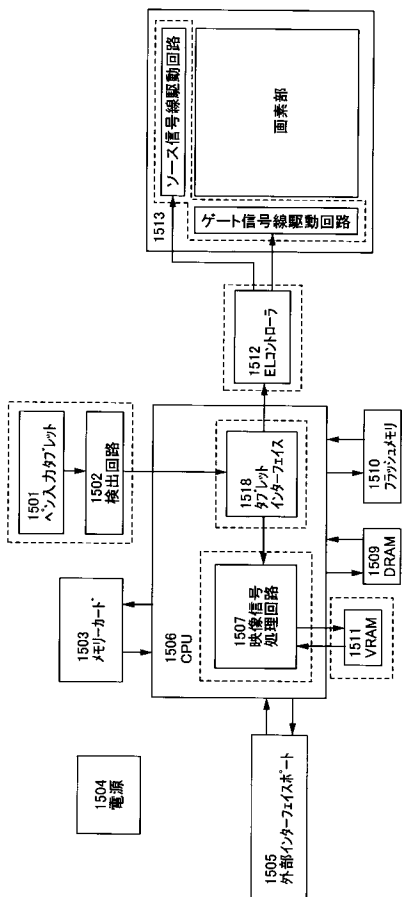
【図 13】



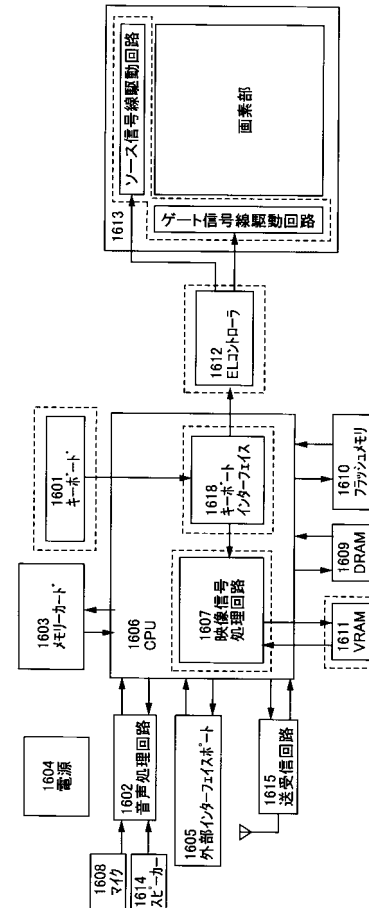
【図 14】



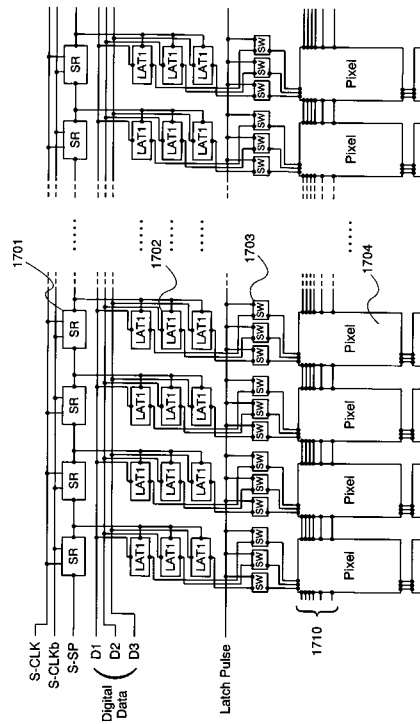
【図 15】



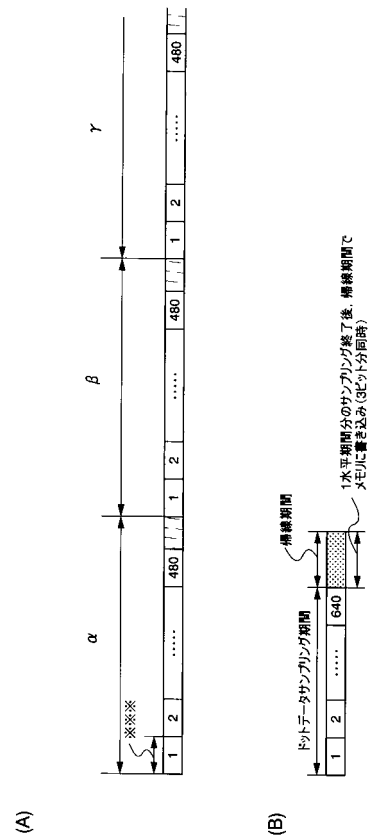
【図 16】



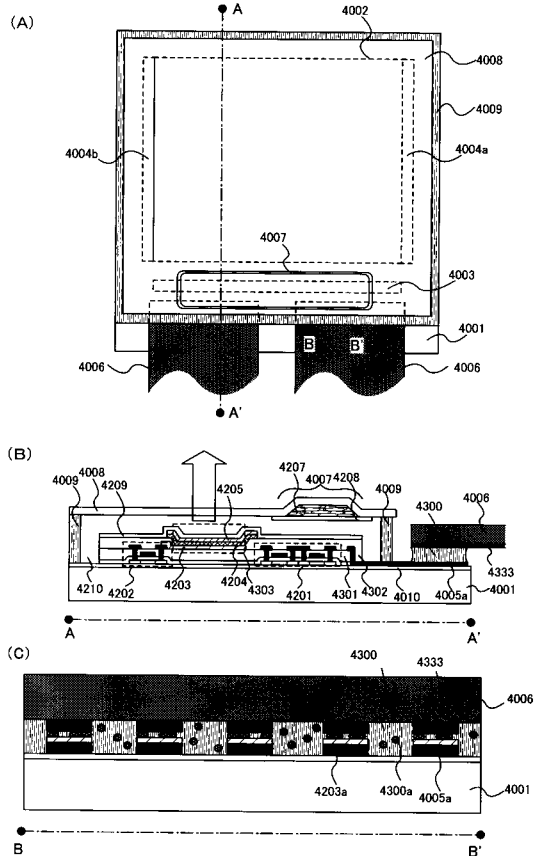
【図 17】



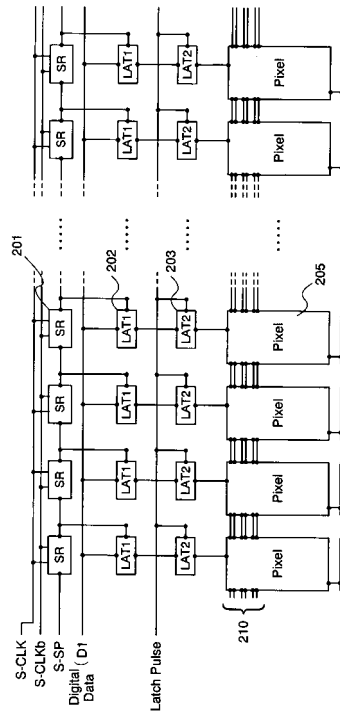
【図 18】



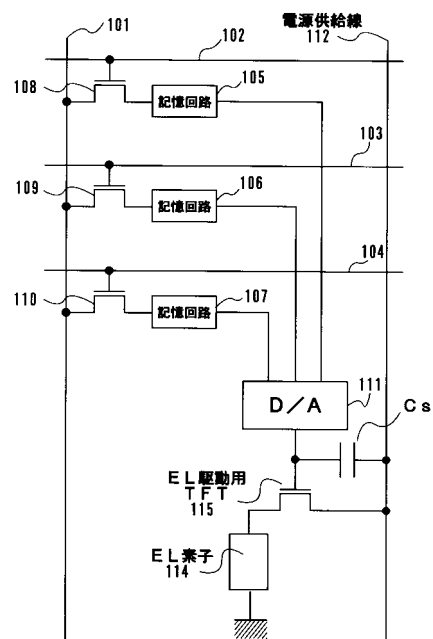
【図 19】



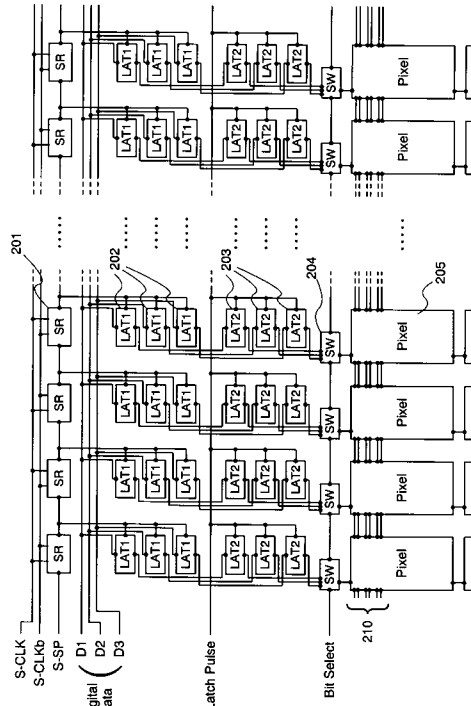
【 図 2 2 】



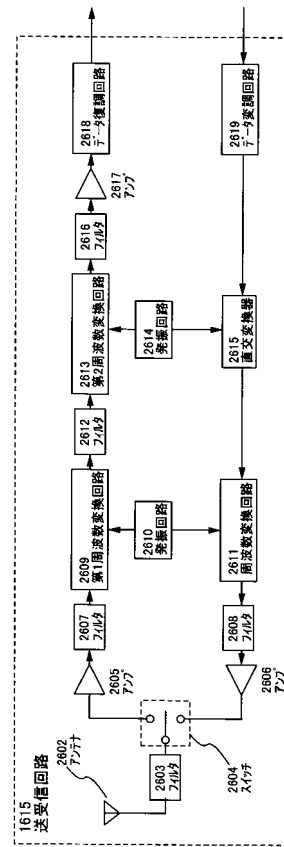
【 図 2 4 】



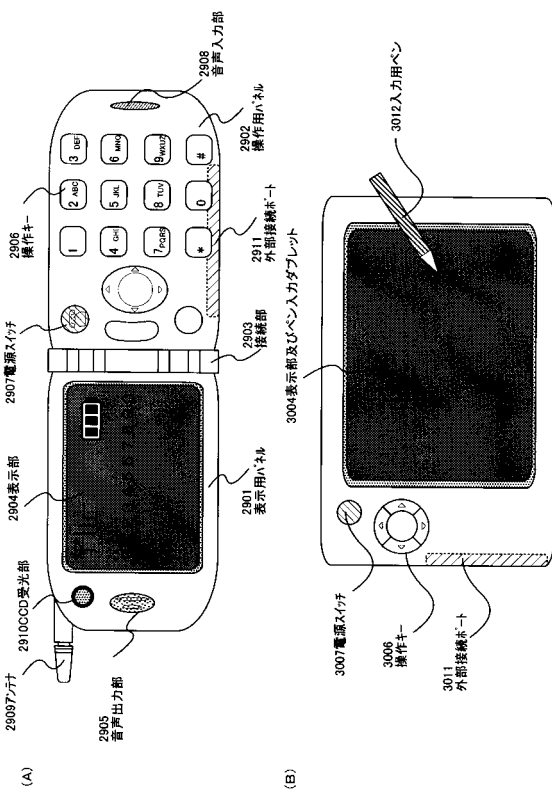
【図 25】



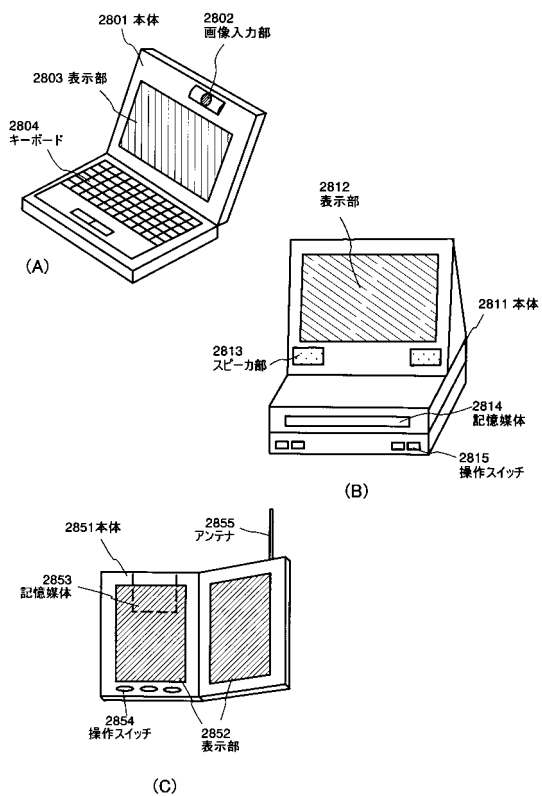
【図 26】



【図 27】

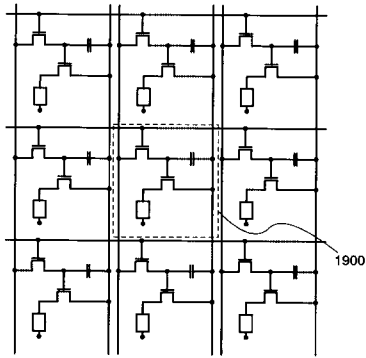


【図 28】

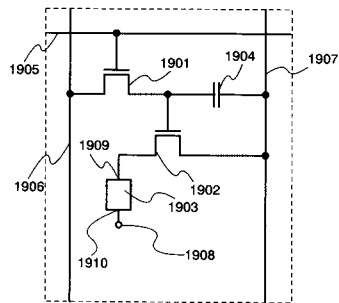


【図 29】

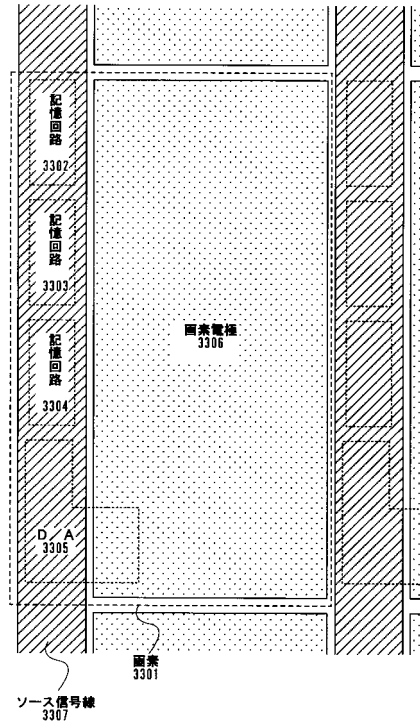
(A)



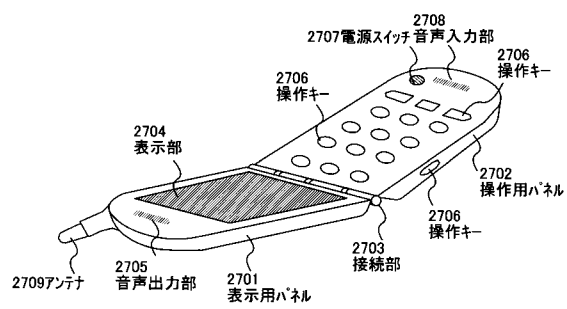
(B)



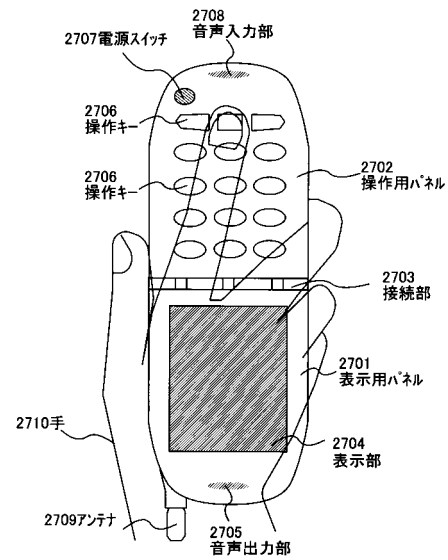
【図 30】



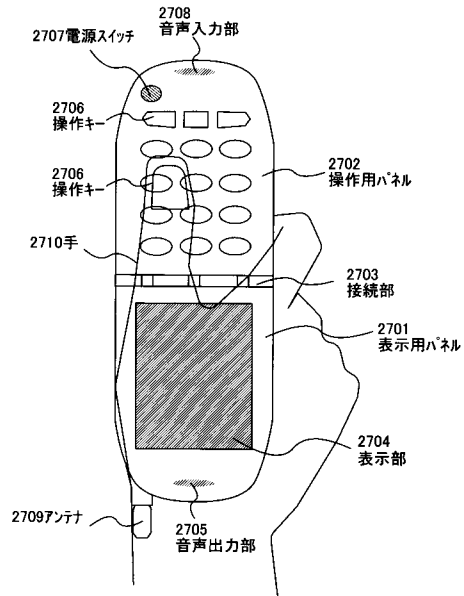
【図 31】



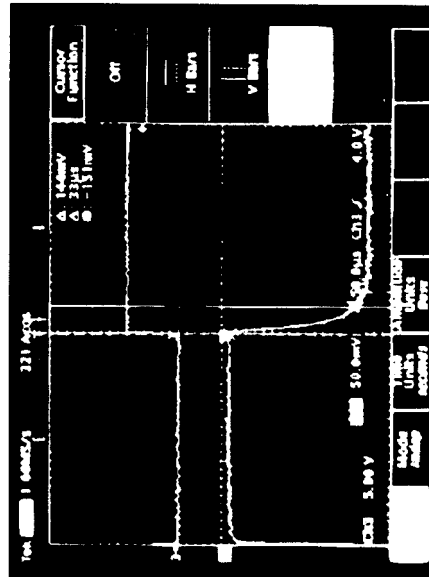
【図 32】



【 図 3 3 】

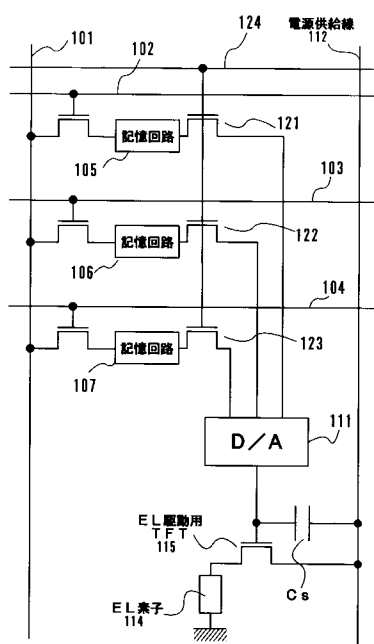


【 図 3 4 】



驱动波形 光学応答波

【 図 3 5 】



【 図 3 6 】

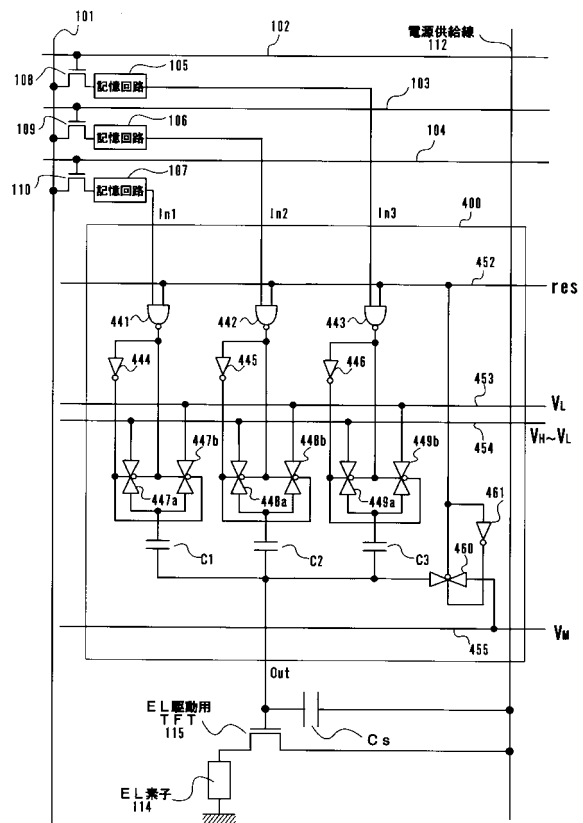
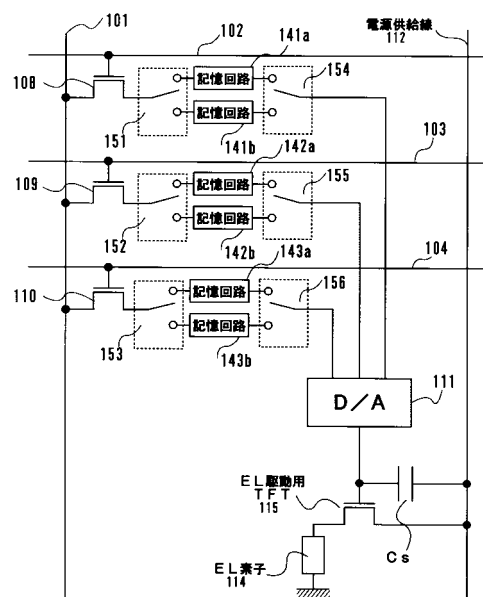


Figure 1 is a schematic diagram of a pixel circuit. The circuit includes a D/A converter (111) connected to a gate of an EL driving TFT (115). The TFT is connected to an EL element (114) and a capacitor (Cs). The circuit is divided into three horizontal sections (101, 102, 103) by horizontal lines 108, 109, and 110. Each section contains a memory circuit (141a, 141b, 142a, 142b, 143a, 143b) and a switch (151, 152, 153). A power supply line (112) is at the top.



フロントページの続き

(51)Int.Cl. F I
H 0 5 B 33/08
H 0 5 B 33/14 A

(56)参考文献 特開平 0 2 - 1 4 8 6 8 7 (J P , A)
特開平 0 9 - 2 1 2 1 4 0 (J P , A)
特開 2 0 0 0 - 1 2 2 6 0 8 (J P , A)
特開平 0 9 - 2 4 3 9 9 4 (J P , A)
特開 2 0 0 0 - 3 3 8 9 2 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G09G 3/30
G09G 3/20
H01L 51/50
H05B 33/08