

(21) 申請案號：098116945

(22) 申請日：中華民國 98 (2009) 年 05 月 21 日

(51) Int. Cl. :

H01L21/336 (2006.01)

H01L21/762 (2006.01)

(30) 優先權：2008/07/22

美國

12/177,332

(71) 申請人：哈尼威爾國際公司 (美國) HONEYWELL INTERNATIONAL INC. (US)

美國

(72) 發明人：菲克尼爾 保羅 FECHNER, PAUL (US)；拉森 布萊利 LARSEN, BRADLEY

(US)；高克 基斯 GOLKE, KEITH (US)；都格 葛蕾果 DOUGAL, GREGOR (US)

(74) 代理人：陳長文

申請實體審查：無 申請專利範圍項數：20 項 圖式數：3 共 18 頁

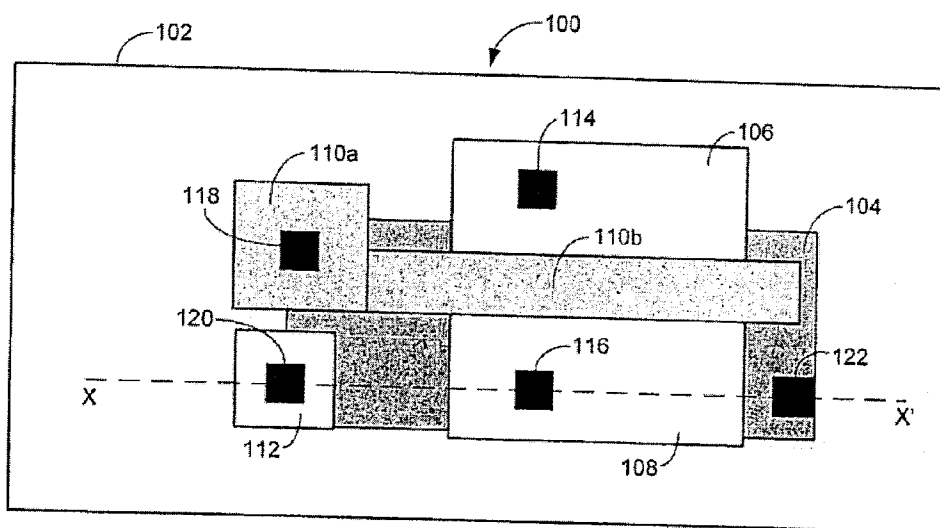
(54) 名稱

直接接觸本體縛點有效面積之製造流程

DIRECT CONTACT TO AREA EFFICIENT BODY TIE PROCESS FLOW

(57) 摘要

本發明提供一種用於製造具有直接本體縛點接觸之淺溝槽隔離(STI)裝置的製造流程。該製造流程均遵循相似於標準 STI 製造方法之步驟，除了在其中之一蝕刻步驟，本體縛點接觸被蝕刻穿過氮化物層與 STI 氧化物層而直接至該本體縛點。此製造流程提供一直接本體縛點接觸以緩和浮動本體效應，同時消除常見於非直接本體縛點接觸構造的遲滯與暫態顛倒效應，而其配置不具有嚴格的對準要求與嚴格的尺寸控制。



100：淺溝槽隔離

(STI)裝置

102：嵌入氧化物層

104：本體縛點層

106：n⁺汲極

108：n⁺源極

110a：閘極

110b：閘極

112：p⁺分接頭

114：汲極接觸

116：源極接觸

118：閘極接觸

120：p⁺分接頭接觸

122：直接本體縛點接

觸

(21) 申請案號：098116945

(22) 申請日：中華民國 98 (2009) 年 05 月 21 日

(51) Int. Cl. :

H01L21/336 (2006.01)

H01L21/762 (2006.01)

(30) 優先權：2008/07/22

美國

12/177,332

(71) 申請人：哈尼威爾國際公司 (美國) HONEYWELL INTERNATIONAL INC. (US)

美國

(72) 發明人：菲克尼爾 保羅 FECHNER, PAUL (US)；拉森 布萊利 LARSEN, BRADLEY

(US)；高克 基斯 GOLKE, KEITH (US)；都格 葛蕾果 DOUGAL, GREGOR (US)

(74) 代理人：陳長文

申請實體審查：無 申請專利範圍項數：20 項 圖式數：3 共 18 頁

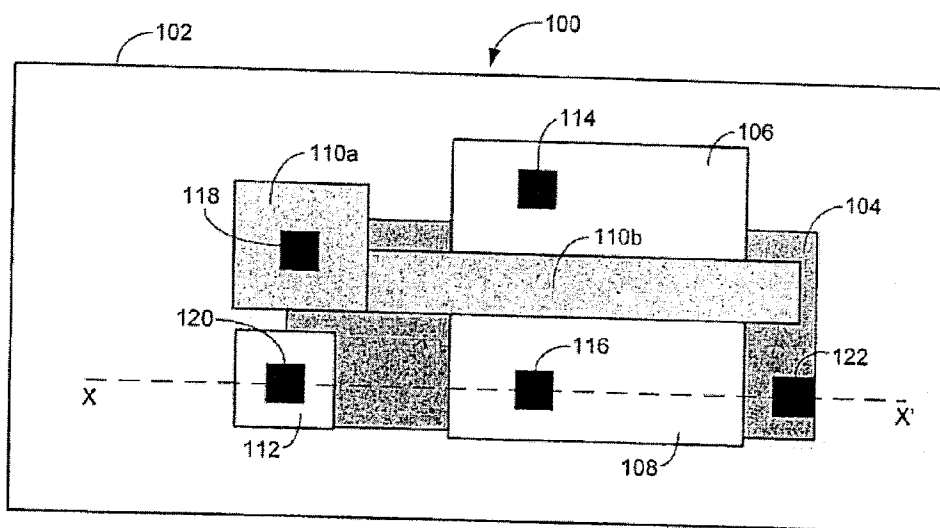
(54) 名稱

直接接觸本體縛點有效面積之製造流程

DIRECT CONTACT TO AREA EFFICIENT BODY TIE PROCESS FLOW

(57) 摘要

本發明提供一種用於製造具有直接本體縛點接觸之淺溝槽隔離(STI)裝置的製造流程。該製造流程均遵循相似於標準 STI 製造方法之步驟，除了在其中之一蝕刻步驟，本體縛點接觸被蝕刻穿過氮化物層與 STI 氧化物層而直接至該本體縛點。此製造流程提供一直接本體縛點接觸以緩和浮動本體效應，同時消除常見於非直接本體縛點接觸構造的遲滯與暫態顛倒效應，而其配置不具有嚴格的對準要求與嚴格的尺寸控制。



100：淺溝槽隔離

(STI)裝置

102：嵌入氧化物層

104：本體縛點層

106：n⁺汲極

108：n⁺源極

110a：閘極

110b：閘極

112：p⁺分接頭

114：汲極接觸

116：源極接觸

118：閘極接觸

120：p⁺分接頭接觸

122：直接本體縛點接

觸

六、發明說明：

【發明所屬之技術領域】

本發明係關於場效應電晶體(FET)製造程序，及更特定言之，係關於一種提供本體縛點矽之直接接觸之製造流程。

本發明係關於2006年5月2日申請之名為「形成一本體縛點之方法」之美國專利申請案第11/415703號，其被讓渡於本發明之受讓人，其全文以引用的方式併入本文中。

【先前技術】

在一絕緣體上矽(SOI)基板上製造的FET會經歷的一個問題為一浮動本體效應。在此等FET中，浮動本體效應係由於具有一與一塊狀基板電絕緣的本體區域而產生的。為了提供一電壓至該本體，從而緩和浮動本體效應，一施加偏壓通常從一本體接觸被提供至該本體。當一本體接觸接收到一施加偏壓時，該偏壓可為一接地或一正或負電位，它可經由一本體縛點而攜至該本體。通常，該本體縛點形成於裝置層矽及位在一氧化物之下，且大體上，該本體縛點允許該本體區域與該本體接觸在一SOI基板之較遠位置。

不具有本體縛點之習知SOI裝置易受遲滯與暫態顛倒效應的影響。本體縛點接觸可幫助控制該等遲滯與暫態顛倒效應，但是目前本體縛點有效面積之製造流程之配置密度係受限於n或p掩膜層對準及嚴格尺寸控制以控制該本體縛點。是以，消除該嚴格對準與尺寸控制要求以改進該配置密度同時緩和本體效應的一製造流程係理想的。

【發明內容】

在一例示性的實施例中，提供一種用於製造具有直接本體縛點接觸之一淺溝槽隔離(STI)裝置之製造流程。除了在該等蝕刻步驟之一者中一開口被蝕刻通過該氮化物掩膜與STI氧化物層而直接至該本體縛點矽，該製造流程均遵循相似於標準STI製造方法之步驟。此製造流程之調整允許接觸直接落在該本體縛點上，從而藉由提供一直接本體縛點接觸來解決關於浮動本體效應之問題，該直接本體縛點接觸可消除遲滯與暫態顛倒效應，其常見於非直接本體縛點接觸構造，同時其配置不具有先前本體接觸構造之嚴格的對準要求與嚴格的尺寸控制。

【實施方式】

圖1為一實體圖，其闡釋一淺溝槽隔離(STI)裝置100之配置構造之一俯視圖。該STI裝置100包括一嵌入氧化物層102，於其上形成一 n^+ 汲極106、 n^+ 源極108與 p^+ 分接頭112，在它們之間存在一本體縛點層104。一閘極110a、b形成於該等 n^+ 汲極106與 n^+ 源極108區域之間。 n^+ 汲極106、 n^+ 源極108、閘極110與 p^+ 分接頭112之每一者可分別經由接觸114、116、118，與120而到達。

應注意，該STI裝置100之配置構造在與該源極與汲極分離之一獨立主動區域112處具有一本體接觸。除非該本體縛點矽104藉由通過該 p^+ 分接頭112之標準接觸120或該直接本體縛點接觸122而被電連接，該STI裝置100易受遲滯與暫態顛倒效應的影響。然而，一直接本體縛點接觸122

可提供至該本體縛點104之一直接接觸，其消除在該 n^+ / p^+ 微影蝕刻程序中嚴格對準與尺寸控制要求的需要，以及該 p^+ 分接頭112特徵的消除。此可改進該配置密度，同時降低該 n^+ / p^+ 微影蝕刻步驟的成本。

圖3為依照本發明之一實施例之一STI方案300之一流程圖。該STI裝置100之製造流程之起始步驟為提供具有一頂矽層302之一SOI晶圓，隨後的步驟為以一感光掩膜304圖案化該頂矽。一旦形成該硬掩膜，執行二個獨立的矽蝕刻步驟306以形成該多層本體縛點104結構。在形成該等結構後，執行該等氧化物沈積308與氧化物平坦化310，在其之後執行一閘極氧化物與多晶矽閘極層312之形成步驟。在該閘極層形成之後，該 n^+ 汲極106與 n^+ 源極108之摻雜水準藉由一系列的植入而被建立314。此一系列的植入要求獨立的掩膜用於 n^+ 摻雜與 p^+ 摻雜。在該等源極與汲極摻雜水準314建立之後，開始接觸316之形成。一汲極接觸114、一源極接觸116、一閘極接觸118及一 p^+ 分接頭接觸120分別形成於該汲極區域106、該源極108區域、該閘極區域110及該 p^+ 分接頭區域112處。

此時，蝕刻接通該本體縛點矽318之一額外步驟可被包含。一開口被蝕刻通過該氮化物蝕刻停止層向下至該本體縛點矽104，在其之後至該本體縛點104之一直接接觸122被形成320。此對於該製造流程之調整排除一本體縛點接觸必須發生於一常規主動區域之要求，其為一必須被微影蝕刻指明於該等主動區域掩蔽與蝕刻步驟、該等 n^+ 與 p^+ 掩

蔽與摻雜步驟、及該植入步驟之特徵。

圖2a為沿圖1所示之STI裝置構造之X-X'平面截取的一截面之實體圖。嵌入氧化物層202將該等裝置矽區域204、208、212與214從該矽基板201隔離開。一沈積與後續CMP平坦化氧化物206包括該STI氧化物隔離。該等 n^+ 源極208、 p^+ 分接頭212與多層本體縛點204結構分別相應於圖1之該等 n^+ 源極108區域、 p^+ 分接頭112區域與本體縛點104區域。該多層本體縛點結構204藉由二個上述獨立矽蝕刻而被形成。一矽層214在該等矽蝕刻之後仍保留下來。一氮化物層210提供一硬掩膜蝕刻停止用於潛在的後續加工步驟及該STI氧化物層206阻止該等 n^+ 與 p^+ 源極與汲極植入的摻雜該下面的本體縛點矽層214。

p^+ 接觸220、 n^+ 源極接觸216，及直接本體縛點接觸222分別相應於圖1之 p^+ 分接頭接觸120、 n^+ 源極接觸116區域及直接本體縛點接觸122。如所示， p^+ 分接頭接觸220與 n^+ 源極接觸216分別藉由蝕刻通過該氮化物層210而連接至 p^+ 分接頭212與 n^+ 源極208。該直接本體縛點接觸222藉由蝕刻通過該氮化物層以及該STI氧化物層而連接至該本體縛點204。該直接本體縛點接觸222被定向為垂直且為統一結構的。該直接接觸發生之介面使得該直接本體縛點接觸222之至少一部分覆蓋該本體縛點結構204之至少一部分。在一替代實施例中，如果該等源極、汲極，或閘極接觸區域之選擇性不足以蝕刻至該本體縛點，則在該等源極、汲極與閘極接觸形成之前，可完成該本體縛點接觸之微影蝕

刻。

在另一替代實施例中，由於該 p^+ 分接頭特徵不再被需要而可在此直接本體縛點接觸構造中被消除。在該 n^+ 植入過程中，消除該 p^+ 分接頭特徵也會消除用於該 n 通道電晶體之一最小設計規則距離之一感光掩膜特徵的需要。圖2b為在一 n^+ 植入步驟中沿圖1所示之STI裝置構造之X-X'平面截取之一截面的實體圖。如圖2a所示，用於參考，該等圓柱220'、216'及222'為接觸220、216及222在一隨後的步驟中將形成之處。當一 p^+ 分接頭特徵被實現時該感光保護膜224是必須的，但是它在此替代實施例中可被省去。就其本身而論，消除該 p^+ 分接頭特徵可改進該密度以及降低該裝置之微影蝕刻成本。

此外，在形成該直接本體縛點接觸之後，可執行一進一步的微影蝕刻與植入步驟以增加該直接本體縛點接觸之摻雜從而減小接觸電阻。在此情況下，該直接本體縛點接觸植入僅進入該接觸區域，因此 n^+ 與 p^+ 間隔要求仍保持寬鬆。應注意，摻雜物起作用以改進效能可選擇性地發生於一典型的接觸TiN線性退火步驟中。考慮到本發明之各種實施例，其最佳情況不需要進一步的加工，而最差情況則需要一進一步的接觸掩膜與蝕刻步驟，及在二個進一步的植入過程中之良好掩膜的二次再利用。

雖然本方法已參照一SOI程序之一STI方案而被描述，然而，它可被實現於一SOI程序之其他時點。在輻射固化電路中，本直接本體縛點接觸係特別有利的。然而，預期此

一本體縛點也可被用於適合一非輻射固化電路之處。因此，應瞭解，該等被闡釋之實例僅為實例且不應被認為限制本發明之範圍。同時，以下所述之申請專利範圍在閱讀時不應受限於該描述的順序或元件(除非聲明於此影響)。因此，遵循以下申請專利範圍及其等效物之範圍與精神之所有實例被聲明為本發明。

【圖式簡單說明】

圖1為根據本發明之一實施例之一實體圖，其闡釋具有直接本體縛點接觸之配置構造之一俯視圖；

圖2a為根據本發明之一實施例之截取自圖1之俯視圖之一截面之一實體圖；

圖2b為根據本發明之一實施例之在一 n^+ 植入步驟中截取自圖1之俯視圖之一截面之一實體圖；及

圖3為根據本發明之一實施例之一STI方案之一流程圖。

【主要元件符號說明】

100	淺溝槽隔離(STI)裝置
102	嵌入氧化物層
104	本體縛點層
106	n^+ 汲極
108	n^+ 源極
110	閘極
112	p^+ 分接頭
114	汲極接觸
116	源極接觸

118	閘極接觸
120	p ⁺ 分接頭接觸
122	直接本體縛點接觸
201	矽基板
202	嵌入氧化物層
204	多層本體縛點
206	STI氧化物層
208	n ⁺ 源極
210	氮化物層
212	p ⁺ 分接頭
214	矽層
216	n ⁺ 源極接觸
220	p ⁺ 分接頭接觸
222	直接本體縛點接觸
224	感光保護膜
300	STI方案
302	提供具有頂矽層之SOI晶片
304	圖案化具有感光掩膜之頂矽層
306	蝕刻頂矽層以形成多層本體縛點
308	沈積氧化物層
310	平坦化氧化物層
312	形成閘極層
314	建立源極/汲極摻雜水準
316	形成源極/汲極/閘極接觸

- 318 蝕刻通過本體縛點矽
- 320 形成直接本體縛點接觸

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 98116945

※申請日： 98.5.21

※IPC 分類：H01L 21/336 (2006.01)

H01L 21/762 (2006.01)

一、發明名稱：(中文/英文)

直接接觸本體縛點有效面積之製造流程

DIRECT CONTACT TO AREA EFFICIENT BODY TIE PROCESS
FLOW

二、中文發明摘要：

本發明提供一種用於製造具有直接本體縛點接觸之淺溝槽隔離(STI)裝置的製造流程。該製造流程均遵循相似於標準STI製造方法之步驟，除了在其中之一蝕刻步驟，本體縛點接觸被蝕刻穿過氮化物層與STI氧化物層而直接至該本體縛點。此製造流程提供一直接本體縛點接觸以緩和浮動本體效應，同時消除常見於非直接本體縛點接觸構造的遲滯與暫態顛倒效應，而其配置不具有嚴格的對準要求與嚴格的尺寸控制。

三、英文發明摘要：

A process flow for fabricating shallow trench isolation (STI) devices with direct body tie contacts is provided. The process flow follows steps similar to standard STI fabrication methods except that in one of the etching steps, body tie contacts are etched through the nitride layer and STI oxide layer, directly to the body tie. This process flow provides a direct body tie contact to mitigate floating body effects but also eliminates hysteresis and transient upset effects common in non-direct body tie contact configurations, without the critical alignment requirements and critical dimension control of the layout.

七、申請專利範圍：

1. 一種用於製造一半導體裝置之方法，其包括：
製造源極與汲極主動區域；
製造一多層本體縛點結構；及
形成至該源極、汲極與本體縛點之接觸，其中該本體縛點接觸直接耦合於該本體縛點矽。
2. 如請求項1之方法，進一步包括蝕刻通過任一中間層，使得該等接觸可直接耦合於該等個別主動區域與本體縛點。
3. 如請求項1之方法，其中該本體縛點接觸為垂直定向。
4. 如請求項1之方法，其中該本體縛點接觸為統一構造。
5. 如請求項1之方法，其中該本體縛點接觸之至少一部分覆蓋該本體縛點結構之至少一部分。
6. 如請求項1之方法，進一步包括在形成該等接觸之後執行摻雜物植入以減小接觸電阻。
7. 如請求項1之方法，其中製造一多層本體縛點結構包括至少二個分開的蝕刻步驟。
8. 一種具有一多層結構之半導體裝置，其包括：
一多層矽層，其具有一本體縛點；
一氧化物層，其覆蓋該具有一本體縛點之多層矽層；及
一本體縛點接觸，其提供一至該本體縛點矽之直接電連接。
9. 如請求項8之半導體裝置，進一步包括源極、汲極與閘極區域。

10. 如請求項9之半導體裝置，其中該源極與汲極為一n型。
11. 如請求項9之半導體裝置，其中該源極與汲極為一p型。
12. 如請求項8之半導體裝置，其中該本體縛點接觸之至少一部分覆蓋該本體縛點之至少一部分。
13. 如請求項8之半導體裝置，其中該本體縛點接觸為垂直定向。
14. 如請求項8之半導體裝置，其中該本體縛點接觸為統一構造。
15. 一種用於製造一半導體裝置之方法，其包括：
 - 提供一SOI晶圓，其具有一頂矽層；
 - 圖案化該頂矽層；
 - 蝕刻該頂矽層以形成多層本體縛點、源極，與汲極結構；
 - 沈積一氧化物層於該等多層矽結構之上；
 - 平坦化該氧化物層；
 - 圖案化並形成一閘極層；
 - 經由植入，於該源極與汲極結構中建立若干程度之摻雜；
 - 形成至該等源極、汲極、與閘極結構之接觸；
 - 蝕刻穿過該氧化物層之若干部分及多層矽結構至該本體縛點結構；及
 - 形成直接至該本體縛點結構之一本體縛點接觸。
16. 如請求項15之方法，其中該本體縛點接觸為垂直定向。
17. 如請求項15之方法，其中該本體縛點接觸為統一構造。

18. 如請求項15之方法，其中該本體縛點接觸之至少一部分覆蓋該本體縛點結構之至少一部分。
19. 如請求項15之方法，進一步包括在形成該等接觸之後執行摻雜物植入以減小接觸電阻。
20. 如請求項15之方法，其中蝕刻該頂矽層以形成多層本體縛點、源極與汲極結構包括至少二個分開的蝕刻步驟。

八、圖式：

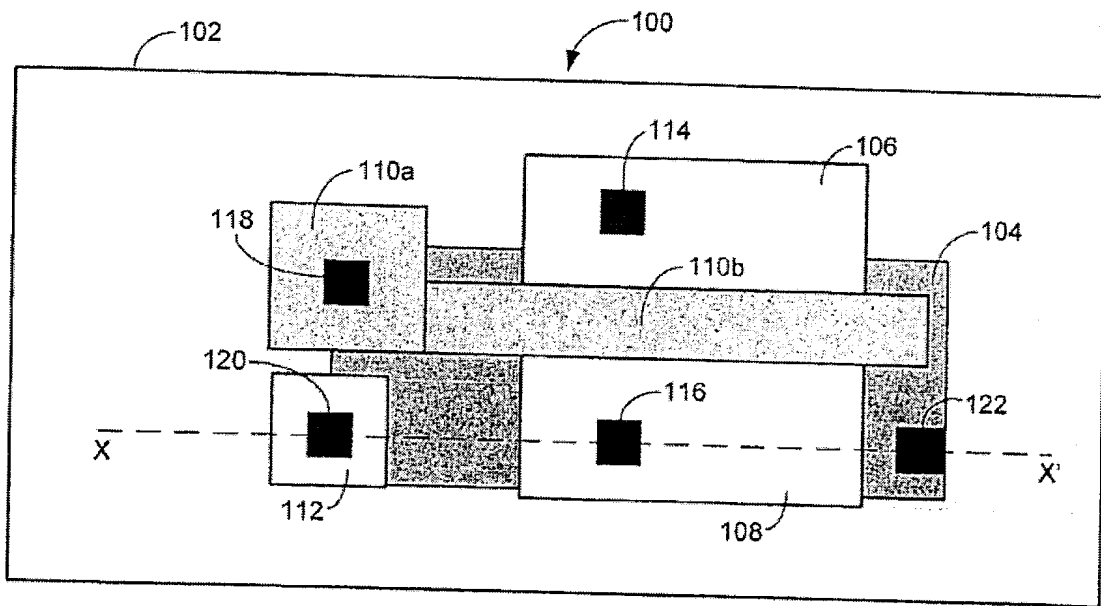


圖 1

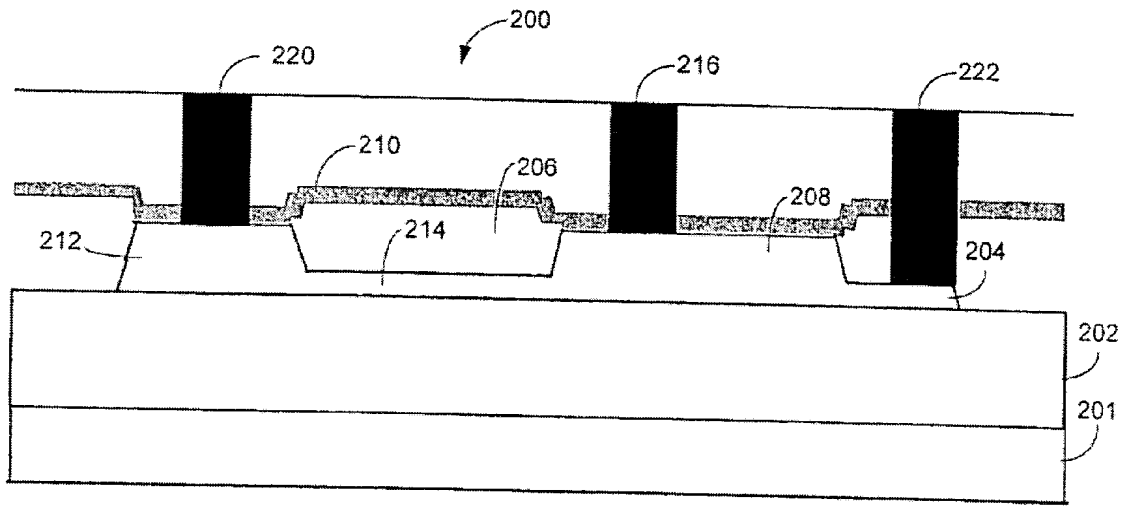


圖 2a

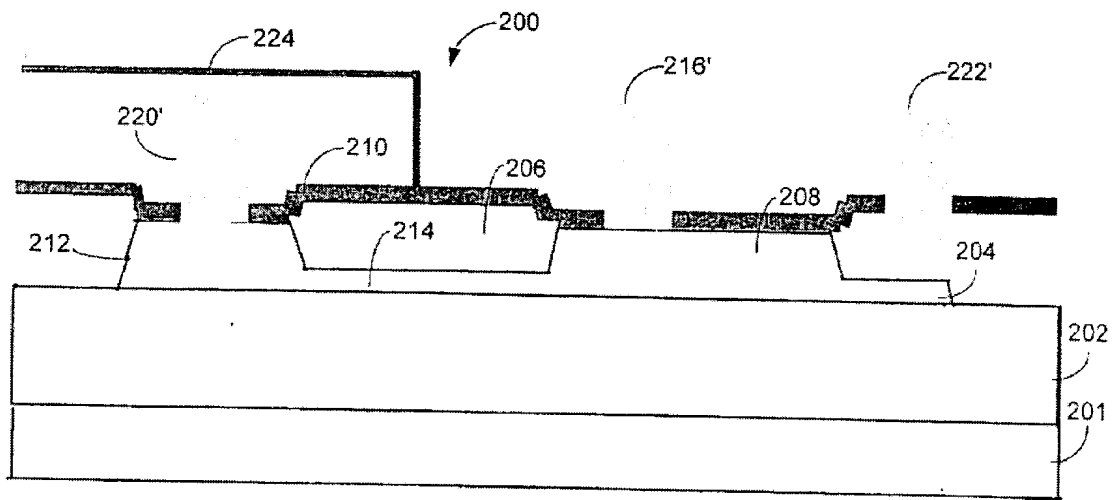


圖 2b

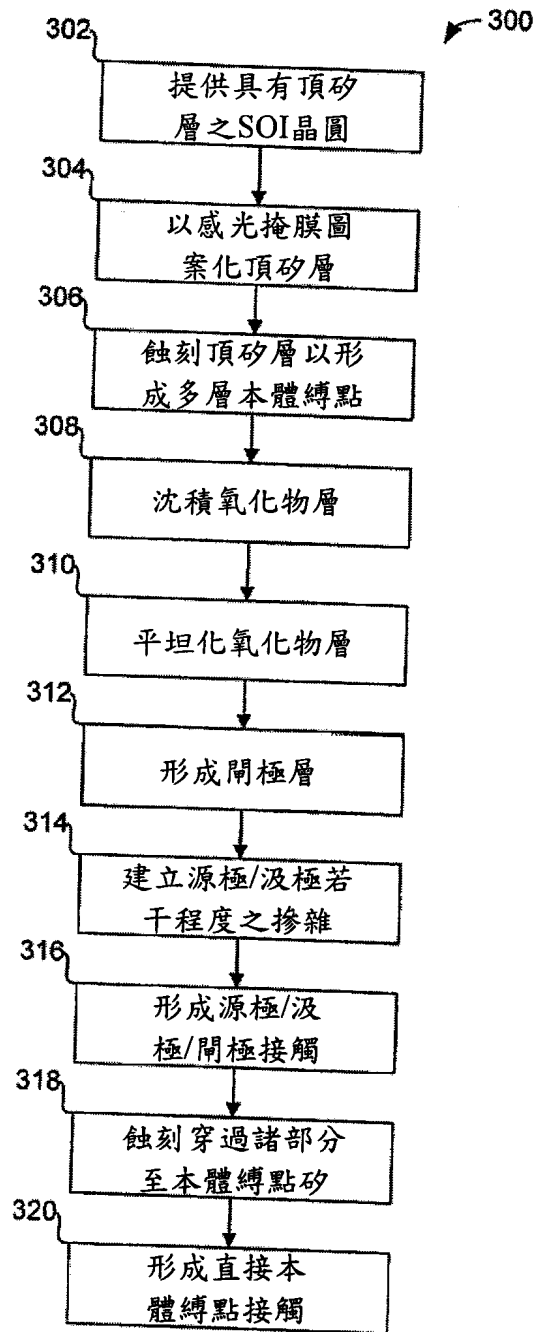


圖 3

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

100	淺溝槽隔離(STI)裝置
102	嵌入氧化物層
104	本體縛點層
106	n ⁺ 汲極
108	n ⁺ 源極
110a, 110b	閘極
112	p ⁺ 分接頭
114	汲極接觸
116	源極接觸
118	閘極接觸
120	p ⁺ 分接頭接觸
122	直接本體縛點接觸

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)