

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7147468号
(P7147468)

(45)発行日 令和4年10月5日(2022.10.5)

(24)登録日 令和4年9月27日(2022.9.27)

(51)国際特許分類		F I		
H 0 4 N	5/3745(2011.01)	H 0 4 N	5/3745	
H 0 4 N	5/33 (2006.01)	H 0 4 N	5/33	
H 0 4 N	5/374(2011.01)	H 0 4 N	5/374	
G 0 1 J	1/44 (2006.01)	G 0 1 J	1/44	P
G 0 1 J	1/00 (2006.01)	G 0 1 J	1/00	B

請求項の数 9 (全21頁)

(21)出願番号	特願2018-202207(P2018-202207)	(73)特許権者	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22)出願日	平成30年10月26日(2018.10.26)	(74)代理人	100107766 弁理士 伊東 忠重
(65)公開番号	特開2020-68516(P2020-68516A)	(74)代理人	100070150 弁理士 伊東 忠彦
(43)公開日	令和2年4月30日(2020.4.30)	(72)発明者	澤田 亮 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
審査請求日	令和3年7月9日(2021.7.9)	審査官	西谷 憲人

最終頁に続く

(54)【発明の名称】 赤外線検出器の読み出し回路及びその検査方法

(57)【特許請求の範囲】

【請求項1】

マトリクス状に配列される複数の画素駆動回路と、
 前記複数の画素駆動回路の行ごとに設けられる複数の垂直選択線と、
 前記複数の画素駆動回路の列ごとに設けられる複数の水平選択線と、
 前記複数の垂直選択線に順番に行選択信号を出力する垂直選択回路と、
 前記複数の水平選択線に順番に列選択信号を出力することによって、前記行選択信号により選択された1行分の画素駆動回路から信号を読み出し線に順次読み出す水平選択回路とを備え、
 前記複数の画素駆動回路は、それぞれ、
 赤外線検出器の駆動用回路と、
 前記複数の垂直選択線のうち対応する垂直選択線に出力される前記行選択信号と、前記複数の水平選択線のうち対応する水平選択線に出力される前記列選択信号とに基づいて、外部から供給されるテスト信号を前記駆動用回路に入力するか否かを切り替える切り替え回路とを有し、
 前記切り替え回路は、
 前記テスト信号を前記駆動用回路に入力するか否かを切り替えるスイッチと、
 前記複数の垂直選択線のうち対応する垂直選択線に出力される前記行選択信号と、前記複数の水平選択線のうち対応する水平選択線に出力される前記列選択信号とに基づいて、前記スイッチの切り替え動作を制御するラッチ回路とを有する、赤外線検出器の読み出し

回路。

【請求項 2】

前記切り替え回路は、

前記複数の垂直選択線のうち対応する垂直選択線に出力される前記行選択信号と前記複数の水平選択線のうち対応する水平選択線に出力される前記列選択信号との論理積を前記ラッチ回路に入力する論理積回路を有する、請求項 1 に記載の赤外線検出器の読み出し回路。

【請求項 3】

前記ラッチ回路は、入力される前記論理積をクロックとし、入力されるテスト入力選択パルスをラッチする、請求項 2 に記載の赤外線検出器の読み出し回路。

10

【請求項 4】

前記テスト入力選択パルスを生成する生成回路を備える、請求項 3 に記載の赤外線検出器の読み出し回路。

【請求項 5】

前記生成回路は、テストパターンを記憶するメモリ回路と、前記メモリ回路に記憶された前記テストパターンに基づいて、前記テスト入力選択パルスを発生させる発生回路とを有する、請求項 4 に記載の赤外線検出器の読み出し回路。

【請求項 6】

テストパターンを記憶するメモリ回路を備え、

前記切り替え回路は、前記メモリ回路に記憶された前記テストパターンに基づいて、前記テスト信号を前記駆動用回路に入力するか否かを切り替える、請求項 1 から 5 のいずれか一項に記載の赤外線検出器の読み出し回路。

20

【請求項 7】

前記切り替え回路は、入力されるテスト入力選択パルスに従って、前記テスト信号を前記駆動用回路に入力するか否かを切り替える、請求項 1 又は 2 に記載の赤外線検出器の読み出し回路。

【請求項 8】

マトリクス状に配列される複数の画素駆動回路と、

前記複数の画素駆動回路の行ごとに設けられる複数の垂直選択線と、

前記複数の画素駆動回路の列ごとに設けられる複数の水平選択線と、

前記複数の垂直選択線に順番に行選択信号を出力する垂直選択回路と、

前記複数の水平選択線に順番に列選択信号を出力することによって、前記行選択信号により選択された 1 行分の画素駆動回路から信号を読み出し線に順次読み出す水平選択回路とを備え、

30

前記複数の画素駆動回路は、それぞれ、

赤外線検出器の駆動用回路と、

前記複数の垂直選択線のうち対応する垂直選択線に出力される前記行選択信号と、前記複数の水平選択線のうち対応する水平選択線に出力される前記列選択信号とに基づいて、外部から供給されるテスト信号を前記駆動用回路に入力するか否かを切り替える切り替え回路とを有し、

40

前記切り替え回路は、

前記テスト信号を前記駆動用回路に入力するか否かを切り替えるスイッチと、

前記複数の垂直選択線のうち対応する垂直選択線に出力される前記行選択信号と、前記複数の水平選択線のうち対応する水平選択線に出力される前記列選択信号とに基づいて、前記スイッチの切り替え動作を制御するラッチ回路とを有する、赤外線検出器の読み出し回路を検査する方法であって、

前記複数の画素駆動回路のそれぞれに前記テスト信号を供給する、赤外線検出器の読み出し回路の検査方法。

【請求項 9】

前記読み出し線に読み出されて出力される信号を測定し、その測定値と期待値との比較

50

結果を出力する、請求項 8 に記載の赤外線検出器の読み出し回路の検査方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、赤外線検出器の読み出し回路及びその検査方法に関する。

【背景技術】

【0002】

従来技術として、実際に撮像を行うことなく信号処理部の動作確認を行うことができると共に、所望のデータでの動作確認を容易に実現することができる固体撮像素子及びその検査方法が知られている。例えば、マトリクス状に配列された画素と、画素の列毎に配線された垂直信号線と、垂直信号線に接続されて画素から読み出された電気信号を保持する保持部と、保持部を順次選択する選択信号を供給する水平走査部とを備える固体撮像素子が知られている。

10

【0003】

この固体撮像素子は、保持部に所定のデータ信号を供給できる水平走査部と、水平走査部により選択された保持部から読み出された電気信号を出力する信号処理部とを備える。このような構成によれば、マトリクス状に配列された画素で撮像を行うことなく、水平走査部から保持部へのデータ信号の入力が可能となる。そのため、マトリクス状に配列された画素で実際に撮像を行うことなく、信号処理部の動作確認を行うことができる（例えば、特許文献 1 参照）。

20

【先行技術文献】

【特許文献】

【0004】

【文献】特開 2009 - 77173 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、従来の技術は、マトリクス状に配列される複数の画素駆動回路を使わずに、それらの複数の画素駆動回路の後段の回路にデータ信号を入力して検査を行う方法である。そのため、従来の技術では、マトリクス状に配列され、赤外線検出器の駆動用回路をそれぞれ有する複数の画素駆動回路を個別に検査できない。

30

【0006】

そこで、本開示は、マトリクス状に配列され、赤外線検出器の駆動用回路をそれぞれ有する複数の画素駆動回路を個別に検査可能な構成を備える、赤外線検出器の読み出し回路を提供する。また、本開示は、マトリクス状に配列され、赤外線検出器の駆動用回路をそれぞれ有する複数の画素駆動回路を個別に検査できる、赤外線検出器の読み出し回路の検査方法を提供する。

【課題を解決するための手段】

【0007】

本開示は、

マトリクス状に配列される複数の画素駆動回路と、

前記複数の画素駆動回路の行ごとに設けられる複数の垂直選択線と、

前記複数の画素駆動回路の列ごとに設けられる複数の水平選択線と、

前記複数の垂直選択線に順番に行選択信号を出力する垂直選択回路と、

前記複数の水平選択線に順番に列選択信号を出力することによって、前記行選択信号により選択された 1 行分の画素駆動回路から信号を読み出し線に順次読み出す水平選択回路とを備え、

前記複数の画素駆動回路は、それぞれ、

赤外線検出器の駆動用回路と、

前記複数の垂直選択線のうち対応する垂直選択線に出力される前記行選択信号と、前記

40

50

複数の水平選択線のうち対応する水平選択線に出力される前記列選択信号とに基づいて、外部から供給されるテスト信号を前記駆動用回路に入力するか否かを切り替える切り替え回路とを有し、

前記切り替え回路は、

前記テスト信号を前記駆動用回路に入力するか否かを切り替えるスイッチと、

前記複数の垂直選択線のうち対応する垂直選択線に出力される前記行選択信号と、前記複数の水平選択線のうち対応する水平選択線に出力される前記列選択信号とに基づいて、前記スイッチの切り替え動作を制御するラッチ回路とを有する、赤外線検出器の読み出し回路を提供する。

【0008】

また、本開示は、

マトリクス状に配列される複数の画素駆動回路と、

前記複数の画素駆動回路の行ごとに設けられる複数の垂直選択線と、

前記複数の画素駆動回路の列ごとに設けられる複数の水平選択線と、

前記複数の垂直選択線に順番に行選択信号を出力する垂直選択回路と、

前記複数の水平選択線に順番に列選択信号を出力することによって、前記行選択信号により選択された1行分の画素駆動回路から信号を読み出し線に順次読み出す水平選択回路とを備え、

前記複数の画素駆動回路は、それぞれ、

赤外線検出器の駆動用回路と、

前記複数の垂直選択線のうち対応する垂直選択線に出力される前記行選択信号と、前記複数の水平選択線のうち対応する水平選択線に出力される前記列選択信号とに基づいて、外部から供給されるテスト信号を前記駆動用回路に入力するか否かを切り替える切り替え回路とを有し、

前記切り替え回路は、

前記テスト信号を前記駆動用回路に入力するか否かを切り替えるスイッチと、

前記複数の垂直選択線のうち対応する垂直選択線に出力される前記行選択信号と、前記複数の水平選択線のうち対応する水平選択線に出力される前記列選択信号とに基づいて、前記スイッチの切り替え動作を制御するラッチ回路とを有する、赤外線検出器の読み出し回路を検査する方法であって、

前記複数の画素駆動回路のそれぞれに前記テスト信号を供給する、赤外線検出器の読み出し回路の検査方法を提供する。

【発明の効果】

【0009】

本開示の技術によれば、マトリクス状に配列され、赤外線検出器の駆動用回路をそれぞれ有する複数の画素駆動回路を個別に検査可能な構成を備える、赤外線検出器の読み出し回路を提供できる。また、本開示の技術によれば、マトリクス状に配列され、赤外線検出器の駆動用回路をそれぞれ有する複数の画素駆動回路を個別に検査できる、赤外線検出器の読み出し回路の検査方法を提供できる。

【図面の簡単な説明】

【0010】

【図1】赤外線撮像装置の構成の一例を示す図である。

【図2】撮像素子の構成の一例を示す図である。

【図3】一比較形態における読み出し回路の構成の一例を示す図である。

【図4】一比較形態における画素駆動回路の構成の一例を示す図である。

【図5】一比較形態におけるテスト入力時の出力波形の一例を示す図である。

【図6】検査方式の一例を示す図である。

【図7】検査時の出力波形の一例を示す図である。

【図8】検査時の出力波形の一例を示す図である。

【図9】検査時の出力波形の一例を示す図である。

10

20

30

40

50

【図 1 0】第 1 の実施形態における読み出し回路の構成例を示す図である。

【図 1 1】第 1 の実施形態における画素駆動回路の構成の一例を示す図である。

【図 1 2】第 1 の実施形態において、特定の一画素のみにテスト入力するときの駆動パルス
の一例を示す図である。

【図 1 3】第 1 の実施形態において、特定の一画素を除いて残りの全画素にテスト入力す
るときの駆動パルスの一例を示す図である。

【図 1 4】第 1 の実施形態において、特定の一画素のみにテスト入力するときの出力波形
の一例を示す図である。

【図 1 5】第 1 の実施形態において、特定の一画素を除いて残りの全画素にテスト入力す
るときの出力波形の一例を示す図である。

10

【図 1 6】テスト入力選択パルスの生成回路の構成例を示す図である。

【図 1 7】検査方法の一例を示す図である。

【図 1 8】出力アンプの検査時の出力波形の一例を示す図である。

【発明を実施するための形態】

【0 0 1 1】

以下、本開示に係る実施形態について説明する。

【0 0 1 2】

図 1 は、本実施形態における赤外線撮像装置の構成例を示す図である。図 1 に示す赤外
線撮像装置 1 0 1 は、撮像部 1 1 0 と、信号処理回路 1 1 8 と、表示モニタ 1 5 3 とを備
える。なお、表示モニタ 1 5 3 は、赤外線撮像装置 1 0 1 の構成に含まれても含まれなく
てもよい。

20

【0 0 1 3】

撮像部 1 1 0 には、撮像素子が搭載されている。撮像素子は、イメージセンサとも称さ
れる。撮像部 1 1 0 は、撮像素子から出力されるアナログのセンサ出力信号（画素出力信
号）をデジタルのセンサ出力信号（赤外線撮像信号）に変換して出力する。信号処理回路
1 1 8 は、撮像部 1 1 0 から出力されるデジタルの赤外線撮像信号に基づいて、表示モニ
タ 1 5 3 に表示される熱画像を生成するための画像信号を生成する。表示モニタ 1 5 3 は
、信号処理回路 1 1 8 から出力される画像信号に基づいて、熱画像を表示する。

【0 0 1 4】

図 2 は、撮像素子の構成の一例を示す図である。図 2 に示す撮像素子 1 4 は、観測対象
物の表面温度に応じて当該観測対象物から放射される赤外線を、二次元のアレイ状に配置
された複数の赤外線検出器 2 4 で検出する。撮像素子 1 4 は、当該観測対象物の表面温度
分布を示す熱画像を生成するためのアナログのセンサ出力信号（画素出力信号）を読み出
し回路 1 1 3 から出力する。

30

【0 0 1 5】

撮像素子 1 4 は、複数の赤外線検出器 2 4 がマトリクス状に配列されたセンサアレイ 1
2 と、センサアレイ 1 2 において得られた電気信号を読み出す読み出し回路 1 1 3 が形成
された回路基板 8 6 とを有する。読み出し回路 1 1 3 は、複数の赤外線検出器 2 4 のそれ
ぞれに入射する赤外線の強度に応じた電気信号を読み出して撮像素子 1 4 の外部にセンサ
出力信号として時系列に出力する。センサアレイ 1 2 と読み出し回路 1 1 3 とは、例えば
インジウム製の複数のパンプ 1 7 により接続されている。

40

【0 0 1 6】

次に、本実施形態における読み出し回路 1 1 3 と比較するため、一比較形態における読
み出し回路 1 3 の構成例について説明する。

【0 0 1 7】

図 3 は、一比較形態における読み出し回路 1 3 の構成の一例を示す図である。読み出し
回路 1 3 は、複数の画素駆動回路 2 1、複数の垂直バス 2 8、複数の垂直選択線 2 7、複
数の水平選択線 2 9、垂直シフトレジスタ 2 2 及び水平シフトレジスタ 2 3（2 3 a、2
3 b）を備える。また、読み出し回路 1 3 は、読み出し線 2 6（2 6 a、2 6 b）、列選
択トランジスタ 3 3（3 3 a、3 3 b）、パイアストラジスタ 3 4（3 4 a、3 4 b）

50

及び出力アンプ 84 (84 a , 84 b) を備える。

【 0 0 1 8 】

複数の画素駆動回路 21 は、それぞれ、複数の赤外線検出器のうち対応する赤外線検出器を駆動し、当該対応する赤外線検出器に入射する赤外線に応じた信号をフレームごとに生成する。複数の画素駆動回路 21 は、複数の垂直選択線 27 と複数の垂直バス 28 との各交差部に対応してマトリクス状に配列されている。画素駆動回路 21 は、複数の赤外線検出器の夫々に対して、設けられている。複数の画素駆動回路 21 は、互いに同じ構成を有する。

【 0 0 1 9 】

複数の垂直バス 28 は、複数の画素駆動回路 21 の列ごとに設けられる垂直読み出し線であり、垂直方向 (列方向) に平行に伸びる。

10

【 0 0 2 0 】

複数の垂直選択線 27 は、複数の画素駆動回路 21 の行ごとに設けられるスキャンラインであり、水平方向 (行方向) に平行に伸びる。

【 0 0 2 1 】

複数の水平選択線 29 は、複数の画素駆動回路 21 の列ごとに設けられるスキャンラインである。

【 0 0 2 2 】

垂直シフトレジスタ 22 は、複数の垂直選択線 27 に順番に行選択信号 $V - S e l$ を出力する垂直選択回路の一例である。行選択信号 $V - S e l$ は、スキャンパルスとも称される。

20

【 0 0 2 3 】

水平シフトレジスタ 23 (23 a , 23 b) は、複数の水平選択線 29 に順番に列選択信号 $H - S e l$ を出力する水平選択回路の一例である。列選択信号 $H - S e l$ は、読み出しパルスとも称される。第 1 の水平シフトレジスタ 23 a は、複数の水平選択線 29 に順番に列選択信号 $H - S e l$ を出力することによって、行選択信号 $V - S e l$ により選択された 1 行分の画素駆動回路から信号を第 1 の読み出し線 26 a に順次読み出す。第 2 の水平シフトレジスタ 23 b は、複数の水平選択線 29 に順番に列選択信号 $H - S e l$ を出力することによって、行選択信号 $V - S e l$ により選択された 1 行分の画素駆動回路から信号を第 2 の読み出し線 26 b に順次読み出す。

30

【 0 0 2 4 】

複数の列選択トランジスタ 33 (33 a , 33 b) のそれぞれのゲートは、複数の水平選択線 29 のうち対応する水平選択線 29 に接続されている。複数の第 1 の列選択トランジスタ 33 a のそれぞれのゲートは、複数の水平選択線 29 のうち対応する水平選択線 29 を介して、第 1 の水平シフトレジスタ 23 a に接続されている。複数の第 2 の列選択トランジスタ 33 b のそれぞれのゲートは、複数の水平選択線 29 のうち対応する水平選択線 29 を介して、第 2 の水平シフトレジスタ 23 b に接続されている。

【 0 0 2 5 】

第 1 の読み出し線 26 a とグランドとの間に第 1 のバイアストランジスタ 34 a が接続されている。第 1 のバイアストランジスタ 34 a のゲートに電源から電圧 $V R S$ が供給される。第 1 のバイアストランジスタ 34 a は、各々の画素駆動回路 21 内の後述の増幅トランジスタ 31 及び行選択トランジスタ 32、並びに第 1 の列選択トランジスタ 33 a に、バイアス電流を流すための定電流回路として用いられる。

40

【 0 0 2 6 】

第 2 の読み出し線 26 b とグランドとの間に第 2 のバイアストランジスタ 34 b が接続されている。第 2 のバイアストランジスタ 34 b のゲートに電源から電圧 $V R S$ が供給される。第 2 のバイアストランジスタ 34 b は、各々の画素駆動回路 21 内の後述の増幅トランジスタ 31 及び行選択トランジスタ 32、並びに第 2 の列選択トランジスタ 33 b に、バイアス電流を流すための定電流回路として用いられる。

【 0 0 2 7 】

50

図 4 は、一比較形態における画素駆動回路 2 1 の構成の一例を示す図である。画素駆動回路 2 1 は、赤外線検出器 2 4 の駆動用回路 4 0 を備える。駆動用回路 4 0 は、赤外線検出器 2 4 を駆動し、赤外線検出器 2 4 に入射する赤外線に応じた信号をフレームごとに生成する。駆動用回路 4 0 は、パンプ 1 7 を介して、センサアレイ 1 2 に設けられる複数の赤外線検出器 2 4 のうち対応する赤外線検出器 2 4 に接続される。

【 0 0 2 8 】

赤外線検出器 2 4 は、赤外線の入射量に応じて抵抗値が変化する特性を有する光伝導型素子である。赤外線検出器 2 4 は、自身に入射した赤外線の入射光量に応じた光電流を発生する受光素子である。つまり、赤外線検出器 2 4 は、赤外線の強度を電気信号に変換する光電変換部である。

10

【 0 0 2 9 】

駆動用回路 4 0 は、例えば、駆動トランジスタ 3 5、トランスファークロップ 3 8、積分容量 4 1、保持容量 4 2、第 1 のリセットトランジスタ 3 6、第 2 のリセットトランジスタ 3 7、増幅トランジスタ 3 1 及び行選択トランジスタ 3 2 を有する。

【 0 0 3 0 】

駆動トランジスタ 3 5 は、ソースがパンプ 1 7 を介して赤外線検出器 2 4 の一端に接続される。駆動トランジスタ 3 5 のゲートには、撮像素子 1 4 外部の不図示のタイミング生成器から供給されるバイアス設定信号 B S が印加される。赤外線検出器 2 4 の他端は、グランド (G N D) に接続されている。駆動トランジスタ 3 5 は、例えば、N チャネル型の M O S (Metal Oxide Semiconductor) トランジスタである。

20

【 0 0 3 1 】

駆動トランジスタ 3 5 は、赤外線検出器 2 4 に電流を流す時間 (積分容量 4 1 から電荷を放電する時間) を制御する。駆動トランジスタ 3 5 はバイアス設定信号 B S に従って開閉するように設定されている。駆動トランジスタ 3 5 が開となると、積分容量 4 1 から赤外線検出器 2 4 に電流を流すことができる。

【 0 0 3 2 】

トランスファークロップ 3 8 は、積分容量 4 1 と保持容量 4 2 との間に設けられるアナログスイッチである。トランスファークロップ 3 8 は、サンプルホールドスイッチ回路とも称される。トランスファークロップ 3 8 の一端は、駆動トランジスタ 3 5 の他端と積分容量 4 1 の一端とに接続されている。積分容量 4 1 の他端は、グランドに接続されている。トランスファークロップ 3 8 の他端は、保持容量 4 2 の一端に接続されている。

30

【 0 0 3 3 】

トランスファークロップ 3 8 のゲートには、ゲート駆動信号であるサンプルホールド信号 S H 及び / S H が印加される。サンプルホールド信号 / S H は、サンプルホールド信号 S H の反転信号である。サンプルホールド信号 S H 及び / S H は、上述のタイミング生成器から供給される。

【 0 0 3 4 】

積分容量 4 1 は、駆動トランジスタ 3 5 とトランスファークロップ 3 8 との間に設けられている。例えば、積分容量 4 1 の一端は、駆動トランジスタ 3 5 の他端のドレインとトランスファークロップ 3 8 の一端とを結ぶ電流経路に接続され、積分容量 4 1 の他端は、グランドに接続されている。積分容量 4 1 の具体例として、静電容量素子が挙げられる。

40

【 0 0 3 5 】

保持容量 4 2 は、積分容量 4 1 の一端にトランスファークロップ 3 8 を介して接続されている。保持容量 4 2 は、サンプルホールド容量とも称される。例えば、保持容量 4 2 の一端は、トランスファークロップ 3 8 の他端に接続された電流経路に接続され、保持容量 4 2 の他端は、グランドに接続されている。保持容量 4 2 の具体例として、静電容量素子が挙げられる。

【 0 0 3 6 】

第 1 のリセットトランジスタ 3 6 は、積分容量 4 1 の一端と電源線との間に直列に接続されており、上述のタイミング生成器から供給される積分リセット信号 R S によってゲ-

50

トが駆動される。

【 0 0 3 7 】

第 2 のリセットトランジスタ 3 7 は、保持容量 4 2 の一端と電源線との間に直列に接続されており、上述のタイミング生成器から供給される保持リセット信号 S H R S によってゲートが駆動される。

【 0 0 3 8 】

増幅トランジスタ 3 1 は、保持容量 4 2 に保持された電圧を増幅して出力する素子である。増幅トランジスタ 3 1 のゲートは、保持容量 4 2 と第 2 のリセットトランジスタ 3 7 との間に接続される。

【 0 0 3 9 】

行選択トランジスタ 3 2 は、増幅トランジスタ 3 1 から出力される電圧（保持容量 4 2 に保持された電圧に対応する電圧）を、行選択信号 V - S e 1 に応じて、複数の垂直バス 2 8 のうち対応する垂直バス 2 8 に出力する素子である。

【 0 0 4 0 】

次に、図 3 , 4 を参照して、読み出し回路 1 3 及び画素駆動回路 2 1 の動作について説明する。

【 0 0 4 1 】

画素駆動回路 2 1 では、リセットゲート用の第 1 のリセットトランジスタ 3 6 に積分リセット信号 R S が印加され、第 1 のリセットトランジスタ 3 6 が導通して積分容量 4 1 が所定値に充電される。積分リセット信号 R S の印加が停止した後、入力ゲート用の駆動トランジスタ 3 5 にバイアス設定信号 B S が一定期間印加され、赤外線検出器 2 4 に赤外線強度に対応した電流が流れ、積分容量 4 1 の電圧が赤外線強度に対応した電圧になる。

【 0 0 4 2 】

次に、サンプルホールドリセット用の第 2 のリセットトランジスタ 3 7 は、保持リセット信号 S H R S に応じて導通し、保持容量 4 2 の電圧レベルを所定値にリセットする。次に、トランスファゲート 3 8 にサンプルホールド信号 S H および / S H が印加され、積分容量 4 1 の電圧が保持容量 4 2 に転送され、保持される。サンプルホールド信号 / S H は、サンプルホールド信号 S H の反転信号である。このような動作が複数の画素駆動回路 2 1 でそれぞれ同時に行われるので、各々の赤外線検出器 2 4 の赤外線強度に対応した電圧が各々の保持容量 4 2 に保持される。

【 0 0 4 3 】

垂直シフトレジスタ 2 2 は、複数の垂直選択線 2 7 を 1 本ずつ選択する行選択信号 V - S e 1 を順次出力する。行選択信号 V - S e 1 に応じて、その行選択信号 V - S e 1 が出力された垂直選択線 2 7 にゲートが接続される行選択トランジスタ 3 2 が導通する。導通した行選択トランジスタ 3 2 に増幅トランジスタ 3 1 を介して接続された画素駆動回路 2 1 の保持容量 4 2 に保持された電圧が、増幅トランジスタ 3 1 および行選択トランジスタ 3 2 を介して、対応する垂直バス 2 8 に出力される。

【 0 0 4 4 】

水平シフトレジスタ 2 3 (2 3 a , 2 3 b) は、複数の列選択トランジスタ 3 3 (3 3 a , 3 3 b) のゲートに接続される複数の水平選択線 2 9 に順番に列選択信号 H - S e 1 を出力する。

【 0 0 4 5 】

第 1 の水平シフトレジスタ 2 3 a は、複数の水平選択線 2 9 に順番に列選択信号 H - S e 1 を出力することによって、行選択信号 V - S e 1 により選択された 1 行分の画素駆動回路から垂直バス 2 8 に出力された電圧を、第 1 の読み出し線 2 6 a に順次読み出す。第 1 の読み出し線 2 6 a に順次読み出された電圧は、第 1 の出力アンプ 8 4 a により順次増幅され、第 1 の出力アンプ 8 4 a から第 1 の出力線 8 5 a にアナログのセンサ出力信号（画素出力信号）として順次出力される。

【 0 0 4 6 】

第 2 の水平シフトレジスタ 2 3 b は、複数の水平選択線 2 9 に順番に列選択信号 H - S

10

20

30

40

50

e 1 を出力することによって、行選択信号 V - S e 1 により選択された 1 行分の画素駆動回路から垂直バス 2 8 に出力された電圧を、第 2 の読み出し線 2 6 b に順次読み出す。第 2 の読み出し線 2 6 b に順次読み出された電圧は、第 2 の出力アンプ 8 4 b により順次増幅され、第 2 の出力アンプ 8 4 b から第 2 の出力線 8 5 b にアナログのセンサ出力信号（画素出力信号）として順次出力される。

【 0 0 4 7 】

すべての垂直バス 2 8 の電圧の読み出しが終了すると、垂直シフトレジスタ 2 2 が次の垂直選択線 2 7 に行選択信号 V - S e 1 を出力する。以後、上記の動作を繰り返すことにより、複数の出力線 8 5 a , 8 5 b に、2 次元配置されたすべての赤外線検出器 2 4 に入射した赤外線の強度に応じた信号がマルチプレクスされて出力される。

10

【 0 0 4 8 】

ところで、図 4 に示されるように、複数の画素駆動回路 2 1 には、それぞれ、検査用にテスト配線 9 2 が設けられている。テスト配線 9 2 は、検査用のテストスイッチ 9 1 を介して駆動回路 4 0 に接続され、より具体的には、パンプ 1 7 と駆動トランジスタ 3 5 との間の電流経路に接続される。読み出し回路 1 3 の外部から供給されるテスト入力選択パルス T - S e 1 によってテストスイッチ 9 1 のオンオフを切り替えることによって、赤外線検出器 2 4 の代わりに読み出し回路 1 3 の外部からテスト電圧 V T を印加できる。テスト入力選択パルス T - S e 1 は、テスト入力選択信号の一例である。

【 0 0 4 9 】

つまり、図 2 に示す撮像素子 1 4 は、センサアレイ 1 2 が読み出し回路 1 3（読み出し回路 1 3 が形成される回路基板 8 6）に貼付されている。しかし、テスト配線 9 2 及びテストスイッチ 9 1 を設けることによって、センサアレイ 1 2 が貼付される前の工程で、読み出し回路 1 3（読み出し回路 1 3 が形成される回路基板 8 6）を単体で検査できる。

20

【 0 0 5 0 】

この読み出し回路 1 3 の単体検査において、全ての画素駆動回路 2 1 に同じテスト電圧 V T が印加されると、マルチプレクスされて出力線 8 5 a , 8 5 b から出力されるアナログの画素出力信号は、ほぼ同じ電圧になる（図 5 参照）。そのため、以下の（ 1 ）（ 2 ）のような現象を検出することができない。

【 0 0 5 1 】

（ 1 ）出力アンプ 8 4 a , 8 4 b 等の内部アンプの応答速度が不足して、先に読み出された画素の信号が次に読み出される画素の信号に重なる現象。

30

【 0 0 5 2 】

（ 2 ）複数の出力線の間（例えば、出力線 8 5 a , 8 5 b の間）で生ずるクロストーク現象や、複数の読み出し線の間（例えば、読み出し線 2 6 a , 2 6 b の間）で生ずるクロストーク現象。

【 0 0 5 3 】

読み出し回路 1 3 で生ずるこれらの現象は、赤外線撮像装置の M T F（変調伝達関数：Modulation Transfer Function）の劣化、あるいは撮像画面上のゴースト表示の原因となる場合がある。

【 0 0 5 4 】

一方、赤外線撮像装置の M T F 劣化やゴーストは、例えば図 6 のように、キャビティ黒体炉 9 0 を用いた評価系で検査可能である。つまり、読み出し回路が形成された回路基板 8 6 とセンサアレイ 1 2 とを貼付して形成された撮像素子 1 4 を、赤外線撮像装置に組み込んで、キャビティ黒体炉 9 0 による点光源の撮像をレンズ 1 1 を通して行うことによって、M T F 劣化等を検査する方式がある。

40

【 0 0 5 5 】

読み出し回路によりマルチプレクスされた出力が図 7 のようであれば、点光源が 1 画素の信号としてのみ観測できるため、内部アンプの応答速度や出力線間のクロストークに問題がないと判定できる。読み出し回路によりマルチプレクスされた出力が図 8 のようであれば、内部アンプの応答速度が不足しており、先に読み出された画素の信号が次に読み出

50

される画素の信号に重なっていることが観測できるため、MTF劣化が生ずるおそれがあると判定できる。また、読み出し回路によりマルチプレクスされた出力が図9のようであれば、出力線間のクロストークが観測できるため、撮像画面にゴーストが表示されるおそれがあると判定できる。

【0056】

しかしながら、図6に示すような評価系で検査する方法は、読み出し回路にセンサアレイを貼付することによって撮像素子14を完成させることだけでなく、赤外線撮像装置における電気系と光学系を調整することが求められるので、検査工程に多くの工数が生ずる。また、検査の結果、読み出し回路の不具合がわかったとしても、既に行われたセンサアレイの貼付は無駄になり、撮像素子そのものの歩留まりが悪くなるという問題がある。

10

【0057】

このような問題に鑑み、本開示は、撮像素子としての完成を待たずに、読み出し回路だけの簡単な検査で不具合を検出可能にする技術を提供するものである。

【0058】

図10は、本開示に係る第1の実施形態における読み出し回路113の構成例を示す図である。上述の一比較形態と同様の点については、上述の説明を援用することで、その説明を省略する。読み出し回路113は、複数の画素駆動回路121、複数の垂直バス28、複数の垂直選択線27、複数の水平選択線29、垂直シフトレジスタ22及び水平シフトレジスタ23(23a, 23b)を備える。

【0059】

複数の画素駆動回路121は、それぞれ、複数の赤外線検出器のうち対応する赤外線検出器を駆動し、当該対応する赤外線検出器に入射する赤外線に応じた信号をフレームごとに生成する。複数の画素駆動回路121は、複数の垂直選択線27と複数の垂直バス28との各交差部に対応してマトリクス状に配列されている。画素駆動回路121は、複数の赤外線検出器の夫々に対して、設けられている。複数の画素駆動回路121は、互いに同じ構成を有する。

20

【0060】

複数の水平選択線29は、複数の画素駆動回路121の列ごとに設けられるスキャンラインであり、複数の画素駆動回路121の各々に垂直方向(列方向)に平行に伸びる。

【0061】

図11は、第1の実施形態における読み出し回路113内に設けられる画素駆動回路121の構成例を示す図である。画素駆動回路121は、赤外線検出器24の駆動用回路40と、外部から供給されるテスト電圧VTを駆動用回路40に inputs するか否かを切り替える切り替え回路98とを有する。テスト電圧VTは、テスト信号の一例である。

30

【0062】

切り替え回路98は、複数の垂直選択線27のうち対応する垂直選択線27に出力される行選択信号V-SELと、複数の水平選択線29のうち対応する水平選択線29に出力される列選択信号H-SELとに基づいて、テスト電圧VTの入力可否を切り替える。テスト電圧VTが入力可であれば、テスト電圧VTは駆動用回路40に入力され、テスト電圧VTが入力不可であれば、テスト電圧VTは駆動用回路40に入力されない。

40

【0063】

対応する垂直選択線27に出力される行選択信号V-SELと、対応する水平選択線29に出力される列選択信号H-SELとを利用することによって、複数の画素駆動回路121のうち任意の一又は複数の画素駆動回路121を選択することができる。

【0064】

例えば、任意の一の画素駆動回路121の駆動用回路40のみにテスト電圧VTを入力でき、残りの画素駆動回路121の駆動用回路40にはテスト電圧VTが入力されないように設定できる。ただし、図10のように、水平シフトレジスタが複数に分かれている場合には、水平シフトレジスタ毎に別のテスト入力選択パルスT-SELが与えられる。それによって、1チップ中で1つの画素だけが選択される。

50

【 0 0 6 5 】

このように、行選択信号 $V - S e l$ と列選択信号 $H - S e l$ とに基づき、テスト電圧 $V T$ を駆動用回路 4 0 に入力するか否かを切り替えることによって、テスト電圧 $V T$ の入力により任意の一又は複数の画素駆動回路 1 2 1 を個別に検査できる。

【 0 0 6 6 】

切り替え回路 9 8 は、例えば、テスト電圧 $V T$ を駆動用回路 4 0 に入力するか否かを切り替えるテストスイッチ 9 1 と、テストスイッチ 9 1 の切り替え動作を制御するラッチ回路 9 3 とを有する。テストスイッチ 9 1 は、例えば、トランジスタである。ラッチ回路 9 3 は、複数の垂直選択線 2 7 のうち対応する垂直選択線 2 7 に出力される行選択信号 $V - S e l$ と、複数の水平選択線 2 9 のうち対応する水平選択線 2 9 に出力される列選択信号 $H - S e l$ とに基づいて、テストスイッチ 9 1 の切り替え動作を制御する。ラッチ回路 9 3 を用いることによって、複数の画素駆動回路 1 2 1 の中から画素駆動回路 1 2 1 を選択又は非選択することが容易になる。

10

【 0 0 6 7 】

切り替え回路 9 8 は、複数の垂直選択線 2 7 のうち対応する垂直選択線 2 7 に出力される行選択信号 $V - S e l$ と、複数の水平選択線 2 9 のうち対応する水平選択線 2 9 に出力される列選択信号 $H - S e l$ との論理積を生成する論理積回路 9 4 を有する。論理積回路 9 4 は、生成した論理積をラッチ回路 9 3 に入力する。論理積回路 9 4 を用いることによって、複数の画素駆動回路 1 2 1 の中から画素駆動回路 1 2 1 を選択又は非選択することが容易になる。

20

【 0 0 6 8 】

例えば、切り替え回路 9 8 は、入力されるテスト入力選択パルス $T - S e l$ に従って、テスト電圧 $V T$ を駆動用回路 4 0 に入力するか否かを切り替える。例えば、ラッチ回路 9 3 は入力される論理積をクロックとし、入力されるテスト入力選択パルス $T - S e l$ をラッチする D 型フリップフロップである。

【 0 0 6 9 】

図 1 2 は、テスト入力選択パルス $T - S e l$ を特定の 1 つの画素駆動回路だけに入力してテスト電圧 $V T$ をその特定の 1 つの画素駆動回路 1 2 1 の駆動用回路 4 0 に入力したときの各波形を例示するタイミングチャートである。1 フレームに 1 回だけテスト入力選択パルス $T - S e l$ が与えられる。次のフレームでテスト入力選択パルス $T - S e l$ がラッチ回路 9 3 に与えられなければ、テスト電圧 $V T$ の入力はテストスイッチ 9 1 のオフによって遮断される。フレームごとに同位相でテスト入力選択パルス $T - S e l$ をラッチ回路 9 3 に与えれば、連続的にテスト電圧 $V T$ を駆動用回路 4 0 に入力できる。

30

【 0 0 7 0 】

したがって、本開示の構成によれば、図 6 に示す評価系で M T F の劣化やゴーストの有無を検査しなくても（光学系を使わなくても）、読み出し回路 1 1 3 のみで評価（検査）できる。

【 0 0 7 1 】

図 1 3 は、図 1 2 とは逆に、任意の一の画素駆動回路のみにテスト入力選択パルス $T - S e l$ の入力が無く、その一の画素駆動回路に隣接する画素駆動回路を含めた他の画素駆動回路にはテスト入力選択パルス $T - S e l$ が入力される設定を示す図である。

40

【 0 0 7 2 】

図 1 4 は、図 1 2 の設定で出力線 8 5 a , 8 5 b から出力される波形の一例を示す図である。図 1 5 は、図 1 3 の設定で出力線 8 5 a , 8 5 b から出力される波形の一例を示す図である。図 1 4 , 1 5 を比較すると、1 画素のみにテスト入力が無く他の画素には入力される設定（図 1 3 の設定）のほうが、図 1 2 の設定に比べて、出力波形の立ち上がり立ち下りの様子がわかり易いため、波形の誤検出の防止効果が高い。

【 0 0 7 3 】

図 1 6 は、テスト入力選択パルス $T - S e l$ を生成する生成回路 9 5 の構成例を示す。読み出し回路 1 1 3 は、テスト入力選択パルス $T - S e l$ をチップ内で発生させる生成回

50

路 9 5 を備えてもよい（つまり、読み出し回路 1 1 3 が形成される回路基板 8 6 に生成回路 9 5 も形成されてもよい）。あるいは、生成回路 9 5 は、読み出し回路 1 1 3 の外部（例えば、読み出し回路 1 1 3 を検査する検査装置）に設けられてもよい。

【 0 0 7 4 】

読み出し回路 1 1 3 が生成回路 9 5 を備えることにより、読み出し回路 1 1 3 を検査する検査装置からテスト入力選択パルス T - S e l を各々の画素駆動回路 1 2 1 に供給することが不要になる。つまり、テスト入力選択パルス T - S e l を外部から入力するための入力電極を回路基板 8 6 に設けることが不要になるので、回路基板 8 6 の小型化、ひいては撮像素子 1 4 の小型化が可能となる。

【 0 0 7 5 】

例えば、切り替え回路 9 8 は、メモリ回路 9 6 に記憶されたテストパターンに基づいて、テスト電圧 V T を駆動用回路 4 0 に入力するか否かを切り替える。予め記憶されたテストパターンを利用することにより、読み出し回路 1 1 3 の検査の効率が向上する。

【 0 0 7 6 】

生成回路 9 5 は、例えば、テストスイッチ 9 1 のオンオフタイミング等を規定するテストパターンを記憶するメモリ回路 9 6 と、メモリ回路 9 6 に記憶されたテストパターンに基づいて、テスト入力選択パルス T - S e l を発生させる発生回路 9 7 とを有する。

【 0 0 7 7 】

テストパターンは、例えば、行選択信号 V - S e l 、列選択信号 H - S e l 及びテスト入力選択パルス T - S e l 等の出力タイミング情報が規定される。また、テストパターンは、例えば、バイアス設定信号 B S や積分リセット信号 R S 等の駆動用回路 4 0 を動作させる信号の出力タイミング情報が規定される。

【 0 0 7 8 】

発生回路 9 7 は、2 種類のテスト入力選択パルス T - S e l を発生させる。第 1 のテスト入力選択パルス T - S e l は、第 1 の水平シフトレジスタ 2 3 a により信号が読み出される複数の画素駆動回路 1 2 1 のそれぞれに供給される。第 2 のテスト入力選択パルス T - S e l は、第 2 の水平シフトレジスタ 2 3 b により信号が読み出される複数の画素駆動回路 1 2 1 のそれぞれに供給される。

【 0 0 7 9 】

図 1 7 は、読み出し回路を検査する検査装置が行う検査方法の一例を示すフローチャートであり、出力アンプ 8 4 a , 8 4 b 等の内部アンプの応答速度を検査する方法の一例を示す。図 1 8 は、図 1 7 に示す方法で出力アンプ 8 4 a , 8 4 b 等の内部アンプの応答速度を検査する時の出力波形の一例を示す図である。図 1 8 において、“赤外線センサ出力”とは、第 1 の出力線 8 5 a 又は第 2 の出力線 8 5 b における出力波形を示す。

【 0 0 8 0 】

行選択信号 V - S e l 及び列選択信号 H - S e l により画素駆動回路 1 2 1 から信号が読み出されるタイミングで、テスト入力選択パルス T - S e l がアクティブ（この場合、ハイレベル）な画素駆動回路 2 1 の駆動用回路 4 0 には、テスト電圧 V T が入力される。テスト電圧 V T が入力された駆動用回路 4 0 の出力レベルは、テスト電圧 V T が入力されない他の画素駆動回路 1 2 1 の駆動用回路 4 0 の出力レベルと異なる。よって、検査装置は、出力線 8 5 に出力される信号の電圧をモニターすることによって、出力アンプ 8 4 等の内部アンプの応答速度を精度良く検査できる。

【 0 0 8 1 】

次に、図 1 7 の各ステップについて説明する。

【 0 0 8 2 】

ステップ S 1 0 にて、検査装置は、テストパターンに基づき、複数の画素駆動回路 1 2 1 のうちテスト入力選択パルス T - S e l を入力する画素駆動回路 1 2 1 を選択して、テスト入力選択パルス T - S e l の出力を開始させる。

【 0 0 8 3 】

ステップ S 2 0 にて、検査装置は、テスト入力選択パルス T - S e l が入力される画素

10

20

30

40

50

駆動回路 1 2 1 から読み出されて出力アンプ 8 4 等から出力される信号を測定する。

【 0 0 8 4 】

ステップ S 3 0 にて、検査装置は、読み出し線 2 6 に読み出されて出力線 8 5 に出力される信号の電圧を測定し、その電圧測定値と期待値とを比較する。検査装置は、その電圧測定値と期待値とを比較することで、出力アンプ 8 4 の応答速度が不足しているか否かを判定し、その比較結果（その判定結果）をモニタ等に出力する。

【 0 0 8 5 】

検査装置は、電圧測定値と期待値との差が所定の閾値未満であれば、出力アンプ 8 4 の応答速度に不足は無く、読み出し回路 1 1 3 は合格と判定する（ステップ S 4 0）。一方、検査装置は、電圧測定値と期待値との差が所定の閾値以上であれば、出力アンプ 8 4 の

10

【 0 0 8 6 】

検査装置は、読み出し回路 1 1 3 の合否判定後、テスト入力選択パルス T - S e l の出力を停止させる（ステップ S 6 0）。

【 0 0 8 7 】

したがって、本実施形態における読み出し回路によれば、その検査の際、任意の画素駆動回路の駆動用回路 4 0 だけにテスト信号を入力し、他の画素駆動回路の駆動用回路 4 0 にはテスト信号の入力が無いという状態を設定できる。検査装置は、この状態で読み出し回路 1 1 3 を動作させてその出力波形を観測することで、一の画素駆動回路の出力が別の画素駆動回路の出力に重なって M T F の劣化を起こしていないかなどを検査できる。

20

【 0 0 8 8 】

また、読み出し回路だけを用いて検査できるので、光学系などの調整が要求されず、検査に必要な時間が少なくなる。また、撮像素子の完成が要求されず、赤外線検出器の接続（貼付）前に検査できるので、検査コストの縮小や検査時間の短縮を実現できる。また、赤外線検出器の接続（貼付）前に、読み出し回路を予め検査できるので、良品の読み出し回路だけを用いて撮像素子を製作でき、歩留まり向上が期待できる。

【 0 0 8 9 】

以上、赤外線検出器の読み出し回路及び赤外線検出器の読み出し回路の検査方法を実施形態により説明したが、本発明は上記実施形態に限定されるものではない。他の実施形態の一部又は全部との組み合わせや置換などの種々の変形及び改良が、本発明の範囲内で可能である。

30

【 0 0 9 0 】

以上の実施形態に関し、更に以下の付記を開示する。

（付記 1）

マトリクス状に配列される複数の画素駆動回路と、
前記複数の画素駆動回路の行ごとに設けられる複数の垂直選択線と、
前記複数の画素駆動回路の列ごとに設けられる複数の水平選択線と、
前記複数の垂直選択線に順番に行選択信号を出力する垂直選択回路と、
前記複数の水平選択線に順番に列選択信号を出力することによって、前記行選択信号により選択された 1 行分の画素駆動回路から信号を読み出し線に順次読み出す水平選択回路とを備え、

40

前記複数の画素駆動回路は、それぞれ、
赤外線検出器の駆動用回路と、
前記複数の垂直選択線のうち対応する垂直選択線に出力される前記行選択信号と、前記複数の水平選択線のうち対応する水平選択線に出力される前記列選択信号とに基づいて、外部から供給されるテスト信号を前記駆動用回路に入力するか否かを切り替える切り替え回路とを有する、赤外線検出器の読み出し回路。

（付記 2）

前記切り替え回路は、
前記テスト信号を前記駆動用回路に入力するか否かを切り替えるスイッチと、

50

前記複数の垂直選択線のうち対応する垂直選択線に出力される前記行選択信号と、前記複数の水平選択線のうち対応する水平選択線に出力される前記列選択信号とに基づいて、前記スイッチの切り替え動作を制御するラッチ回路とを有する、付記 1 に記載の赤外線検出器の読み出し回路。

(付記 3)

前記切り替え回路は、

前記複数の垂直選択線のうち対応する垂直選択線に出力される前記行選択信号と前記複数の水平選択線のうち対応する水平選択線に出力される前記列選択信号との論理積を前記ラッチ回路に入力する論理積回路を有する、付記 2 に記載の赤外線検出器の読み出し回路。

(付記 4)

前記ラッチ回路は、入力される前記論理積をクロックとし、入力されるテスト入力選択パルスをラッチする、付記 3 に記載の赤外線検出器の読み出し回路。

(付記 5)

前記テスト入力選択パルスを生成する生成回路を備える、付記 4 に記載の赤外線検出器の読み出し回路。

(付記 6)

前記生成回路は、テストパターンを記憶するメモリ回路と、前記メモリ回路に記憶された前記テストパターンに基づいて、前記テスト入力選択パルスを発生させる発生回路とを有する、付記 5 に記載の赤外線検出器の読み出し回路。

(付記 7)

テストパターンを記憶するメモリ回路を備え、

前記切り替え回路は、前記メモリ回路に記憶された前記テストパターンに基づいて、前記テスト信号を前記駆動用回路に入力するか否かを切り替える、付記 1 から 5 のいずれか一項に記載の赤外線検出器の読み出し回路。

(付記 8)

前記切り替え回路は、入力されるテスト入力選択パルスに従って、前記テスト信号を前記駆動用回路に入力するか否かを切り替える、付記 1 から 3 のいずれか一項に記載の赤外線検出器の読み出し回路。

(付記 9)

マトリクス状に配列される複数の画素駆動回路と、

前記複数の画素駆動回路の行ごとに設けられる複数の垂直選択線と、

前記複数の画素駆動回路の列ごとに設けられる複数の水平選択線と、

前記複数の垂直選択線に順番に行選択信号を出力する垂直選択回路と、

前記複数の水平選択線に順番に列選択信号を出力することによって、前記行選択信号により選択された 1 行分の画素駆動回路から信号を読み出し線に順次読み出す水平選択回路とを備え、

前記複数の画素駆動回路は、それぞれ、

赤外線検出器の駆動用回路と、

前記複数の垂直選択線のうち対応する垂直選択線に出力される前記行選択信号と、前記複数の水平選択線のうち対応する水平選択線に出力される前記列選択信号とに基づいて、外部から供給されるテスト信号を前記駆動用回路に入力するか否かを切り替える切り替え回路とを有する、赤外線検出器の読み出し回路を検査する方法であって、

前記複数の画素駆動回路のそれぞれに前記テスト信号を供給する、赤外線検出器の読み出し回路の検査方法。

(付記 10)

前記切り替え回路は、

前記テスト信号を前記駆動用回路に入力するか否かを切り替えるスイッチと、

前記複数の垂直選択線のうち対応する垂直選択線に出力される前記行選択信号と、前記複数の水平選択線のうち対応する水平選択線に出力される前記列選択信号とに基づいて、前記スイッチの切り替え動作を制御するラッチ回路とを有する、付記 9 に記載の赤外線検出

10

20

30

40

50

器の読み出し回路の検査方法。

(付記 1 1)

前記切り替え回路は、

前記複数の垂直選択線のうち対応する垂直選択線に出力される前記行選択信号と前記複数の水平選択線のうち対応する水平選択線に出力される前記列選択信号との論理積を前記ラッチ回路に入力する論理積回路を有する、付記 1 0 に記載の赤外線検出器の読み出し回路の検査方法。

(付記 1 2)

前記ラッチ回路は、入力される前記論理積をクロックとし、入力されるテスト入力選択パルスをラッチする、付記 1 1 に記載の赤外線検出器の読み出し回路の検査方法。

10

(付記 1 3)

前記テスト入力選択パルスを生成する生成回路を備える、付記 1 2 に記載の赤外線検出器の読み出し回路の検査方法。

(付記 1 4)

前記生成回路は、テストパターンを記憶するメモリ回路と、前記メモリ回路に記憶された前記テストパターンに基づいて、前記テスト入力選択パルスを発生させる発生回路とを有する、付記 1 3 に記載の赤外線検出器の読み出し回路の検査方法。

(付記 1 5)

テストパターンを記憶するメモリ回路を備え、

前記切り替え回路は、前記メモリ回路に記憶された前記テストパターンに基づいて、前記テスト信号を前記駆動用回路に入力するか否かを切り替える、付記 9 から 1 3 のいずれか一項に記載の赤外線検出器の読み出し回路の検査方法。

20

(付記 1 6)

前記切り替え回路は、入力されるテスト入力選択パルスに従って、前記テスト信号を前記駆動用回路に入力するか否かを切り替える、付記 9 から 1 1 のいずれか一項に記載の赤外線検出器の読み出し回路の検査方法。

(付記 1 7)

前記読み出し線に読み出されて出力される信号を測定し、その測定値と期待値との比較結果を出力する、付記 9 から 1 6 のいずれか一項に記載の赤外線検出器の読み出し回路の検査方法。

30

(付記 1 8)

前記読み出し回路が前記赤外線検出器に接続される前に行われる、付記 9 から 1 7 のいずれか一項に記載の赤外線検出器の読み出し回路の検査方法。

【符号の説明】

【 0 0 9 1 】

1 2 センサアレイ

1 3 , 1 1 3 読み出し回路

1 4 撮像素子

1 7 バンプ

2 4 赤外線検出器

40

2 6 a , 2 6 b 読み出し線

2 7 垂直選択線

2 8 垂直バス

2 9 水平選択線

4 0 駆動用回路

4 1 積分容量

4 2 保持容量

9 0 キャピティ黒体炉

9 1 テストスイッチ

9 2 テスト配線

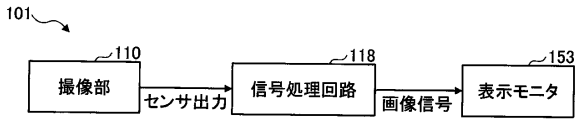
50

- 9 3 ラッチ回路
- 9 4 論理積回路
- 9 5 テスト用パルス生成回路
- 9 6 メモリ回路
- 9 7 テストパターン発生回路
- 9 8 切り替え回路
- 1 0 1 赤外線撮像装置

【 図 面 】

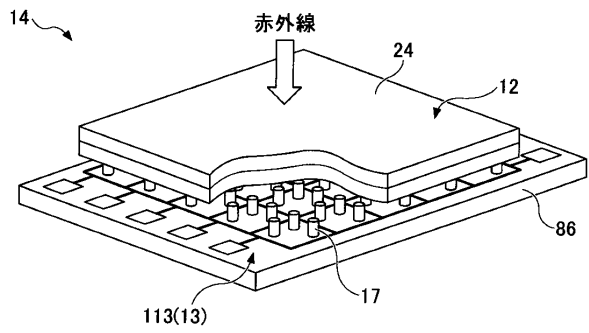
【 図 1 】

赤外線撮像装置の構成例を示す図



【 図 2 】

撮像素子の構成の一例を示す図



10

20

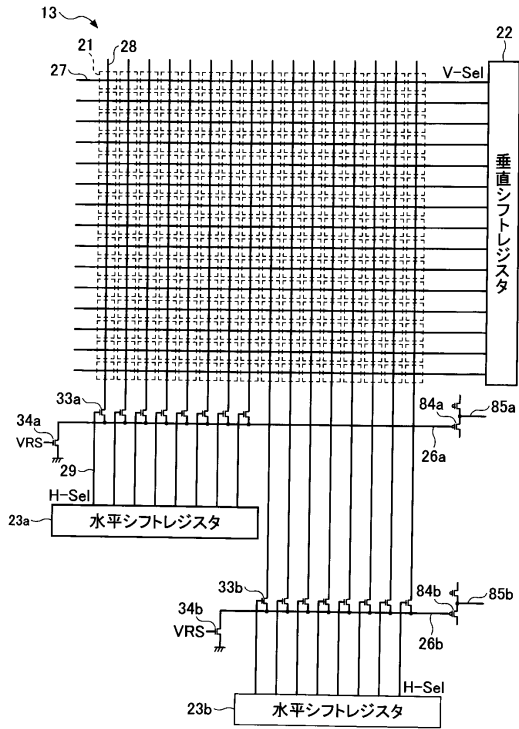
30

40

50

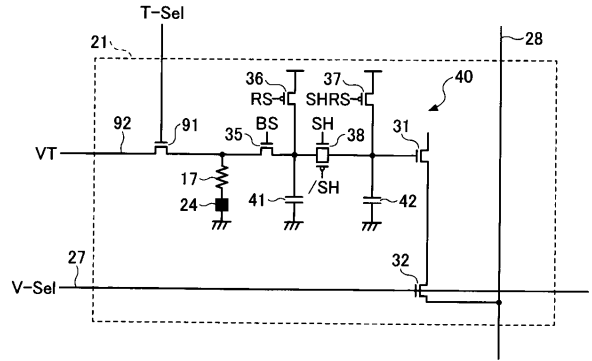
【 図 3 】

一比較形態における読み出し回路の構成の一例を示す図



【 図 4 】

一比較形態における画素駆動回路の構成の一例を示す図

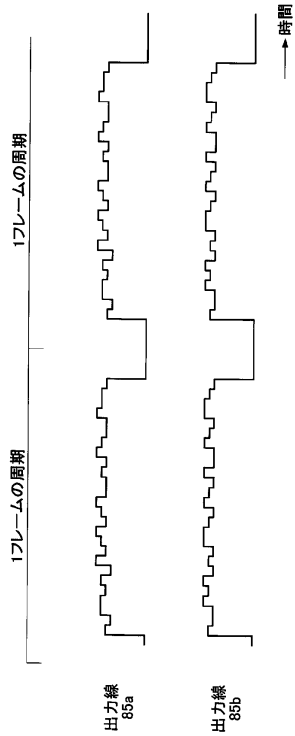


10

20

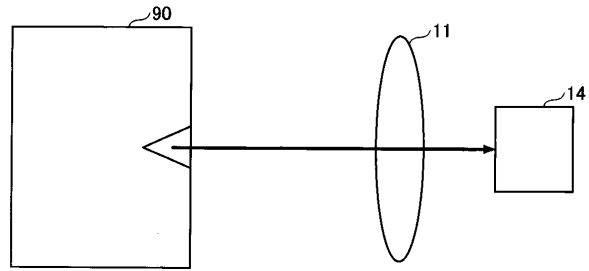
【 図 5 】

一比較形態におけるテスト入力時の出力波形の一例を示す図



【 図 6 】

検査方式の一例を示す図

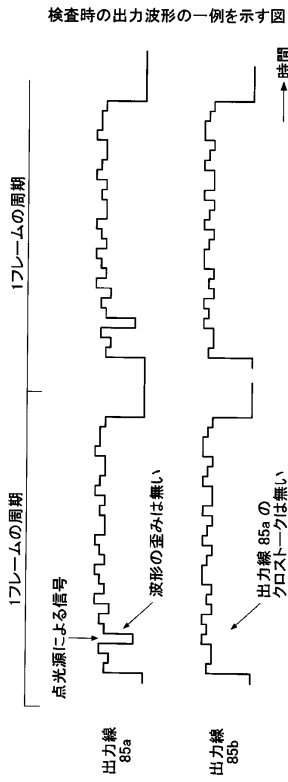


30

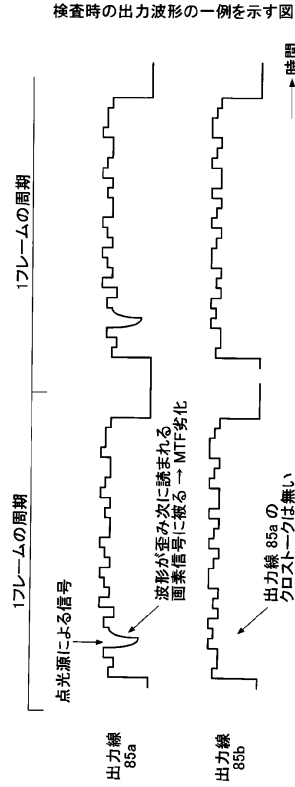
40

50

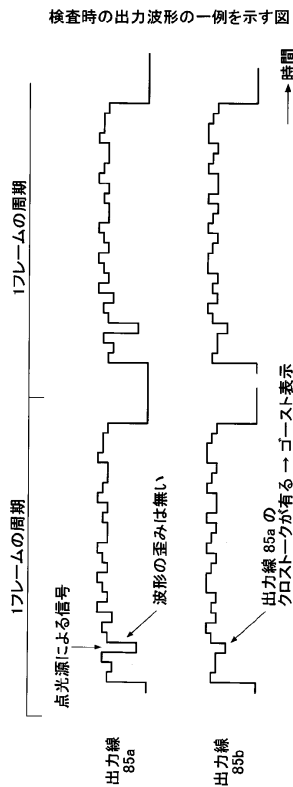
【 図 7 】



【 図 8 】

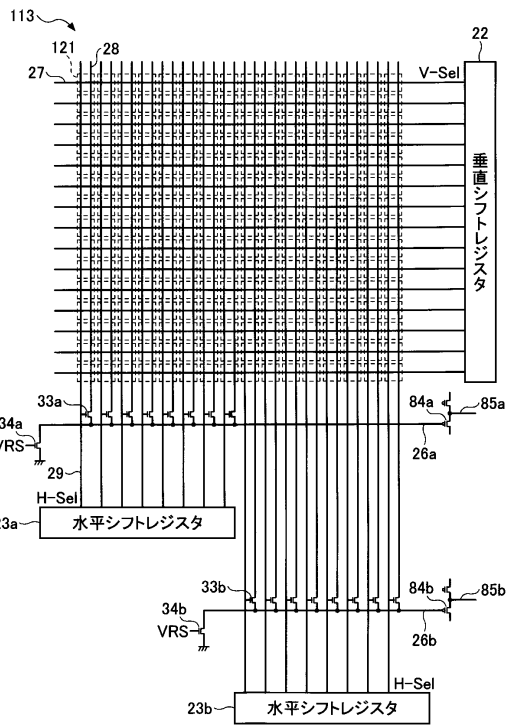


【 図 9 】



【 図 10 】

第1の実施形態における読み出し回路の構成例を示す図



10

20

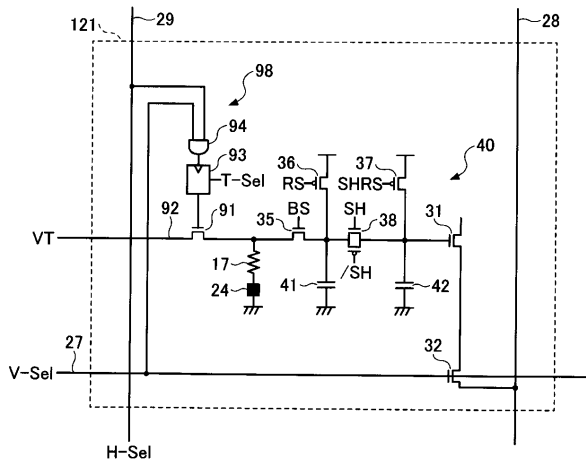
30

40

50

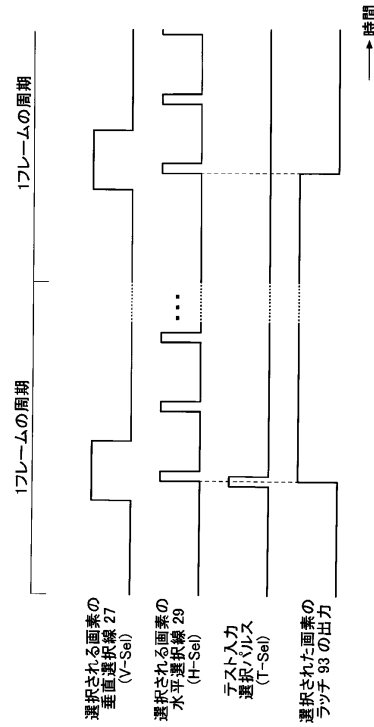
【図 1 1】

第1の実施形態における画素駆動回路の構成の一例を示す図



【図 1 2】

第1の実施形態において、特定の画素のみにテスト入力するときの駆動パルスの一列を示す図

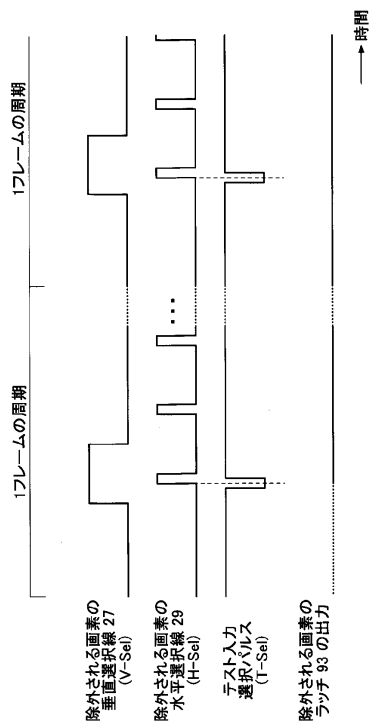


10

20

【図 1 3】

第1の実施形態において、特定の画素を除いて残りの全画素にテスト入力するときの駆動パルスの一列を示す図

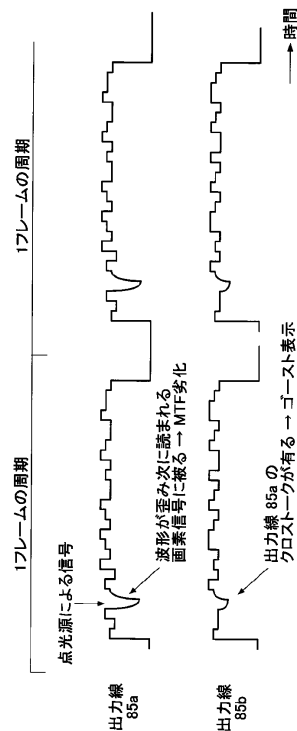


30

40

【図 1 4】

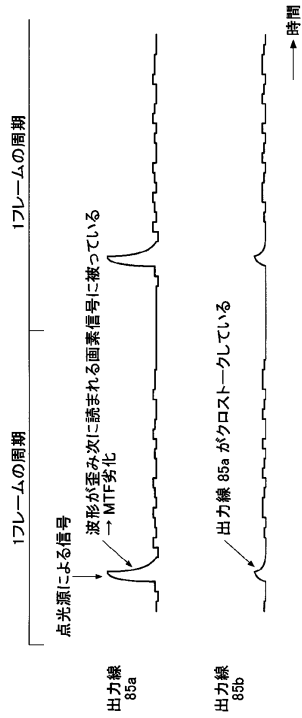
第1の実施形態において、特定の画素のみにテスト入力するときの出力波形の一列を示す図



50

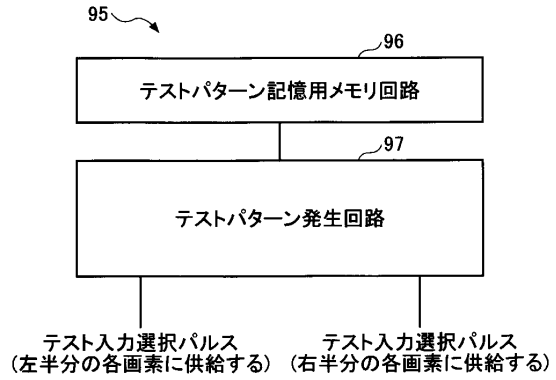
【図15】

第1の実施形態において、特定の一画素を除いて残りの全画素にテスト入力するときの出力波形の一例を示す図



【図16】

テスト入力選択パルスの生成回路の構成例を示す図

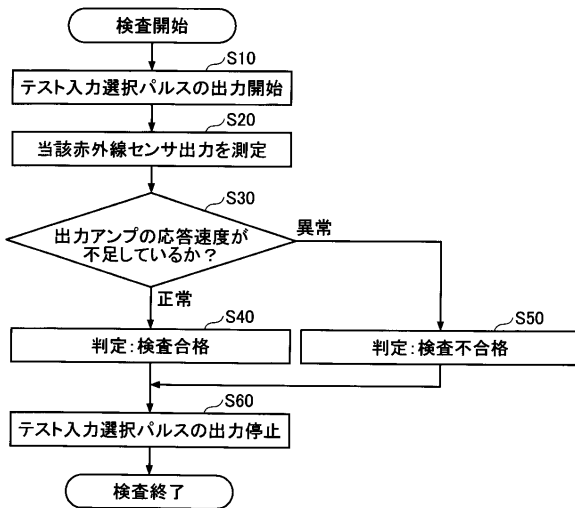


10

20

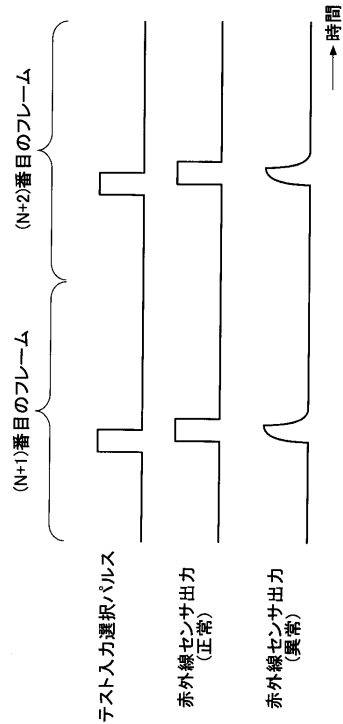
【図17】

検査方法の一例を示す図



【図18】

出力アンプの検査時の出力波形の一例を示す図



30

40

50

フロントページの続き

- (56)参考文献 米国特許出願公開第2014/0014827 (US, A1)
特表平11-514084 (JP, A)
米国特許第06249002 (US, B1)
特表2008-523772 (JP, A)
米国特許出願公開第2014/0091218 (US, A1)
米国特許出願公開第2015/0288907 (US, A1)
- (58)調査した分野 (Int.Cl., DB名)
- | | |
|------|--------|
| H04N | 5/3745 |
| H04N | 5/33 |
| H04N | 5/374 |
| G01J | 1/44 |
| G01J | 1/00 |