

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5744463号  
(P5744463)

(45) 発行日 平成27年7月8日(2015.7.8)

(24) 登録日 平成27年5月15日(2015.5.15)

(51) Int.Cl.

H01L 31/10 (2006.01)

F 1

H01L 31/10

G

請求項の数 7 (全 10 頁)

(21) 出願番号 特願2010-231533 (P2010-231533)  
 (22) 出願日 平成22年10月14日 (2010.10.14)  
 (65) 公開番号 特開2012-84790 (P2012-84790A)  
 (43) 公開日 平成24年4月26日 (2012.4.26)  
 審査請求日 平成25年8月30日 (2013.8.30)

(73) 特許権者 000001007  
 キヤノン株式会社  
 東京都大田区下丸子3丁目30番2号  
 (74) 代理人 100090273  
 弁理士 國分 孝悦  
 (72) 発明者 黒田 享裕  
 東京都大田区下丸子3丁目30番2号 キ  
 ャノン株式会社内  
 審査官 山本 元彦

最終頁に続く

(54) 【発明の名称】光電変換装置

## (57) 【特許請求の範囲】

## 【請求項 1】

光を電流に変換する第1の光電変換素子と、  
 光を電流に変換する第2の光電変換素子と、  
 ベースに入力された前記第1の光電変換素子の電流を増幅し、増幅した電流を第1及び第2のエミッタから出力する第1のバイポーラトランジスタと、  
 ベースに入力された前記第2の光電変換素子の電流を増幅し、増幅した電流を第3及び第4のエミッタから出力する第2のバイポーラトランジスタと、

前記第1のバイポーラトランジスタの前記第1のエミッタの電流及び前記第2のバイポーラトランジスタの前記第3のエミッタの電流を加算する電流加算部と、

前記第1のバイポーラトランジスタの前記第2のエミッタの電流を外部に出力する第1の出力ノードと、

前記電流加算部により加算された電流を外部に出力する第2の出力ノードと、  
 前記第2のバイポーラトランジスタの前記第4のエミッタの電流を外部に出力する第3の出力ノードと

を有することを特徴とする光電変換装置。

## 【請求項 2】

光を電流に変換する第1の光電変換素子と、  
 光を電流に変換する第2の光電変換素子と、  
 ベースに入力された前記第1の光電変換素子の電流を増幅し、増幅した電流を第1及び

10

20

第2のエミッタから出力する第1のバイポーラトランジスタと、

ベースに入力された前記第2の光電変換素子の電流を増幅し、増幅した電流を第3及び第4のエミッタから出力する第2のバイポーラトランジスタと、

第1の制御信号に応じて、前記第1のバイポーラトランジスタの前記第2のエミッタの電流及び前記第2のバイポーラトランジスタの前記第3のエミッタの電流を加算した電流に対応する電流を出力し、又は前記第1のバイポーラトランジスタの前記第2のエミッタの電流に対応する電流を出力する第1の電流加算部と、

第2の制御信号に応じて、前記第1のバイポーラトランジスタの前記第1のエミッタの電流及び前記第2のバイポーラトランジスタの前記第4のエミッタの電流を加算した電流に対応する電流を出力し、又は前記第2のバイポーラトランジスタの前記第4のエミッタの電流に対応する電流を出力する第2の電流加算部と、

前記第1の電流加算部の出力電流を外部に出力する第1の出力ノードと、

前記第2の電流加算部の出力電流を外部に出力する第2の出力ノードと

を有することを特徴とする光電変換装置。

#### 【請求項3】

前記第1のバイポーラトランジスタの前記第2のエミッタが前記増幅した電流を前記第1の出力ノードに出力し、前記第2のバイポーラトランジスタの前記第4のエミッタが前記増幅した電流を前記第3の出力ノードに出力している時に、前記電流加算部は前記加算した電流を前記第2の出力ノードに出力することを特徴とする請求項1記載の光電変換装置。

10

#### 【請求項4】

前記第1の光電変換素子及び前記第2の光電変換素子は、相互に異なる感度で光を電流に変換することを特徴とする請求項1～3のいずれか1項に記載の光電変換装置。

#### 【請求項5】

前記第1の光電変換素子の受光面積及び前記第2の光電変換素子の受光面積は、相互に大きさが異なることを特徴とする請求項4記載の光電変換装置。

#### 【請求項6】

前記第1の光電変換素子及び前記第2の光電変換素子は、相互に半導体基板上の異なる深さに設けられることを特徴とする請求項4記載の光電変換装置。

20

#### 【請求項7】

さらに、前記第1のバイポーラトランジスタの前記第2のエミッタの電流、前記第2のバイポーラトランジスタの前記第4のエミッタの電流、又は前記電流加算部の出力電流を対数変換する対数変換部と、

30

前記対数変換部により対数変換された信号を蓄積する信号蓄積部とを有することを特徴とする請求項1又は3記載の光電変換装置。

#### 【発明の詳細な説明】

##### 【技術分野】

##### 【0001】

本発明は、光電変換装置に関する。

##### 【背景技術】

##### 【0002】

デジタルカメラや、デジタルビデオカメラ等の高画質化が求められるに伴い、光電変換装置の低照度時における光検出範囲を拡大する要求がある。光電変換素子により発生した電流をトランジスタのベース部に入力し、増幅した電流をエミッタ部より出力する光電変換装置が開示されている（例えば、特許文献1参照）。

40

##### 【先行技術文献】

##### 【特許文献】

##### 【0003】

【特許文献1】特開2000-077644号公報

##### 【発明の概要】

50

**【発明が解決しようとする課題】**

**【0004】**

特許文献1の光検出範囲は、単位時間当たりに発生する電流と、後段の信号処理回路が信号を検出できる範囲で決まる。光検出範囲を拡大する方法として、単位時間当たりに発生する電流を減らす方法が考えられる。しかし、この場合、高照度側の光検出範囲は広がるが、低照度側の光検出範囲は、後段の信号回路が微小信号を検出できる範囲で制限されるため、低下するという問題がある。

**【0005】**

本発明は上記問題を鑑みてなされたものであり、低照度側の光検出範囲を低下させることなく、高照度側の光検出範囲を拡大することができる光電変換装置を提供することを目的とする。10

**【課題を解決するための手段】**

**【0006】**

本発明の光電変換装置は、光を電流に変換する第1の光電変換素子と、光を電流に変換する第2の光電変換素子と、ベースに入力された前記第1の光電変換素子の電流を増幅し、増幅した電流を第1及び第2のエミッタから出力する第1のバイポーラトランジスタと、ベースに入力された前記第2の光電変換素子の電流を増幅し、増幅した電流を第3及び第4のエミッタから出力する第2のバイポーラトランジスタと、前記第1のバイポーラトランジスタの前記第1のエミッタの電流及び前記第2のバイポーラトランジスタの前記第3のエミッタの電流を加算する電流加算部と、前記第1のバイポーラトランジスタの前記第2のエミッタの電流を外部に出力する第1の出力ノードと、前記電流加算部により加算された電流を外部に出力する第2の出力ノードと、前記第2のバイポーラトランジスタの前記第4のエミッタの電流を外部に出力する第3の出力ノードとを有することを特徴とする。20

**【発明の効果】**

**【0007】**

低照度時は電流加算部により加算された電流を用い、高照度時は第1及び/又は第2のバイポーラトランジスタのエミッタの電流を用いることにより、光検出範囲を広げることが可能となる。

**【図面の簡単な説明】**

**【0008】**

【図1】本発明の第1の実施形態による光電変換装置の概略構成図である。

【図2】本発明の第1の実施形態による光検出範囲の説明図である。

【図3】本発明の第1の実施形態による光検出範囲の説明図である。

【図4】本発明の第1の実施形態による光電変換装置の回路構成図である。

【図5】本発明の第2の実施形態による光電変換装置の概略構成図である。

【図6】本発明の第2の実施形態による光電変換装置の回路構成図である。

【図7】本発明の第3の実施形態による光電変換装置の概略構成図である。

【図8】本発明の第4の実施形態による光電変換装置の概略構成図である。

【図9】本発明の第5の実施形態による光電変換装置の概略構成図である。40

【図10】本発明の第5の実施形態における対数圧縮回路図である。

【図11】本発明の第5の実施形態における信号蓄積回路図である。

**【発明を実施するための形態】**

**【0009】**

(第1の実施形態)

図1は、本発明の第1の実施形態の光電変換装置を示す概略構成図である。1は第1の光電変換素子、2は第2の光電変換素子である。3は第1の電流増幅器(第1のバイポーラトランジスタ)、4は第2の電流増幅器(第2のバイポーラトランジスタ)である。第1の電流増幅器3は、第1のn p nバイポーラトランジスタであり、ベースが第1の光電変換素子1に接続されている。第2の電流増幅器4は、第2のn p nバイポーラトランジ50

スタであり、ベースが第2の光電変換素子2に接続されている。第1の電流増幅器3は複数のエミッタ5及び6を備え、第2の電流増幅器4は複数のエミッタ7及び8を備えることでマルチエミッタの構成となっている。第1の光電変換素子1は、例えばフォトダイオードであり、カソードが電源電位ノードに接続され、アノードが第1の電流増幅器3のベースに接続される。第1の電流増幅器3のコレクタは、電源電位ノードに接続される。第2の光電変換素子2は、例えばフォトダイオードであり、カソードが電源電位ノードに接続され、アノードが第2の電流増幅器4のベースに接続される。第2の電流増幅器4のコレクタは、電源電位ノードに接続される。光電変換素子1及び2は、光電変換により光を電流に変換する。第1の電流増幅器3は、ベースに入力された第1の光電変換素子1の電流を増幅し、増幅した電流を複数のエミッタ5及び6から出力する。第2の電流増幅器4は、ベースに入力された第2の光電変換素子2の電流を増幅し、増幅した電流を複数のエミッタ7及び8から出力する。電流加算部9は、第1の電流増幅器3の一のエミッタ5の電流及び第2の電流増幅器4の一のエミッタ7の電流を加算し、加算した電流を出力する。第1の電流増幅器4の他のエミッタ6は上記の増幅した電流を出力し、第2の電流増幅器4の他のエミッタ8は上記の増幅した電流を出力し、それと同時に、電流加算部9は上記の加算した電流を出力する。  
10

## 【0010】

図2は、エミッタ5及び6又はエミッタ7及び8より出力される電流の比率が1:1の場合の光量と単位時間当たりの電流の関係を示した図である。20は特許文献1における光量と電流との関係を示し、21はエミッタ6又は8より出力される光量と電流との関係を示している。22は、後段の信号処理回路が検出可能な電流の範囲を示しており、大電流は回路の信号飽和で、小電流は回路のノイズで制限される。23が22に対応した特許文献1の光検出範囲、24がエミッタ6又は8より得られる光検出範囲を示している。エミッタ6又は8より得られる光検出範囲は、単位時間当たりの電流を少なくすることで、高照度側の光検出範囲を広げることが可能である。更に、電流加算部9より出力される加算後の電流は、20と等しい。従って、図1の光電変換装置における光検出範囲は、25となり、低照度側の光検出範囲を低下させることなく、高照度側の光検出範囲を拡大することが可能である。  
20

## 【0011】

図3は、エミッタ5及び6又はエミッタ7及び8より出力される電流の比率が1:2の場合の光量と単位時間当たりの電流の関係を示した図である。20と22及び23は、図2と同様である。25はエミッタ6又は8より出力される光量と電流との関係を示し、27が22に対応した光検出範囲を示している。更に、26は、電流加算部9より出力される光量と電流との関係を示し、28が22に対応した光検出範囲を示している。従って、図1の光電変換装置における光検出範囲は、29となり、エミッタ5及び6又はエミッタ7及び8より出力される電流の比率を変えることで、高照度側と低照度側の光検出範囲を拡大することが可能である。  
30

## 【0012】

図4は、電流加算部9の具体的な回路構成図の一例である。図4において、1から8で示した部位は、図1と同様である。電流加算部9は、n p nバイポーラトランジスタ101、102、103、104及びp n pバイポーラトランジスタ105, 106で構成される。バイポーラトランジスタ101は、コレクタ及びベースがエミッタ5に接続され、エミッタが基準電位ノードに接続される。バイポーラトランジスタ102は、ベースがエミッタ5に接続され、コレクタがバイポーラトランジスタ104のコレクタに接続され、エミッタが基準電位ノードに接続される。バイポーラトランジスタ103は、コレクタ及びベースがエミッタ7に接続され、エミッタが基準電位ノードに接続される。バイポーラトランジスタ104は、ベースがエミッタ7に接続される。バイポーラトランジスタ105は、コレクタ及びベースがバイポーラトランジスタ104のコレクタに接続され、エミッタが基準電位ノードに接続される。バイポーラトランジスタ106のベースは、バイポーラトランジスタ105のベースに接続される。バイポーラトランジスタ101及び10  
40

2、並びにバイポーラトランジスタ103及び104は、それぞれカレントミラー回路を構成する。エミッタ5とエミッタ7より出力された信号は、それぞれカレントミラー回路を介して、バイポーラトランジスタ105と106で構成されるカレントミラー回路で加算され、バイポーラトランジスタ106のコレクタ107より加算信号が出力される。

#### 【0013】

図1及び図4の実施形態によれば、光電変換素子1の信号はエミッタ6より、光電変換素子2の信号はエミッタ8より、光電変換素子1と光電変換素子2の加算信号は電流加算部9より得ることが可能である。更に、光電変換素子1及び2の信号と加算信号を同時に得ることが可能である。従って、低照度時は、電流加算部9より出力される加算信号を用い、高照度時は、エミッタ6又は8より出力される信号を用いることで、光電変換装置の光検出範囲を特許文献1より広げることが可能となる。

10

#### 【0014】

##### (第2の実施形態)

図5は、本発明の第2の実施形態の光電変換装置を示す概略構成図である。図5において、1から8で示した部位は、図1と同様である。図5において、電流加算部10は、エミッタ6とエミッタ7から出力された電流を加算し、出力する。また、電流加算部10は、加算制御部12に与えられた信号に応じて、エミッタ6又はエミッタ7より出力された電流をそのまま出力する。同様に、加算電流部11は、エミッタ5とエミッタ8に接続され、加算制御部13に与えられた信号に応じて、エミッタ5とエミッタ8からの電流を加算して出力、又は加算せずに出力する。

20

#### 【0015】

図6は、電流加算部10及び11の具体的な回路構成図の一例である。図6において、1から8で示した部位は、図5と同様である。図6において、電流加算部10は、バイポーラトランジスタ201～206で構成され、図4のバイポーラトランジスタ101～106と同様の構成を有する。バイポーラトランジスタ201及び202、並びに203及び204は、それぞれカレントミラー回路を構成する。エミッタ6とエミッタ7より出力された信号は、それぞれカレントミラー回路を介して、バイポーラトランジスタ205と206で構成されるカレントミラー回路で加算され、バイポーラトランジスタ206のコレクタ209より加算信号が出力される。n型MOS(Metal Oxide Semiconductor)電界効果トランジスタ207は、加算制御部12に相当する。MOS電界効果トランジスタ207は、ゲートが端子208に接続され、ドレインがバイポーラトランジスタ202のコレクタに接続され、ソースがバイポーラトランジスタ204のコレクタに接続される。端子208がハイレベルのときには、エミッタ6及び7の信号の加算信号がコレクタ209に出力され、端子208がローレベルのときは、エミッタ6より入力された信号がそのままコレクタに209に出力される。同様に、電流加算部11は、バイポーラトランジスタ301～306で構成され、図4のバイポーラトランジスタ101～106と同様の構成を有する。n型MOS電界効果トランジスタ307は、加算制御部13に相当し、ゲートが端子308に接続され、ドレインがバイポーラトランジスタ304のコレクタに接続され、ソースがバイポーラトランジスタ302のコレクタに接続される。端子308がハイレベルのときには、エミッタ5とエミッタ8より入力された信号が加算され、バイポーラトランジスタ306のコレクタ309に出力され、端子308がローレベルのときは、エミッタ8より入力された信号がそのままコレクタ309に出力される。電流加算部10は、端子208により加算が指示されると上記の加算した電流を出力し、端子208により非加算が指示されると電流増幅器3の一のエミッタ6又は電流増幅器4の一のエミッタ7の電流を出力する。同様に、電流加算部11は、端子308により加算が指示されると上記の加算した電流を出力し、端子308により非加算が指示されると電流増幅器3の他の一のエミッタ5又は電流増幅器4の他の一のエミッタ8の電流を出力する。

30

#### 【0016】

図5及び図6の実施形態によれば、加算制御部12及び13に与える信号の組み合わせにより、光電変換素子1及び2の信号のみをあるいは非加算信号と加算信号を同時に得る

40

50

ことが可能である。従って、低照度時は加算信号を用い、高照度時は非加算信号を用いることで、光電変換装置の光検出範囲を特許文献1より広げることが可能となる。更に、第1の実施形態では3系統の信号を出力していたが、本実施形態では2系統の出力であるので、後段の信号処理回路が少なくて済むため、コスト低減が可能となる。

#### 【0017】

##### (第3の実施形態)

図7は、本発明の第3の実施形態の光電変換装置を示す概略構成図である。図7において、3から9で示される部位は、図1と同様である。図7において、400は光電変換素子1及び2の断面を示す。401はp型半導体基板を示し、その上にn型ウェル402が形成されている。n型ウェル402は、電源電位ノードに接続される。403及び404はn型ウェル402上に形成されたn型領域であり、n型ウェル402とは異なる濃度で形成されている。405及び406はp型領域であり、pn接合フォトダイオードを形成することにより光電変換素子1及び2として機能する。p型領域405は、電流増幅器3に、p型領域406は、電流増幅器4に接続されている。ここで、n型領域403と404は、互いに大きさが異なるように形成されている。従って、n型領域403と404とで、光電変換により発生する電流は異なり、感度の異なる光電変換素子1及び2として機能する。第1の光電変換素子1の受光面積及び第2の光電変換素子2の受光面積は、相互に大きさが異なり、相互に異なる感度で光を電流に変換する。上述したように、n型領域403で発生した信号は、エミッタ6より、n型領域404で発生した信号は、エミッタ8より、更にn型領域403と404で発生した信号の加算信号は電流加算部9より同時に20に出力される。その結果、光電変換装置の光検出範囲を上述した実施形態よりもさらに広げることが可能となる。

#### 【0018】

##### (第4の実施形態)

図8は、本発明の第4の実施形態の光電変換装置を示す概略構成図である。図8において、3から9で示される部位は、図1と同様である。図8において、500は光電変換素子1及び2の断面を示す。501はp型半導体基板を示し、その上にn型ウェル502が形成されている。503はp型領域であり、pn接合フォトダイオードを形成することにより光電変換素子2として機能する。更に、p型領域503は、p<sup>+</sup>型領域504及び505を介して電流増幅器4と接続されている。506は、p型領域503の上に形成されたn型領域を示している。507は、n型領域506の上に形成されたp型領域であり、pn接合フォトダイオードを形成することにより光電変換素子1として機能する。更に、p型領域507は、p<sup>+</sup>型領域508及び509を介して電流増幅器3と接続されている。510は、p型領域507の上に形成されたn型領域である。n型ウェル502及びn型領域510は、電源電位ノードに接続される。ここで、p型領域503と507は、基板に対して異なる深さに形成されているため、異なる波長帯域の光に対する信号を得ることが可能である。第1の光電変換素子1及び第2の光電変換素子2は、相互に半導体基板上の異なる深さに設けられ、相互に異なる感度で光を電流に変換する。上述したように、エミッタ8、エミッタ6及び電流加算部9により、深い領域の光電変換素子2で発生した信号、浅い領域の光電変換素子1で発生した信号、及び二つの光電変換素子1及び2で発生した信号の加算信号を得ることが可能となる。その結果、光電変換装置の光検出範囲を上述した実施形態よりもさらに広げることが可能となる。本実施形態は深さ方向の異なる信号を検出する。従って、高照度時は異なる色信号をホワイトバランス情報として利用することができる。

#### 【0019】

##### (第5の実施形態)

図9は、本発明の第5の実施形態の光電変換装置を示す概略構成図である。図9において、1から9で示される部位は、図1と同様である。図9において、14は対数変換部であり、対数変換回路14a、14b及び14cから成る。また、15は信号蓄積部であり、信号蓄積回路15a、15b及び15cから成る。対数変換回路14aは、エミッタ6

10

20

30

40

50

の電流を対数変換し、対数変換した信号を信号蓄積回路 15 a に出力する。信号蓄積回路 15 a は、対数変換回路 14 a により対数変換された信号を蓄積する。対数変換回路 14 b は、電流加算部 9 の出力電流を対数変換し、対数変換した信号を信号蓄積回路 15 b に出力する。信号蓄積回路 15 b は、対数変換回路 14 b により対数変換された信号を蓄積する。対数変換回路 14 c は、エミッタ 8 の電流を対数変換し、対数変換した信号を信号蓄積回路 15 c に出力する。信号蓄積回路 15 c は、対数変換回路 14 c により対数変換された信号を蓄積する。

#### 【 0 0 2 0 】

図 10 は、対数変換回路 14 a、14 b 及び 14 c の具体的な回路構成例である。対数変換回路 600 は、対数変換回路 14 a、14 b 及び 14 c に対応し、トランジスタ 601、602 及び 603 と、定電流源 604 とから成る。電流増幅器 3 又は 4、又は電流加算部 9 からの信号が入力線 605 より入力され、対数変換された信号が、出力線 606 より出力される。対数変換回路 600 は、入力線 605 の信号を対数変換し、対数変換した信号を出力線 606 に出力する。

#### 【 0 0 2 1 】

図 11 は、信号蓄積回路 15 a、15 b 及び 15 c の具体的な回路構成例である。信号蓄積回路 700 は、信号蓄積回路 15 a、15 b 及び 15 c に対応し、トランジスタ 702、703 及び 蓄積容量 701 とから成る。端子 705 の電圧制御によりトランジスタ 702 がオンしている時は、対数変換回路 600 より出力された信号 704 が、蓄積容量 701 に蓄積される。これにより、光電変換素子 1 又は 2 で発生した電流に基づく光の時間蓄積信号を保持し、端子 706 の電圧制御によりトランジスタ 703 をオンすれば、蓄積容量 701 に保持された光の時間蓄積信号を電圧信号 707 として取り出すことが可能である。本実施形態では、対数変換を行うことで、広い光検出範囲を効果的に得られる光電変換装置が可能となる。

#### 【 0 0 2 2 】

第 1 ~ 第 5 の実施形態によれば、低照度時は電流加算部 9 ~ 11 により加算された電流を用い、高照度時は第 1 及び / 又は第 2 の電流増幅器 3、4 のエミッタの電流を用いることにより、光検出範囲を広げることが可能となる。

#### 【 0 0 2 3 】

なお、上述した第 1 ~ 第 5 の実施形態において、二つの光電変換素子 1 及び 2 の信号を電流加算部 9、10、11 により加算する場合を例にとって説明したが、これに限るものではない。例えば、三つ以上の光電変換素子の信号を電流加算部により加算する場合でも、同様の効果を得ることが可能である。

#### 【 0 0 2 4 】

また、上述した実施の形態において、電流増幅器 3、4 は、二つのエミッタを備える場合を例にとって説明したが、これに限るものではない。例えば、電流増幅器が三つ以上のエミッタを備え、加算を行う光電変換素子の組み合わせを変える場合でも、同様の効果を得ることが可能である。

#### 【 0 0 2 5 】

更に、上述した実施の形態において、電流加算部 9 ~ 11 はバイポーラトランジスタで構成する場合を例にとって説明したが、MOS 型電界効果トランジスタで構成しても、同様の効果を得ることが可能である。

#### 【 0 0 2 6 】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されなければならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。第 1 ~ 第 5 の実施形態は、種々の組み合わせが可能である。

#### 【 符号の説明 】

#### 【 0 0 2 7 】

10

20

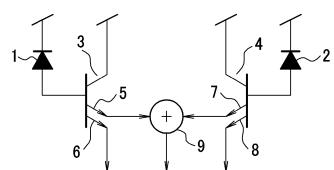
30

40

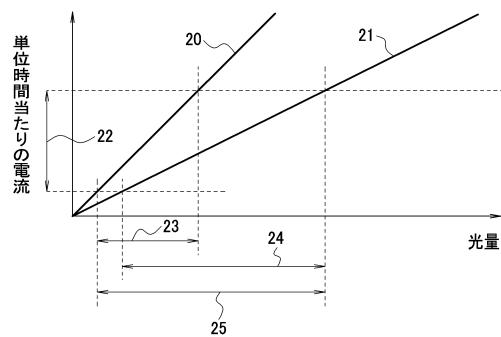
50

1 第1の光電変換素子、2 第2の光電変換素子、3 第1の電流増幅器、4 第2の電流増幅器、9 電流加算部

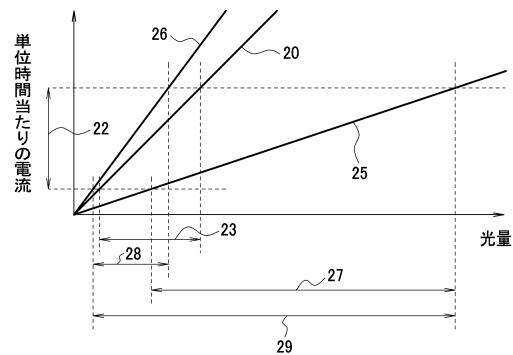
【図1】



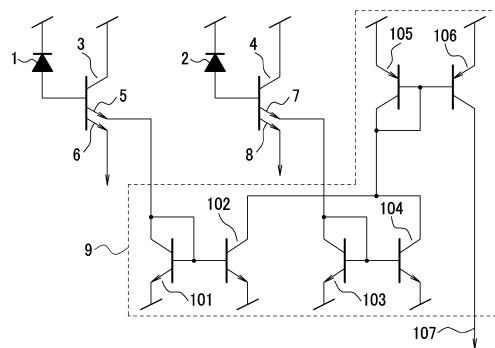
【図2】



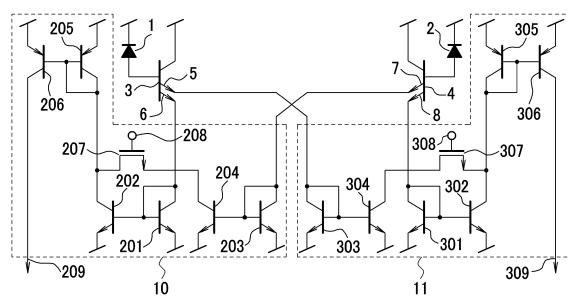
【図3】



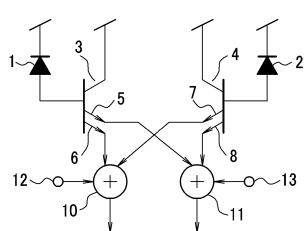
【図4】



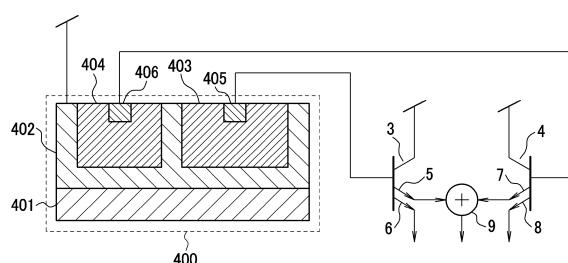
【図6】



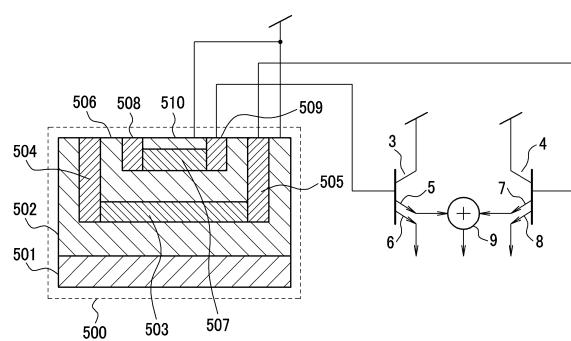
【図5】



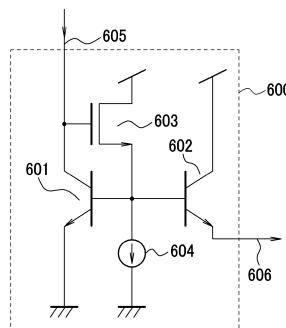
【図7】



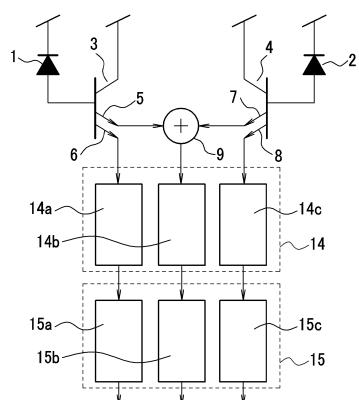
【図8】



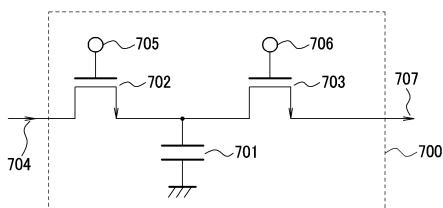
【図10】



【図9】



【図11】



---

フロントページの続き

(56)参考文献 特開平04-123521(JP,A)  
特開昭64-082815(JP,A)  
特開平02-020837(JP,A)  
特開2008-008647(JP,A)  
特開2007-251234(JP,A)  
特表昭59-500344(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 31/00 - 31/0392, 31/08 - 31/12  
G01J 1/00 - 1/60, 11/00