

(19)



SUOMI - FINLAND

(FI)

PATENTTI- JA REKISTERIHALLITUS

PATENT- OCH REGISTERSTYRELSEN

FINNISH PATENT AND REGISTRATION OFFICE

(10) FI 761315 A7

**(12) JULKISEKSI TULLUT PATENTTIHAKEMUS
PATENTANSÖKAN SOM BLIVIT OFFENTLIG
PATENT APPLICATION MADE AVAILABLE TO THE
PUBLIC**

(21) Patentihakemus - Patentansökan - Patent application **761315**

(51) Kansainvälinen patenttiluokitus - Internationell patentklassifikation -
International patent classification
H03K

(22) Tekemispäivä - Ingivningsdag - Filing date **10.05.1976**

(23) Saapumispäivä - Ankomstdag - Reception date **10.05.1976**

(41) Tullut julkiseksi - Blivit offentlig - Available to the public **15.11.1976**

(43) Julkaisupäivä - Publiceringsdag - Publication date **12.06.2019**

(32) (33) (31) Etuoikeus - Prioritet - Priority

14.05.1975 SE 7505552

(71) Hakija - Sökande - Applicant

1 • OY L M Ericsson AB, Kyrkslätt, 02420 Jorvas, SUOMI - FINLAND, (FI)

(72) Keksijä - Uppfinnare - Inventor

1 • Carlsson, Karl-Johan Verner, Sverige, SVERIGE, (SE)

2 • Sjöquist, Erik Ivar, Sverige, SVERIGE, (SE)

(74) Asiamies - Ombud - Agent

Kolster Oy Ab, Salmisaarenaukio 1, 00180 Helsinki

(54) Keksinnön nimitys - Uppfinningens benämning - Title of the invention

Tapa toimittaa tietojen käsittelyohjeita, jotka luetaan tasaisessa tahdissa peräkkäin kukin lukuvaiheensa aikana ja lähetetään ohjemuistista yhteisen ohjeensiirtotien kautta joukkoon toimintayksiköitä

Sätt och anordning att efter varandra avverka databehandlingsinstruktiner i funktionsenheter hos en datamaskin

Oy L M Ericsson Ab; 02420 Jorvas

Sätt och anordning att efter varandra avverka databehandlingsinstruktioner i funktionsenheter hos en datamaskin - Tapa toimittaa tietojen käsittely-ohjeita, jotka luetaan tasaisessa tahdissa peräkkäin kukin lukuvaiheensa aikana ja lähetetään ohjemuistista yhteisen ohjeensiirtotien kautta joukkoon toimintayksiköitä

Föreliggande uppfinning avser ett sätt och en anordning att avverka databehandlingsinstruktioner, vilka läses i jämn takt efter varandra under var sin läsfas och sändes från ett instruktionsminne över en gemensam instruktionsöverföringsväg till ett antal funktionsenheter, varvid under en avverkningsperiod för en instruktion av en första typ en av nämnda funktionsenheter utpekade och beordras att genomföra en medelst nämnda första instruktionstyp bestämd funktion och varvid en andra instruktionstyp omfattar att utpeka två av nämnda funktionsenheter, att via en för samtliga funktionsenheter gemensam dataöverföringsväg överföra data mellan de två utpekade funktionsenheterna och att beordra den data vid genomförandet av en medelst nämnda andra instruktionstyp bestämd funktion, vilken andra instruktionstyps avverkningsperiod omfattar en första del under vilken den ena av nämnda två funktionsenheter beordras att sända data, en andra del under vilken

aktuella data föres från nämnda ena funktionsenhet till nämnda dataöverföringsväg och en tredje del under vilken den andra av nämnda två funktionsenheter mottager nämnda aktuella data.

Nämnda uppdelning av en avverkningsperiod i delar användes huvudsakligen hos en datamaskin vars funktionsenheter sinsemellan är förbundna medelst ett gemensamt bussystem på ett sätt som exempelvis beskrives i "The Bell System Technical Journal, Vol. 48, Oct. 69, sid. 2633-2333". En av funktionsenheterna omfattar ett instruktionsminne för att lagra instruktionerna som innehåller i binär form kodade adresser och order. Nämnda bussystem omfattar härvid en dataöverföringsbuss, till vilken är anslutna i funktionsenheterna anordnade datalagringsregister, och order- och adressbussar, vilka förbinder nämnda instruktionsminne med i funktionsenheterna anordnade order- och adressavkodare. Tack vare ett sådant gemensamt bussystem förenklas konstruktionsarbetet för datamaskinen avsevärt, därför att det erhålles en modulär struktur vars moduler, funktionsenheterna, omfattar enhetliga gränssnitt till bussystemet.

Hos äldre datamaskiner användes för till exempel varje dataöverföring en medelst en grind styrd egen förbindelse, så att avverkningen enbart består i att öppna respektive grind. Hos nämnda bussystem och gränssnitt däremot samverkar ett flertal logikkretsar vid avverkningen av en instruktion. Man måste ta hänsyn till fördröjningar, som uppkommer på grund av logikkretsarnas åtkomst- och reaktionstider samt bussystemets insvängningsfenomen, och erhåller därför som en första nackdel relativt långa avverkningsperioder särskilt för instruktioner av nämnda andra typ. Då styrningen av databehandlingen är enklast om lika långa avverkningsperioder tillämpas för båda instruktionstyperna och om en ny period påbörjas först när den föregående är avslutad, har periodernas längd hittills bestämts av de flera delar krävande instruktionerna av nämnda andra typ. För instruktionerna av nämnda första typ stod alltså hittills som en andra nackdel överflödigt avverkningstid till förfogande.

Föreliggande uppfinning, vars kännetecken framgår av patentkraven, undviker nämnda nackdelar därför att det är de mindre tidskrävande instruktionerna som bestämmer takten i vilken instruktionerna efter varandra läses från instruktionsminnet, varvid den nödvändiga längre tiden för att avverka de flera faser krävande instruktionerna erhålles medelst en avverkningsöverlappning. Härefter skall uppfinningen närmare beskrivas med hänvisning till bifogad ritning, vars

fig. 1 visar vid en instruktionsavverkning inblandade delar av en i

övrigt känd datamaskin, vars

fig. 2 som ett tidsdiagram visar fassignaler alstrade av en taktgenerator och vars

fig. 3 visar ett gränssnitt för att ansluta en funktionsenhet till datamaskinens bussystem.

Fig. 1 visar i enlighet med den inledningsvis nämnda artikeln ett bussystem BS till vilket en taktgenerator CG, ett instruktionsminne IM och ett antal funktionsenheter FU är anslutna. Instruktionsminnet lagrar instruktioner, vilka utpekats på känt sätt medelst i en avkodare IADEC avkodade instruktionsadresser ia och överföres till ett instruktionsregister IR i en medelst fastaktpulser ϕ_p bestämd takt. Instruktionerna omfattar en funktionsenhetsadress al och en order o, om den genom adressen al bestämda funktionsenheten skall utföra en intern funktion, och en ytterligare adress a2, om data skall överföras från funktionsenheten med adress al till funktionsenheten med adress a2.

I form av ett tidsdiagram visar fig. 2 att nämnda av taktgeneratoren alstrade kortvariga fastaktpulser ϕ_p bestämmer faser ϕ_h och att likaledes av taktgeneratoren alstrade delfassignaler ϕ_e anger fasernas slutavsnitt. Medelst delfassignalerna skyddas funktionsenheterna för nämnda insvängningsfenomen hos bussystemet, vars logiska tillstånd ändras vid fasernas början till exempel på grund av nämnda instruktionsöverföringar till instruktionsregister. Det antages att en fas är så pass lång att tillståndet har blivit stabilt under espektive delfassignal.

Fig. 3 visar en utföringsform för ett gränssnitt IF hos en av funktionsenheterna FU, vilken mottager nämnda av taktgeneratoren alstrade fassignaler ϕ_p och ϕ_e . Gränssnittet omfattar adress- och orderavkodare ADEC1, ADEC2 och ODEC, vilka är anslutna till bussystemets adress- och orderbussar AB1, AB2 och OB för att mottaga och avkoda nämnda från instruktionsregistret överförda adresser och order al, a2 och o. Gränssnittet omfattar vidare ett datalagringsregister DR för att sända resp. mottaga data via en läsgring RG resp. en skrivgrind WG till resp. från bussystemets databuss DB. Tillammans med ett antal första och andra logiska element E1 och E2 utgör nämnda datalagringsregister DR de logikkretsar som är anslutna till funktionsenhetens speciella interna logik L, som på i övrigt känt sätt styr genomförandet av en beordrad funktion. Elementen E1 utpekar var sin funktion som inte har något samband med datalagringsregistrets innehåll, till exempel en test- eller manövreringsfunktion. Elementen E2 utpekar var sin funktion som använder från nämnda databuss mottagna data.

En på nämnda orderbuss OB och adressbuss AB1 överförd instruktion av nämnda första typ aktiverar efter avkodningen respektive adressavkodare ADEC1 och respektive utgångar O1 hos funktionsenheternas orderavkodare ODEC. Därmed aktiveras en respektive instruktion tillordnad OCH-grind G1 vars utgång är ansluten till respektive element E1. Om hos ett och samma gränssnitt adressavkodaren ADEC1 och en utgång O2 av orderavkodaren ODEC aktiveras, skall respektive funktionsenhet enligt en instruktion av nämnda andra typ sända data som lagras i datalagringsregister hos denna funktionsenhet. För att avisera den beordrade datasändningen aktiveras via en ELLER-grind G2 och en OCH-grind G3 ett första skiftregister SR1. Nämnda OCH-grindar G1 och G3 styres dessutom medelst taktgeneratorns delfassignaler ϕ_e för att aktivera nämnda element E1 respektive skiftregister SR1 först under respektive fas tillhörande slutdel. Skiftregister SR1 stegas medelst fastaktpulser ϕ_p och har sin till en ingång hos nämnda läsgrind RG ansluten utgång anordnat så att nämnda data sändes till databussen under den fas som följer fasen under vilken respektive order överfördes från instruktionsminnet.

Om hos ett och samma gränssnitt adressavkodaren ADEC2 och en utgång O2 av orderavkodaren ODEC aktiveras, skall respektive funktionsenhet enligt en instruktion av nämnda andra typ mottaga och behandla de data som enligt denna instruktion överföres på databussen. Via en till adressavkodaren ADEC2 ansluten och av delfassignaler ϕ_e styrd OCH-grind G4 aktiveras ett skiftregister SR2 och en respektive order tillordnad OCH-grind G5 vars utgång är ansluten till respektive element E2. Skiftregister SR2 stegas medelst fastaktpulser ϕ_p och har sin till en ingång hos nämnda skrivgrind WG ansluten utgång anordnat så att nämnda data mottages av datalagringsregistret under den fas som sammanfaller med fasen för datasändning enligt respektive instruktion. Skrivgrinden WG är försedd med en ingång som erhåller delfassignaler ϕ_e för att säkerställa att endast stabila logiska tillstånd överföres.

Hos en på ritningen inte visad utföringsform omfattar instruktionerna första och andra orderdelar, vilka överföres respektive avkodas medelst separata första och andra orderbussar respektive första och andra orderavkodare. I detta fall samverkar nämnda första adress och första orderdel för att aktivera nämnda första logiska element och nämnda första skiftregister. Funktionsenheternas andra skiftregister är i detta fall överflödiga, som i förhållande till respektive instruktions första adress dess andra adress och andra orderdel tillföres bussystemet, till exempel medelst en för datamaskinen gemensam fördröjningskrets, en fas senare.

Patentkrav:

1. Sätt att avverka databehandlingsinstruktioner, vilka läses i jämn takt efter varandra under var sin läsfas och sändes från ett instruktionsminne över en gemensam instruktionsöverföringsväg till ett antal funktionsenheter, varvid under en avverkningsperiod för en instruktion av en första typ en av nämnda funktionsenheter utpekas och beordras att genomföra en medelst nämnda första instruktionstyp bestämd funktion, och varvid under en avverkningsperiod för en instruktion av en andra typ två av nämnda funktionsenheter utpekas och beordras att överföra data mellan varandra via en för samtliga funktionsenheter gemensam dataöverföringsväg samt den datamottagande av nämnda två funktionsenheter beordras att använda nämnda data vid genomförandet av en medelst nämnda andra instruktionstyp bestämd funktion, k ä n n e t e c k n a t därav, att under en första respektive andra del av en avverkningsperiod för en instruktion av nämnda andra typ avverkas beordringen av den datasändande av nämnda två funktionsenheter respektive dataöverföringen mellan dem, att avverkningsperioden för en instruktion av nämnda första typ respektive den första avverkningsperioddelen för en instruktion av nämnda andra typ avslutas under den rådande läsfasen och att den andra avverkningsperioddelen för en instruktion av nämnda andra typ avslutas under den efterföljande instruktionens läsfas.

2. Datamaskin för utförande av sättet enligt patentkravet 1 omfattande en taktgenerator (CG) för att alstra fastaktpulser ($\emptyset p$) som bestämmer läsfaser (ph), ett instruktionsminne (IM) för att lagra instruktioner som innehåller adresser (a1, a2) och order (o), vilket minne är försett med adresserings- och registreringsanordningar (IADEC, IR) för att registrera adresserade instruktioner den ena efter den andra under var sin läsfas, ett antal funktionsenheter (FU), vilka är anordnade för att på grund av från nämnda registreringsanordning (IR) erhållna instruktioner genomföra funktioner, och ett bussystem (BS, AB1, AB2, OB, DB) för att överföra nämnda adresser och order från instruktionsminnet till funktionsenheterna och för att överföra data mellan funktionsenheterna, av vilka var och en omfattar minst ett datalagringsregister (DR) för att lagra data före och efter en överföring på nämnda bus-

system, två adressavkodare (ADEC1, ADEC2) och en orderavkodare (ODEC) för att bestämma vilken adresserad funktionsenhet skall genomföra vilken beordrad funktion, k ä n n e t e c k n a d därav, att var och en av funktionsenheterna dessutom omfattar en första fördröjningskrets (SR1) för att ansluta bussystemet till datalagringsregistrets utgång hos en för datasändning beordrad funktionsenhet under den läsfas som följer själva datasändningsorderens läsfas, samt att datamaskinen omfattar minst en andra fördröjningskrets (SR2) för att ansluta bussystemet till datalagringsregistrets ingång hos en för datamottagning beordrad funktionsenhet sammanfallande med bussystemets nämnda anslutning till registret hos den för datasändning utpekade funktionsenheten.

3. Datamaskin enligt patentkravet 2, k ä n n e t e c k n a d därav, att nämnda taktgenerator är anordnad för att alstra delfassignaler ($\emptyset$ e) som indikerar läsfasernas slutavsnitt, och att varje funktionsenhet omfattar grindar (G1, G3, G4, WG) för att styra nämnda datamottagningar samt adress- och orderavkodningar medelst nämnda delfassignaler.

Patenttivaatimukset:

1. Tapa toimittaa tietojen käsittelyohjeita, jotka luetaan tasaisessa tahdissa peräkkäin kukin lukuvaiheensa aikana ja lähetetään ohjemuistista yhteisen ohjeensiirtotien kautta joukkoon toimintayksiköitä, jolloin ensimmäistä tyyppiä olevan ohjeen suoritusjakson aikana osoitetaan yksi mainituista toimintayksiköistä ja sen käsketään suorittaa mainitun ensimmäisen ohjetyypin avulla määrätty tehtävä ja jolloin toisen ohjetyypin suoritusjakson aikana osoitetaan kaksi mainituista toimintayksiköistä ja niiden käsketään siirtää tietoja keskenään kaikille toimintayksiköille yhteisen tietojensiirtotien kautta ja tietoja vastaanottavan näistä mainituista kahdesta toimintayksiköstä käsketään käyttää mainittuja tietoja mainitun toisen ohjetyypin avulla määrättyä tehtävää suoritettaessa, t u n n e t t u siitä, että mainitun toisen tyyppin ohjeen suoritusjakson ensimmäisen vastaavasti toisen osan aikana suoritetaan mainituista kahdesta toimintayksiköstä tietoja lähetävän käskemisen vastaavasti niiden välinen tietojen siirto, että mainittua ensimmäistä tyyppiä olevan ohjeen suoritusjakso vastaa- vasti mainittua toista tyyppiä olevan ohjeen ensimmäinen suoritus- jakso-osa päätetään valitsevan lukuvaiheen aikana ja että mainittua toista tyyppiä olevan ohjeen toinen suoritusjakso-osa päätetään seuraavan ohjeen lukuvaiheen aikana.

2. Tietokone patenttivaatimuksen 1 mukaisen tavan suorittamiseksi, käsittäen tahtigeneraattorin (CG) vaihetahtipulssien ($\emptyset p$) tuottamiseksi, jotka määräävät lukuvaiheet (ph), ohjemuistin (IM) ohjeiden varastoimiseksi, jotka sisältävät osoitteita (a1, a2) ja käskyjä (o), joka muisti on varustettu osoittamis- ja rekisteröimislaitteilla (IADEC, IR) osoitettujen ohjeiden rekisteröimiseksi toisen toisensa jälkeen kunkin lukuvaiheensa aikana, joukon toimintayksiköitä (FU), jotka on sovitettu suorittamaan tehtäviä mainitusta rekisteröintilaitteesta (IR) saatujen ohjeiden pohjalta, ja väyläjärjestelmän (BS, AB1, AV2, OB, DB) mainittujen osoitteiden ja käskyjen siirtämiseksi ohjemuistista toimintayksiköihin ja tietojen siirtämiseksi toimintayksiköiden välillä, joista jokainen käsittää ainakin yhden tietojentallennusrekisterin (DR) tietojen tallentamiseksi ennen mainitulla väyläjärjestelmällä siirtämistä ja sen jälkeen, kaksi osoitedekooderia (ADEC1, ADEC2) ja käskyde-

kooderin (ODEC) sen määrittämiseksi, minkä osoitetun toimintayksikön tulee suorittaa mikäkin käsketty tehtävä, t u n n e t t u siitä, että kukin toimintayksiköistä sen lisäksi käsittää ensimmäisen viivästyspiirin (SR1) väyläjärjestelmän liittämiseksi tietojen tallennusrekisterin ulostuloon tietoja lähettämään käsketyssä toimintayksikössä sen lukuvaiheen aikana, joka seuraa itse tietojen lähettämiskäskyn lukuvaihetta, sekä että tietokone käsittää vähintään yhden toisen viivästyspiirin (SR2) väyläjärjestelmän liittämiseksi tietojen tallennusrekisterin sisäänntuloon tietoja vastaanottamaan käsketyssä toimintayksikössä osuen yhteen väyläjärjestelmän mainittun rekisteriin liitännän kanssa tietoja lähettämään osoitetussa toimintayksikössä.

3. Patenttivaatimuksen 2 mukainen tietokone, t u n n e t t u siitä, että mainittu tahtigeneraattori on sovitettu tuottamaan osavaihesignaaleja ($\emptyset e$), jotka ilmaisevat lukuvaiheiden loppuosan ja että jokainen toimintayksikkö käsittää veräjiä (G1, G3, G4, WG) mainittujen tietojen vastaanottamisien sekä osoite- ja käskydekoodauksien ohjaamiseksi mainittujen osavaihesignaalien avulla.

Fig. 1

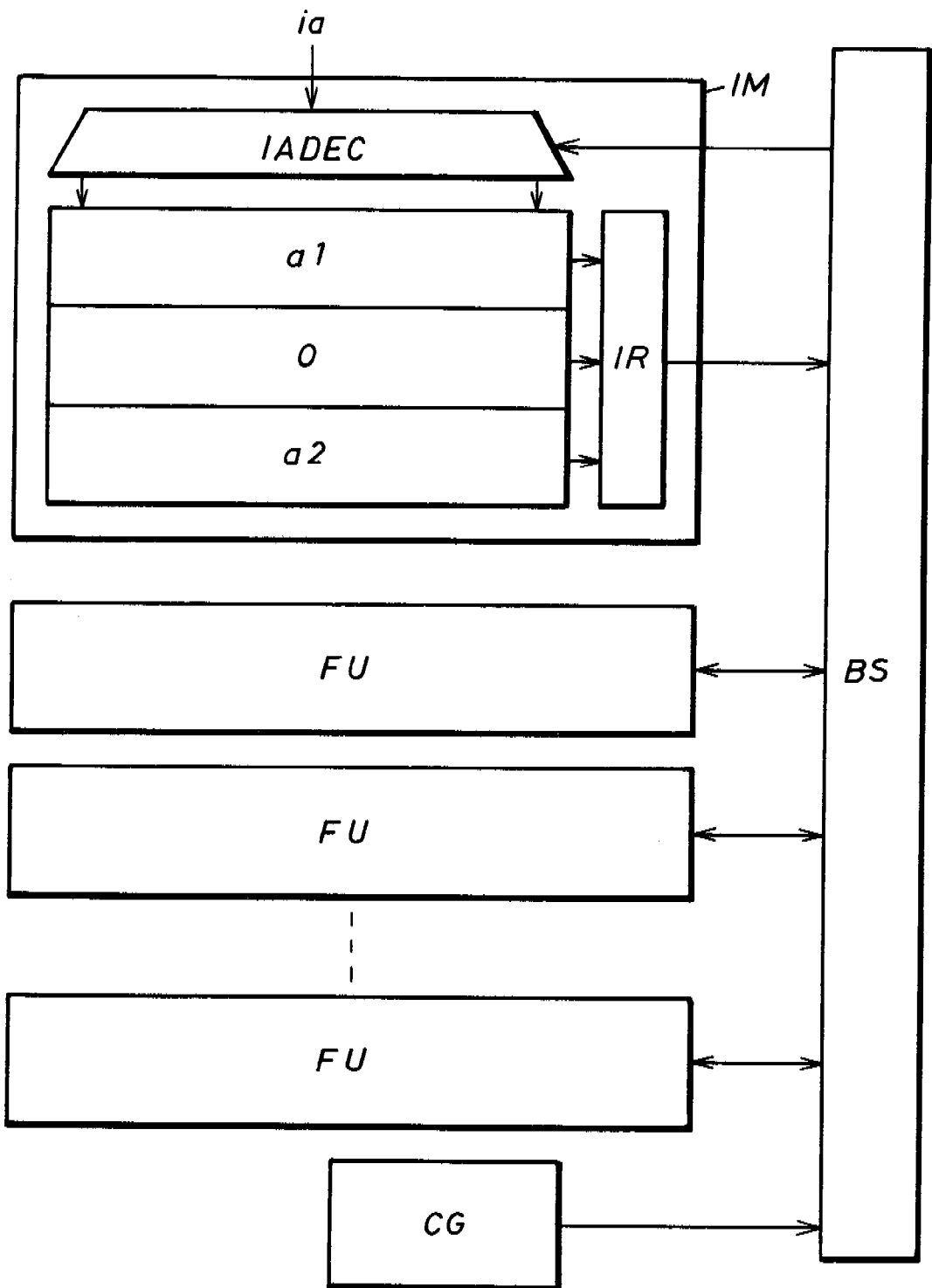


Fig. 2

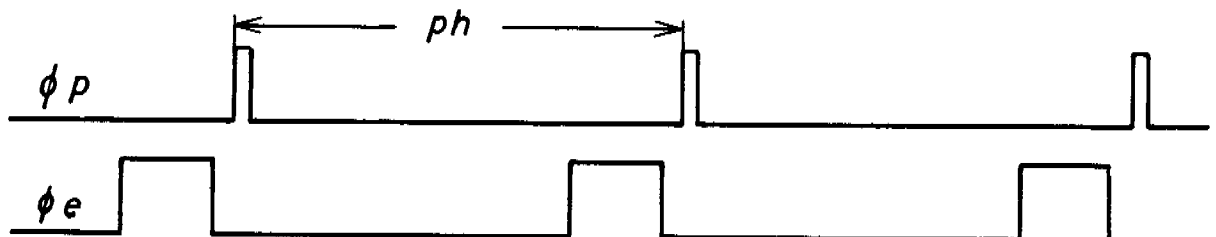
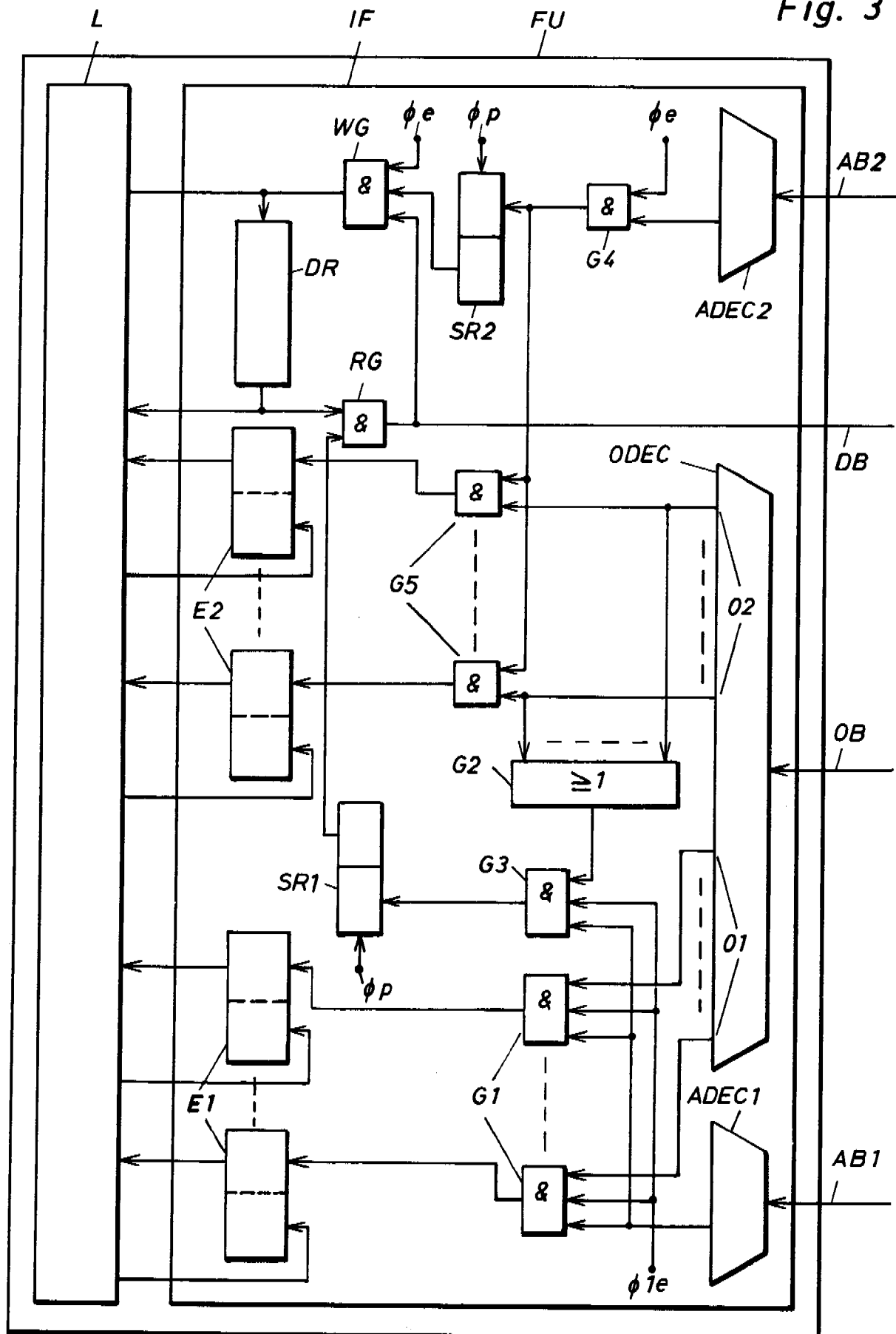


Fig. 3



Viitejulkaisuja - Anförda publikationer

Julkisia suomalaisia patenttihakemuksia: - Offentliga finska patentansökningar

Hakemus-, kuulutus- ja patenttijulkaisuja: - Ansökningspublikationer, utläggnings- och patentskrifter:

FI _____

CH _____

DE _____

DK _____

FR _____

GB P 1076 775 (GOGF 1104)

NO _____

SE _____

US P 3 210 733 (340-172.5), P 3 811 114 (GOGF 9100)

Merkitse hakemusjulkaisun (esim. saksal. Offenlegungsschrift) numeron eteen H ja vastaavasti kuulutus- ja patenttijulkaisun numeron eteen K ja P.

EP

WO

Muita julkaisuja: - Andra publikationer:



Allekirjoitus