



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I452564 B

(45)公告日：中華民國 103 (2014) 年 09 月 11 日

(21)申請案號：100112354 (22)申請日：中華民國 100 (2011) 年 04 月 08 日  
 (51)Int. Cl. : G09G3/30 (2006.01) G09G3/20 (2006.01)  
 (30)優先權：2011/02/10 美國 13/024,799  
 (71)申請人：全球 O L E D 科技公司 (美國) GLOBAL OLED TECHNOLOGY LLC (US)  
 美國  
 (72)發明人：寇克 羅納德 S COK, RONALD S. (US) ; 漢蒙 約翰 W HAMER, JOHN W.  
 (CA) ; 米樂 麥克 E MILLER, MICHAEL E. (US)  
 (74)代理人：洪堯順  
 (56)參考文獻：  
 TW 543206 TW I286034  
 TW I330347 WO 2010/116626A1  
 審查人員：吳傳瑞  
 申請專利範圍項數：27 項 圖式數：7 共 0 頁

## (54)名稱

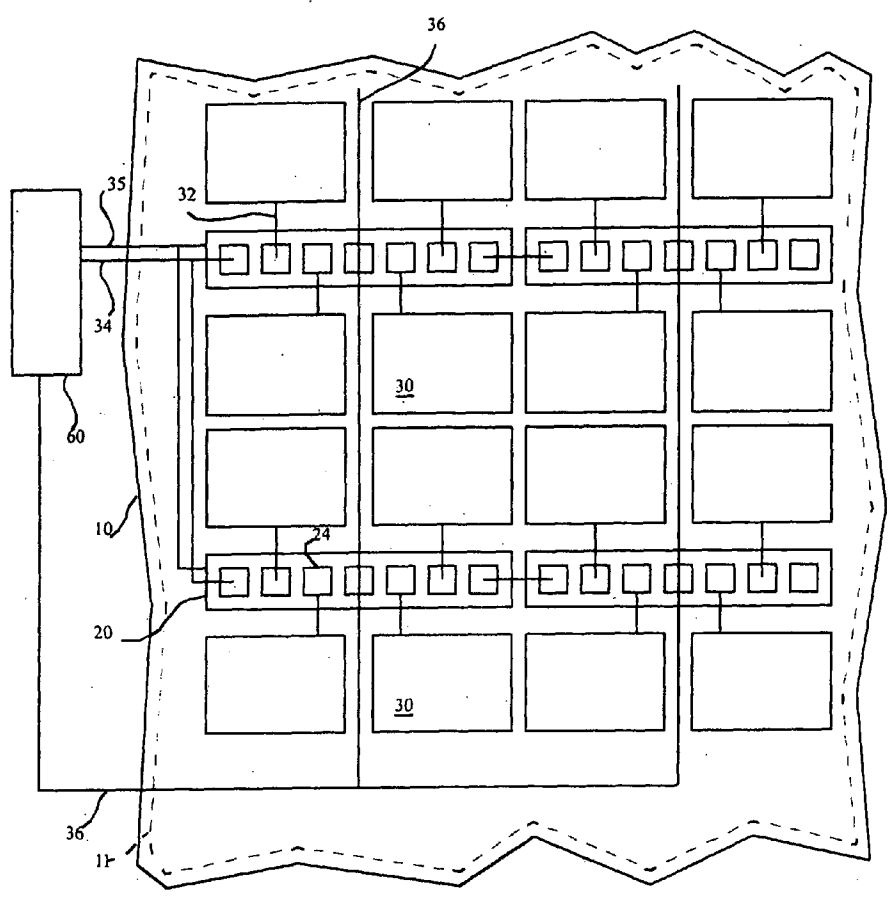
具積體演算電路的數位顯示裝置

DIGITAL DISPLAY WITH INTEGRATED COMPUTING CIRCUIT

## (57)摘要

一種數位顯示裝置包括一顯示基板；一像素陣列，形成在顯示基板上；驅動電路陣列，位於顯示基板上，每個驅動電路電性連接一個或多個像素用於控制提供至每個像素的像素電流；一演算電路陣列，位於顯示基板上，每個演算電路包括用於信號或影像處理的電路和用於與相鄰演算電路通信的電路；複數個電導體，形成在顯示基板上並連接至驅動電路和數位演算電路的每一個，其中，在演算電路陣列中，每個演算電路利用一電導體與其相鄰的每一個演算電路連接；以及用於提供連接於一個或多個電導體的影像信號的裝置。

A digital display device includes a display substrate; an array of pixels formed on the display substrate; an array of driving circuits located on the display substrate, each driving circuit electrically connected to one or more pixels for controlling a pixel current provided to each pixel; an array of computing circuits located on the display substrate, each computing circuit including circuits for signal or image processing and for communicating with neighboring computing circuits; a plurality of electrical conductors formed on the display substrate and connected to each of the driving circuits and digital computing circuits, wherein each computing circuit is connected with an electrical conductor to each of its neighbors in the array of computing circuits; and means for providing an image signal connected to one or more of the electrical conductors.



- 10 . . . 顯示基板
- 11 . . . 顯示區
- 20 . . . 晶片載置器
- 24 . . . 連接墊
- 30 . . . 像素
- 32 . . . 電極連接器/  
電導體
- 34 . . . 信號連接器/  
電導體
- 35 . . . 信號連接器/  
電導體
- 36 . . . 信號連接器/  
電導體
- 60 . . . 控制器

第1圖

## 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100112354

※申請日：100.4.8

※IPC 分類：

G09G 3/30 (2006.01)

G09G 3/20 (2006.01)

一、發明名稱：(中文/英文)

具積體演算電路的數位顯示裝置 / DIGITAL DISPLAY WITH  
INTEGRATED COMPUTING CIRCUIT

二、中文發明摘要：

一種數位顯示裝置包括一顯示基板；一像素陣列，形成在顯示基板上；驅動電路陣列，位於顯示基板上，每個驅動電路電性連接一個或多個像素用於控制提供至每個像素的像素電流；一演算電路陣列，位於顯示基板上，每個演算電路包括用於信號或影像處理的電路和用於與相鄰演算電路通信的電路；複數個電導體，形成在顯示基板上並連接至驅動電路和數位演算電路的每一個，其中，在演算電路陣列中，每個演算電路利用一電導體與其相鄰的每一個演算電路連接；以及用於提供連接於一個或多個電導體的影像信號的裝置。

### 三、英文發明摘要：

A digital display device includes a display substrate; an array of pixels formed on the display substrate; an array of driving circuits located on the display substrate, each driving circuit electrically connected to one or more pixels for controlling a pixel current provided to each pixel; an array of computing circuits located on the display substrate, each computing circuit including circuits for signal or image processing and for communicating with neighboring computing circuits; a plurality of electrical conductors formed on the display substrate and connected to each of the driving circuits and digital computing circuits, wherein each computing circuit is connected with an electrical conductor to each of its neighbors in the array of computing circuits; and means for providing an image signal connected to one or more of the electrical conductors.

四、指定代表圖：

(一)本案指定代表圖為：第( 1 )圖。

(二)本代表圖之元件符號簡單說明：

- |    |           |
|----|-----------|
| 10 | 顯示基板      |
| 11 | 顯示區       |
| 20 | 晶片載置器     |
| 24 | 連接墊       |
| 30 | 像素        |
| 32 | 電極連接器/電導體 |
| 34 | 信號連接器/電導體 |
| 35 | 信號連接器/電導體 |
| 36 | 信號連接器/電導體 |
| 60 | 控制器       |

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明涉及一種具有基板的數位顯示裝置，該基板上具有控制該顯示裝置中像素之分散且獨立的晶片載置器。

### 【先前技術】

許多現代計算裝置應用顯示在顯示器上之圖形使用者介面來提供使用者互動。該顯示器可為由電腦經匯流排控制的許多不同週邊元件的其中之一。電腦的核心元件為中央處理單元 (CPU)。CPU 為程式儲存機，用於執行在與 CPU 經通信匯流排連接的記憶體裝置中儲存的軟體程式。典型地，通信匯流排也將 CPU 與其他電腦週邊設備連接，該些週邊設備例如包括磁碟機、鍵盤和如觸控螢幕、滑鼠、操縱杆、觸摸墊或跟蹤球的指點裝置。有時候，該些週邊設備通過如通用串列匯流排 (USB) 的單一連接埠連接。一些連接埠和匯流排可與多個裝置串連或並連。

傳統的電腦體系結構非常適用，但因為每個計算元件典型實施單一功能且通過單一通信路徑與其他計算元件連接，所以傳統電腦體系結構受到單一組成的性能的限制，該單一組成例如記憶體、記憶體存取速度、通信匯流排或埠、或中央處理單元的速度。平行電腦已經設計處理侷限 CPU 性能、記憶體存取速度和記憶體和 CPU 之間互連的問題。一些平行電腦應用複數個 CPU，每一個都自己具有記憶體，經由通信埠，或者點對點或經由全域存取匯流排連接。其他平行電腦應用多個 CPU 和具備高速、多連接存取匯流排之大且全域可存取的記憶體，這些設計帶來 CPU 性能、記憶體存取的問題。

然而，電腦逐漸用於使用者互動、可便攜、圖形，以顯示和影像為中心的應用中，該些應用如互聯網訪問、移動通信、和如視頻遊戲和查看視頻序列的娛樂。這些應用需要很大的頻寬以便以非常小、薄、靈活、低功耗的形式因素顯示，從而適於使用者和環境互動。傳統電腦體系結構無法良好地連繫這些應用。尤其，大多數傳統設計應用圖形處理器，其可將數位信號解碼和加壓縮成光柵信號或將圖形目標呈現成光柵信號。這個光柵化的信號進而通過大頻寬連接提供給顯示器。然而，這個大頻寬連接非常

昂貴而且經常受限於每秒數兆比特，所以很難以所需的刷新速度在具有幾百萬像素的顯示器上呈現影像。

平板顯示裝置，例如電漿顯示器、液晶顯示器和場發射發光二極體（如有機發光二極體或 OLED）顯示器，被廣泛地與計算裝置、可便攜電子裝置和如電視的娛樂裝置結合使用。這些顯示器在顯示區內典型地應用分佈在基板上的複數個像素以顯示影像。每個像素包含統稱作子像素的幾個不同顏色的發光元件，典型地發出紅色，綠色和藍色光，用來呈現出每個影像元素。如這裡所使用的，像素和子像素沒有區別且稱作單一發光元件。顯示區外部的控制器或利用主動矩陣控制或利用被動矩陣控制驅動啟動每個像素的電路。該控制器可包括多個晶片，例如如美國專利第 7,361,939 號和第 6,582,980 號所教示的。該控制器可位於顯示基板上，如美國專利申請第 2005/0073260 號所揭露的。主動矩陣電路在使用高溫過程構造地顯示區內的平板顯示基板上包括薄膜電子電路。被動矩陣電路應用顯示器外部的控制器並受限於相對小的顯示器。用於驅動 LCD 顯示器的使用結晶矽基板的可選的像素控制方法在美國專利公開申請第 2006/0055864 號中記載。這種平板顯示器和控制方法受限於像素可由控制器控制的資料速度或控制器和像素間的通信路徑。

專利 WO2010046638 描述了具有以邏輯鏈連接的晶片載置器的主動矩陣式裝置。

許多可便攜的筆記本電腦以折疊翻蓋的方式積體了顯示器和計算元件，且已知在公共的殼體中積體顯示器和電腦（參見如公開的美國專利第 2008/0024971 號），但這些系統建構在牢固的基板上且比需要的更厚更沉。當平板顯示裝置特別為 OLED 顯示器相當薄時，很難在柔性結構上建立平板顯示器。柔性基板典型地受限於低溫過程並需要額外的過程來構建傳統主動矩陣式薄膜電子電路。

已知在顯示器以外的顯示基板上固定傳統，封裝積體電路可以減少外部部件預算和物理獨立系統元件的數量。在如 OLED 顯示器的顯示器中薄形因素尤其重要，這種顯示器可形成幾毫米或以下的厚度。在這些顯示器中，顯示器之外封裝的電子設備需要的厚度為顯示器厚度的幾倍，並由此增加了整個顯示器的厚度。

在現有技術中已知測定 OLED 像素性能的外部可存取電路。性能測定進而用於提供補償，例如在影像傳送給顯示器之前利用處理影像的外部查詢表。這些補償設計受到與傳統顯示設計相同的頻寬限制並也增加了外部顯示控制器所需的計算量。複雜的電流控制像素驅動電路也已知為檢測發出的光並調節驅動電路以提供所需光量的電路。這些像素控制電路可確保顯示器發出由像素值指定的所需光量但不實際修改影像像素值指定的所需光量。

因此需要電腦和顯示體系結構，用來提供具有增強顯示頻寬的數位顯示裝置，從而降低了對外部影像處理和頻寬、薄而柔性成形因素、降低功耗、高級積體和互動性的需要。

### 【發明內容】

根據本發明，提供一種顯示裝置，包含：

- (a)一顯示基板，在一裝置面上具有一顯示區；
- (b)一像素陣列，形成在該顯示基板的該裝置面上該顯示區中，每個像素包括一第一電極、位於該第一電極上的一個或多個發光材料層、以及位於該一個或多個發光材料層上的一第二電極，該等像素發光，以響應利用該第一和第二電極流經該一個或多個發光材料層的一電流；
- (c)一驅動電路陣列，位於該顯示區中該顯示基板的該裝置面上，每個驅動電路電性連接於一個或多個像素，用於控制提供至每個像素的一像素電流；
- (d)一演算電路陣列，位於該顯示基板的該裝置面上該顯示區中，每個演算電路包括用於信號或影像處理的電路和用於與相鄰演算電路通信的電路；
- (e)複數個導體，形成在該顯示基板的該裝置面上並連接至該等驅動電路和該等數位演算電路的每一個，其中，在演算電路陣列中，每個演算電路利用一導體與其相鄰的每一個演算電路連接；以及
- (f)用於提供一連接於一個或多個導體的影像信號的裝置。

本發明具有的優點在於提供了一種顯示裝置，改進顯示頻寬、降低了外部影像處理和顯示的頻寬、薄而靈活的成形因素、降低了功耗、實現了高等級整合、以及互動性。

### 【實施方式】

參考第 1 圖和第 2 圖，在本發明一個實施例中，數位顯示裝置包含一顯示基板 10，其具有一裝置面 9 和在該裝置面 9 上的一顯示區 11。像素 30 的陣列形成在顯示區 11 內的顯示基板 10 的裝置面 9 上，且每個像素 30 包括一第一電極 12、位於該第一電極 12 之上的一個或多個發光材料層 14、以及位於該一個或多個發光材料層 14 之上的一第二電極 16，像素 30 發光，以響應利用第一和第二電極 12、16 流經該一個或多個發光材料層 14 的電流。

又參考第 3 圖，驅動電路 31 的陣列位於顯示基板 10 的裝置面 9 上顯示區 11 內，每個驅動電路 31 電性連接一個或多個像素 30 以控制提供至每個像素 30 上的像素電流。演算電路 29 的陣列位於顯示區 11 內的顯示基板 10 的裝置面 9 上，每個演算電路 29 包括信號或影像處理的電路和與相鄰演算電路 29 通信的電路。複數個電導體 34 形成在顯示基板 10 的裝置面 9 上並連接驅動電路 31 和數位演算電路 29 的每一個，其中每個演算電路 29 在演算電路 29 的陣列中利用電導體 34 連接與其相鄰的演算電路的每一個。該電導體 34 可通過干預連接或電路連接驅動電路 31 和數位演算電路 29。提供裝置來提供影像信號，其中該些裝置連接一個或多個該些電導體 34。影像信號可為數位、串列信號，其通過該等電導體 34 傳遞至一個或多個驅動或演算電路 31、29。

在本發明的一個實施例中，驅動電路 31 或演算電路 29 於晶片載置器 20 中形成。晶片載置器 20 為小，且由結晶矽形成的積體電路並位於顯示區 11 內的顯示基板 10 的處理邊 9 上。每個晶片載置器 20 包括分離於並不同於該顯示基板 10 的晶片載置器基板 28。一個或多個連接墊 24 形成在晶片載置器基板 28 之上。該等連接墊 24 電性連接形成在晶片載置器 20 內的像素電路 22（其包括驅動電路 31 或演算電路 29）並實體接觸電導體 32、34、35、36，從而形成一電連接。該驅動和演算電路 31、29 可為數位電路。該

等電導體 32、34、35、36 可形成獨特的電導體，這些電導體單獨地連接像素電路 22（每個電導體形成一獨立點對點連接）或可連接複數個像素電路 22（形成一公共匯流排）。該等電導體可為電極連接器 32，用來通過連接墊 24 電性連接像素電路 22 和第一或第二電極 12、16。該些電導體也可為信號連接器 34、35、36，用來將一個晶片載置器 20 中的像素電路 22 通過連接墊 24 電性連接另一個晶片載置器 20。該些晶片載置器 20 可通過信號連接器（如，34、35、36）連接顯示區 11 外部的控制器 60。晶片載置器 20 可利用平坦化和絕緣層 18 黏接於基板。該平坦化和絕緣層 18 也可將電導體 32、34、35、36 彼此絕緣且絕緣電極 12、16。

如第 3 圖所示，每個晶片載置器 20 包括形成在晶片載置器 20 中的至少一個像素電路 22 並電性連接電極連接墊 24。在本發明的一個實施例中，如第 3 圖所示，一個晶片載置器 20 中的像素電路 22 同時包括驅動電路 31 和演算電路 29。在本發明的另一個實施例中，驅動電路 31 和演算電路 29 形成在不同晶片載置器 20 中的像素電路 22 中。該像素電路 22 也可包括資訊（如信號和資料）儲存電路（如，數位暫存器）。該等暫存器可為內部串列連接的儲存和轉發電路 26，用來形成串列移位暫存器 25，其在多個晶片載置器 20 中包括儲存和轉發電路 26。該儲存和轉發電路可為介面電路，用於從一個晶片載置器 20 至另一個晶片載置器 20，或從一控制器，或至一控制器，調解自晶片載置器 20 進入和出來的資訊傳送。第一儲存和轉發電路 26 可通過一連接墊 24 從連接至一信號連接器 34 的一輸入 27A 接收資訊。該儲存和轉發電路 26 可為，例如一 D 觸發器的數位暫存器。輸入資訊可通信至一驅動電路 31 或演算電路 29 或通信至一第二儲存和轉發電路 26。該第二儲存和轉發電路 26 可通過一輸出 27B 輸出資訊至一連接墊 24 並通過信號連接器 34 至接收資訊所在的另一個晶片載置器 20。以此方式，串列移位暫存器 25 可通過多個晶片載置器 20 從一個控制器將影像信號通信至每個晶片載置器 20 中的驅動電路 31 和演算電路 29。

該驅動電路 31 可從串列移位暫存器 25 接收資訊，以響應影像信號中的像素值資訊，利用電流或電壓通過一連接墊 24 和電極連接器 32 驅動像素 30 從而引起電極 12 和 16 之間的電流流經一個或多個發光材料層，進而發光。

演算電路 29 還可從如第 3 圖所示的串列移位暫存器 25 接收影像信號資訊。該演算電路 29 可利用影像處理電路 44 處理所需的影像信號。該影像信號資訊將典型地包括壓縮或解壓縮的點陣圖資料。然而，這不是必須的，並在一些實施例中，該影像信號將包括圖形命令，代表例如顯示器上體現出的圖形目標的尺寸、形狀、顏色和位置。還可提供如陰影的其他特徵。再者，影像信號可包括多個，獨立信號，該些信號例如由多個外部源提供且其中每一個對應一不同的圖形視窗，該視窗將在顯示器上體現出圖形的疊加。這些多個、獨立的信號可對應疊加的圖形視窗並可進一步包括一優先信號，該信號代表呈現每個獨立信號的優先權，從而具有最高優先權的獨立信號在顯示器上呈現，而具有較低優先權但疊加更高優先權獨立信號的另一個獨立信號沒有在疊加區內的顯示器上呈現。

影像處理經常包括像素級計算，其將典型地在附屬於一單一像素的一單一演算電路 29 內執行，如局部色調尺度或顏色轉換。這些操作可在完全平行的基礎上執行，從而每個演算電路可在顯示器上對每個像素執行相同的操作。影像處理也可包括局部區計算，其涉及多個演算電路 29 並在多個演算電路 29 之間和不同晶片載置器之間通常需要通信。這些局部區計算可包括基於區域的影像分析以便確定目標色調尺度或顏色轉換，空間操作，如銳化，添寫，平移，縮放，或圖形目標上的陰影梯度的呈現以及在離散影像塊內的點陣圖資料的解壓縮，該影像塊如 JPEG 壓縮中典型應用的 16x16 影像塊。影像處理還可大區域的計算，如影像內的圖形目標的光柵化和呈現。每個演算電路 29 可包括像素值儲存，例如一圖框儲存 42。晶片載置器 20 中的每個像素電路 22 內各個演算電路 29 可儲存完整影像的一部分，例如對應相同晶片載置器 20 或相應或相鄰晶片載置器 20 可控制之顯示器的該部分的一片。演算電路 29 既可在與驅動電路 31 相同的晶片載置器中或可與另一個晶片載置器 20 中的驅動電路 31 相連繫藉以控制影像內的像素片的操作和顯示。一整體影像可在驅動或演算電路 31、29 的陣列內的像素電路 22 中分佈。該演算電路 29 還可將資訊傳遞至串列移位暫存器 25，從而處理過的資料可通信至其他晶片載置器 20 或通信至控制器。因為圖形處理操作在局域進行，所以多個演算電路之間的影像分佈可提供影像處理的有效率裝置。因為多個演算電路局部地連接相鄰演算電路，所以局

部影像處理操作所需的影像資料可易於從演算電路通信或通信至該演算電路。相鄰演算電路或驅動電路之間的內部連接可為點對點，例如利用一菊鏈串列匯流排，從而每個演算電路可同時與相鄰演算電路通信，在顯示裝置中提供非常高的頻寬。因為多個演算電路每一個可局部連接一獨立像素驅動電路，該電路局部且單獨地控制像素動作，所以顯示器可以非常高的資料速度驅動。因而，控制器 60 具有比先前技術顯示器中的功能更加侷限，例如用作影像信號源。多個這種控制器或影像源可連接單獨匯流排連接至晶片載置器 20，從而可進一步提高影像信號傳送至顯示裝置所用的資料速度。值得注意的是在先前技術的系統中，光柵影像信號典型地在控制器 60 和顯示器之間傳輸並且這個信號必能以提供無閃爍觀看和連續運動的速度將其提供至每個像素，為每個像素傳輸資料的所需速度在 30Hz 或更大並典型為 70Hz 或更大。在本發明中，控制器 60 僅需要在每次出現新資料時為像素提供更新的信號，這明顯減少了控制器 60 和顯示器之間所需的頻寬。

還將注意的是點陣圖資料的典型像素級操作通常包括灰度功能的應用，以便將典型地儲存在非線性空間中輸入的點陣圖資料變換為一顏色空間，在該空間中數值關於顯示亮度成線性關係。這個操作通常可實施為相對簡單的方程式，以便被像素驅動電路簡單地執行。從線性空間轉換為最終顯示空間，然而，通常包含一非線性查詢表，尤其當像素驅動電路提供關於像素的輸出亮度成非線性關係的一類比信號的時候。在先前技術中的體系結構中，這個非線性查詢表儲存在單一位置並基於串列而存取。然而，在本發明的顯示體系結構中，有必要既為每個像素驅動電路複製這個非線性查詢表又在這個非線性查詢表為必要條件時允許平行存取公共的查詢表。因此，在本發明的特定實施例中，像素驅動電路將提供與像素 30 的亮度輸出成線性關係的一驅動信號，從而不需要這個非線性查詢表。例如像素驅動電路既可將電流提供至像素 30，該電流與像素 30 的亮度輸出成線性關係，又可將數位驅動信號提供至像素 30，其中像素 30 的亮度由像素 30 接收電流的時間比例控制。也可使用混合方法，其中像素僅在像素的類比信號為與像素 30 的亮度成線性或近似線性的規律中利用類比信號（電流或電壓）驅動且該信號進行時間調制以便獲得低亮度值，這裏例如類比電壓信號已知不與像素 30 的亮度輸出成線性關係。

一“演算電路”為由電子元件內部互接形成的閉合路徑，信號通過該路徑可流通，且該演算電路能夠修改輸入信號值。典型地，修改輸入信號值將包括提供一算術或邏輯運算。在一些方法中，演算電路修改輸入信號以便產生用來驅動顯示器中像素的信號。在一些方法中，除了從外部源接收要修改的信號之外，演算電路還從外部源或可程式記憶體接收影響演算電路操作的命令或參數。在一些方法中，演算電路包括一數位處理器。一獨立的演算電路可與顯示器中的一個或多個像素相關聯。然而，這不是必要的且演算電路能夠修改影響顯示器上數個像素的一信號，並可提供一信號，該信號沒有作為顯示器上可視資訊顯示但與顯示器外部通信。

演算電路還可包括一個或多個感測器 40 (第 3 圖)。該等感測器可為環境感測器，例如感測晶片載置器上入射的環境或發射光，或支援如光學觸控螢幕的使用者互動功能。感測器可包括例如一光學感測器、一壓力感測器、一慣性感測器、一溫度感測器、或一輻射感測器。在一些方法中，顯示器的一部分可用於從對應字母數位鍵的螢幕上的觸摸中接收鍵盤輸入資訊。感測到的資訊可通信至用於局部晶片載置器內的控制器以便處理該資訊，資訊例如影像信號，或採取措施，或可通信至其他晶片載置器。晶片載置器還可包括用於儲存影像或部分影像的一圖框儲存 42，以及用於儲存軟體程式的記憶體。因而，演算電路為可程式的，其本質上提供了一儲存程式的電腦。不同演算電路內的程式可相同或不同。該些程式可通過上述的匯流排從控制器下載到晶片載置器。

影像信號可具有比顯示器具有的像素更多或更少的像素值。演算電路可從影像信號像素值中選擇來顯示影像信號像素值的子集，或可在可用像素值之間插值，以便利用顯示器中的像素數顯示一影像信號。因此，一圖框儲存可儲存比顯示像素陣列更多的像素值。這個特點將實現對使用者放大顯示影像的指令的更快速的回應，從而看到額外的細節。

驅動電路可實施像素的主動矩陣控制，例如如 Winter 等於 2008 年 8 月 14 日申請之美國專利第 12/191,478 號所描述的，申請名稱為具有內嵌式晶片驅動的 OLED 裝置。或者，驅動電路可提供被動矩陣控制。在一被動矩陣控制方法中，像素分為互斥的像素組，其具有列和行電極的正交陣列，從而在列和行電極交疊處定義出像素。每個像素組內的像素組織成二維陣

列，並且每個像素組由具有與像素組相關聯的至少一個驅動電路的一個或多個晶片載置器控制。在一些方法中，像素組中的行電極可連接一個或多個晶片載置器集，而列電極可連接不同的一個或多個晶片載置器集。驅動電路可為被動矩陣列或行控制電路並可形成在一個晶片載置器內或個別不同晶片載置器內。

如第 4 圖所示，一個晶片載置器集 20A 可為形成在基板 10 上的像素 30 的像素組 37 提供行控制，以響應自控制器 60 的影像信號，而另一個不同的晶片載置器 20B 可為像素組提供列控制。在本發明的各個實施例中，不同的晶片載置器可包括不同的驅動電路；演算電路可全部或僅包括在一些晶片載置器內，或者在不包括有驅動電路的獨立晶片載置器內。或者，如第 5 圖所示的實施例中，被動矩陣列和行驅動電路 50、52 可與儲存並轉發電路 26 一同包括於一個晶片載置器 20 內，在像素電路 22 中連接至連接墊 24。因此，驅動電路 31 的每一個都具有形成一像素電路 22 之相關聯且電性連接的演算電路 44。第 6 圖說明單獨的晶片載置器 20 包括用於通過信號連接 35 處理來自控制器 60 的影像信號並利用該影像信號驅動像素 30 的驅動電路 31 和演算電路 29 的實施例。控制器連接晶片載置器的一個以上的列。在此實施例中，如第 7 圖詳細描繪地，像素電路（晶片載置器 20 內圖中未示）在顯示區 11 中形成兩維柵陣列且像素電路在該陣列中利用由電導體 34 形成的串列通信匯流排與其相鄰的像素電路的每一個電性連接。每個信號連接對每對晶片載置器為特定。相反，電導體 38 形成連接晶片載置器 20 內所有像素電路的一公共連接器。這種公共連接器可提供公共信號，如時鐘、功率、或輔助控制顯示裝置的操作和像素 30 動作的接地信號。

一般，每個演算電路通過信號連接與相鄰演算電路通信。每個信號連接可為點對點並僅與單一最近相鄰電路連接（如第 6 圖和第 7 圖）。或者，信號連接可公共連接兩個以上的演算電路（如第 4 圖所示），或甚至通過一公共信號連接器（如，類似於電導體 38 連接的信號連接器）連接所有演算電路。驅動和演算電路在顯示區中的基板上分佈，並與一個或多個發光材料層處於顯示基板的同一邊上。所述電路沒有單獨圍繞像素陣列的週邊，而在像素區中的像素下面，上面或之間的像素陣列內。同樣，如果晶片載

置器用於形成驅動和演算電路，則晶片載置器位於顯示區中的像素陣列內，與一個或多個發光材料層處於顯示基板的同一邊上。

一串列匯流排為資料在電性單獨電連接上從一個電路再傳輸至下一個電路所用的線路；一平行匯流排為資料在電性公共電連接上同時傳播到所有晶片載置器所用的線路。複數個串連、儲存和轉發電路可包括在晶片載置器內並電性連接串列匯流排從而在單一串列匯流排上形成一獨立儲存和轉發電路集。再者，可在複數個集中應用串連複數個晶片載置器 20 的複數個串列匯流排。也可將多個串列匯流排連接一晶片載置器並在一個晶片載置器內包括多個、串連儲存和轉發電路集。

在本發明的實施例中，一串列匯流排利用電導體連接影像信號源（如一控制器）和第一儲存和轉發電路。串列匯流排上的每個儲存和轉發電路利用電性獨立電導體連接下一個儲存和轉發電路，從而所有電導體可從一個儲存和轉發電路至下一個電路在同一時間通信不同資料，該同一時間例如響應時鐘信號的時間。控制器為連接至控制器的第一儲存和轉發電路提供具有第一數位像素值的影像信號和時鐘信號（如，時鐘），該控制器使得該儲存和轉發電路儲存數位像素值。一旦該第一儲存和轉發電路已儲存了第一數位像素值，在第一儲存和轉發電路為連接至該第一儲存和轉發電路的第二儲存和轉發電路提供第一數位像素值的同時，第二數位像素值可提供至第一儲存和轉發電路。控制信號（例如，時鐘信號）可一起提供至所有儲存和轉發電路或可從一個儲存和轉發電路行進至下一個電路，如同數位像素值的行進。第一儲存和轉發電路然後儲存第二數位像素值而第二儲存和轉發電路儲存第一數位像素值。這個過程進而在第三數位像素值和第三儲存和轉發電路中重複執行，以此類推，從而數位像素值依次從一個儲存和轉發電路轉移到下一個。每個晶片載置器包括一個或多個儲存和轉發電路，從而數位像素值從一個晶片載置器轉移到下一個。

數位影像信號可包括控制信號用來輔助控制像素電路和儲存和轉發電路。例如，可應用重定信號和時鐘信號。還可在獨立於傳輸數位像素值所在的信號連接器的信號連接器上傳輸控制信號。

信號連接器可連接在晶片載置器上的連接墊。在本發明一個實施例中，一信號可利用電性公共連接器連接並行的每個晶片載置器。在該實施

例中，每個晶片載置器將同時（忽略電性公共連接器中的進程延遲）接收相同的資訊。該電性公共連接器可穿過晶片載置器。這種並行連接用在每個晶片載置器同時需要具有的信號（如，時鐘、選擇、重定、或致能信號）上。在可選實施例中，一信號可利用一串列連接連接一個或多個晶片載置器，在該串列連接中該信號穿入一晶片載置器，儲存在此晶片載置器中，並在之後時間（如，之後的始終週期）中傳送至下一個串列連接晶片載置器。這樣的信號（如，資料信號）進而可在一晶片載置器內再產生以便保持信號完整。內部晶片載置器連接可用於在晶片載置器內或晶片載置器之間以串列方式連接每個儲存和轉發電路至下一個電路。該內部晶片載置器連接還可在晶片載置器內連接驅動電路或演算電路。

一旦影像信號傳送入計算或驅動電路，則顯示器可啟動顯示影像信號像素值。同時，或在此之前，或在此之後，像素被啟動，演算電路可處理像素值並將該些像素值轉變為一處理過影像。該處理過影像經驅動電路顯示。演算電路可接收比一相關聯驅動電路可啟動的像素數更多，或更少的像素值。或者，該處理過影像可通信至控制器或者至另一個用於顯示或再處理的驅動和演算電路。

本發明優於先前技術體現在提供了一種在顯示裝置內高速對積體影像處理和顯示的技術。先前技術的方法，例如使用薄膜電晶體，無法提供數位信號進程，計算和驅動，這是因為必須的薄膜邏輯太大且具有了較低的性能。因此，本發明對先前技術所教示的技術提出改進。通過應用一數位影像信號，儘管當在如對角線以米計算甚至更大的大顯示區上傳輸信號時也能保持信號精確性。串列信號連接減少了顯示器中像素內連至控制器所需的線路數量並且由結晶矽形成的晶片載置器提供了通信、處理和串列顯示，數位像素值可用的高速、高密度電路。晶片載置器的陣列實現了相對短、內晶片載置器連接（即，電連接），減小了信號進程延遲並增加了資料傳送速度。儲存和轉發電路課重造串列數位信號，資料信號和控制信號，這些信號從一個晶片載置器傳輸至另一個晶片載置器，進而實現高速通信。結晶矽晶片載置器基板形成的晶片載置器中的高密度電路實現了複雜的計算和像素的驅動電路，例如包括數位類比轉換器、主動矩陣控制電路和形成在晶片載置器內的被動矩陣電路控制器。回饋或錯誤檢測電路還可

形成在晶片載置器內進而提高像素驅動電路的性能和像素輸出的精確度、穩定性和均勻性。這種回饋信號可包括像素電流或控制電壓的測量。檢測電路可包括利用光感測器的光感測。

尤其，已知 OLED 材料在使用時逐漸老化，在一給定光輸出下需要更多的驅動電流。通過在高電路密度的晶片載置器中應用先前技術已知的複雜電流控像素電路，光輸出可隨時間一致地控制。

控制器可實施為一晶片載置器並固定於顯示基板。該控制器可位於顯示基板的週邊，或可在顯示基板的外部並包括傳統的積體電路。

根據本發明的各個實施例，晶片載置器可以各種方式構建，例如沿晶片載置器的長度具有一行或兩行連接墊。信號和電極連接器可由各種材料形成並使用各種在裝置基板上例如金屬沉積的方法，或蒸發或濺射，該金屬如鋁或鋁合金。或者，信號和電極連接器可由固化導電油墨或金屬氧化物製成。在一個成本優勢的實施例中，信號和電極連接器形成為單層。

本發明尤其有益於應用大裝置基板多像素裝置實施例中，該基板如玻璃、塑膠或鈹，在該顯示裝置基板上具有複數個以矩形配置的晶片載置器。每個晶片載置器或晶片載置器集可根據晶片載置器中的電路控制裝置基板上形成的複數個像素並響應控制信號。各個像素組或多個像素組可位於拼接元件上，該些拼接元件可裝配形成整體顯示器。

根據本發明，晶片載置器在基板上提供分佈的像素控制和計算元件。一晶片載置器與裝置基板相比為相對小的積體電路並包括一個或多個像素電路，該些電路包括線路、連接墊，如電阻或電容的被動元件，或如電晶體或二極體的主動組件，形成在一獨立基板上。晶片載置器獨立於顯示基板製造後應用於顯示基板。這些過程的細節例如在美國專利第 6,879,098 號、第 7,557,367 號、第 7,622,367 號、第 20070032089 號、第 20090199960 號、和第 20100123268 號中記載。

晶片載置器最好使用矽或矽在絕緣體上 (SOI) 晶圓製造，且使用製造本導體裝置的已知過程生產。每個晶片載置器在黏接於裝置基板之前為分開。每個晶片載置器的結晶基底因此可當作獨立於裝置基板的一基板且在其上設置晶片載置器電路。複數個晶片載置器因此具有分離於裝置基板且彼此分離的對應的複數個基板。尤其，獨立基板獨立於形成像素的基板並

且獨立，晶片載置器基板的面積加在一起小於裝置基板的面積。晶片載置器可具有一結晶基板用來提供比例如薄膜非晶矽裝置或多晶矽裝置具有的更好性能的元件。晶片最好具有 100um 或更小的厚度，更好為 20um 或更小。這種便於在晶片載置器上黏接和平坦化材料的形成可使用傳統旋塗技術。根據本發明的一個實施例，形成在結晶矽基板上的晶片載置器排列成幾何陣列並利用黏合或平坦化材料黏接於裝置基板（如 10）。晶片載置器的表面上的連接墊用於連接每個晶片載置器與信號線，功率匯流排或行或列電極與驅動像素。晶片載置器可控制至少四個像素。

由於晶片載置器形成在半導體基板中，則晶片載置器的電路可使用現代光刻工具形成。利用這些工具，可簡單地實現 0.5 微米或更小的特徵尺寸。例如，現代半導體製造線可獲得 90nm 或 45nm 的線寬並可用於製造本發明的晶片載置器。晶片載置器一旦安裝在顯示基板上，卻也需要連接墊來實現與晶片載置器上提供的線路層之間的電連接。連接墊可基於顯示基板（例如 5um）中使用的光刻工具的特徵尺寸和晶片載置器與線路層的配向尺寸（例如 +/-5um）規劃尺寸。因此連接墊例如可具有墊之間 5um 空間的 15um 寬。這意味著墊一般將明顯大於晶片載置器中形成的電晶體電路。

該等墊一般可形成在電晶體上的晶片載置器上的金屬化層中。晶片載置器具有盡可能小的表面面積以便降低製造成本為期望的。

通過應用具有獨立基板（如，包含結晶矽）的晶片載置器，該基板的電路的性能比直接在基板（如非晶矽或多晶矽）上形成的電路的性能要高，可提供出更高性能和更多功能性的裝置。由於結晶矽不僅僅具有更高的性能而且主動元件（如電晶體）更小，則電路尺寸大大減小。有用的晶片載置器還可使用微電機械（MEMS）結構形成，例如如 Yoon、Lee、Yang、和 Jang 等於 2008 年 3 月 4 日在資訊顯示協會的技術論文文摘的第 13 頁發表地題目為“驅動 AMOLED 中的 MEMS 開關的新穎實用”中所記載。

裝置基板可包括玻璃和通過蒸發或濺射如鋁或銀的金屬或金屬合金製造地線路層，利用先前技術已知的光刻技術圖形化而形成在一平坦化層（如樹脂）上。晶片載置器可使用積體電路工業中已習知的傳統技術形成。佈線和第一電極可使用已知光刻技術形成。發光材料層和第二電極可使用 OLED 技術已知的過程形成。

在使用差分信號對的本發明實施例中，基板最好可為鉚或另一個固體、導電材料，且形成差分信號對的兩個串列匯流排可參考基板編排出差分微帶結構，這在電子技術為已知技術。在使用非導電基板的顯示器中，該差分信號對優先參考第二電極，並發送，從而任意像素的第一電極沒有任何部分處於第二電極和差分對中任一串列匯流排之間。電子技術中已知的 LVDS (EIA-644)，RS-485 或其他差分信令標準可用於差分信號對。如 4b5b 的一平衡 DC 編碼可用於對通過差分信號對傳送的資料格式化，如先前技術已知。

本發明可應用於具有多像素基礎結構的裝置中。尤其，本發明可應用 LED 裝置，有機或無機，並尤其可在資訊顯示裝置中使用。在最佳實施例中，本發明應用於由小分子或聚合 OLED 構成的平板 OLED 裝置中，如美國專利第 4,769,292 號和第 5,061,569 號中所揭露，但不侷限於此。無機裝置，例如，應用多晶半導體矩陣（例如，如美國專利第 2007/0057263 號所教示），以及應用有機或無機電荷控制層，或還可應用混合有機/無機裝置。有機或無機發光顯示器的許多組合和變形可用於製造該裝置，包括具有頂部或底部發射結構的主動矩陣顯示器。

如上所述，本發明的重要優點在於提供一種顯示和計算結構，其極輕且薄。然而，從如行動電話的現有顯示系統中可以看出，需要相當大的體積來裝載除了演算電路之外的電連接器和電源。因此，在本發明實施例中可用於在顯示器上形成金屬層，該顯示器可用作提供 RF 通信的射頻天線，從而資料可經由無線、電磁通信通信至顯示器。類似地，一個或多個共振天線可形成在顯示基板上或形成在另一相對薄的基板上並黏接於該顯示基板以便於共振電磁能量傳送。這種共振電磁能量傳送方法為已知技術，如美國專利第 11/481,077 號所教示。

在這些或其他實施例中，單獨的電路可形成在顯示基板上或黏接於該顯示基板用來控制電源。在一些可用的實施例中，電源電路將能夠切換並調節從外部源至電源匯流排的每一個上的電源從而為顯示器的剩餘元件提供電源。這種電源電路課由矽形成，但也可由其他材料形成，包括鎵。這些組件還可黏接於基板以便調節和控制電能流向顯示器。

本發明已參考特定最佳實施例詳細描述，可以理解地是在本發明精神和範圍內可作出變形和變換。

本發明參照由 R. Cok 等於 2011 年 2 月 10 日共同受讓、申請的美國專利第 13/024,771 號，專利名稱為“具有串列控制的晶片載置器顯示裝置”，在此將其公開的內容併入本申請中作為參考。

### 【圖式簡單說明】

所附圖式其中提供關於本發明實施例的進一步理解並且結合與構成本說明書的一部份，說明本發明的實施例並且描述一同提供對於本發明實施例之原則的解釋。

圖式中：

第 1 圖為說明本發明實施例的示意圖；

第 2 圖為本發明實施例中兩個晶片載置器和像素層的剖視圖；

第 3 圖為本發明實施例中兩個晶片載置器的細節剖視圖；

第 4 圖為本發明實施例中顯示裝置中像素陣列和晶片載置器的示意圖；

第 5 圖為本發明實施例中晶片載置器和電路的剖視圖；

第 6 圖為本發明可選實施例中顯示裝置中像素陣列和晶片載置器的示意圖；以及

第 7 圖為本發明實施例中顯示裝置中像素局部陣列和晶片載置器的示意圖。

因為圖式中各個層和元件具有很大不同的尺寸，所以圖式沒有按照規定比例繪製。

### 【主要元件符號說明】

9	裝置面
10	顯示基板
11	顯示區
12	第一電極
14	發光材料層
16	第二電極

18	平坦化層/絕緣層
20	晶片載置器
20A	行驅動晶片載置器
20B	列驅動晶片載置器
22	像素電路
24	連接墊
25	串列移位暫存器
26	儲存和轉發電路
27A	輸入
27B	輸出
28	晶片載置器基板
29	演算電路
30	像素
31	驅動電路
32	電極連接器/電導體
34	信號連接器/電導體
35	信號連接器/電導體
36	信號連接器/電導體
37	像素組
38	公共連接器/電導體
40	感測器
42	圖框儲存
44	影像處理電路
50	列驅動器電路
52	行驅動器電路
60	控制器

## 七、申請專利範圍：

103年6月3日修(復)正本 P.20-23

### 1. 一種數位顯示裝置，包含：

一顯示基板，在一裝置面上具有一顯示區；

一像素陣列，形成在該顯示基板的該裝置面上該顯示區中，每個像素包括一第一電極、位於該第一電極上的一個或多個發光材料層、以及位於該一個或多個發光材料層上的一第二電極，該等像素發光，以響應利用該第一和第二電極流經該一個或多個發光材料層的一電流；

一驅動電路陣列，位於該顯示區中該顯示基板的該裝置面上，每個驅動電路電性連接一個或多個像素，用於控制提供至每個像素的一像素電流；

一演算電路陣列，位於該顯示區中該顯示基板的該裝置面上，每個演算電路包括用於信號或影像處理的電路和用於通過一串列匯流排與相鄰演算電路通信的電路；

複數個導體，形成在該顯示基板的該裝置面上並連接該等驅動電路和該等數位演算電路的每一個，其中，在演算電路陣列中，每個演算電路利用一導體與其相鄰的每一個演算電路連接；以及

用於提供一連接於一個或多個導體的影像信號的裝置。

2. 依據申請專利範圍第 1 項所述的數位顯示裝置，其中，該等演算電路通過該串列匯流排連接該等驅動電路。

3. 依據申請專利範圍第 1 項所述的數位顯示裝置，其中，該等像素分成互斥的像素組，每個像素組內的像素組織成一二維陣列，且每個像素組與一個或多個晶片載置器相關聯，該等晶片載置器具有至少一個用於控制該像素組的演算電路。

4. 依據申請專利範圍第 3 項所述的數位顯示裝置，其中，該等演算電路形成一二維陣列並進一步包含一被動矩陣列或行控制電路，該被動矩陣列或行控制電路連接至該等演算電路之二維陣列的每列或每行。

5. 依據申請專利範圍第 4 項所述的數位顯示裝置，其中，該被動矩陣列或行控制電路提供在該晶片載置器中。

6. 依據申請專利範圍第 1 項所述的數位顯示裝置，其中，該影像信號為數位串列信號。

7. 依據申請專利範圍第 1 項所述的數位顯示裝置，其中，該等驅動電路的每一個具有一形成一像素電路之相關聯且電性連接的演算電路。
8. 依據申請專利範圍第 7 項所述的數位顯示裝置，其中，該等像素線路在該顯示區中形成一二維柵格陣列並且該等像素電路利用由該等電導體形成的一串列通信匯流排與在陣列中與其相鄰的像素電路的每一個電性連接。
9. 依據申請專利範圍第 1 項所述的數位顯示裝置，進一步包含該演算電路中的一感測器。
10. 依據申請專利範圍第 9 項所述的數位顯示裝置，其中，該感測器為一光學感測器、一壓力感測器、一慣性感測器、一溫度感測器、或一輻射感測器。
11. 依據申請專利範圍第 1 項所述的數位顯示裝置，其中，該演算電路包括用於處理該影像信號的影像處理電路。
12. 依據申請專利範圍第 11 項所述的數位顯示裝置，其中，該影像信號被編碼且該演算電路包括編碼該影像信號的影像處理電路。
13. 依據申請專利範圍第 12 項所述的數位顯示裝置，進一步包含該演算電路中的一感測器，且其中該演算電路處理該影像信號，以響應該感測器。
14. 依據申請專利範圍第 1 項所述的數位顯示裝置，其中，該演算電路包括一圖框儲存。
15. 依據申請專利範圍第 14 項所述的數位顯示裝置，其中，該像素陣列具有比該影像信號更少的像素且該圖框儲存儲存比該像素陣列更多的像素。
16. 依據申請專利範圍第 1 項所述的數位顯示裝置，其中，該演算電路為一數位電路。
17. 依據申請專利範圍第 16 項所述的數位顯示裝置，其中，該演算電路為一可程式電路。
18. 依據申請專利範圍第 1 項所述的數位顯示裝置，其中，該導體為一電導體或一光導體。
19. 依據申請專利範圍第 1 項所述的數位顯示裝置，進一步包含用作無線電天線的一個或多個金屬層，該金屬層連接一個或多個演算電路或一外部顯示控制器。
20. 一種數位顯示裝置，包含：

一顯示基板，具有一裝置面；

一像素陣列，形成在該顯示基板的該裝置面上一顯示區中，每個像素包括一第一電極、位於該第一電極上的一個或多個發光材料層、以及位於該一個或多個發光材料層上的一第二電極，該等像素發光，以響應利用該第一和第二電極流經該一個或多個發光材料層的一電流；

一驅動電路陣列，位於該顯示區中該顯示基板的該裝置面上，每個驅動電路電性連接一個或多個像素以控制提供至每個像素的一像素電流；

一演算電路陣列，位於該顯示區中該顯示基板的該裝置面上，每個演算電路包括用於信號或影像處理的電路和用於與相鄰演算電路通信的電路；

複數個電導體，形成在該顯示基板的該裝置面上並連接該等驅動電路和該等數位演算電路的每一個，其中，在演算電路陣列中，每個演算電路利用一電導體與其相鄰的每一個演算電路連接；以及

用於提供一連接至一個或多個電導體的影像信號的裝置；

其中，該等驅動電路和該等演算電路提供在晶片載置器中，每個晶片載置器具有一分離且獨立於該顯示基板的基板。

21. 依據申請專利範圍第 20 項所述的數位顯示裝置，進一步包含一介面電路，連接該演算電路陣列和一外部資訊源。

22. 依據申請專利範圍第 20 項所述的數位顯示裝置，其中，該等驅動電路提供在第一晶片載置器中並且該等演算電路提供在分離且不同於該第一晶片載置器的第二晶片載置器中。

23. 依據申請專利範圍第 20 項所述的數位顯示裝置，其中，該等驅動電路的至少一個與該等演算電路的至少一個提供在相同的晶片載置器中。

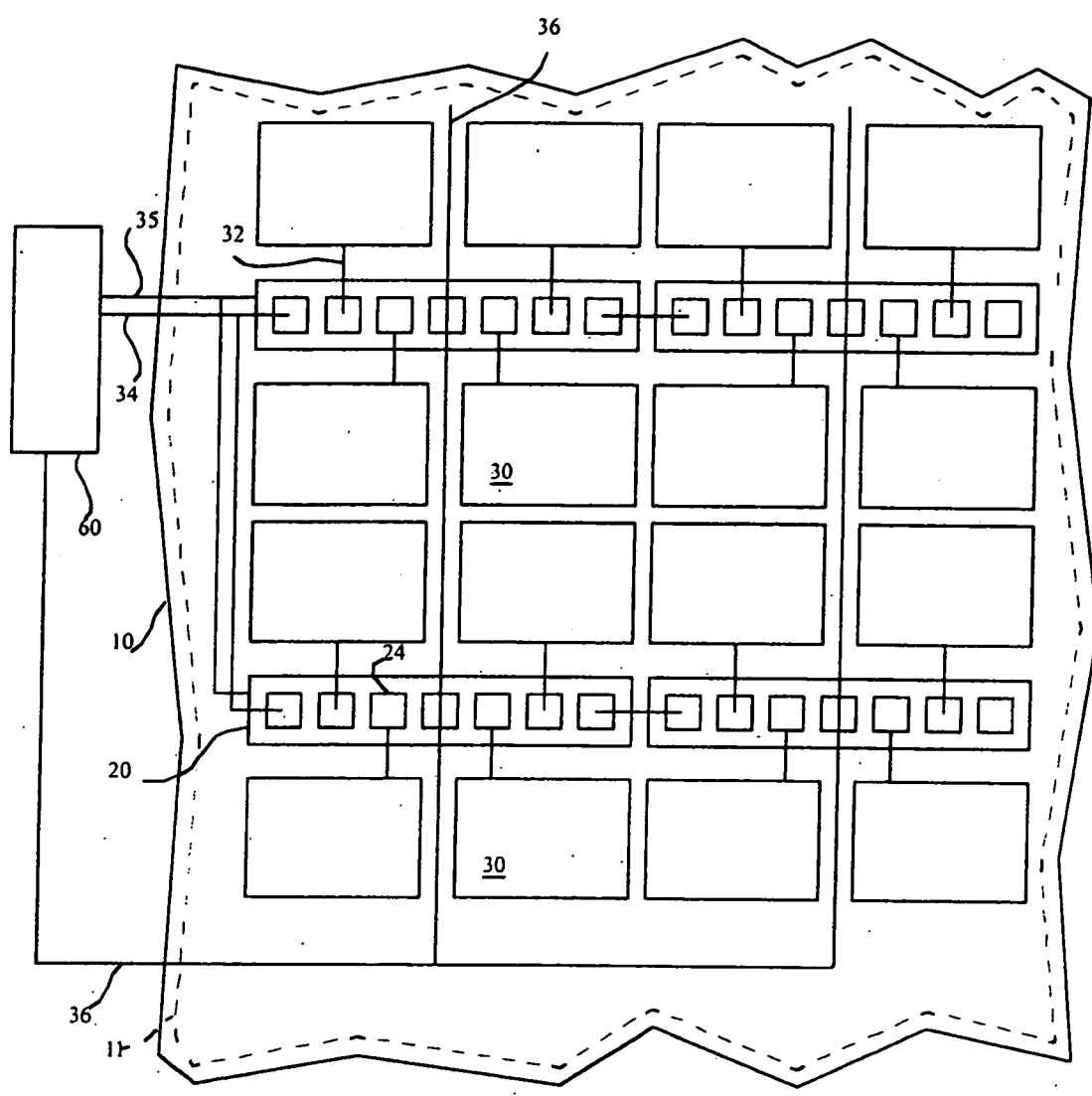
24. 依據申請專利範圍第 20 項所述的數位顯示裝置，其中，該等晶片載置器包括形成在該晶片載置器基板上的一個或多個連接墊，且其中該等連接墊實體接觸該等電導體。

25. 依據申請專利範圍第 20 項所述的數位顯示裝置，其中，該等像素分成互斥的像素組，每個像素組內的像素組織成一二維陣列，並且每個像素組由具有與該像素組關聯的至少一個演算電路的一個或多個晶片載置器控制。

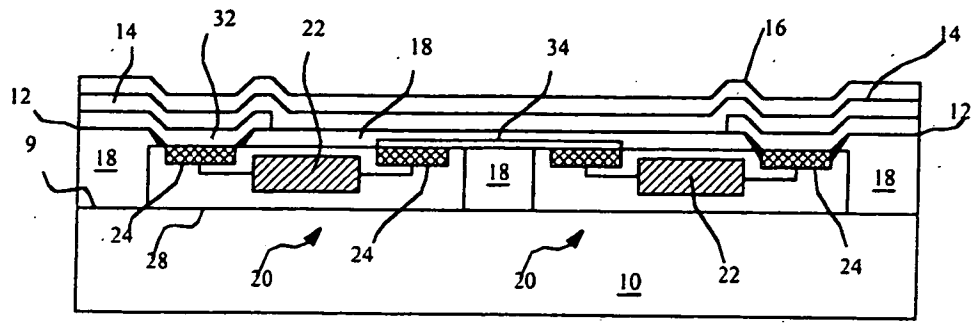
26. 依據申請專利範圍第 20 項所述的數位顯示裝置，其中，該等驅動電路的每一個具有一形成一像素電路之相關聯且電性連接的演算電路。

27. 依據申請專利範圍第 26 項所述的數位顯示裝置，其中，該等像素電路在該顯示區中形成一二維柵格陣列且該等像素電路利用由該等電導體形成的一串列通信匯流排與在陣列中與其相鄰的像素電路的每一個電性連接。

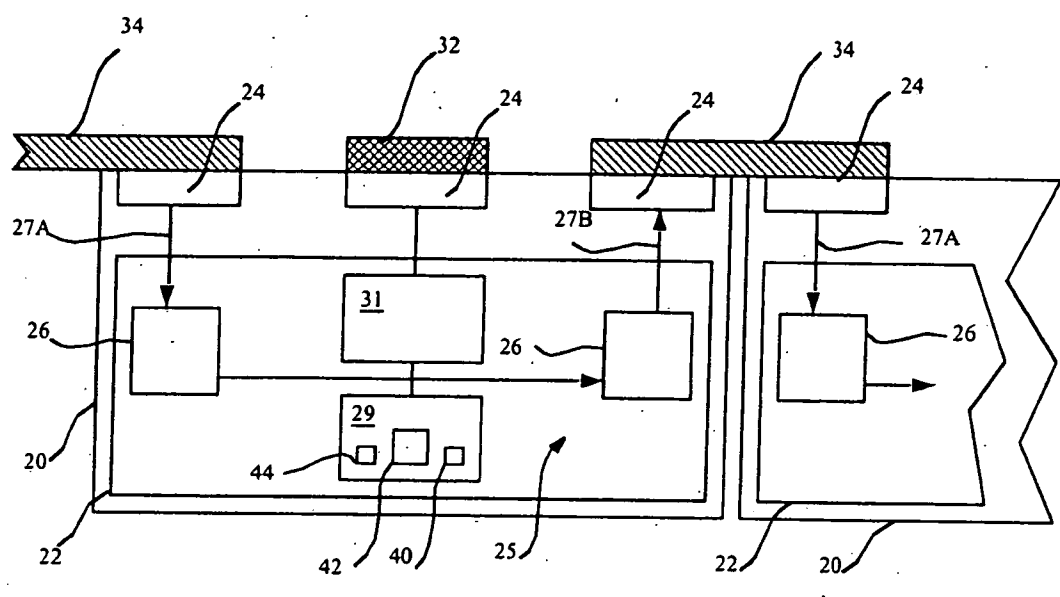
八、圖式：



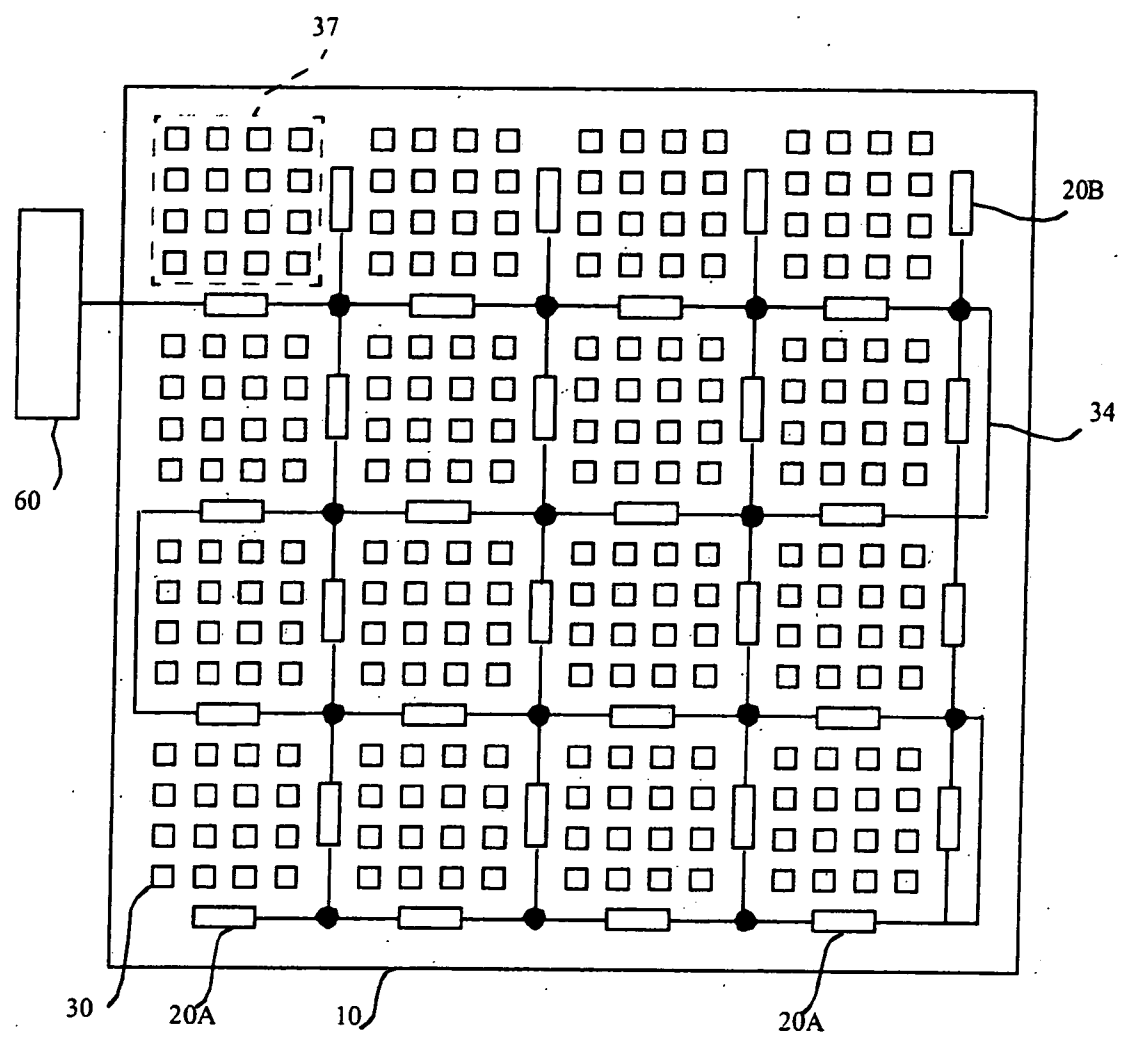
第1圖



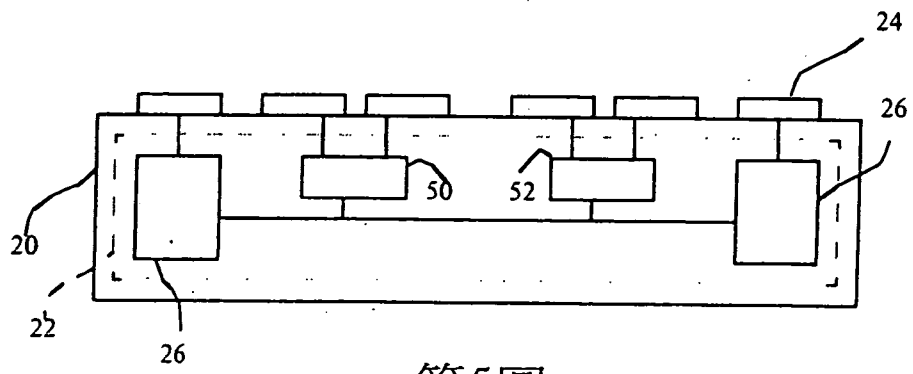
第2圖



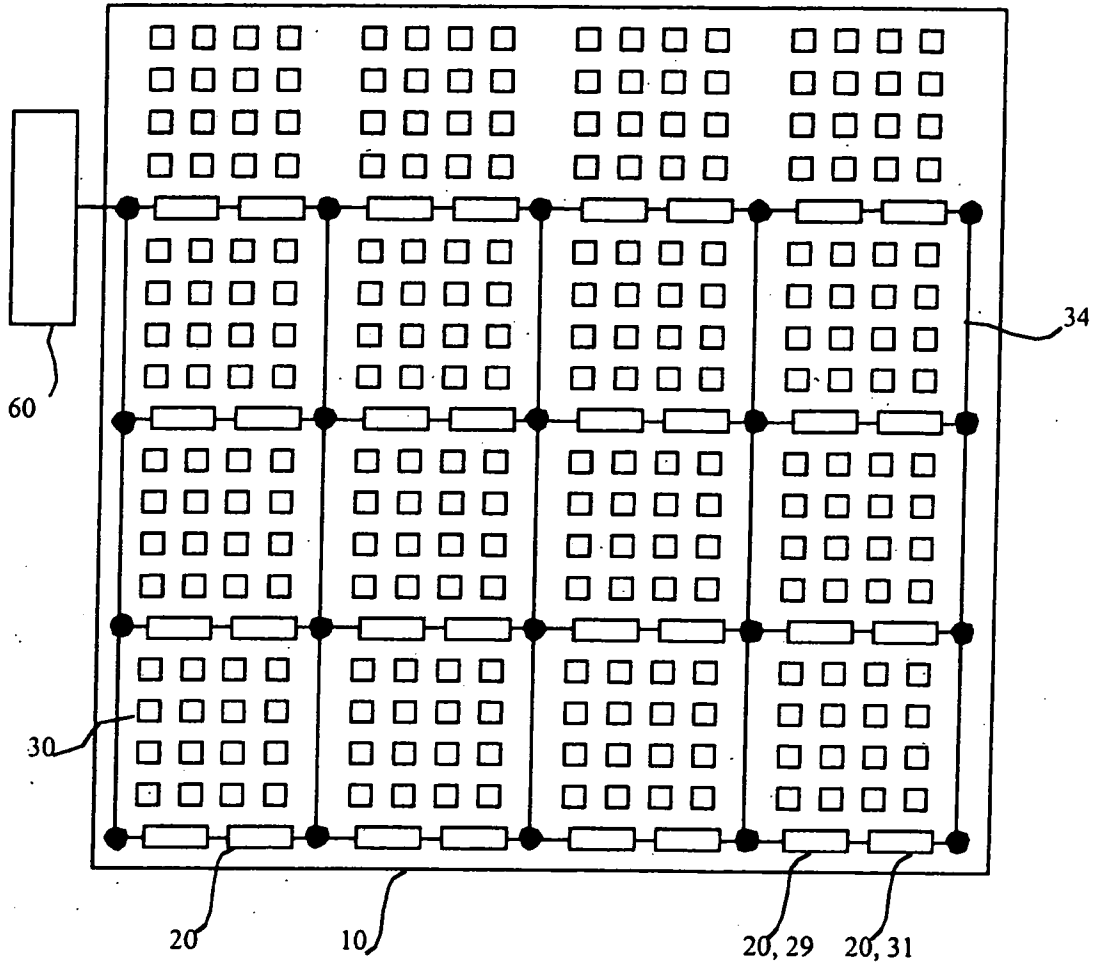
第3圖



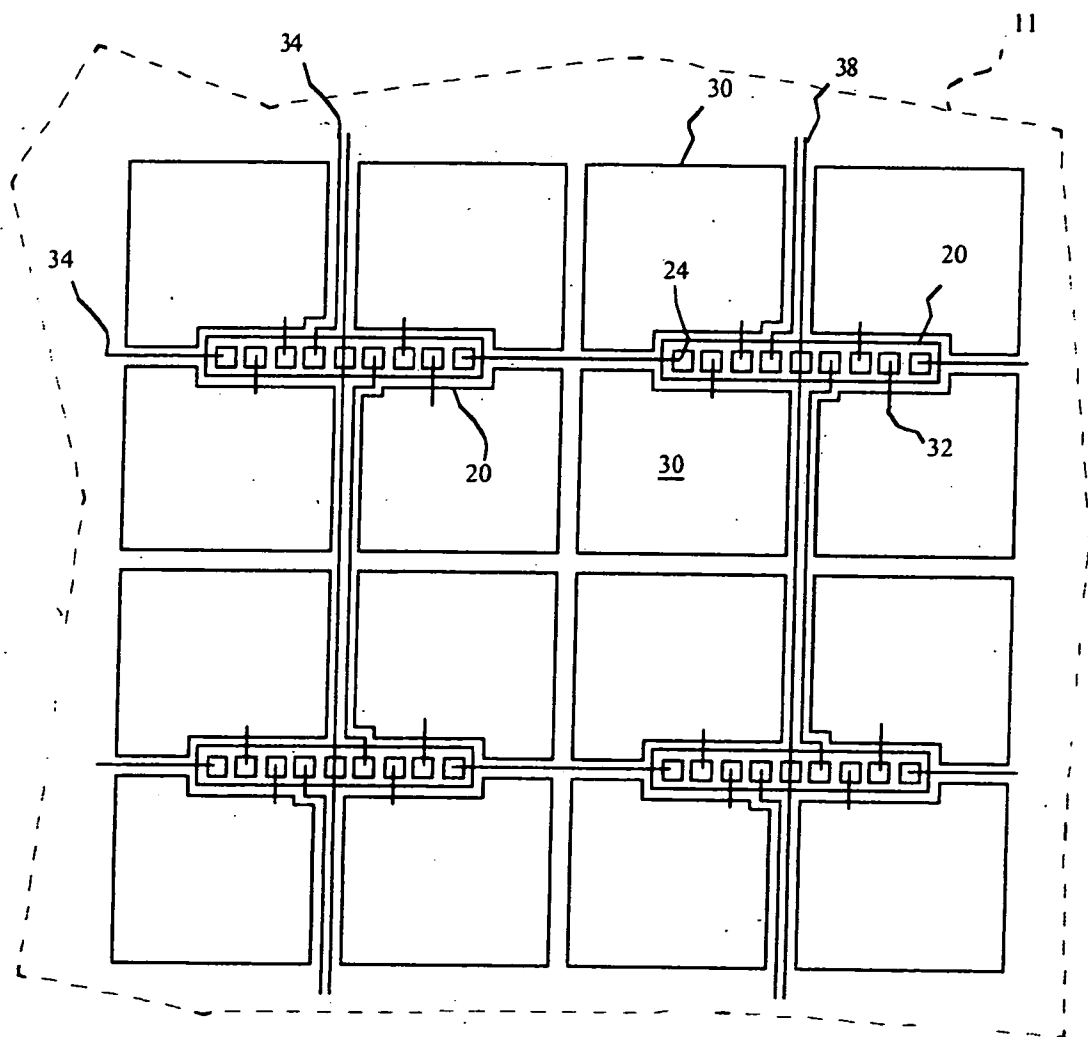
第4圖



第5圖



第6圖



第7圖