

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成29年6月8日(2017.6.8)

【公開番号】特開2015-73095(P2015-73095A)

【公開日】平成27年4月16日(2015.4.16)

【年通号数】公開・登録公報2015-025

【出願番号】特願2014-183997(P2014-183997)

【国際特許分類】

H 01 L 21/336 (2006.01)

H 01 L 29/78 (2006.01)

H 01 L 21/8238 (2006.01)

H 01 L 27/092 (2006.01)

H 01 L 29/49 (2006.01)

H 01 L 29/423 (2006.01)

H 01 L 29/417 (2006.01)

【F I】

H 01 L 29/78 3 0 1 X

H 01 L 27/08 3 2 1 G

H 01 L 29/58 G

H 01 L 29/50 M

【手続補正書】

【提出日】平成29年4月18日(2017.4.18)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

電子デバイスを製造する方法であって、

トランジスタを形成するステップを備え、前記トランジスタを形成するステップは、半導体基板に層のスタックを形成するステップであって、前記スタックは、

第1の誘電体層と、

前記第1の誘電体層に亘る第1のスペーサ層と、

前記第1のスペーサ層に亘る第2の誘電体層と、

前記第2の誘電体層に亘る第2のスペーサ層と、

前記第2のスペーサ層に亘る第3の誘電体層と、

を備える、ステップと、

前記スタックを貫通する垂直に延びるホールをエッチングするステップと、

前記ホールを半導体で充填するステップと、

前記第1の誘電体層の少なくとも一部を選択的に除去し、前記第1のスペーサ層の直下に延びる第1の埋め込み空間を形成するステップと、

前記第1の埋め込み空間を導体で充填するステップと、

前記第2の誘電体層の少なくとも一部を選択的に除去し、前記第2のスペーサ層の直下に延びる第2の埋め込み空間を形成するステップと、

前記第2の埋め込み空間を導体で充填するステップと、

を備える方法。

【請求項2】

前記第3の誘電体層の少なくとも一部を選択的に除去し、第3の埋め込み空間を形成するステップと、

前記第3の埋め込み空間を導体で充填するステップと、を更に備える請求項1に記載の方法。

【請求項3】

前記第2の埋め込み空間を導体で充填する前に、前記第2の埋め込み空間を誘電体層でライニングするステップを更に備える請求項2に記載の方法。

【請求項4】

前記第1の誘電体層を選択的に除去することは、前記ホールにおける前記半導体を露出し、前記第1の埋め込み空間を充填する導体は、前記半導体に接触する請求項3に記載の方法。

【請求項5】

前記第3の誘電体層を選択的に除去することは、前記ホールにおける前記半導体を露出し、前記第3の埋め込み空間を充填する導体は、前記半導体に接触する請求項4に記載の方法。

【請求項6】

前記第1の埋め込み空間を充填する導体、前記第2の埋め込み空間を充填する導体及び前記第3の埋め込み空間を充填する導体は、同一平面の部分を規定するためにそれぞれ上部に延びる請求項2に記載の方法。

【請求項7】

前記ホールは、15nm以下の直径を有する請求項1に記載の方法。

【請求項8】

前記ホールを半導体で充填した後に、前記ホールにおける前記半導体をドープするステップを更に備える請求項1に記載の方法。

【請求項9】

電子デバイスを製造する方法であって、

トランジスタを形成するステップを備え、前記トランジスタを形成するステップは、

前記トランジスタのチャネル領域を形成するステップであって、前記チャネル領域は、ワイヤによって規定される、ステップと、

前記トランジスタのソース／ドレインコンタクトを形成するステップであって、

第1の埋め込み空間を形成するステップと、

前記第1の埋め込み空間を第1の誘電体層でライニングするステップと、

前記第1の埋め込み空間を第1の導体で充填するステップと、を含むステップと、

前記トランジスタのゲートコンタクトを形成するステップであって、

前記第1の誘電体層により前記第1の導体から隔てられる第2の埋め込み空間を形成するステップと、

前記第2の埋め込み空間を第2の導体で充填するステップと、を含むステップと、を備え、

前記第2の埋め込み空間を充填する前に、前記第2の埋め込み空間を第2の誘電体層でライニングするステップを更に備え、

前記第2の誘電体層は、前記第1の誘電体層よりも高い誘電定数を有する、方法。

【請求項10】

前記第1の埋め込み空間を前記第1の誘電体層でライニングするステップは、前記第1の埋め込み空間の垂直に延びる側壁を誘電体でライニングするステップを含む請求項9に記載の方法。

【請求項11】

電子デバイスを製造する方法であって、

トランジスタを形成するステップを備え、前記トランジスタを形成するステップは、

前記トランジスタのチャネル領域を形成するステップであって、前記チャネル領域は、ワイヤによって規定される、ステップと、

前記トランジスタのソース／ドレインコンタクトを形成するステップであって、

第1の埋め込み空間を形成するステップと、

前記第1の埋め込み空間を第1の誘電体層でライニングするステップと、

前記第1の埋め込み空間を第1の導体で充填するステップと、を含むステップと、

前記トランジスタのゲートコンタクトを形成するステップであって、

前記第1の誘電体層により前記第1の導体から隔てられる第2の埋め込み空間を形成するステップと、

前記第2の埋め込み空間を第2の導体で充填するステップと、を含むステップと、

前記トランジスタの他のソース／ドレインコンタクトを形成するステップであって、

第3の埋め込み空間を形成するステップと、

前記第3の埋め込み空間を第3の導体で充填するステップと、を含むステップと、

を備える方法。

【請求項12】

前記第1の導体、前記第2の導体及び前記第3の導体は、同一の金属を含む請求項11に記載の方法。

【請求項13】

前記第1の導体、前記第2の導体及び前記第3の導体は、遷移金属窒化物を含む請求項12に記載の方法。