



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

217593

(11)

(B1)

(51) Int. Cl.³
G 11 C 5/06

(22) Přihlášeno 17 07 81
(21) (PV 5483-81)

(40) Zveřejněno 26 03 82

(45) Vydáno 15 09 84

(75)

Autor vynálezu

BYDŽOVSKÝ JAN ing. CSc., PRAHA

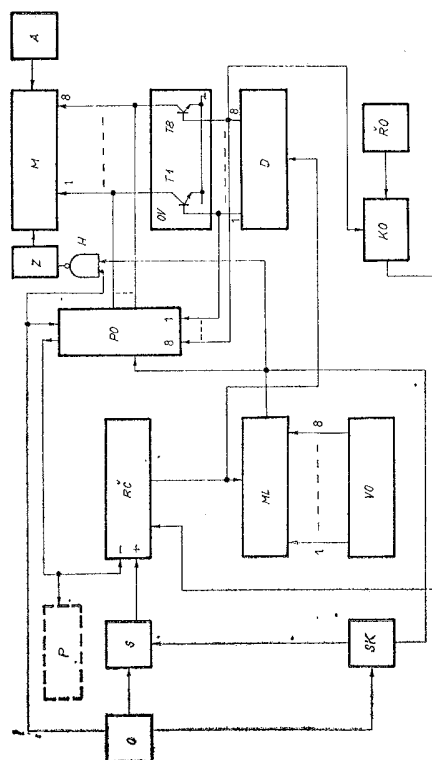
(54) Zapojení programovací jednotky

1

Vynález spadá do oboru uchovávání informací.

Účelem vynálezu je zrychlit programování v paměťových maticích s přepalováním tavných spojek a okamžitou kontrolu provádění. Podle podstaty vynálezu se toho dosáhlo tak, že paralelně k ovládacímu obvodu programovacího zdroje je na výstupu multiplexu řízeného v rytmu generátoru zapojen porovnávací obvod s výstupem připojeným na odečítací vstup vratného čítače, na jehož sečítací vstup je zapojen sčítací člen ovládaný vyhodnocovacím obvodem zapojeným na výstup multiplexu.

2



Vynález se týká zapojení programovací jednotky pro paměti, u nichž se programování provádí přepálením tavné spojky v příslušném bodě paměťové matice. Obsah jednou naprogramované paměti není již možno změnit.

Je známé takové zapojení programovací jednotky opatřené zdrojem pro přepalování tavných spojek v paměťové matici pomocí ovládacího obvodu zapojeného mezi paměťovou maticí a výstupy dekodéru signálů čítače, přepínajícího pomocí multiplexu postupně v rytmu pulsního generátoru bitové výstupy vstupního obvodu.

Nevýhodou tohoto zapojení je nízký kmitočet pulsního generátoru, protože programovací impuls musí být volen dostatečně dlouhý, například 600 až 1000 ms, aby bylo zajištěno přepálení u všech tavných spojek matice se značným energetickým rozptylem přepalovaných spojek. V případě, že v příslušném bitu se nepřepaluje spojka, dochází k značné časové ztrátě následkem nevyužití programového kroku. Po programování je nutno provádět kontrolu paměti. V případě vadné paměti dodané výrobcem, kdy nedojde k přepálení spojky, zjistí se závada až po naprogramování celé paměti.

Shora uvedená nedostatky odstraňuje zapojení programovací jednotky podle vynálezu, jehož podstata spočívá v tom, že paralelně k ovládacímu obvodu je na výstup multiplexu připojen porovnávacím vstupem porovnávací obvod, připojený na pulsní generátor, s porovnávacím výstupem zapojeným na odečítací vstup čítače, na jehož sečítací vstup je zapojen sčítací člen zapojený na výstup pulsního generátoru a na výstup vyhodnocovacího obvodu připojeného k výstupu multiplexu.

Zapojení zajišťuje kontrolu naprogramování každého bitu a třeba i několikeré opakování každého kroku. V případě, kdy se nepřepaluje tavná spojka, zrychluje se programovací krok. Automaticky se vyřadí paměť, kterou v důsledku výrobní vady nelze naprogramovat.

Příklad zapojení programovací jednotky podle vynálezu je dále popsán a jeho činnost vysvětlena s pomocí výkresu, na němž je blokově vyznačena paměťová matice **M** s vnitřním uspořádáním $n \times 8$ bitů, tj. paměť obsahuje n osmibitových slov. Adresování příslušného slova v rozmezí 1 až n slov se děje adresovacím obvodem **A**. Vstupní data, která mají být naprogramována na některé adrese, jsou na výstupu vstupního obvodu **VO**. Příklad zapojení je upraven pro programování osmibitového slova 1 — 8. Výstup pulsního generátoru **O** je spojen se sčítacím vstupem vratného čítače **RC**, jehož výstup je spojen s multiplexem **ML**, na který jsou zapojeny bitové výstupy vstupního obvodu **VO**.

Výstup vratného čítače **RC** je dále zapojen na vstup dekodovacího obvodu **D**, na jehož výstupy je zapojen ovládací obvod **OV**, se-

stávající z paralelně zapojených transistorů **T1** až **T8** zapojených na paměťovou matici **M**. Na výstup multiplexu **ML** je přes hradlo **H**, na jehož druhý vstup je zapojen pulsní generátor **O**, zapojen programovací zdroj **Z** pro přepálení tavné spojky paměťové matice **M**. Na poslední výstup dekodéru **D** je zapojen klopný obvod **KO**, na jehož druhý vstup je zapojen řídicí obvod **RO**. Výstup klopného obvodu **KO** je zapojen na nulovací vstup vratného čítače **RC**. Potud je zapojení známé.

Podle vynálezu je paralelně k ovládacímu obvodu **OV** připojen porovnávacím vstupem na výstup multiplexu **ML** pulsní generátorem **O** řízený porovnávací obvod **PO** porovnávacím výstupem zapojený na odečítací vstup — vratného čítače **RC**. Na výstup pulsního generátoru **O** je zapojen vyhodnocovací obvod **SK**, na jehož druhý vstup je zapojen výstup multiplexu **ML**. Výstup vyhodnocovacího obvodu **SK** je zapojen na vstup sčítacího členu **S** zapojeného mezi výstup pulsního generátoru **O** a součtový vstup $+$ vratného čítače **RC**. Na odečítací výstup porovnávacího obvodu **PO** je zapojen počítací obvod **P**.

Činnost zapojení je následující:

Ručně nebo automaticky z výstupu počítače (interface) se adresovacím obvodem **A** zvolí adresa slova, které má být naprogramováno v paměťové matici **M**.

Vratný čítač **RC** je vynulován klopným obvodem **KO** a jeho obsah se programováním postupně zvyšuje. Současně vratným čítačem **RC** řízený multiplex **ML** přepíná výstupy ze vstupního obvodu **VO**. V případě, že je na výstupu multiplexů **ML** napětí odpovídající logické jedničce je hradlem **H** připojen k příslušnému místu paměťové matice **M**, určeném výstupem dekodéru **D** a výstupem ovládacího obvodu **OV**, programovací zdroj **Z**. Následkem toho protéká proud z programovacího zdroje **Z** tavnou spojkou paměťové matice **M**, transistor **T1** do záporného pólu programovacího zdroje **Z**. Tavná spojka se přepálí a na výstupu pro první byt je v paměti napětí odpovídající logické jedničce. Je-li například druhý bit slova roven logické nule, je hradlem **H** zablokován programovací zdroj **Z** a proto nedojde k přepálení tavné spojky v paměťové matici **M**.

V zapojení podle vynálezu se děje čtení obsahu paměti po každém programovacím kroku. Tuto funkci zajišťuje porovnávací obvod **PO**, který ihned po skončení programovacího kroku provádí v mezeře mezi programovacími pulsy, kdy je programovací zdroj **Z** činností hradla vypojen, čtení obsahu paměti. Jestliže obsah paměti nesouhlasí se zadanou hodnotou, programovací krok se opakuje. Na výstupu porovnávacího obvodu **PO** je impuls, který sníží obsah vratného čítače **RC**. K zapojení je přičleněn počítací obvod **P**, který po předem zadaném počtu opakovaných programovacích kroků dává signál, že paměť je vadná a nelze ji programovat.

Za účelem zrychlení programování je pro-

vedeno zkrácení programovaného kroku v případech, kdy v paměťové matici **M** se nepřepaluje tavná spojka, a to pomocí vyhodnocovacího obvodu **SK** a sčítacího členu **S**. Vyhodnocovací obvod **SK** vyhodnocuje výstupní napětí multiplexu **ML**. V případě nulové logické úrovně, kdy se tavná spojka nepřepaluje, je na výstupy vyhodnocovacího obvodu **SK** napětí v trvání kratším než $2 \mu\text{s}$, které se přivádí do sčítacího členu **S**. Tím také napětí na vstupu vratného čítače **RČ** zvýší jeho obsah o jedničku a v době téhož programovacího impulsu dojde k dalšímu kroku. Programovací doba tohoto následujícího

kroku se tím sice o $2 \mu\text{s}$ zkrátí, ale v poměru k délce programovacího impulsu $600 - 100 \text{ ms}$ je technicky bezvýznamná.

Po proběhnutí programovacího cyklu, tj. po proběhnutí všech osmi míst programovaného slova, je z posledního výstupu dekodéru **D** překlopen klopný obvod **KO**, který vynuluje vratný čítač **RČ** a připraví programování dalšího slova. Start programovacího cyklu se provádí pomocí řídicího obvodu **ŘO**, který při ručním řízení představuje tlačítko nebo při připojení k počítači vhodný interfaceový obvod.

PŘEDMĚT VYNÁLEZU

1. Zapojení programovací jednotky opatřené programovacím zdrojem pro přepalování tavných spojek v paměťové matici pomocí ovládacího obvodu zapojeného mezi paměťovou matici a výstupy dekodéru signálů čítače, pro přepínání pomocí multiplexu postupně v rytmu pulsního generátoru bitových výstupů vstupního obvodu, vyznačené tím, že paralelně k ovládacímu obvodu (OV) je na výstup multiplexu (ML) připojen porovnávacím vstupem porovnávací obvod (PO),

připojený na pulsní generátor (O), s porovnávacím výstupem zapojeným na odečítací vstup čítače (RČ), na jehož sečítací vstup je zapojen sčítací člen (S), zapojený na výstup pulsního generátoru (O) a na výstup vyhodnocovacího obvodu (SK), připojeného k výstupu multiplexu (ML).

2. Zapojení podle bodu 1, vyznačené tím, že na odečítací výstup porovnávacího obvodu (PO) je zapojen počítací obvod (P).

1 list výkresů

