



(12) 发明专利

(10) 授权公告号 CN 110012600 B

(45) 授权公告日 2024. 05. 07

(21) 申请号 201910252698.9

H05K 3/46 (2006.01)

(22) 申请日 2019.03.29

(56) 对比文件

(65) 同一申请的已公布的文献号

申请公布号 CN 110012600 A

CN 103731977 A, 2014.04.16

CN 210093672 U, 2020.02.18

CN 107484363 A, 2017.12.15

(43) 申请公布日 2019.07.12

CN 102045949 A, 2011.05.04

(73) 专利权人 博敏电子股份有限公司

CN 108401382 A, 2018.08.14

地址 514000 广东省梅州市经济开发试验

CN 103687284 A, 2014.03.26

区东升工业园B区

CN 104703405 A, 2015.06.10

(72) 发明人 潘宇翔 陈世金 韩志伟 沈雷

JP 2006156576 A, 2006.06.15

张胜涛 周国云 王守绪

审查员 王李

(74) 专利代理机构 广东超越知识产权代理有限公司

公司 44975

专利代理师 陈惠珠

(51) Int. Cl.

H05K 1/14 (2006.01)

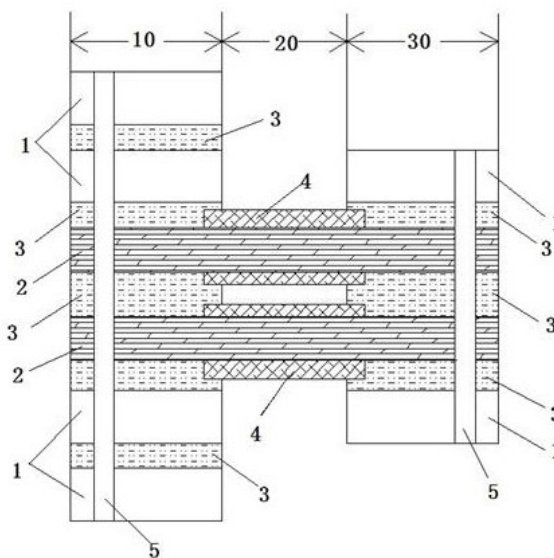
权利要求书2页 说明书9页 附图3页

(54) 发明名称

一种不对称高多层刚挠结合电路板及制备方法

(57) 摘要

本发明提供一种不对称高多层刚挠结合电路板,是由设置的厚层刚挠结合区、纯动态挠性弯折区、薄层刚挠结合区组成;所述厚层刚挠结合区包括组合设置的刚性芯板、挠性芯板、粘结层;所述纯动态挠性弯折区包括挠性芯板、保护膜,所述保护膜对称设置于挠性芯板的纯动态挠性弯折区线路表面;所述薄层刚挠结合区包括交错设置的刚性芯板、挠性芯板、粘结层。本发明提供的不对称高多层刚挠结合电路板及其制备方法,更能满足电子产品的三维组装要求,节省组装空间,可被广泛应用于工业、高端医疗、军事设备及其它消费类便携电子。



1. 一种不对称高多层刚挠结合电路板,其特征在于,是由设置的厚层刚挠结合区、纯动态挠性弯折区、薄层刚挠结合区组成;所述厚层刚挠结合区包括组合设置的刚性芯板、挠性芯板、粘结层;所述纯动态挠性弯折区包括挠性芯板、保护膜,所述保护膜对称设置于挠性芯板的纯动态挠性弯折区线路表面;所述薄层刚挠结合区包括交错设置的刚性芯板、挠性芯板、粘结层;

所述厚层刚挠结合区、薄层刚挠结合区分别设有导通孔;

所述刚性芯板为双面设置金属线路层的刚性芯板;所述挠性芯板为双面设置金属线路层的挠性芯板;

所述纯动态挠性弯折区位于中端位置,所述纯动态挠性弯折区为四层线路区,且四层线路表面分别设置有保护膜,保护膜分别延伸进厚层刚挠结合区、厚层刚挠结合区0.25mm-0.6mm;

所述厚层刚挠结合区包括四张刚性芯板、二张挠性芯板,所述刚性芯板与刚性芯板、刚性芯板与挠性芯板分别通过五张粘结层粘合,所述刚性芯板、挠性芯板、粘结层交错设置;

所述厚层刚挠结合区为十二层线路区;

所述薄层刚挠结合区包括二张刚性芯板、二张挠性芯板、三张粘结层,所述刚性芯板、挠性芯板、粘结层交错设置;

所述薄层刚挠结合区为八层线路区;

所述的不对称高多层刚挠结合电路板的制备方法包括以下步骤:

S1. 提供第一挠性芯板、第二挠性芯板,并于第一挠性芯板两侧金属面分别蚀刻出金属线路层,于第二挠性芯板两侧金属面分别蚀刻出金属线路层;

S2. 分别在第一挠性芯板、第二挠性芯板的金属线路层的中间纯动态挠性弯折区域线路表面覆盖保护膜,保护膜比纯动态挠性弯折区域长0.5mm-1.2mm;

S3. 通过第一粘结层将第一挠性芯板与第二挠性芯板粘合层压形成挠性结合层电路板;所述第一粘结层是由中间纯动态挠性弯折区开窗镂空的粘结胶组成;

S4. 提供第一刚性芯板、第二刚性芯板,所述第一刚性芯板中间设有第一介质层,所述第二刚性芯板中间设有第二介质层;于第一刚性芯板一侧金属面蚀刻出金属线路层,于第二刚性芯板一侧金属面蚀刻出金属线路层,分别在第一刚性芯板、第二刚性芯板具有金属线路层的一侧的中间区域分别电铣出半槽,第一刚性芯板的半槽的深度是第一介质层厚度的三分之一至二分之一之间,第二刚性芯板的半槽的深度是第二介质层厚度的三分之一至二分之一之间;

S5. 通过第二粘结层、第三粘结层分别将第一刚性芯板、第二刚性芯板与步骤S3中的挠性结合层电路板粘合层压,形成八层刚挠性结合层电路板;所述第二粘结层、第三粘结层均为由中间纯动态挠性弯折区开窗镂空的粘结胶组成;

S6. 在上述八层刚挠性结合层电路板一侧钻第一导通孔,并在第一导通孔内镀上孔铜,并于第一刚性芯板的另一侧蚀刻出金属线路层、第二刚性芯板的另一侧蚀刻出金属线路层;所述第一导通孔位于薄层刚挠结合区内;

S7. 提供第三刚性芯板、第四刚性芯板,所述第三刚性芯板中间设有第三介质层,所述第四刚性芯板中间设有第四介质层;于第三刚性芯板一侧金属面蚀刻出金属线路层,于第四刚性芯板一侧金属面蚀刻出金属线路层,分别在第三刚性芯板、第四刚性芯板具有金属

线路层的一侧薄层刚挠结合区左右两端对应位置分别电铣出半槽,第三刚性芯板的半槽的深度是第三介质层厚度的三分之一至二分之一之间一半,第四刚性芯板的半槽的深度是第四介质层厚度的三分之一至二分之一之间;

S8. 通过第四粘结层、第五粘结层分别将第三刚性芯板、第四刚性芯板与步骤S6中的层刚挠性结合层电路板粘合层压,形成十二层刚挠性结合层电路板;所述第四粘结层、第五粘结层均为由一侧薄层刚挠结合区域相对应区域处开窗镂空的粘结胶组成;

S9. 在十二层刚挠性结合层电路板的另一侧厚层刚挠结合区域内钻第二导通孔,并在第二导通孔内镀上孔铜,并于第三刚性芯板的另一侧金属面蚀刻出金属线路层、第四刚性芯板的另一侧金属面蚀刻出金属线路层;第二通孔位于厚层刚挠结合区内;

S10. 通过电铣半槽的方式分别将薄层刚挠结合区外面的第三介质层、第四介质层废料揭盖掉;

S11. 通过电铣半槽的方式分别将纯动态挠性弯折区外面的第一介质层、第三介质层、第二介质层、第四介质层废料揭盖掉,形成不对称高多层刚挠结合电路板。

一种不对称高多层刚挠结合电路板及制备方法

技术领域

[0001] 本发明属于电路板技术领域,具体涉及一种不对称高多层刚挠结合电路板及其制备方法。

背景技术

[0002] 刚挠结合电路板融合了挠性板的挠性与刚性板的耐久性,可实现不同条件下的三维立体组装,被广泛应用于工业、高端医疗、军事设备及其它消费类便携电子。在电子产品组装空间越来越窄小的今天,传统对称型高多层刚挠结合电路板由于纯动态挠性弯折区两端的刚挠结合电路层数、厚度一样,很难满足其3D立体组装要求。

[0003] 综上所述,有必要提供一种更能适应和满足3D立体组装要求的不对称高多层刚挠结合电路板及制作方法。

发明内容

[0004] 有鉴于此,本发明独创性的设计出一种不对称高多层刚挠结合电路板及其制备方法,本发明更能满足电子产品的三维组装要求,节省组装空间,可被广泛应用于工业、高端医疗、军事设备及其它消费类便携电子。

[0005] 本申请的技术方案为:一种不对称高多层刚挠结合电路板,是由设置的厚层刚挠结合区、纯动态挠性弯折区、薄层刚挠结合区组成;所述厚层刚挠结合区包括组合设置的刚性芯板、挠性芯板、粘结层;所述纯动态挠性弯折区包括挠性芯板、保护膜,所述保护膜对称设置于挠性芯板的纯动态挠性弯折区线路表面;所述薄层刚挠结合区包括交错设置的刚性芯板、挠性芯板、粘结层。

[0006] 特别的,所述刚性芯板的两侧均具有金属线路层,所述挠性芯板的两侧均具有金属线路层。

[0007] 进一步的,所述厚层刚挠结合区、薄层刚挠结合区分别设有导通孔。

[0008] 进一步的,所述刚性芯板为双面设置金属线路层的刚性芯板;所述挠性芯板为双面设置金属线路层的挠性芯板。优选的,所述粘结层为低流动性半固化片制得的粘结层。

[0009] 进一步的,所述纯动态挠性弯折区位于中端位置,所述纯动态挠性弯折区为四层线路区,且四层线路表面分别设置有保护膜,保护膜分别延伸进厚层刚挠结合区、厚层刚挠结合区0.25mm-0.6mm。

[0010] 进一步的,所述厚层刚挠结合区包括四张刚性芯板、二张挠性芯板,所述刚性芯板与刚性芯板、刚性芯板与挠性芯板、挠性芯板与挠性芯板之间分别通过五张粘结层粘合。

[0011] 进一步的,所述厚层刚挠结合区为十二层线路区。

[0012] 进一步的,所述薄层刚挠结合区包括二张刚性芯板、二张挠性芯板、三张粘结层,所述刚性芯板、挠性芯板、粘结层交错设置。

[0013] 进一步的,所述薄层刚挠结合区为八层线路区。

[0014] 本发明还提供一种不对称高多层刚挠结合电路板的制备方法,包括以下步骤:

[0015] S1. 提供第一挠性芯板、第二挠性芯板,并于第一挠性芯板两侧金属面分别蚀刻出金属线路层,于第二挠性芯板两侧金属面分别蚀刻出金属线路层;

[0016] S2. 分别在第一挠性芯板、第二挠性芯板的金属线路层的中间纯动态挠性弯折区域线路表面覆盖保护膜,保护膜比纯动态挠性弯折区域长0.5mm-1.2mm,即刚挠结合后,保护膜能分别延伸进厚层刚挠结合区与薄层刚挠结合区0.5mm-1.2mm并被相应粘结层覆盖住;

[0017] S3. 通过第一粘结层将第一挠性芯板与第二挠性芯板粘合层压形成挠性结合电路板;所述第一粘结层是由中间纯动态挠性弯折区开窗镂空的粘结胶组成;

[0018] S4. 提供第一刚性芯板、第二刚性芯板,所述第一刚性芯板中间设有第一介质层,所述第二刚性芯板中间设有第二介质层;于第一刚性芯板一侧金属面蚀刻出金属线路层,于第二刚性芯板一侧金属面蚀刻出金属线路层,分别在第一刚性芯板、第二刚性芯板具有金属线路层的一侧的中间区域,即后面刚挠结合层压后纯动态挠性弯折区左右两端相对应处分别电铣出半槽,第一刚性芯板的半槽的深度是第一介质层厚度的三分之一至二分之一之间,第二刚性芯板的半槽的深度是第二介质层厚度的三分之一至二分之一之间;

[0019] S5. 通过第二粘结层、第三粘接层分别将第一刚性芯板、第二刚性芯板与步骤S3中的挠性结合层电路板粘合层压,形成八层刚挠性结合层电路板;所述第二粘结层、第三粘接层均为由中间区域中开窗镂空,位置同步骤S3中第一粘结层开窗的粘结胶组成;

[0020] S6. 在上述八层刚挠性结合层电路板一侧钻第一导通孔,并在第一导通孔内镀上孔铜,并于第一刚性芯板的另一侧蚀刻出金属线路层、第二刚性芯板的另一侧蚀刻出金属线路层;所述第一导通孔位于薄层刚挠结合区内;

[0021] S7. 提供第三刚性芯板、第四刚性芯板,所述第三刚性芯板中间设有第三介质层,所述第四刚性芯板中间设有第四介质层;于第三刚性芯板一侧金属面蚀刻出金属线路层,于第四刚性芯板一侧金属面蚀刻出金属线路层,分别在第三刚性芯板、第四刚性芯板具有金属线路层的一侧的薄层刚挠结合区左右两端对应位置分别电铣出半槽,第三刚性芯板的半槽的深度是第三介质层厚度的三分之一至二分之一之间一半,第四刚性芯板的半槽的深度是第四介质层厚度的三分之一至二分之一之间;

[0022] S8. 通过第四粘结层、第五粘接层分别将第三刚性芯板、第四刚性芯板与步骤S6中的层刚挠性结合层电路板粘合层压,形成十二层刚挠性结合层电路板;所述第四粘结层、第五粘接层均为由一侧的薄层刚挠结合区域相对应区域处开窗镂空的粘结胶组成;

[0023] S9. 在十二层刚挠性结合层电路板的另一侧的即厚层刚挠结合区域内钻第二导通孔,并在第二导通孔内镀上孔铜,并于第三刚性芯板的另一侧金属面蚀刻出金属线路层、第四刚性芯板的另一侧金属面蚀刻出金属线路层;所述第二通孔位于厚层刚挠结合区内;

[0024] S10. 通过电铣半槽的方式分别将薄层刚挠结合区外面的第三介质层、第四介质层废料揭盖掉;

[0025] S11. 通过电铣半槽的方式分别将纯动态挠性弯折区外面的第一介质层、第三介质层、第二介质层、第四介质层废料揭盖掉,形成不对称高多层刚挠结合电路板。

[0026] 本发明独创性的设计出一种不对称高多层刚挠结合电路板及其制备方法,更能满足电子产品的三维组装要求,节省组装空间,可被广泛应用于工业、高端医疗、军事设备及

其它消费类便携电子。

附图说明

- [0027] 图1为本发明的一种结构示意图；
- [0028] 图2为本发明制备方法中制得的一种不对称高多层刚挠结合电路板的结构示意图；
- [0029] 图3为本发明制备方法中步骤S3制备的挠性结合层电路板的结构示意图；
- [0030] 图4为本发明制备方法中步骤S5制备的八层刚挠性结合层电路板的结构示意图；
- [0031] 图5为本发明制备方法中步骤S8制备的十二层刚挠性结合层电路板的结构示意图。

具体实施方式

[0032] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0033] 实施例1

[0034] 一种不对称高多层刚挠结合电路板,是由设置的厚层刚挠结合区10、纯动态挠性弯折区20、薄层刚挠结合区30组成;所述厚层刚挠结合区包括组合设置的刚性芯板1、挠性芯板2、粘结层3;所述纯动态挠性弯折区包括挠性芯板2、保护膜4,所述保护膜对称设置于挠性芯板的纯动态挠性弯折区线路表面;所述薄层刚挠结合区包括交错设置的刚性芯板1、挠性芯板2、粘结层3。

[0035] 进一步的,所述厚层刚挠结合区、薄层刚挠结合区分别设有导通孔。

[0036] 进一步的,所述刚性芯板为双面设置金属线路层的刚性芯板;所述挠性芯板为双面设置金属线路层的挠性芯板。优选的,所述粘结层为低流动性半固化片制得的粘结层。

[0037] 进一步的,所述纯动态挠性弯折区位于中端位置,所述纯动态挠性弯折区为四层线路区,且四层线路表面分别设置有保护膜,保护膜分别延伸进厚层刚挠结合区、厚层刚挠结合区0.25mm。

[0038] 进一步的,所述厚层刚挠结合区包括四张刚性芯板、二张挠性芯板,所述刚性芯板与刚性芯板、刚性芯板与挠性芯板、挠性芯板与挠性芯板之间分别通过五张粘结层粘合。

[0039] 进一步的,所述厚层刚挠结合区为十二层线路区。

[0040] 进一步的,所述薄层刚挠结合区包括二张刚性芯板、二张挠性芯板、三张粘结层,所述刚性芯板、挠性芯板、粘结层交错设置。

[0041] 进一步的,所述薄层刚挠结合区为八层线路区。

[0042] 本发明还提供一种不对称高多层刚挠结合电路板的制备方法:

[0043] S1.提供第一挠性芯板21、第二挠性芯板22,并于第一挠性芯板21两侧金属面分别蚀刻出金属线路层,于第二挠性芯板22两侧金属面分别蚀刻出金属线路层;

[0044] S2.分别在第一挠性芯板21、第二挠性芯板22的金属线路层的中间纯动态挠性弯折区域线路表面覆盖保护膜4,保护膜4比纯动态挠性弯折区域长0.5mm,即刚挠结合后,保

护膜能分别延伸进厚层刚挠结合区与薄层刚挠结合区0.5mm-1.2mm并被相应粘结层覆盖住；

[0045] S3.通过第一粘结层33将第一挠性芯板21与第二挠性芯板22粘合层压形成挠性结合层电路板100；所述第一粘结层33是由中间纯动态挠性弯折区开窗镂空的粘结胶组成；所述中间区域开窗镂空对应纯动态挠性弯折区。

[0046] S4.提供第一刚性芯板12、第二刚性芯板13,所述第一刚性芯板中间设有第

[0047] 一介质层121,所述第二刚性芯板中间设有第二介质层131；于第一刚性芯板一侧金属面蚀刻出金属线路层,于第二刚性芯板一侧金属面蚀刻出金属线路层,分别在第一刚性芯板、第二刚性芯板具有金属线路层的一侧的中间区域,即后面刚挠结合层压后纯动态挠性弯折区左右两端相对应处分别电铣出第一半槽122、第二半槽132,第一刚性芯板的第一半槽的深度是第一介质层厚度的三分之一,第二刚性芯板的第二半槽的深度是第二介质层厚度的三分之一；

[0048] S5.通过第二粘结层32、第三粘接层34分别将第一刚性芯板12、第二刚性芯板13与步骤S3中的挠性结合层电路板粘合层压,形成八层刚挠性结合层电路板200；所述第二粘结层32、第三粘接层34均为由中间区域开窗镂空的粘结胶组成；所述中间区域开窗镂空对应纯动态挠性弯折区。

[0049] S6.在上述八层刚挠性结合层电路板一侧钻第一导通孔52,并在第一导通孔内镀上孔铜,并于第一刚性芯板的另一侧蚀刻出金属线路层、第二刚性芯板的另一侧蚀刻出金属线路层；所述第一导通孔位于薄层刚挠结合区内；

[0050] S7.提供第三刚性芯板11、第四刚性芯板14,所述第三刚性芯板中间设有第三介质层111,所述第四刚性芯板中间设有第四介质层141；于第三刚性芯板一侧金属面蚀刻出金属线路层,于第四刚性芯板一侧金属面蚀刻出金属线路层,分别在第三刚性芯板、第四刚性芯板具有金属线路层的一侧薄层刚挠结合区左右两端对应位置分别电铣出第三半槽112、第四半槽142,第三刚性芯板的半槽的深度是第三介质层厚度的三分之一,第四刚性芯板的半槽的深度是第四介质层厚度的三分之一；

[0051] S8.通过第四粘结层31、第五粘接层35分别将第三刚性芯板11、第四刚性芯板14与步骤S6中的八层刚挠性结合层电路板粘合层压,形成十二层刚挠性结合层电路板300；所述第四粘结层31、第五粘接层35均为由一侧开窗镂空的粘结胶组成；所述一侧开窗镂空对应薄层刚挠结合区；

[0052] S9.在十二层刚挠性结合层电路板的另一侧钻第二导通孔51,并在第二导通孔内镀上孔铜,并于第三刚性芯板的另一侧金属面蚀刻出金属线路层、第四刚性芯板的另一侧金属面蚀刻出金属线路层；所述第二通孔位于厚层刚挠结合区内；

[0053] S10.通过电铣半槽的方式分别将薄层刚挠结合区外面的第三介质层、第四介质层废料揭盖掉；

[0054] S11.通过电铣半槽的方式分别将纯动态挠性弯折区外面的第一介质层、第三介质层、第二介质层、第四介质层废料揭盖掉,形成不对称高多层刚挠结合电路板。

[0055] 本发明独创性的设计出一种不对称高多层刚挠结合电路板及其制备方法,更能满足电子产品的三维组装要求,节省组装空间,可被广泛应用于工业、高端医疗、军事设备及其它消费类便携电子。

[0056] 实施例2

[0057] 一种不对称高多层刚挠结合电路板,是由设置的厚层刚挠结合区10、纯动态挠性弯折区20、薄层刚挠结合区30组成;所述厚层刚挠结合区包括组合设置的刚性芯板1、挠性芯板2、粘结层3;所述纯动态挠性弯折区包括挠性芯板2、保护膜4,所述保护膜对称设置于挠性芯板的纯动态挠性弯折区线路表面;所述薄层刚挠结合区包括交错设置的刚性芯板1、挠性芯板2、粘结层3。

[0058] 进一步的,所述厚层刚挠结合区、薄层刚挠结合区分别设有导通孔。

[0059] 进一步的,所述刚性芯板为双面设置金属线路层的刚性芯板;所述挠性芯板为双面设置金属线路层的挠性芯板。优选的,所述粘结层为低流动性半固化片制得的粘结层。

[0060] 进一步的,所述纯动态挠性弯折区位于中端位置,所述纯动态挠性弯折区为四层线路区,且四层线路表面分别设置有保护膜,保护膜分别延伸进厚层刚挠结合区、厚层刚挠结合区0.6mm。

[0061] 进一步的,所述厚层刚挠结合区包括四张刚性芯板、二张挠性芯板,所述刚性芯板与刚性芯板、刚性芯板与挠性芯板、挠性芯板与挠性芯板之间分别通过五张粘结层粘合。

[0062] 进一步的,所述厚层刚挠结合区为十二层线路区。

[0063] 进一步的,所述薄层刚挠结合区包括二张刚性芯板、二张挠性芯板、三张粘结层,所述刚性芯板、挠性芯板、粘结层交错设置。

[0064] 进一步的,所述薄层刚挠结合区为八层线路区。

[0065] 本发明还提供一种不对称高多层刚挠结合电路板的制备方法:

[0066] S1.提供第一挠性芯板21、第二挠性芯板22,并于第一挠性芯板21两侧金属面分别蚀刻出金属线路层,于第二挠性芯板22两侧金属面分别蚀刻出金属线路层;

[0067] S2.分别在第一挠性芯板21、第二挠性芯板22的金属线路层的中间纯动态挠性弯折区域线路表面覆盖保护膜4,保护膜4比纯动态挠性弯折区域长1.2mm,即刚挠结合后,保护膜能分别延伸进厚层刚挠结合区与薄层刚挠结合区0.5mm-1.2mm并被相应粘结层覆盖住;

[0068] S3.通过第一粘结层33将第一挠性芯板21与第二挠性芯板22粘合层压形成挠性结合层电路板100;所述第一粘结层33是由中间纯动态挠性弯折区开窗镂空的粘结胶组成;所述中间区域开窗镂空对应纯动态挠性弯折区。

[0069] S4.提供第一刚性芯板12、第二刚性芯板13,所述第一刚性芯板中间设有第

[0070] 一介质层121,所述第二刚性芯板中间设有第二介质层131;于第一刚性芯板一侧金属面蚀刻出金属线路层,于第二刚性芯板一侧金属面蚀刻出金属线路层,分别在第一刚性芯板、第二刚性芯板具有金属线路层的一侧的中间区域,即后面刚挠结合层压后纯动态挠性弯折区左右两端相对应处分别电铣出第一半槽122、第二半槽132,第一刚性芯板的第一半槽的深度是第一介质层厚度的二分之一之间,第二刚性芯板的第二半槽的深度是第二介质层厚度的二分之一之间;

[0071] S5.通过第二粘结层32、第三粘接层34分别将第一刚性芯板12、第二刚性芯板13与步骤S3中的挠性结合层电路板粘合层压,形成八层刚挠性结合层电路板200;所述第二粘结层32、第三粘接层34均为由中间区域开窗镂空的粘结胶组成;所述中间区域开窗镂空对应纯动态挠性弯折区。

[0072] S6. 在上述八层刚挠性结合层电路板一侧钻第一导通孔52,并在第一导通孔内镀上孔铜,并于第一刚性芯板的另一侧蚀刻出金属线路层、第二刚性芯板的另一侧蚀刻出金属线路层;所述第一导通孔位于薄层刚挠结合区内;

[0073] S7. 提供第三刚性芯板11、第四刚性芯板14,所述第三刚性芯板中间设有第三介质层111,所述第四刚性芯板中间设有第四介质层141;于第三刚性芯板一侧金属面蚀刻出金属线路层,于第四刚性芯板一侧金属面蚀刻出金属线路层,分别在第三刚性芯板、第四刚性芯板具有金属线路层的一侧薄层刚挠结合区左右两端对应位置分别电铣出第三半槽112、第四半槽142,第三刚性芯板的半槽的深度是第三介质层厚度的二分之一之间,第四刚性芯板的半槽的深度是第四介质层厚度的二分之一之间;

[0074] S8. 通过第四粘结层31、第五粘接层35分别将第三刚性芯板11、第四刚性芯板14与步骤S6中的八层刚挠性结合层电路板粘合层压,形成十二层刚挠性结合层电路板300;所述第四粘结层31、第五粘接层35均为由一侧开窗镂空的粘结胶组成;所述一侧开窗镂空对应薄层刚挠结合区;

[0075] S9. 在十二层刚挠性结合层电路板的另一侧钻第二导通孔51,并在第二导通孔内镀上孔铜,并于第三刚性芯板的另一侧金属面蚀刻出金属线路层、第四刚性芯板的另一侧金属面蚀刻出金属线路层;所述第二通孔位于厚层刚挠结合区内;

[0076] S10. 通过电铣半槽的方式分别将薄层刚挠结合区外面的第三介质层、第四介质层废料揭盖掉;

[0077] S11. 通过电铣半槽的方式分别将纯动态挠性弯折区外面的第一介质层、第三介质层、第二介质层、第四介质层废料揭盖掉,形成不对称高多层刚挠结合电路板。

[0078] 实施例3

[0079] 一种不对称高多层刚挠结合电路板,是由设置的厚层刚挠结合区10、纯动态挠性弯折区20、薄层刚挠结合区30组成;所述厚层刚挠结合区包括组合设置的刚性芯板1、挠性芯板2、粘结层3;所述纯动态挠性弯折区包括挠性芯板2、保护膜4,所述保护膜对称设置于挠性芯板的纯动态挠性弯折区线路表面;所述薄层刚挠结合区包括交错设置的刚性芯板1、挠性芯板2、粘结层3。

[0080] 进一步的,所述厚层刚挠结合区、薄层刚挠结合区分别设有导通孔。

[0081] 进一步的,所述刚性芯板为双面设置金属线路层的刚性芯板;所述挠性芯板为双面设置金属线路层的挠性芯板。优选的,所述粘结层为低流动性半固化片制得的粘结层。

[0082] 进一步的,所述纯动态挠性弯折区位于中端位置,所述纯动态挠性弯折区为四层线路区,且四层线路表面分别设置有保护膜,保护膜分别延伸进厚层刚挠结合区、厚层刚挠结合区0.4mm。

[0083] 进一步的,所述厚层刚挠结合区包括四张刚性芯板、二张挠性芯板,所述刚性芯板与刚性芯板、刚性芯板与挠性芯板、挠性芯板与挠性芯板之间分别通过五张粘结层粘合。

[0084] 进一步的,所述厚层刚挠结合区为十二层线路区。

[0085] 进一步的,所述薄层刚挠结合区包括二张刚性芯板、二张挠性芯板、三张粘结层,所述刚性芯板、挠性芯板、粘结层交错设置。

[0086] 进一步的,所述薄层刚挠结合区为八层线路区。

[0087] 本发明还提供一种不对称高多层刚挠结合电路板的制备方法:

[0088] S1.提供第一挠性芯板21、第二挠性芯板22,并于第一挠性芯板21两侧金属面分别蚀刻出金属线路层,于第二挠性芯板22两侧金属面分别蚀刻出金属线路层;

[0089] S2.分别在第一挠性芯板21、第二挠性芯板22的金属线路层的中间纯动态挠性弯折区域线路表面覆盖保护膜4,保护膜4比纯动态挠性弯折区域长0.8mm,即刚挠结合后,保护膜能分别延伸进厚层刚挠结合区与薄层刚挠结合区0.5mm-1.2mm并被相应粘结层覆盖住;

[0090] S3.通过第一粘结层33将第一挠性芯板21与第二挠性芯板22粘合层压形成挠性结合层电路板100;所述第一粘结层33是由中间纯动态挠性弯折区开窗镂空的粘结胶组成;所述中间区域开窗镂空对应纯动态挠性弯折区。

[0091] S4.提供第一刚性芯板12、第二刚性芯板13,所述第一刚性芯板中间设有第

[0092] 一介质层121,所述第二刚性芯板中间设有第二介质层131;于第一刚性芯板一侧金属面蚀刻出金属线路层,于第二刚性芯板一侧金属面蚀刻出金属线路层,分别在第一刚性芯板、第二刚性芯板具有金属线路层的一侧的中间区域,即后面刚挠结合层压后纯动态挠性弯折区左右两端相对应处分别电铣出第一半槽122、第二半槽132,第一刚性芯板的第一半槽的深度是第一介质层厚度的五分之二,第二刚性芯板的第二半槽的深度是第二介质层厚度的五分之二;

[0093] S5.通过第二粘结层32、第三粘接层34分别将第一刚性芯板12、第二刚性芯板13与步骤S3中的挠性结合层电路板粘合层压,形成八层刚挠性结合层电路板200;所述第二粘结层32、第三粘接层34均为由中间区域开窗镂空的粘结胶组成;所述中间区域开窗镂空对应纯动态挠性弯折区。

[0094] S6.在上述八层刚挠性结合层电路板一侧钻第一导通孔52,并在第一导通孔内镀上孔铜,并于第一刚性芯板的另一侧蚀刻出金属线路层、第二刚性芯板的另一侧蚀刻出金属线路层;所述第一导通孔位于薄层刚挠结合区内;

[0095] S7.提供第三刚性芯板11、第四刚性芯板14,所述第三刚性芯板中间设有第三介质层111,所述第四刚性芯板中间设有第四介质层141;于第三刚性芯板一侧金属面蚀刻出金属线路层,于第四刚性芯板一侧金属面蚀刻出金属线路层,分别在第三刚性芯板、第四刚性芯板具有金属线路层的一侧薄层刚挠结合区左右两端对应位置分别电铣出第三半槽112、第四半槽142,第三刚性芯板的半槽的深度是第三介质层厚度的五分之二,第四刚性芯板的半槽的深度是第四介质层厚度的五分之二;

[0096] S8.通过第四粘结层31、第五粘接层35分别将第三刚性芯板11、第四刚性芯板14与步骤S6中的八层刚挠性结合层电路板粘合层压,形成十二层刚挠性结合层电路板300;所述第四粘结层31、第五粘接层35均为由一侧开窗镂空的粘结胶组成;所述一侧开窗镂空对应薄层刚挠结合区;

[0097] S9.在十二层刚挠性结合层电路板的另一侧钻第二导通孔51,并在第二导通孔内镀上孔铜,并于第三刚性芯板的另一侧金属面蚀刻出金属线路层、第四刚性芯板的另一侧金属面蚀刻出金属线路层;所述第二通孔位于厚层刚挠结合区内;

[0098] S10.通过电铣半槽的方式分别将薄层刚挠结合区外面的第三介质层、第四介质层废料揭盖掉;

[0099] S11.通过电铣半槽的方式分别将纯动态挠性弯折区外面的第一介质层、第三介

质层、第二介质层、第四介质层废料揭盖掉,形成不对称高多层刚挠结合电路板。

[0100] 实施例4

[0101] 一种不对称高多层刚挠结合电路板,是由设置的厚层刚挠结合区、纯动态挠性弯折区、薄层刚挠结合区组成;所述厚层刚挠结合区包括组合设置的刚性芯板、挠性芯板、粘结层;所述纯动态挠性弯折区包括挠性芯板、保护膜,所述保护膜对称设置于挠性芯板的纯动态挠性弯折区线路表面;所述薄层刚挠结合区包括交错设置的刚性芯板、挠性芯板、粘结层。

[0102] 特别的,所述刚性芯板的两侧均具有金属线路层,所述挠性芯板的两侧均具有金属线路层。

[0103] 进一步的,所述厚层刚挠结合区、薄层刚挠结合区分别设有导通孔。

[0104] 进一步的,所述刚性芯板为双面设置金属线路层的刚性芯板;所述挠性芯板为双面设置金属线路层的挠性芯板。优选的,所述粘结层为低流动性半固化片制得的粘结层。

[0105] 进一步的,所述纯动态挠性弯折区位于中端位置,所述纯动态挠性弯折区为四层线路区,且四层线路表面分别设置有保护膜,保护膜分别延伸进厚层刚挠结合区、厚层刚挠结合区0.25mm-0.6mm。

[0106] 进一步的,所述厚层刚挠结合区包括四张刚性芯板、二张挠性芯板,所述刚性芯板与刚性芯板、刚性芯板与挠性芯板、挠性芯板与挠性芯板之间分别通过五张粘结层粘合。

[0107] 进一步的,所述厚层刚挠结合区为十二层线路区。

[0108] 进一步的,所述薄层刚挠结合区包括二张刚性芯板、二张挠性芯板、三张粘结层,所述刚性芯板、挠性芯板、粘结层交错设置。

[0109] 进一步的,所述薄层刚挠结合区为八层线路区。

[0110] 本发明还提供一种不对称高多层刚挠结合电路板的制备方法,包括以下步骤:

[0111] S1.提供第一挠性芯板、第二挠性芯板,并于第一挠性芯板两侧金属面分别蚀刻出金属线路层,于第二挠性芯板两侧金属面分别蚀刻出金属线路层;

[0112] S2.分别在第一挠性芯板、第二挠性芯板的金属线路层的中间纯动态挠性弯折区域线路表面覆盖保护膜,保护膜比纯动态挠性弯折区域长0.5mm-1.2mm,即刚挠结合后,保护膜能分别延伸进厚层刚挠结合区与薄层刚挠结合区0.5mm-1.2mm并被相应粘结层覆盖住;

[0113] S3.通过第一粘结层将第一挠性芯板与第二挠性芯板粘合层压形成挠性结合电路板;所述第一粘结层是由中间纯动态挠性弯折区开窗镂空的粘结胶组成;

[0114] S4.提供第一刚性芯板、第二刚性芯板,所述第一刚性芯板中间设有第一介质层,所述第二刚性芯板中间设有第二介质层;于第一刚性芯板一侧金属面蚀刻出金属线路层,于第二刚性芯板一侧金属面蚀刻出金属线路层,分别在第一刚性芯板、第二刚性芯板具有金属线路层的一侧的中间区域,即后面刚挠结合层压后纯动态挠性弯折区左右两端相对应处分别电铣出半槽,第一刚性芯板的半槽的深度是第一介质层厚度的三分之一至二分之一之间,第二刚性芯板的半槽的深度是第二介质层厚度的三分之一至二分之一之间;

[0115] S5.通过第二粘结层、第三粘接层分别将第一刚性芯板、第二刚性芯板与步骤S3中的挠性结合层电路板粘合层压,形成八层刚挠性结合层电路板;所述第二粘结层、第三粘接层均为由中间区域中开窗镂空,位置同步骤S3中第一粘结层开窗的粘结胶组成;

[0116] S6. 在上述八层刚挠性结合层电路板一侧钻第一导通孔,并在第一导通孔内镀上孔铜,并于第一刚性芯板的另一侧蚀刻出金属线路层、第二刚性芯板的另一侧蚀刻出金属线路层;所述第一导通孔位于薄层刚挠结合区内;

[0117] S7. 提供第三刚性芯板、第四刚性芯板,所述第三刚性芯板中间设有第三介质层,所述第四刚性芯板中间设有第四介质层;于第三刚性芯板一侧金属面蚀刻出金属线路层,于第四刚性芯板一侧金属面蚀刻出金属线路层,分别在第三刚性芯板、第四刚性芯板具有金属线路层的一侧的薄层刚挠结合区左右两端对应位置分别电铣出半槽,第三刚性芯板的半槽的深度是第三介质层厚度的三分之一至二分之一之间一半,第四刚性芯板的半槽的深度是第四介质层厚度的三分之一至二分之一之间;

[0118] S8. 通过第四粘结层、第五粘接层分别将第三刚性芯板、第四刚性芯板与步骤S6中的层刚挠性结合层电路板粘合层压,形成十二层刚挠性结合层电路板;所述第四粘结层、第五粘接层均为由一侧的薄层刚挠结合区域相对应区域处开窗镂空的粘结胶组成;

[0119] S9. 在十二层刚挠性结合层电路板的另一侧的即厚层刚挠结合区域内钻第二导通孔,并在第二导通孔内镀上孔铜,并于第三刚性芯板的另一侧金属面蚀刻出金属线路层、第四刚性芯板的另一侧金属面蚀刻出金属线路层;所述第二通导孔位于厚层刚挠结合区内;

[0120] S10. 通过电铣半槽的方式分别将薄层刚挠结合区外面的第三介质层、第四介质层废料揭盖掉;

[0121] S11. 通过电铣半槽的方式分别将纯动态挠性弯折区外面的第一介质层、第三介质层、第二介质层、第四介质层废料揭盖掉,形成不对称高多层刚挠结合电路板。

[0122] 对于本领域技术人员而言,显然本发明不限于上述示范性实施例的细节,而且在不背离本发明的精神或基本特征的情况下,能够以其他的具体形式实现本发明。因此,无论从哪一点来看,均应将实施例看作是示范性的,而且是非限制性的,本发明的范围由所附权利要求而不是上述说明限定,因此旨在将落在权利要求的等同要件的含义和范围内的所有变化囊括在本发明内。不应将权利要求中的任何附图标记视为限制所涉及的权利要求。

[0123] 此外,应当理解,虽然本说明书按照实施方式加以描述,但并非每个实施方式仅包含一个独立的技术方案,说明书的这种叙述方式仅仅是为清楚起见,本领域技术人员应当将说明书作为一个整体,各实施例中的技术方案也可以经适当组合,形成本领域技术人员可以理解的其他实施方式。需注意的是,本发明中所未详细描述的技术特征,均可以通过任一现有技术实现。

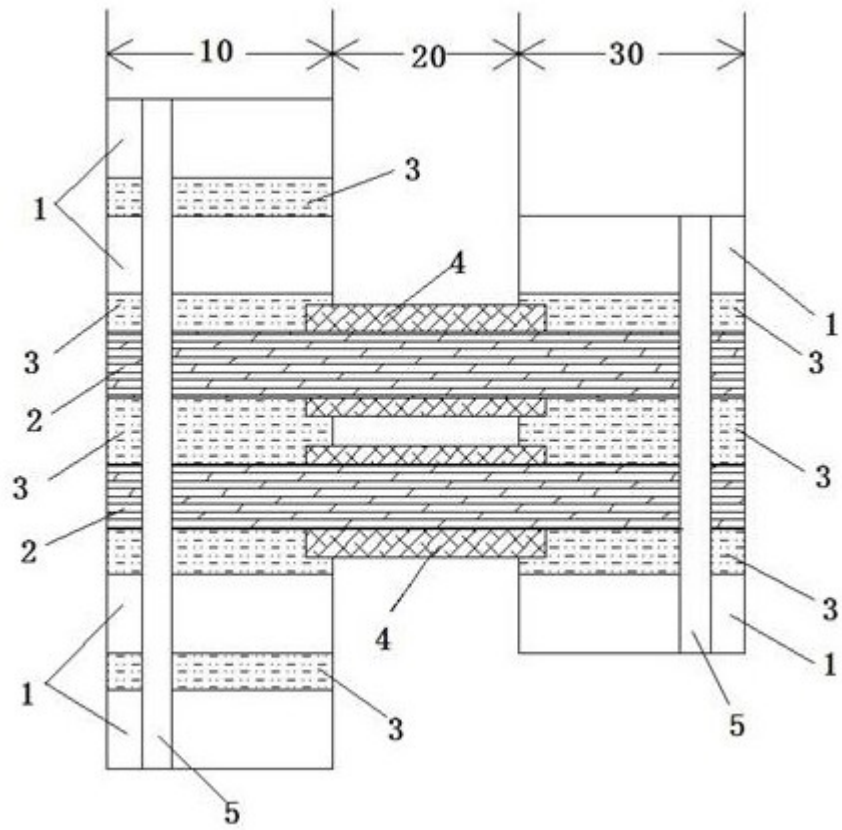


图1

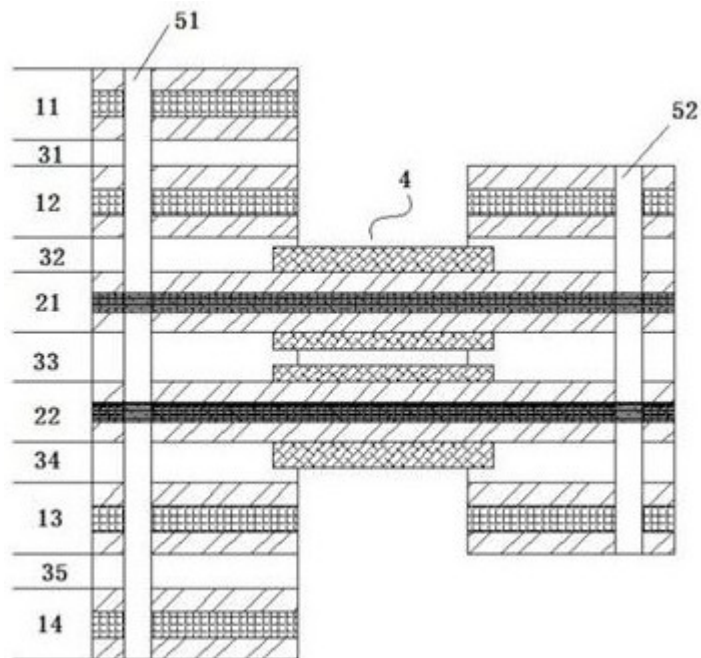


图2

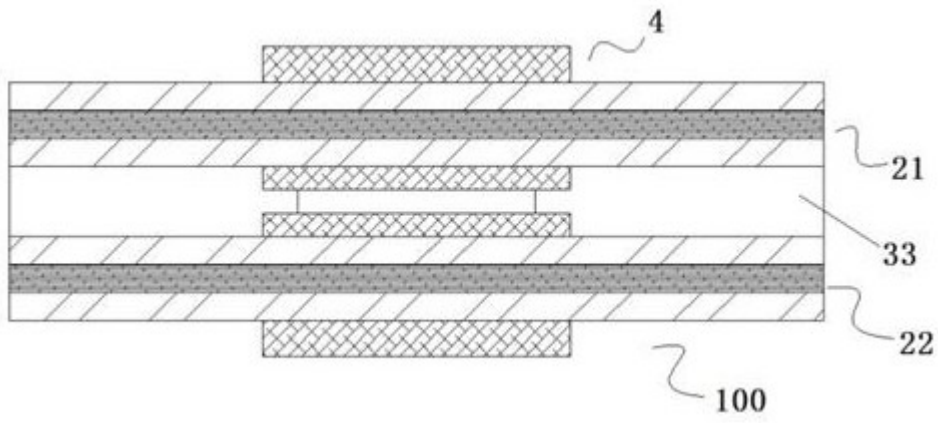


图3

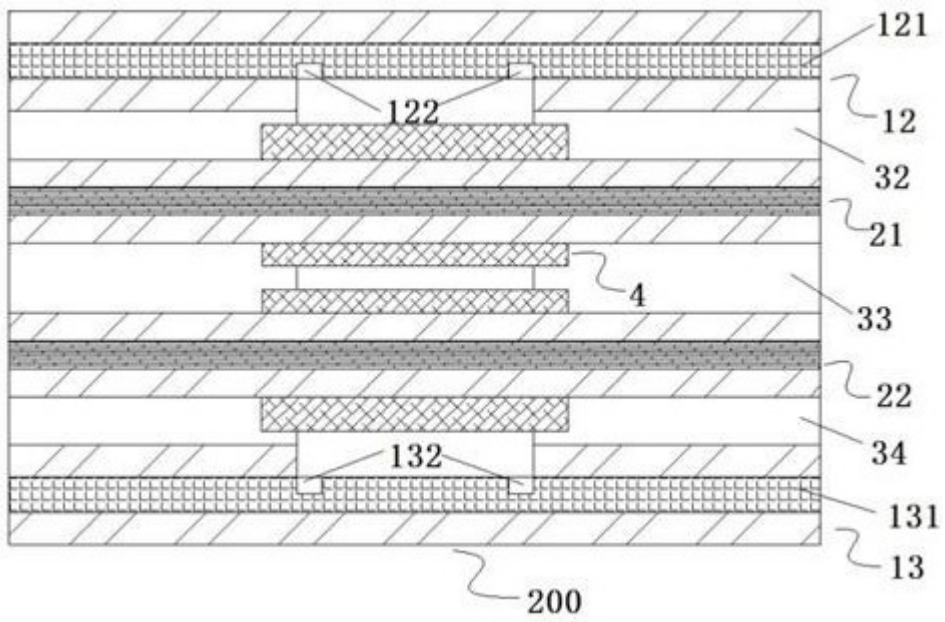


图4

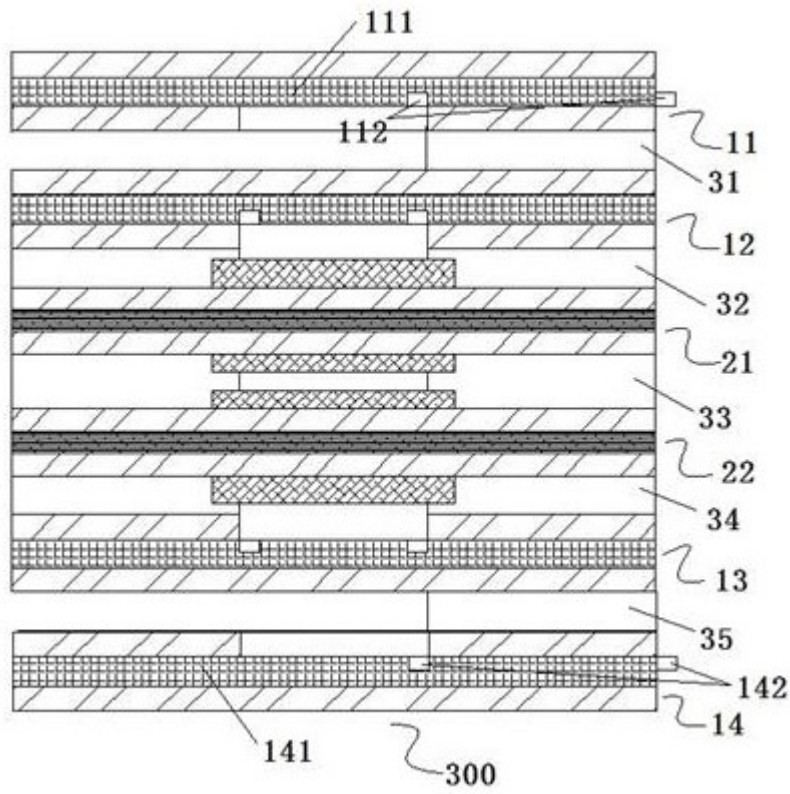


图5