(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年3月18日(18.03.2021)

WIPO | PCT

(10) 国際公開番号
WO 2021/049262 A1

(51) 国際特許分類:
H01L 51/42 (2006.01) *H01L 27/30* (2006.01)
H01L 31/10 (2006.01) *G06T 1/00* (2006.01)
H01L 27/146 (2006.01) *A61B 5/1172* (2016.01)

(21) 国際出願番号： PCT/JP2020/031109

(22) 国際出願日： 2020年8月18日(18.08.2020)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2019-166577 2019年9月12日(12.09.2019) JP

(71) 出願人:株式会社ジャパンディスプレイ(**JAPAN DISPLAY INC.**) [JP/JP]; 〒1050003 東京都港区西新橋三丁目7番1号 Tokyo (JP).

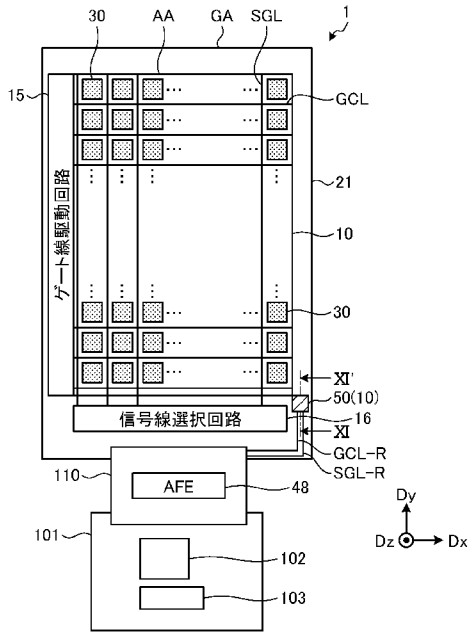
(72) 発明者:多田 正浩(**TADA, Masahiro**); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 中村 卓(**NAKAMURA, Takashi**); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 瀧本 昭雄(**TAKIMOTO, Akio**); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP).

(74) 代理人: 特許業務法人酒井国際特許事務所 (**SAKAI INTERNATIONAL PATENT**

(54) **Title:** DETECTION DEVICE

(54) 発明の名称： 検出装置

[図2]



15... GATE LINE DRIVE CIRCUIT
16... SIGNAL LINE SELECTION CIRCUIT

(57) **Abstract:** This detection device comprises: a substrate; a plurality of first optical sensors which are disposed in a detection region on the substrate and include organic material layers having a photovoltaic effect; and at least one second optical sensor which is disposed on the substrate and includes an inorganic material layer having a photovoltaic effect. The plurality of first optical sensors are disposed in a matrix shape in the detection region. The second optical sensor is disposed in a peripheral region on the substrate. Alternatively, the second optical sensor is disposed in the detection

WO 2021/049262 A1

[続葉有]

OFFICE); 〒1000013 東京都千代田区霞が関３丁目８番１号 虎の門三井ビルディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一　国際調査報告（条約第21条(3)）

region on the substrate.

(57) 要約：検出装置は、基板と、基板の検出領域に設けられ、光起電力効果を有する有機材料層を含む複数の第１光センサと、基板に設けられ、光起電力効果を有する無機材料層を含む少なくとも１つ以上の第２光センサと、を有する。複数の第１光センサは、検出領域にマトリクス状に配列され、第２光センサは、基板の周辺領域に配置される。又は、第２光センサは、基板の検出領域に配置される。

明　細　書

発明の名称 ： 検出装置

技術分野

[0001]　本発明は、検出装置に関する。

背景技術

[0002]　近年、個人認証等に用いられる生体センサとして、光学式の生体センサが知られている。生体センサとして、指紋センサ（例えば、特許文献１参照）や静脈センサが知られている。生体センサに用いられる光センサとして、有機材料が用いられた光センサと、無機材料が用いられた光センサとが知られている。

先行技術文献

特許文献

[0003] 特許文献1：米国特許出願公開第２０１８／００１２０６９号明細書

発明の概要

発明が解決しようとする課題

[0004]　有機材料が用いられた光センサは、例えばアモルファスシリコン等の無機材料が用いられた光センサに比べて、広い波長領域の光を検出可能である。一方、有機材料が用いられた光センサは、経年劣化等によりセンサの出力が変化する可能性がある。

[0005]　本発明は、検出性能の低下を抑制することが可能な検出装置を提供することを目的とする。

課題を解決するための手段

[0006]　本発明の一態様の検出装置は、基板と、前記基板の検出領域に設けられ、光起電力効果を有する有機材料層を含む複数の第１光センサと、前記基板に設けられ、光起電力効果を有する無機材料層を含む少なくとも１つ以上の第２光センサと、を有する。

図面の簡単な説明

[0007] [図1]図１は、第１実施形態に係る検出装置を有する照明装置付き検出機器の概略断面構成を示す断面図である。

[図2]図２は、第１実施形態に係る検出装置を示す平面図である。

[図3]図３は、第１実施形態に係る検出装置の構成例を示すブロック図である。

[図4]図４は、検出装置を示す回路図である。

[図5]図５は、複数の部分検出領域を示す回路図である。

[図6]図６は、第１光センサを示す平面図である。

[図7]図７は、図６のＱ－Ｑ断面図である。

[図8]図８は、第１光センサに入射する光の波長と変換効率との関係を模式的に示すグラフである。

[図9]図９は、検出装置の動作例を表すタイミング波形図である。

[図10]図１０は、図９における読み出し期間の動作例を表すタイミング波形図である。

[図11]図１１は、図２のＸＩ－ＸＩ’断面図である。

[図12]図１２は、第２光センサの駆動回路を示す回路図である。

[図13]図１３は、第１光センサから出力される第１検出信号と、第２光センサから出力される第２検出信号との関係を説明するための説明図である。

[図14]図１４は、第２実施形態に係る検出装置を示す平面図である。

[図15]図１５は、第３実施形態に係る検出装置を示す平面図である。

[図16]図１６は、第４実施形態に係る検出装置を示す平面図である。

[図17]図１７は、図１６のＸＶＩＩ－ＸＶＩＩ’断面図である。

[図18]図１８は、第４実施形態の変形例に係る検出装置を示す平面図である。

発明を実施するための形態

[0008] 発明を実施するための形態（実施形態）につき、図面を参照しつつ詳細に説明する。以下の実施形態に記載した内容により本発明が限定されるもので

はない。また、以下に記載した構成要素には、当業者が容易に想定できるもの、実質的に同一のものが含まれる。さらに、以下に記載した構成要素は適宜組み合わせることが可能である。なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保っての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

[0009] （第１実施形態）

図１は、第１実施形態に係る検出装置を有する照明装置付き検出機器の概略断面構成を示す断面図である。図１に示すように、照明装置付き検出機器１２０は、検出装置１と、照明装置１２１と、カバーガラス１２２とを有する。検出装置１の表面に垂直な方向において、照明装置１２１、検出装置１、カバーガラス１２２の順に積層されている。

[0010] 照明装置１２１は、光を照射する光照射面１２１ａを有し、光照射面１２１ａから検出装置１に向けて光Ｌ１を照射する。照明装置１２１は、バックライトである。照明装置１２１は、例えば、検出領域ＡＡに対応する位置に設けられた導光板と、導光板の一方端又は両端に並ぶ複数の光源とを有する、いわゆるサイドライト型のバックライトであってもよい。光源として、例えば、所定の色の光を発する発光ダイオード（ＬＥＤ：Light Emitting Diode）が用いられる。また、照明装置１２１は、検出領域ＡＡの直下に設けられた光源（例えば、ＬＥＤ）を有する、いわゆる直下型のバックライトであっても良い。また、照明装置１２１は、バックライトに限定されず、検出装置１の側方や上方に設けられていてもよく、指Ｆｇの側方や上方から光Ｌ１を照射してもよい。

[0011] 検出装置１は、照明装置１２１の光照射面１２１ａと対向して設けられる

。言い換えると、照明装置１２１とカバーガラス１２２との間に検出装置１が設けられる。照明装置１２１から照射された光Ｌ１は、検出装置１及びカバーガラス１２２を透過する。検出装置１は、例えば、光反射型の生体センサであり、カバーガラス１２２と空気との界面で反射した光Ｌ２を検出することで、指Ｆｇの表面の凹凸（例えば、指紋）を検出できる。又は、検出装置１は、指紋の検出に加え、指Ｆｇの内部で反射した光Ｌ２を検出することで、生体に関する情報を検出してもよい。生体に関する情報は、例えば、静脈等の血管像や脈拍、脈波等である。照明装置１２１からの光Ｌ１の色は、検出対象に応じて異ならせてもよい。例えば、指紋検出の場合には、照明装置１２１は青色又は緑色の光Ｌ１を照射し、静脈検出の場合には、照明装置１２１は赤外光の光Ｌ１を照射することができる。

[0012] カバーガラス１２２は、検出装置１及び照明装置１２１を保護するための部材であり、検出装置１及び照明装置１２１を覆っている。カバーガラス１２２は、例えばガラス基板である。なお、カバーガラス１２２はガラス基板に限定されず、樹脂基板等であってもよい。また、カバーガラス１２２が設けられていなくてもよい。この場合、検出装置１の表面に保護層が設けられ、指Ｆｇは検出装置１の保護層に接する。

[0013] 照明装置付き検出機器１２０は、照明装置１２１に換えて表示パネルが設けられていてもよい。表示パネルは、例えば、有機ＥＬディスプレイパネル（ＯＬＥＤ： Organic Light Emitting Diode）や無機ＥＬディスプレイ（μ－ＬＥＤ、Ｍｉｎｉ－ＬＥＤ）であってもよい。或いは、表示パネルは、表示素子として液晶素子を用いた液晶表示パネル（ＬＣＤ：Liquid Crystal Display）や、表示素子として電気泳動素子を用いた電気泳動型表示パネル（ＥＰＤ：Electrophoretic Display）であってもよい。この場合であっても、表示パネルから照射された表示光が検出装置１を透過し、指Ｆｇで反射された光Ｌ２に基づいて、指Ｆｇの指紋や生体に関する情報を検出することができる。

[0014] 図２は、第１実施形態に係る検出装置を示す平面図である。図２に示すよ

うに、検出装置１は、絶縁基板２１と、センサ部１０と、ゲート線駆動回路１５と、信号線選択回路１６と、検出回路４８と、制御回路１０２と、電源回路１０３と、を有する。

[0015] 絶縁基板２１には、フレキシブルプリント基板１１０を介して制御基板１０１が電気的に接続される。フレキシブルプリント基板１１０には、検出回路４８が設けられている。制御基板１０１には、制御回路１０２及び電源回路１０３が設けられている。制御回路１０２は、例えばＦＰＧＡ（Field Programmable Gate Array）である。制御回路１０２は、センサ部１０、ゲート線駆動回路１５及び信号線選択回路１６に制御信号を供給して、センサ部１０の検出動作を制御する。電源回路１０３は、センサ電源信号ＶＤＤＳＮＳ（図５参照）等の電圧信号をセンサ部１０、ゲート線駆動回路１５及び信号線選択回路１６に供給する。

[0016] 絶縁基板２１は、検出領域ＡＡと、周辺領域ＧＡとを有する。検出領域ＡＡは、センサ部１０が有する複数の第１光センサ３０と重なる領域である。周辺領域ＧＡは、検出領域ＡＡの外側の領域であり、第１光センサ３０と重ならない領域である。すなわち、周辺領域ＧＡは、検出領域ＡＡの外周と絶縁基板２１の端部との間の領域である。ゲート線駆動回路１５及び信号線選択回路１６は、周辺領域ＧＡに設けられる。

[0017] センサ部１０は、光電変換素子である第１光センサ３０及び第２光センサ５０を有する光センサである。複数の第１光センサ３０及び第２光センサ５０は、フォトダイオードであり、それぞれに照射される光に応じた電気信号を出力する。センサ部１０が有する複数の第１光センサ３０は、検出領域ＡＡにマトリクス状に配列される。複数の第１光センサ３０は、それぞれに照射される光に応じた電気信号を、第１検出信号Ｖｄｅｔとして信号線選択回路１６に出力する。検出装置１は、複数の第１光センサ３０からの第１検出信号Ｖｄｅｔに基づいて生体に関する情報を検出する。言い換えると、複数の第１光センサ３０は、生体センサとして機能する。また、複数の第１光センサ３０は、ゲート線駆動回路１５から供給されるゲート駆動信号Ｖｇｃｌ

に従って検出を行う。

[0018] また、センサ部１０が有する第２光センサ５０は、周辺領域ＧＡに設けられる。第２光センサ５０は、ゲート線ＧＣＬ－Ｒ、信号線ＳＧＬ－Ｒ及びフレキシブルプリント基板１１０を介して、検出回路４８、制御回路１０２及び電源回路１０３と電気的に接続される。第２光センサ５０は、照射される光に応じた電気信号を、第２検出信号Ｖｄｅｔ－Ｒとして検出回路４８に出力する。制御回路１０２は、第２光センサ５０から出力された第２検出信号Ｖｄｅｔ－Ｒに基づいて、同一の被検出体を検出した場合での、複数の第１光センサ３０からの第１検出信号Ｖｄｅｔの変化を検出する。

[0019] さらに、制御回路１０２は、第２光センサ５０から出力された第２検出信号Ｖｄｅｔ－Ｒに基づいて、複数の第１光センサ３０の検出を制御して、経年劣化等による第１検出信号Ｖｄｅｔの変化を抑制する。言い換えると、第２光センサ５０は、複数の第１光センサ３０のリファレンス用のセンサとして機能する。なお、図２では、１つの第２光センサ５０が設けられているが、第２光センサ５０は２つ以上であってもよい。

[0020] ゲート線駆動回路１５及び信号線選択回路１６は、周辺領域ＧＡに設けられる。具体的には、ゲート線駆動回路１５は、周辺領域ＧＡのうち第２方向Ｄｙに沿って延在する領域に設けられる。信号線選択回路１６は、周辺領域ＧＡのうち第１方向Ｄｘに沿って延在する領域に設けられ、センサ部１０と検出回路４８との間に設けられる。

[0021] なお、第１方向Ｄｘは、絶縁基板２１と平行な面内の一方向である。第２方向Ｄｙは、絶縁基板２１と平行な面内の一方向であり、第１方向Ｄｘと直交する方向である。なお、第２方向Ｄｙは、第１方向Ｄｘと直交しないで交差してもよい。また、第３方向Ｄｚは、第１方向Ｄｘ及び第２方向Ｄｙと直交する方向であり、絶縁基板２１の法線方向である。

[0022] 図３は、第１実施形態に係る検出装置の構成例を示すブロック図である。図３に示すように、検出装置１は、さらに検出制御部１１と検出部４０と、を有する。検出制御部１１の機能の一部又は全部は、制御回路１０２に含ま

れる。また、検出部４０のうち、検出回路４８以外の機能の一部又は全部は、制御回路１０２に含まれる。

[0023] 検出制御部１１は、ゲート線駆動回路１５、信号線選択回路１６及び検出部４０にそれぞれ制御信号を供給し、これらの動作を制御する回路である。検出制御部１１は、スタート信号ＳＴＶ、クロック信号ＣＫ、リセット信号ＲＳＴ１等の各種制御信号をゲート線駆動回路１５に供給する。また、検出制御部１１は、選択信号ＡＳW等の各種制御信号を信号線選択回路１６に供給する。また、検出制御部１１は、第２光センサ５０に制御信号を供給して、第２光センサ５０の検出を制御する。

[0024] ゲート線駆動回路１５は、各種制御信号に基づいて複数のゲート線ＧＣＬ（図４参照）を駆動する回路である。ゲート線駆動回路１５は、複数のゲート線ＧＣＬを順次又は同時に選択し、選択されたゲート線ＧＣＬにゲート駆動信号Ｖｇｃｌを供給する。これにより、ゲート線駆動回路１５は、ゲート線ＧＣＬに接続された複数の第１光センサ３０を選択する。

[0025] 信号線選択回路１６は、複数の信号線ＳＧＬ（図４参照）を順次又は同時に選択するスイッチ回路である。信号線選択回路１６は、例えばマルチプレクサである。信号線選択回路１６は、検出制御部１１から供給される選択信号ＡＳWに基づいて、選択された信号線ＳＧＬと検出回路４８とを接続する。これにより、信号線選択回路１６は、第１光センサ３０の第１検出信号Ｖｄｅｔを検出部４０に出力する。

[0026] 第２光センサ５０は、検出制御部１１から供給される制御信号に基づいて駆動される。第２光センサ５０は、信号線ＳＧＬ－Ｒを介して、第２検出信号Ｖｄｅｔ－Ｒを検出部４０に出力する。なお、第２光センサ５０は、ゲート線駆動回路１５及び信号線選択回路１６と非接続であり、第１光センサ３０とは独立して駆動される。ただし、これに限定されず、第２光センサ５０は、ゲート線駆動回路１５及び信号線選択回路１６と接続されていてもよい。つまり、第２光センサ５０は、ゲート線駆動回路１５から供給される駆動信号に基づいて駆動されてもよいし、信号線選択回路１６を介して、検出回

路４８と電気的に接続されてもよい。

[0027] 検出部４０は、検出回路４８と、信号処理部４４と、座標抽出部４５と、記憶部４６と、検出タイミング制御部４７と、を備える。検出タイミング制御部４７は、検出制御部１１から供給される制御信号に基づいて、検出回路４８と、信号処理部４４と、座標抽出部４５と、が同期して動作するように制御する。

[0028] 検出回路４８は、例えばアナログフロントエンド回路（ＡＦＥ、Analog Front End）である。検出回路４８は、少なくとも検出信号増幅部４２及びＡ／Ｄ変換部４３の機能を有する信号処理回路である。検出信号増幅部４２は、第１検出信号Ｖｄｅｔ及び第２検出信号Ｖｄｅｔ－Ｒを増幅する。Ａ／Ｄ変換部４３は、検出信号増幅部４２から出力されるアナログ信号をデジタル信号に変換する。

[0029] 信号処理部４４は、検出回路４８の出力信号に基づいて、センサ部１０に入力された所定の物理量を検出する論理回路である。信号処理部４４は、指Ｆｇが検出面に接触又は近接した場合に、検出回路４８からの信号に基づいて指Ｆｇや掌の表面の凹凸を検出できる。また、信号処理部４４は、検出回路４８からの信号に基づいて生体に関する情報を検出できる。生体に関する情報は、例えば、指Ｆｇや掌の血管像、脈波、脈拍、血中酸素飽和度等である。また、信号処理部４４は、第１検出信号Ｖｄｅｔと第２検出信号Ｖｄｅｔ－Ｒとの差分の信号ΔＶを演算する。

[0030] 記憶部４６は、信号処理部４４で演算された信号を一時的に保存する。また、記憶部４６は、過去の第１検出信号Ｖｄｅｔ、第２検出信号Ｖｄｅｔ－Ｒ及び差分の信号ΔＶに関する情報を記憶する。記憶部４６は、例えばＲＡＭ（Random Access Memory）、レジスタ回路等であってもよい。

[0031] 座標抽出部４５は、信号処理部４４において指Ｆｇの接触又は近接が検出されたときに、指Ｆｇ等の表面の凹凸の検出座標を求める論理回路である。また、座標抽出部４５は、指Ｆｇや掌の血管の検出座標を求める論理回路である。座標抽出部４５は、センサ部１０の各第１光センサ３０から出力され

る第１検出信号Ｖｄｅｔを組み合わせて、指Ｆｇ等の表面の凹凸の形状を示す二次元情報を生成する。なお、座標抽出部４５は、検出座標を算出せずにセンサ出力Ｖｏとして第１検出信号Ｖｄｅｔ及び第２検出信号Ｖｄｅｔ－Ｒを出力してもよい。

[0032] 次に、検出装置１の回路構成例及び動作例について説明する。図４は、検出装置を示す回路図である。図５は、部分検出領域を示す回路図である。なお、図５では、検出回路４８の回路構成も併せて示している。

[0033] 図４に示すように、センサ部１０は、マトリクス状に配列された複数の部分検出領域ＰＡＡを有する。複数の部分検出領域ＰＡＡには、それぞれ第１光センサ３０が設けられている。

[0034] ゲート線ＧＣＬは、第１方向Ｄｘに延在し、第１方向Ｄｘに配列された複数の部分検出領域ＰＡＡと接続される。また、複数のゲート線ＧＣＬ（１）、ＧＣＬ（２）、…、ＧＣＬ（８）は、第２方向Ｄｙに配列され、それぞれゲート線駆動回路１５に接続される。なお、以下の説明において、複数のゲート線ＧＣＬ（１）、ＧＣＬ（２）、…、ＧＣＬ（８）を区別して説明する必要がない場合には、単にゲート線ＧＣＬと表す。また、図４では説明を分かりやすくするために、８本のゲート線ＧＣＬを示しているが、あくまで一例であり、ゲート線ＧＣＬは、Ｍ本（Ｍは８以上、例えばＭ＝２５６）配列されていてもよい。

[0035] 信号線ＳＧＬは、第２方向Ｄｙに延在し、第２方向Ｄｙに配列された複数の部分検出領域ＰＡＡの第１光センサ３０に接続される。また、複数の信号線ＳＧＬ（１）、ＳＧＬ（２）、…、ＳＧＬ（１２）は、第１方向Ｄｘに配列されて、それぞれ信号線選択回路１６及びリセット回路１７に接続される。なお、以下の説明において、複数の信号線ＳＧＬ（１）、ＳＧＬ（２）、…、ＳＧＬ（１２）を区別して説明する必要がない場合には、単に信号線ＳＧＬと表す。

[0036] また、説明を分かりやすくするために、１２本の信号線ＳＧＬを示しているが、あくまで一例であり、信号線ＳＧＬは、Ｎ本（Ｎは１２以上、例えば

Ｎ＝２５２）配列されていてもよい。また、センサの解像度は例えば５０８ｄｐｉ（ｄｏｔ　ｐｅｒ　ｉｎｃｈ）とされ、セル数は２５２×２５６とされる。また、図４では、信号線選択回路１６とリセット回路１７との間にセンサ部１０が設けられている。これに限定されず、信号線選択回路１６とリセット回路１７とは、信号線ＳＧＬの同じ方向の端部にそれぞれ接続されていてもよい。

[0037] ゲート線駆動回路１５は、スタート信号ＳＴＶ、クロック信号ＣＫ、リセット信号ＲＳＴ１等の各種制御信号を、制御回路１０２（図２参照）から受け取る。ゲート線駆動回路１５は、各種制御信号に基づいて、複数のゲート線ＧＣＬ（１）、ＧＣＬ（２）、…、ＧＣＬ（８）を時分割的に順次選択する。ゲート線駆動回路１５は、選択されたゲート線ＧＣＬにゲート駆動信号Ｖｇｃｌを供給する。これにより、ゲート線ＧＣＬに接続された複数の第１スイッチング素子Ｔｒにゲート駆動信号Ｖｇｃｌが供給され、第１方向Ｄｘに配列された複数の部分検出領域ＰＡＡが、検出対象として選択される。

[0038] なお、ゲート線駆動回路１５は、指紋の検出及び異なる複数の生体に関する情報（脈波、脈拍、血管像、血中酸素飽和度等）のそれぞれの検出モードごとに、異なる駆動を実行してもよい。例えば、ゲート線駆動回路１５は、複数のゲート線ＧＣＬを束ねて駆動してもよい。

[0039] 具体的には、ゲート線駆動回路１５は、制御信号に基づいて、ゲート線ＧＣＬ（１）、ＧＣＬ（２）、…、ＧＣＬ（８）のうち、所定数のゲート線ＧＣＬを同時に選択してもよい。例えば、ゲート線駆動回路１５は、６本のゲート線ＧＣＬ（１）からゲート線ＧＣＬ（６）を同時に選択し、ゲート駆動信号Ｖｇｃｌを供給する。ゲート線駆動回路１５は、選択された６本のゲート線ＧＣＬを介して、複数の第１スイッチング素子Ｔｒにゲート駆動信号Ｖｇｃｌを供給する。これにより、第１方向Ｄｘ及び第２方向Ｄｙに配列された複数の部分検出領域ＰＡＡを含むグループ領域ＰＡＧ１、ＰＡＧ２が、それぞれ検出対象として選択される。ゲート線駆動回路１５は、所定数のゲート線ＧＣＬを束ねて駆動し、所定数のゲート線ＧＣＬごとに順次ゲート駆動

信号Ｖｇｃｌを供給する。以下、グループ領域ＰＡＧ１、ＰＡＧ２のようにそれぞれ異なるグループ領域の各々の位置を特に区別しない場合、グループ領域ＰＡＧと記載する。

[0040] 信号線選択回路１６は、複数の選択信号線Ｌｓｅｌと、複数の出力信号線Ｌｏｕｔと、第３スイッチング素子ＴｒＳと、を有する。複数の第３スイッチング素子ＴｒＳは、それぞれ複数の信号線ＳＧＬに対応して設けられている。６本の信号線ＳＧＬ（１）、ＳＧＬ（２）、…、ＳＧＬ（６）は、共通の出力信号線Ｌｏｕｔ１に接続される。６本の信号線ＳＧＬ（７）、ＳＧＬ（８）、…、ＳＧＬ（１２）は、共通の出力信号線Ｌｏｕｔ２に接続される。出力信号線Ｌｏｕｔ１、Ｌｏｕｔ２は、それぞれ検出回路４８に接続される。

[0041] ここで、信号線ＳＧＬ（１）、ＳＧＬ（２）、…、ＳＧＬ（６）を第１信号線ブロックとし、信号線ＳＧＬ（７）、ＳＧＬ（８）、…、ＳＧＬ（１２）を第２信号線ブロックとする。複数の選択信号線Ｌｓｅｌは、１つの信号線ブロックに含まれる第３スイッチング素子ＴｒＳのゲートにそれぞれ接続される。また、１本の選択信号線Ｌｓｅｌは、複数の信号線ブロックの第３スイッチング素子ＴｒＳのゲートに接続される。

[0042] 具体的には、選択信号線Ｌｓｅｌ１、Ｌｓｅｌ２、…、Ｌｓｅｌ６は、それぞれ信号線ＳＧＬ（１）、ＳＧＬ（２）、…、ＳＧＬ（６）に対応する第３スイッチング素子ＴｒＳと接続される。また、選択信号線Ｌｓｅｌ１は、信号線ＳＧＬ（１）に対応する第３スイッチング素子ＴｒＳと、信号線ＳＧＬ（７）に対応する第３スイッチング素子ＴｒＳと、に接続される。選択信号線Ｌｓｅｌ２は、信号線ＳＧＬ（２）に対応する第３スイッチング素子ＴｒＳと、信号線ＳＧＬ（８）に対応する第３スイッチング素子ＴｒＳと、に接続される。

[0043] 制御回路１０２は、選択信号ＡＳＷを順次選択信号線Ｌｓｅｌに供給する。これにより、信号線選択回路１６は、第３スイッチング素子ＴｒＳの動作により、１つの信号線ブロックにおいて信号線ＳＧＬを時分割的に順次選択

する。また、信号線選択回路１６は、複数の信号線ブロックでそれぞれ１本ずつ信号線ＳＧＬを選択する。このような構成により、検出装置１は、検出回路４８を含むＩＣ（Integrated Circuit）の数、又はＩＣの端子数を少なくすることができる。

[0044] なお、信号線選択回路１６は、複数の信号線ＳＧＬを束ねて検出回路４８に接続してもよい。具体的には、制御回路１０２は、選択信号ＡＳＷを同時に選択信号線Ｌｓｅｌに供給する。これにより、信号線選択回路１６は、第３スイッチング素子ＴｒＳの動作により、１つの信号線ブロックにおいて複数の信号線ＳＧＬ（例えば６本の信号線ＳＧＬ）を選択し、複数の信号線ＳＧＬと検出回路４８とを接続する。これにより、各グループ領域ＰＡＧで検出された信号が検出回路４８に出力される。この場合、グループ領域ＰＡＧ単位で複数の部分検出領域ＰＡＡ（第１光センサ３０）からの信号が統合されて検出回路４８に出力される。

[0045] ゲート線駆動回路１５及び信号線選択回路１６の動作により、グループ領域ＰＡＧごとに検出を行うことで、１回の検出で得られる第１検出信号Ｖｄｅｔの強度が向上するのでセンサ感度を向上させることができる。また、検出に要する時間を短縮することができる。このため、検出装置１は、検出を短時間で繰り返し実行することができるので、Ｓ／Ｎ比を向上させることができ、又、脈波等の生体に関する情報の時間的な変化を精度よく検出することができる。

[0046] リセット回路１７は、基準信号線Ｌｖｒ、リセット信号線Ｌｒｓｔ及び第４スイッチング素子ＴｒＲを有する。第４スイッチング素子ＴｒＲは、複数の信号線ＳＧＬに対応して設けられている。基準信号線Ｌｖｒは、複数の第４スイッチング素子ＴｒＲのソース又はドレインの一方に接続される。リセット信号線Ｌｒｓｔは、複数の第４スイッチング素子ＴｒＲのゲートに接続される。

[0047] 制御回路１０２は、リセット信号ＲＳＴ２をリセット信号線Ｌｒｓｔに供給する。これにより、複数の第４スイッチング素子ＴｒＲがオンになり、複

数の信号線ＳＧＬは基準信号線Ｌｖｒと電気的に接続される。電源回路１０３は、基準信号ＣＯＭを基準信号線Ｌｖｒに供給する。これにより、複数の部分検出領域ＰＡＡに含まれる容量素子Ｃａ（図５参照）に基準信号ＣＯＭが供給される。

[0048] 図５に示すように、部分検出領域ＰＡＡは、第１光センサ３０と、容量素子Ｃａと、第１スイッチング素子Ｔｒとを含む。図５では、複数のゲート線ＧＣＬのうち、第２方向Ｄｙに並ぶ２つのゲート線ＧＣＬ（ｍ）、ＧＣＬ（ｍ＋１）を示す。また、複数の信号線ＳＧＬのうち、第１方向Ｄｘに並ぶ２つの信号線ＳＧＬ（ｎ）、ＳＧＬ（ｎ＋１）を示す。部分検出領域ＰＡＡは、ゲート線ＧＣＬと信号線ＳＧＬとで囲まれた領域である。第１スイッチング素子Ｔｒは、第１光センサ３０に対応して設けられる。第１スイッチング素子Ｔｒは、薄膜トランジスタにより構成されるものであり、この例では、ｎチャネルのＭＯＳ（Metal Oxide Semiconductor）型のＴＦＴ（Thin Film Transistor）で構成されている。

[0049] 第１方向Ｄｘに並ぶ複数の部分検出領域ＰＡＡに属する第１スイッチング素子Ｔｒのゲートは、ゲート線ＧＣＬに接続される。第２方向Ｄｙに並ぶ複数の部分検出領域ＰＡＡに属する第１スイッチング素子Ｔｒのソースは、信号線ＳＧＬに接続される。第１スイッチング素子Ｔｒのドレインは、第１光センサ３０のカソード及び容量素子Ｃａに接続される。

[0050] 第１光センサ３０のアノードには、電源回路１０３からセンサ電源信号ＶＤＤＳＮＳが供給される。また、信号線ＳＧＬ及び容量素子Ｃａには、電源回路１０３から、信号線ＳＧＬ及び容量素子Ｃａの初期電位となる基準信号ＣＯＭが供給される。

[0051] 部分検出領域ＰＡＡに光が照射されると、第１光センサ３０には光量に応じた電流が流れ、これにより容量素子Ｃａに電荷が蓄積される。第１スイッチング素子Ｔｒがオンになると、容量素子Ｃａに蓄積された電荷に応じて、信号線ＳＧＬに電流が流れる。信号線ＳＧＬは、信号線選択回路１６の第３スイッチング素子ＴｒＳを介して検出回路４８に接続される。これにより、

検出装置１は、部分検出領域ＰＡＡごとに、又はグループ領域ＰＡＧごとに第１光センサ３０に照射される光の光量に応じた信号を検出できる。

[0052] 検出回路４８は、読み出し期間Ｐｄｅｔ（図９参照）にスイッチＳＳＷがオンになり、信号線ＳＧＬと接続される。検出回路４８の検出信号増幅部４２は、信号線ＳＧＬから供給された電流の変動を電圧の変動に変換して増幅する。検出信号増幅部４２の非反転入力部（＋）には、固定された電位を有する基準電位（Ｖｒｅｆ）が入力され、反転入力端子（－）には、信号線ＳＧＬが接続される。基準電位（Ｖｒｅｆ）として基準信号ＣＯＭと同じ信号が入力される。また、検出信号増幅部４２は、容量素子Ｃｂ及びリセットスイッチＲＳＷを有する。リセット期間Ｐｒｓｔ（図９参照）において、リセットスイッチＲＳＷがオンになり、容量素子Ｃｂの電荷がリセットされる。

[0053] 次に、センサ部１０が有する第１光センサ３０の製造方法の概略及び第１光センサ３０の形成プロセス（ＯＰＤ形成プロセス）について説明する。図６は、第１光センサを示す平面図である。図７は、図６のＱ－Ｑ断面図である。

[0054] （製造方法の概略）

センサ部１０が有する第１光センサ３０の製造方法の概略を述べる。絶縁基板２１に成膜されたポリイミド２５上に積層されたアンダーコート２６、遮光層２７及びインシュレータ上に、ＬＴＰＳ（Low Temperature Poly Silicon）２２を含むバックプレーンＢＰを形成した。ポリイミド２５の厚みは、例えば１０μｍである。バックプレーンＢＰを形成するためのデバイスは、バックプレーンＢＰを形成するための全てのプロセスが終了後にＬＬＯ（Laser lift off）でガラス基板から剥離する。バックプレーンＢＰは、第１スイッチング素子Ｔｒとして機能する。なお、実施形態では、半導体層としてＬＴＰＳ２２が採用されているが、これに限られるものでなく、アモルファスシリコン等、他の半導体によってもよい。

[0055] 各第１スイッチング素子Ｔｒは、２個のＮＭＯＳトランジスタが直接に接続されたダブルゲートＴＦＴから構成されている。第１スイッチング素子Ｔ

ｒのＮＭＯＳトランジスタは、例えば、チャネル長４．５μｍ、チャネル幅２．５μｍ、移動度約４０～７０ｃｍ^2/Ｖｓである。ＬＴＰＳ２２のＴＦＴの形成に係り、まず一酸化珪素（ＳｉＯ）、窒化ケイ素（ＳｉＮ）、ＳｉＯ、アモルファスシリコン（ａ－Ｓｉ）の４つの材料を用いて成膜した後に、エキシマレーザーによるアニールでａ－Ｓｉを結晶化させてポリシリコンを形成する。また、周りのドライバ部分の回路は、ＰＭＯＳトランジスタとＮＭＯＳトランジスタからなるＣＭＯＳ（Complementary MOS）回路で形成されている。周辺回路のＰＭＯＳトランジスタは、例えば、チャネル長４．５μｍ、チャネル幅３．５μｍ、移動度約４０～７０ｃｍ^2/Ｖｓである。周辺回路のＮＭＯＳトランジスタは、例えば、前述と同様、チャネル長４．５μｍ、チャネル幅２．５μｍ、移動度約４０～７０ｃｍ^2/Ｖｓである。ポリシリコンの形成後に、ホウ素（Boron：Ｂ）とリン（Phosphorus：Ｐ）をドーピングすることで、ＰＭＯＳとＮＭＯＳの電極を形成した。

[0056] その後、絶縁膜２３ａとしてＳｉＯが成膜され、ダブルゲートＴＦＴの２個のゲート電極ＧＥ－Ａ、ＧＥ－Ｂとしてモリブデンタングステン合金（ＭｏＷ）が成膜される。絶縁膜２３ａの厚みは、例えば７０ｎｍである。ゲート電極ＧＥ－Ａ、ＧＥ－Ｂを形成するためのＭｏＷの厚みは、例えば２５０ｎｍである。

[0057] ＭｏＷの成膜後、中間膜２３ｂが成膜され、ソース電極２８ａ、ドレイン電極２８ｂを形成するための電極層２８が成膜される。電極層２８は、例えばアルミニウム合金である。なお、ソース電極２８ａ、ドレイン電極２８ｂと、ドーピングによって形成されたＬＴＰＳ２２のＰＭＯＳ、ＮＭＯＳの電極との接続を行うためのビアＶ１、ビアＶ２がドライエッチングによって形成される。絶縁膜２３ａと中間膜２３ｂは、ゲート線ＧＣＬとして機能するゲート電極ＧＥ－Ａ、ＧＥ－Ｂと、ＬＴＰＳ２２及び電極層２８とを隔てる絶縁層２３として機能する。

[0058] このようにして形成されたバックプレーンＢＰは、遮光層２７に対して第１光センサ３０側に積層されるＬＴＰＳ２２と、ＬＴＰＳ２２と第１光セン

サ３０との間に積層されて第１スイッチング素子Ｔｒのソース電極２８ａ及びドレイン電極２８ｂが形成される電極層２８と、を含む。ソース電極２８ａは、ＬＴＰＳ２２を挟んで遮光層２７と対向する位置に延出する。

[0059] バックプレーンＢＰを製造後、上部に有機フォトディテクタの層を形成するために、厚さ２μｍの平滑層２９が形成される。図示しないが、平滑層２９に、さらに封止膜が形成される。また、バックプレーンＢＰと第１光センサ３０との接続を行う為のビアＶ３がエッチングによって形成される。

[0060] 次に、大気安定な逆型構造の有機フォトダイオード（Organic Photo Diode：ＯＰＤ）を第１光センサ３０としてバックプレーンＢＰ上部に形成した。有機センサである第１光センサ３０のアクティブ層３１（光電変換層）は、近赤外光（例えば、波長８５０ｎｍの光）に感度を持つ材料を用いている。透明電極であるカソード電極３５にはＩＴＯ（Indium Tin Oxide）を用いており、ビアＶ３を通じてバックプレーンＢＰと接続されている。さらに、ＩＴＯの表面に酸化亜鉛（Zinc Oxide：ＺｎＯ）層３５ａを形成することで、電極の仕事関数を調整している。

[0061] 有機フォトダイオードは、種類の異なる有機半導体材料を活性層にして、２つ別なデバイスを作製している。具体的には、種類の異なる有機半導体材料として、ＰＭＤＰＰ３Ｔ（Poly[[2,5-bis(2-hexyldecyl)-2,3,5,6-tetrahydro-3,6-dioxopyrrolo[3,4-c]pyrrole-1,4-diyl]-alt-[3‘,3’‘-dimethyl-2,2’:5‘,2’‘-terthiophene]-5,5’‘-diyl]）とＳＴＤ－００１（住友化学）の２種類の材料を用いた。それぞれの材料をフェニルＣ６１酪酸メチルエステル（ [6,6]-Phenyl-C_{61}-Butyric Acid Methyl Ester：ＰＣＢＭ）と混合して成膜することでバルクヘテロ構造を実現している。さらに、アノード電極３４として、ポリチオフェン系導電性ポリマー（ＰＥＤＯＴ：ＰＳＳ）と銀（Ａｇ）を成膜した。図示しないが、有機フォトダイオードは、厚さ１μｍのパリレンで封止を行っており、アナログフロントエンド（Analog Front End：ＡＦＥ）が実装されたフレキシブルプリント基板１１０との接続のためにコンタクトパッドとしてクロム及び金（Ｃｒ／Ａｕ）が上部に

成膜されている。

[0062] 封止膜としてパレリンを用いたが、二酸化珪素（ＳｉＯ２）や酸窒化珪素（ＳｉＯＮ）であってもよい。アノード電極３４としてＰＥＤＯＴ：ＰＳＳを１０ｎｍ、Ａｇを８０ｎｍ積層したが、膜厚の範囲は、ＰＥＤＯＴ：ＰＳＳに関し１０～３０ｎｍ、Ａｇに関し１０～１００ｎｍであってもよい。ＰＥＤＯＴ：ＰＳＳに関しては、酸化モリブデン（ＭｏＯｘ）などが代替材料として挙げられ、Ａｇに関しては、アルミニウム（Ａｌ）や金（Ａｕ）などが代替材料として挙げられる。カソード電極３５はＩＴＯ上にＺｎＯを形成しているが、ＩＴＯ上にポリエチレンイミン（Polyethylenimine：ＰＥＩ）やエトキシ化ＰＥＩ（PEI Ethoxylation：PEIE）といったポリマー形成でもよい。

[0063] （ＯＰＤ形成プロセス）

チップの表面を３００Ｗ、１０秒（ｓｅｃ）の条件でＯ２プラズマ処理を行った。次に、ＺｎＯ層をスピンコート条件５０００ｒｐｍ、３０秒（ｓｅｃ）で成膜し、１８０℃で３０分（ｍｉｎ）アニールを行った。ＺｎＯ表面に有機層として、ＰＭＤＰＰ３Ｔ：ＰＣＢＭ溶液またはＳＴＤ－００１：ＰＣＢＭ溶液をそれぞれ２５０ｒｐｍ、４ｍｉｎでスピンコートした。その後、窒素雰囲気化においてＰＥＤＯＴ：ＰＳＳ（例えば、ＡＩ４０８３）をイソプロピルアルコール（IsoPropyl Alcohol：ＩＰＡ）で（３：１７）に希釈した溶液を０．４５μｍのPVDFフィルターで濾過した後、２０００ｒｐｍで３０秒（ｓｅｃ）の条件でスピンコート法により成膜した。成膜後、窒素雰囲気化で８０℃、５分（ｍｉｎ）アニールを行った。最後に、アノード電極３４として銀を８０ｎｍ真空蒸着した。デバイスが完成後、封止膜として１μｍのパリレンをＣＶＤ（Chemical Vapor Deposition）法にて成膜し、コンタクトパッドとしてＣｒ／Ａｕを真空蒸着した。

[0064] なお、係る形成プロセスによる第１光センサ３０は、光起電力効果を有する有機材料層であるアクティブ層３１と、アクティブ層３１を挟んでバックプレーンＢＰ側に設けられるカソード電極３５と、アクティブ層３１を挟ん

でカソード電極３５の反対側に設けられるアノード電極３４とを備える。光を検出可能に設けられたセンサ部１０の検出面に沿って並ぶ複数の第１光センサ３０の各々のカソード電極３５に対して、アクティブ層３１の層及びアノード電極３４の層が検出面に沿って連続する（図７参照）。すなわち、カソード電極３５が各々の第１光センサ３０で独立して設けられ、アクティブ層３１及びアノード電極３４は検出領域ＡＡの全域に渡って連続する。

[0065] 図８は、第１光センサに入射する光の波長と変換効率との関係を模式的に示すグラフである。図８に示すグラフの横軸は、第１光センサ３０に入射する光の波長であり、縦軸は、第１光センサ３０の外部量子効率である。外部量子効率は、例えば、第１光センサ３０に入射する光の光量子数と、第１光センサ３０から外部の検出回路４８に流れる電流との比で表される。

[0066] 図８に示すように、第１光センサ３０は、３００ｎｍから１０００ｎｍ程度の波長帯で良好な効率を有する。すなわち、第１光センサ３０は、例えば可視光の波長領域から赤外光の波長領域まで感度を有している。このため、照明装置１２１が検出対象に応じて異なる波長領域の光Ｌ１を照射した場合であっても、１つの第１光センサ３０で、異なる波長を有する複数の光を検出することができる。

[0067] 次に、検出装置１の動作例について説明する。図９は、検出装置の動作例を表すタイミング波形図である。図９に示すように、検出装置１は、リセット期間Ｐｒｓｔ、有効露光期間Ｐｅｘ及び読み出し期間Ｐｄｅｔを有する。電源回路１０３は、リセット期間Ｐｒｓｔ、有効露光期間Ｐｅｘ及び読み出し期間Ｐｄｅｔに亘って、センサ電源信号ＶＤＤＳＮＳを第１光センサ３０のアノードに供給する。センサ電源信号ＶＤＤＳＮＳは第１光センサ３０のアノード－カソード間に逆バイアスを印加する信号である。例えば、第１光センサ３０のカソードには実質０．７５Ｖの基準信号ＣＯＭがされているが、アノードに実質－１．２５Ｖのセンサ電源信号ＶＤＤＳＮＳを印加することにより、アノード－カソード間は実質２．０Ｖで逆バイアスされる。

[0068] 制御回路１０２は、リセット信号ＲＳＴ２を”Ｈ”とした後にゲート線駆

動回路１５にスタート信号ＳＴＶ及びクロック信号ＣＫを供給し、リセット期間Ｐｒｓｔが開始する。リセット期間Ｐｒｓｔにおいて、制御回路１０２は、基準信号ＣＯＭをリセット回路１７に供給し、リセット信号ＲＳＴ２によってリセット電圧を供給するための第４スイッチング素子ＴｒＲをオンさせる。これにより各信号線ＳＧＬにはリセット電圧として基準信号ＣＯＭが供給される。基準信号ＣＯＭは、例えば０．７５Ｖとされる。

[0069] リセット期間Ｐｒｓｔにおいて、ゲート線駆動回路１５は、スタート信号ＳＴＶ、クロック信号ＣＫ及びリセット信号ＲＳＴ１に基づいて、順次ゲート線ＧＣＬを選択する。ゲート線駆動回路１５は、ゲート駆動信号Ｖｇｃｌ｛Ｖｇｃｌ（１）、…、Ｖｇｃｌ（Ｍ）｝をゲート線ＧＣＬに順次供給する。ゲート駆動信号Ｖｇｃｌは、高レベル電圧である電源電圧ＶＤＤと低レベル電圧である電源電圧ＶＳＳとを有するパルス状の波形を有する。図９では、Ｍ本（例えばＭ＝２５６）のゲート線ＧＣＬが設けられており、各ゲート線ＧＣＬに、ゲート駆動信号Ｖｇｃｌ（１）、…、Ｖｇｃｌ（Ｍ）が順次供給され、複数の第１スイッチング素子Ｔｒは各行毎に順次導通され、リセット電圧が供給される。リセット電圧として例えば、基準信号ＣＯＭの電圧０．７５Ｖが供給される。

[0070] これにより、リセット期間Ｐｒｓｔでは、全ての部分検出領域ＰＡＡの容量素子Ｃａは、順次信号線ＳＧＬと電気的に接続されて、基準信号ＣＯＭが供給される。この結果、容量素子Ｃａの容量がリセットされる。なお、部分的にゲート線ＧＣＬ及び信号線ＳＧＬを選択することにより部分検出領域ＰＡＡのうち一部の容量素子Ｃａの容量をリセットすることも可能である。

[0071] 露光するタイミングの例として、ゲート線走査時露光制御方法と常時露光制御方法がある。ゲート線走査時露光制御方法においては、検出対象の第１光センサ３０に接続された全てのゲート線ＧＣＬにゲート駆動信号Ｖｇｃｌ（１）、…、Ｖｇｃｌ（Ｍ）が順次供給され、検出対象の全ての第１光センサ３０にリセット電圧が供給される。その後、検出対象の第１光センサ３０に接続された全てのゲート線ＧＣＬが低電圧（第１スイッチング素子Ｔｒが

オフ）になると露光が開始され、有効露光期間Ｐｅｘの間に露光が行われる。露光が終了すると前述のように検出対象の第１光センサ３０に接続されたゲート線ＧＣＬにゲート駆動信号Ｖｇｃｌ（１）、…、Ｖｇｃｌ（Ｍ）が順次供給され、読み出し期間Ｐｄｅｔに読み出しが行われる。

[0072] 常時露光制御方法においては、リセット期間Ｐｒｓｔ、読み出し期間Ｐｄｅｔにおいても露光を行う制御（常時露光制御）をすることも可能である。この場合は、ゲート駆動信号Ｖｇｃｌ（Ｍ）がゲート線ＧＣＬに供給された後に、有効露光期間Ｐｅｘ（１）が開始する。ここで、有効露光期間Ｐｅｘ（１）、…、Ｐｅｘ（Ｍ）とは第１光センサ３０から容量素子Ｃａへ充電される期間とされる。

[0073] なお、各ゲート線ＧＣＬに対応する部分検出領域ＰＡＡでの、実際の有効露光期間Ｐｅｘ（１）、…、Ｐｅｘ（Ｍ）は、開始のタイミング及び終了のタイミングが異なっている。有効露光期間Ｐｅｘ（１）、…、Ｐｅｘ（Ｍ）は、それぞれ、リセット期間Ｐｒｓｔでゲート駆動信号Ｖｇｃｌが高レベル電圧の電源電圧ＶＤＤから低レベル電圧の電源電圧ＶＳＳに変化したタイミングで開始される。また、有効露光期間Ｐｅｘ（１）、…、Ｐｅｘ（Ｍ）は、それぞれ、読み出し期間Ｐｄｅｔでゲート駆動信号Ｖｇｃｌが電源電圧ＶＳＳから電源電圧ＶＤＤに変化したタイミングで終了する。各有効露光期間Ｐｅｘ（１）、…、Ｐｅｘ（Ｍ）の露光時間の長さは等しい。

[0074] ゲート線走査時露光制御方法において、有効露光期間Ｐｅｘでは、各部分検出領域ＰＡＡで、第１光センサ３０に照射された光に応じて電流が流れる。この結果、各容量素子Ｃａに電荷が蓄積される。

[0075] 読み出し期間Ｐｄｅｔが開始する前のタイミングで、制御回路１０２は、リセット信号ＲＳＴ２を低レベル電圧にする。これにより、リセット回路１７の動作が停止する。なお、リセット信号はリセット期間Ｐｒｓｔのみ高レベル電圧としてもよい。読み出し期間Ｐｄｅｔでは、リセット期間Ｐｒｓｔと同様に、ゲート線駆動回路１５は、ゲート線ＧＣＬにゲート駆動信号Ｖｇｃｌ（１）、…、Ｖｇｃｌ（Ｍ）を順次供給する。

[0076] 具体的には、ゲート線駆動回路１５は、期間Ｖ（１）において、ゲート線ＧＣＬ（１）に、高レベル電圧（電源電圧ＶＤＤ）のゲート駆動信号Ｖｇｃｌ（１）を供給する。制御回路１０２は、ゲート駆動信号Ｖｇｃｌ（１）が高レベル電圧（電源電圧ＶＤＤ）の期間に、選択信号ＡＳＷ１、…、ＡＳＷ６を、信号線選択回路１６に順次供給する。これにより、ゲート駆動信号Ｖｇｃｌ（１）により選択された部分検出領域ＰＡＡの信号線ＳＧＬが順次、又は同時に検出回路４８に接続される。この結果、第１検出信号Ｖｄｅｔが部分検出領域ＰＡＡごとに検出回路４８に供給される。

[0077] 同様に、ゲート線駆動回路１５は、期間Ｖ（２）、…、Ｖ（Ｍ－１）、Ｖ（Ｍ）において、ゲート線ＧＣＬ（２）、…、ＧＣＬ（Ｍ－１）、ＧＣＬ（Ｍ）に、それぞれ高レベル電圧のゲート駆動信号Ｖｇｃｌ（２）、…、Ｖｇｃｌ（Ｍ－１）、Ｖｇｃｌ（Ｍ）を供給する。すなわち、ゲート線駆動回路１５は、期間Ｖ（１）、Ｖ（２）、…、Ｖ（Ｍ－１）、Ｖ（Ｍ）ごとに、ゲート線ＧＣＬにゲート駆動信号Ｖｇｃｌを供給する。各ゲート駆動信号Ｖｇｃｌが高レベル電圧となる期間ごとに、信号線選択回路１６は選択信号ＡＳＷに基づいて、順次信号線ＳＧＬを選択する。信号線選択回路１６は、信号線ＳＧＬごとに順次、１つの検出回路４８に接続する。これにより、読み出し期間Ｐｄｅｔで、検出装置１は、全ての部分検出領域ＰＡＡの第１検出信号Ｖｄｅｔを検出回路４８に出力することができる。

[0078] 図１０は、図９における読み出し期間の動作例を表すタイミング波形図である。以下、図１０を参照して、図９における１つのゲート駆動信号Ｖｇｃｌ（ｊ）の供給期間Ｒｅａｄｏｕｔ中の動作例について説明する。図９では、最初のゲート駆動信号Ｖｇｃｌ（１）に供給期間Ｒｅａｄｏｕｔの符号を付しているが、他のゲート駆動信号Ｖｇｃｌ（２）、…、Ｖｇｃｌ（Ｍ）についても同様である。ｊは、１からＭのいずれかの自然数である。

[0079] 図１０及び図５に示すように、第３スイッチング素子ＴｒＳの出力（V_{out}）は予め基準電位（Ｖｒｅｆ）にリセットされている。基準電位（Ｖｒｅｆ）はリセット電圧とされ、例えば０．７５Ｖとされる。次にゲート駆動信号

Ｖｇｃｌ（ｊ）がハイレベルとなり当該行の第１スイッチング素子Ｔｒがオンし、各行の信号線ＳＧＬは当該部分検出領域ＰＡＡの容量素子Ｃａに蓄積された電荷に応じた電圧になる。

[0080] ゲート駆動信号Ｖｇｃｌ（ｊ）の立ち上がりから期間ｔ１の経過後、選択信号ＡＳＷ（ｋ）がハイになる期間ｔ２が生じる。選択信号ＡＳＷ（ｋ）がハイになって第３スイッチング素子ＴｒＳがオンすると、第３スイッチング素子ＴｒＳを介して検出回路４８と接続されている部分検出領域ＰＡＡの容量素子Ｃａに充電された電荷により、第３スイッチング素子ＴｒＳの出力（V_{out}）（図５参照）が容量素子Ｃａに蓄積された電荷に応じた電圧に変化する（期間ｔ３）。

[0081] 図１０の例では期間ｔ３のようにこの電圧はリセット電圧から下がっている。その後、スイッチＳＳＷがオン（ＳＳＷ信号がハイレベルとなる期間ｔ４）すると容量素子Ｃａに蓄積された電荷が検出回路４８の検出信号増幅部４２の容量素子Ｃｂへ電荷が移動し、検出信号増幅部４２の出力電圧は容量素子Ｃｂに蓄積された電荷に応じた電圧となる。このとき検出信号増幅部４２の反転入力部はオペアンプのイマジナリショート電位となるため、基準電位（Ｖｒｅｆ）に戻っている。

[0082] 検出信号増幅部４２の出力電圧はＡ／Ｄ変換部４３で読み出す。図１０の例では、各列の信号線ＳＧＬに対応する選択信号ＡＳＷ（ｋ）、ＡＳＷ（ｋ＋１）、…の波形がハイになって第３スイッチング素子ＴｒＳを順次オンさせ、同様の動作を順次行うことでゲート線ＧＣＬに接続された部分検出領域ＰＡＡの容量素子Ｃａに蓄積された電荷を順次読み出している。なお図１０におけるＡＳＷ（ｋ）、ＡＳＷ（ｋ＋１）…は、例えば、図９におけるＡＳＷ１－６のいずれかである。

[0083] 具体的には、スイッチＳＳＷがオンになる期間ｔ４が生じると、部分検出領域ＰＡＡの容量素子Ｃａから検出回路４８の検出信号増幅部４２の容量素子Ｃｂへ電荷が移動する。このとき検出信号増幅部４２の非反転入力（＋）は、基準電位（Ｖｒｅｆ）（例えば、０．７５Ｖ）にバイアスされている。

このため、検出信号増幅部４２の入力間のイマジナリショートにより第３スイッチング素子ＴｒＳの出力（V_{out}）も基準電位（Ｖｒｅｆ）になる。

[0084] また、容量素子Ｃｂの電圧は、選択信号ＡＳＷ（ｋ）に応じて第３スイッチング素子ＴｒＳがオンした箇所の部分検出領域ＰＡＡの容量素子Ｃａに蓄積された電荷に応じた電圧となる。検出信号増幅部４２の出力は、イマジナリショートによって第３スイッチング素子ＴｒＳの出力（V_{out}）が基準電位（Ｖｒｅｆ）になった後に、容量素子Ｃｂの電圧に応じた容量になり、この出力電圧をＡ／Ｄ変換部４３で読み取る。なお、容量素子Ｃｂの電圧とは、例えば、容量素子Ｃｂを構成するコンデンサに設けられる２つの電極間の電圧である。

[0085] なお、期間ｔ１は、例えば２０μｓである。期間ｔ２は、例えば６０μｓである。期間ｔ３は、例えば４４．７μｓである。期間ｔ４は、例えば０．９８μｓである。

[0086] なお、図９及び図１０では、ゲート線駆動回路１５がゲート線ＧＣＬを個別に選択する例を示したが、これに限定されない。ゲート線駆動回路１５は、２以上の所定数のゲート線ＧＣＬを同時に選択し、所定数のゲート線ＧＣＬごとに順次ゲート駆動信号Ｖｇｃｌを供給してもよい。また、信号線選択回路１６も、２以上の所定数の信号線ＳＧＬを同時に１つの検出回路４８に接続してもよい。また更には、ゲート線駆動回路１５は、複数のゲート線ＧＣＬを間引いて走査してもよい。

[0087] また、検出装置１は、静電容量にて指紋を検出可能である。具体的には、容量素子Ｃａを用いる。まず、全ての容量素子Ｃａに所定の電荷を充電させる。その後、指Ｆｇが触れることにより、指紋の凹凸に応じた容量が各セルの容量素子Ｃａに付加される。従って、指Ｆｇが接触した状態で、各セルの容量素子Ｃａからの出力が示す容量を、図９及び図１０を参照して説明した各部分検出領域ＰＡＡからの出力の取得と同様、検出信号増幅部４２とＡ／Ｄ変換部４３で読み取ることによって指紋パターンを生成できる。この方法により、静電容量方式にて指紋を検出できる。尚、部分検出領域ＰＡＡの容

量と指紋などの被検出物との距離を１００ｕｍ以上３００ｕｍ以下に設定する構造にすることが望ましい。

[0088] 次に、第２光センサ５０の構成について説明する。図１１は、図２のＸＩ－ＸＩ’断面図である。図１１に示すように、第２光センサ５０は、第１光センサ３０と同一の絶縁基板２１上に設けられる。より具体的には、第２光センサ５０は、平滑層２９の上に設けられる。

[0089] 第２光センサ５０は、光起電力効果を有する無機材料層（半導体層５１）を含む。具体的には、第２光センサ５０は、半導体層５１と、アノード電極５４と、カソード電極５５とを含む。平滑層２９の上に、カソード電極５５、半導体層５１、アノード電極５４の順に積層される。半導体層５１は、例えば、アモルファスシリコン（ａ－Ｓｉ）からなる無機半導体層である。なお、半導体層５１は、アモルファスシリコンに限定されず、例えば、ポリシリコン、より好ましくは、ＬＴＰＳであってもよい。

[0090] 第２光センサ５０は、例えば、ＰＩＮ（Positive Intrinsic Negative Diode）型のフォトダイオードである。具体的には、半導体層５１は、ｉ型半導体層５１ａ、ｎ型半導体層５１ｂ及びｐ型半導体層５１ｃを含む。ｉ型半導体層５１ａ、ｎ型半導体層５１ｂ及びｐ型半導体層５１ｃは、光電変換素子の一具体例である。図１１では、絶縁基板２１の表面に垂直な方向（第３方向Ｄｚ）において、ｉ型半導体層５１ａは、ｎ型半導体層５１ｂとｐ型半導体層５１ｃとの間に設けられる。本実施形態では、カソード電極５５の上に、ｎ型半導体層５１ｂ、ｉ型半導体層５１ａ及びｐ型半導体層５１ｃの順に積層されている。

[0091] ｐ型半導体層５１ｃは、ａ－Ｓｉに不純物がドープされてｎ＋領域を形成する。ｎ型半導体層５１ｂは、ａ－Ｓｉに不純物がドープされてｐ＋領域を形成する。ｉ型半導体層５１ａは、例えば、ノンドープの真性半導体であり、ｐ型半導体層５１ｃ及びｎ型半導体層５１ｂよりも低い導電性を有する。

[0092] アノード電極５４及びカソード電極５５は、ＩＴＯ（Indium Tin Oxide）等の透光性を有する導電材料である。アノード電極５４は、センサ電源信

号を光電変換層に供給するための電極である。カソード電極５５は、第２検出信号Ｖｄｅｔ－Ｒを読み出すための電極である。

[0093] アノード電極５４は、平滑層２９ａ上に設けられる。平滑層２９ａには、半導体層５１と重なる領域に開口が設けられ、アノード電極５４は、平滑層２９ａの開口を介して半導体層５１に接続される。カソード電極５５は、平滑層２９の上に設けられる。カソード電極５５は、平滑層２９を貫通するコンタクトホールＨ１を介してバックプレーンＢＰと接続される。

[0094] 第２光センサ５０に接続される第５スイッチング素子ＴｒＡは、半導体層６１、ゲート電極６２、ソース電極６３及びドレイン電極６４を有する。また、半導体層６１と絶縁基板２１との間には遮光膜６７が設けられる。第２光センサ５０のカソード電極５５は、接続配線６３ｓを介してソース電極６３と接続される。第５スイッチング素子ＴｒＡの断面構造は、図７において上述した第１スイッチング素子Ｔｒと同様であるため、詳細な説明は省略する。なお、第５スイッチング素子ＴｒＡは、第１スイッチング素子Ｔｒと同層に設けられる場合に限定されず、第１スイッチング素子Ｔｒと異なる層に形成されてもよい。

[0095] 図１２は、第２光センサの駆動回路を示す回路図である。図１２に示すように、第５スイッチング素子ＴｒＡのゲートはゲート線ＧＣＬ－Ｒに接続される。第５スイッチング素子ＴｒＡのソースは信号線ＳＧＬ－Ｒに接続される。第５スイッチング素子ＴｒＡのドレインは、第２光センサ５０のカソード電極５５及び容量素子Ｃｒの一端に接続される。第２光センサ５０のアノード電極５４及び容量素子Ｃｒの他端は、基準電位、例えばグランド電位に接続される。

[0096] 信号線ＳＧＬ－Ｒには、第６スイッチング素子ＴｒＡ１及び第７スイッチング素子ＴｒＡ２が接続される。第６スイッチング素子ＴｒＡ１及び第７スイッチング素子ＴｒＡ２は、第５スイッチング素子ＴｒＡを駆動する駆動回路を構成する素子である。第６スイッチング素子ＴｒＡ１及び第７スイッチング素子ＴｒＡ２は、例えば、ｐチャネルトランジスタｐ－ＴｒＡ２とｎチ

ャネルトランジスタｎ－ＴｒＡ２とを組み合わせたＣＭＯＳ（相補型ＭＯＳ）トランジスタで構成される。

[0097] 本実施形態において、第２光センサ５０の駆動回路は周辺領域ＧＡに設けられる。第２光センサ５０の駆動回路は、ゲート線駆動回路１５及び信号線選択回路１６とは別に設けられ、制御回路１０２は、第２光センサ５０を、第１光センサ３０とは独立して駆動させることができる。ただし、第２光センサ５０の駆動回路は、ゲート線駆動回路１５及び信号線選択回路１６と共用してもよい。また、制御回路１０２は、第２光センサ５０を、第１光センサ３０と同期して駆動してもよい。

[0098] 第２光センサ５０に光が照射されると、第２光センサ５０には照射された光量に応じた電流が流れ、これにより容量素子Ｃｒに電荷が蓄積される。第５スイッチング素子ＴｒＡがオンになると、容量素子Ｃｒに蓄積された電荷に応じて、信号線ＳＧＬ－Ｒに電流が流れる。信号線ＳＧＬ－Ｒは、第７スイッチング素子ＴｒＡ２を介して検出回路４８に接続される。これにより、検出装置１は、第２光センサ５０に照射される光の光量に応じた信号を、第２検出信号Ｖｄｅｔ－Ｒとして検出できる。なお、第２光センサ５０の駆動方法（リセット期間Ｐｒｓｔ、有効露光期間Ｐｅｘ及び読み出し期間Ｐｄｅｔ）も、上述した第１光センサ３０の部分検出領域ＰＡＡと同様であり、詳細な説明は省略する。

[0099] 図１３は、第１光センサから出力される第１検出信号と、第２光センサから出力される第２検出信号との関係を説明するための説明図である。図１３に示すように、検出装置１は、第１時点Ｔ－ｓｔに、複数の第１光センサ３０及び第２光センサ５０を同時に駆動する。第１時点Ｔ－ｓｔにおける第１検出信号Ｖｄｅｔ及び第２検出信号Ｖｄｅｔ－Ｒは、同じ被検出体（例えば指Ｆｇ）について、複数の第１光センサ３０及び第２光センサ５０でそれぞれ検出した場合の検出信号である。また、第１検出信号Ｖｄｅｔは、複数の第１光センサ３０からそれぞれ出力された個別の第１検出信号Ｖｄｅｔであってもよいし、複数の第１検出信号Ｖｄｅｔの平均値であってもよい。

[0100] 信号処理部４４は、第１時点Ｔ－ｓｔにおける第１検出信号Ｖｄｅｔと第２検出信号Ｖｄｅｔ－Ｒとの差分の信号ΔＶ１を演算する。差分の信号ΔＶ１は、記憶部４６に記憶される。なお、第１時点Ｔ－ｓｔは、例えば検出装置１の起動時であり、電源がオフの状態からオンになった場合や、検出装置１がスリープモードから復帰した場合等を含む。

[0101] 検出装置１は、第１時点Ｔ－ｓｔから所定の期間経過した第２時点Ｔ－ｓｔｘに、複数の第１光センサ３０及び第２光センサ５０を同時に駆動する。信号処理部４４は、第２時点Ｔ－ｓｔｘにおける第１検出信号Ｖｄｅｔと第２検出信号Ｖｄｅｔ－Ｒとの差分の信号ΔＶ２を演算する。

[0102] 制御回路１０２は、差分の信号ΔＶ２と、差分の信号ΔＶ１とを比較して、差分の信号ΔＶ２と、差分の信号ΔＶ１との差ΔＶ３（＝｜ΔＶ２－ΔＶ１｜）を演算する。そして制御回路１０２は、差ΔＶ３が、所定の値以上となった場合に、第１光センサ３０の経年変化等により、同じ被検出体について同じ条件で検出した場合であっても第１検出信号Ｖｄｅｔが変化していると判断する。

[0103] 第１検出信号Ｖｄｅｔの変化が生じている場合、制御回路１０２は、差ΔＶ３が所定の値よりも小さくなるように、つまり、差分の信号ΔＶ２が差分の信号ΔＶ１に近づくように、第１光センサ３０の駆動条件を変更する。例えば、制御回路１０２は、第１光センサ３０のセンサ電源信号ＶＤＤＳＮＳを変更し、又は、有効露光期間Ｐｅｘの長さを変更することで、第１検出信号Ｖｄｅｔを調整することができる。あるいは、制御回路１０２は、信号処理部４４において、Ａ／Ｄ変換部４３から供給されたデジタルデータを補正してもよい。

[0104] なお、図１３では、説明を分かりやすくするために、第１時点Ｔ－ｓｔと第２時点Ｔ－ｓｔｘでの各検出信号を例示して示したが、検出装置１は、第２光センサ５０をどのように駆動してもよい。例えば、検出装置１は、第１光センサ３０と同期して、第２光センサ５０を常時駆動してもよい。あるいは、検出装置１は、起動されるごとに第２光センサ５０を駆動してもよいし

、第１光センサ３０が検出領域ＡＡの全体の検出を行う期間を１フレーム期間としたときに、１又は複数のフレーム期間ごとに、第２光センサ５０を駆動してもよい。

[0105] 以上説明したように、本実施形態の検出装置１は、基板（絶縁基板２１）と、複数の第１光センサ３０と、少なくとも１つ以上の第２光センサ５０とを有する。複数の第１光センサ３０は、基板の検出領域ＡＡに設けられ、光起電力効果を有する有機材料層（アクティブ層３１）を含む。第２光センサ５０は、基板に設けられ、光起電力効果を有する無機材料層（半導体層５１）を含む。

[0106] 有機材料が用いられた第１光センサ３０の経年劣化等により、第１検出信号Ｖｄｅｔが変化した場合であっても、無機材料が用いられた第２光センサ５０は、第１光センサ３０よりも経年変化が抑制される。つまり、第１検出信号Ｖｄｅｔの経年変化に比べて第２検出信号Ｖｄｅｔ－Ｒの経年変化は非常に小さい。これにより、検出装置１は、無機材料が用いられた第２光センサ５０からの第２検出信号Ｖｄｅｔ－Ｒを基準として、第１検出信号Ｖｄｅｔの変化を検出することができる。そして、検出装置１は、第１光センサ３０の駆動を調整することや、検出部４０での信号処理を調整することで、第１検出信号Ｖｄｅｔの変化を抑制することができる。これにより、検出装置１は、検出性能の低下を抑制することができる。

[0107] また、検出装置１において、複数の第１光センサ３０は、検出領域ＡＡにマトリクス状に配列され、第２光センサ５０は、基板の周辺領域ＧＡに１つ配置される。これによれば、第２光センサ５０を検出領域ＡＡに設けた場合に比べて、検出の高精細化を図ることができる。また、第２光センサ５０が１つ配置されているので、周辺領域ＧＡに設けられる周辺回路の回路規模を抑制することができる。

[0108] なお、図２等において、複数の第１光センサ３０及び第２光センサ５０は、平面視で略四角形状であるが、これに限定されない。複数の第１光センサ３０及び第２光センサ５０は、多角形状や円形状等、他の形状であってもよ

い。また、図４、５に示す複数の第１光センサ３０及び図１２に示す第２光センサ５０を駆動する回路もあくまで一例であり、適宜変更することができる。

[0109] （第２実施形態）

図１４は、第２実施形態に係る検出装置を示す平面図である。なお、上述した第１実施形態で説明したものと同じ構成要素には同一の符号を付して重複する説明は省略する。図１４に示すように、第２実施形態の検出装置１Ａは、複数の第２光センサ５０を有する。

[0110] 複数の第２光センサ５０は、周辺領域ＧＡに設けられ、検出領域ＡＡの少なくとも一辺に沿って配列される。より具体的には、複数の第２光センサ５０は、検出領域ＡＡの四辺を囲むように枠状に配列される。複数の第２光センサ５０は、ゲート線駆動回路１５と検出領域ＡＡとの間に設けられる。また、複数の第２光センサ５０は、信号線選択回路１６と検出領域ＡＡとの間に設けられる。

[0111] 第２光センサ５０に接続されるゲート線ＧＣＬ－Ｒ（図１２参照）は、ゲート線駆動回路１５に接続されていてもよい。また、第２光センサ５０に接続される信号線ＳＧＬ－Ｒ（図１２参照）は、信号線選択回路１６に接続されていてもよい。

[0112] 本実施形態では、制御回路１０２は、近傍に配置された第１光センサ３０と、第２光センサ５０から出力された第１検出信号Ｖｄｅｔと第２検出信号Ｖｄｅｔ－Ｒとを比較することができる。例えば、制御回路１０２は、検出領域ＡＡ及び周辺領域ＧＡを、複数の領域に分割して、領域ごとに第１検出信号Ｖｄｅｔと第２検出信号Ｖｄｅｔ－Ｒとを比較することができる。

[0113] 検出装置１Ａは、近傍に配置された第１光センサ３０と、第２光センサ５０とを比較できるので、第１光センサ３０の経年変化等による第１検出信号Ｖｄｅｔの変化を精度よく検出できる。また、制御回路１０２は、複数の第２光センサ５０から出力された複数の第２検出信号Ｖｄｅｔ－Ｒの平均を演算して、複数の第２検出信号Ｖｄｅｔ－Ｒの平均値を、第１検出信号Ｖｄｅ

ｔのリファレンスに用いてもよい。

[0114] なお、複数の第２光センサ５０の配置は、図１４に示す例に限定されない。例えば、複数の第２光センサ５０は、検出領域ＡＡの四辺を囲う構成に限定されず、検出領域ＡＡの一辺に沿って設けられていなくてもよい。また、複数の第２光センサ５０の配置ピッチと、複数の第１光センサ３０の配置ピッチは同じであるが、異なっていてもよい。すなわち、第２方向Ｄｙに沿って配列された複数の第２光センサ５０の数と、第２方向Ｄｙに沿って配列された複数の第１光センサ３０の数とが異なっていてもよい。また、第１方向Ｄｘに沿って配列された複数の第２光センサ５０の数と、第１方向Ｄｘに沿って配列された複数の第１光センサ３０の数とが異なっていてもよい。

[0115] （第３実施形態）

図１５は、第３実施形態に係る検出装置を示す平面図である。図１５に示すように、第３実施形態の検出装置１Ｂは、複数の第２光センサ５０を有する。複数の第１光センサ３０及び複数の第２光センサ５０は、検出領域ＡＡに設けられる。複数の第１光センサ３０及び複数の第２光センサ５０は、検出領域ＡＡで、第１方向Ｄｘに沿って交互に配列され、かつ、第２方向Ｄｙに沿って交互に配列される。

[0116] 言い換えると、絶縁基板２１に垂直な方向からの平面視で、第１方向Ｄｘに隣り合う第１光センサ３０の間に第２光センサ５０が設けられる。また、第２方向Ｄｙに隣り合う第１光センサ３０の間に第２光センサ５０が設けられる。

[0117] ゲート線ＧＣＬ－Ｒ及び信号線ＳＧＬ－Ｒは、それぞれゲート線ＧＣＬ及び信号線ＳＧＬに沿って検出領域ＡＡに設けられる。ゲート線ＧＣＬ－Ｒは、ゲート線駆動回路１５に接続される。信号線ＳＧＬ－Ｒは、信号線選択回路１６に接続される。信号線選択回路１６は、信号線ＳＧＬと同様に、複数の信号線ＳＧＬ－Ｒのうち、選択された信号線ＳＧＬ－Ｒを検出回路４８に接続してもよい。

[0118] 本実施形態では、複数の第１光センサ３０のそれぞれに、リファレンス用

の第２光センサ５０が対応付けられる。このため、精度よく複数の第１光センサ３０の経年変化を監視することができる。また、ゲート線駆動回路１５及び信号線選択回路１６を第２光センサ５０の駆動回路に共用できるので、周辺回路の回路規模を抑制することができる。また、第２光センサ５０は、検出領域ＡＡにマトリクス状に配列されているので、第２検出信号Ｖｄｅｔ－Ｒを生体情報の検出に用いてもよい。

[0119] なお、図１５では、複数の第１光センサ３０及び複数の第２光センサ５０は、第１方向Ｄｘに一つずつ交互に配置されているが、これに限定されない。複数の第１光センサ３０（例えば、２つ以上、数１０個以下）に対して１つの第２光センサ５０が設けられていてもよい。

[0120] （第４実施形態）

図１６は、第４実施形態に係る検出装置を示す平面図である。図１６に示すように、第４実施形態の検出装置１Ｃは、検出領域ＡＡに設けられた１つの第２光センサ５０を有する。より具体的には、第２光センサ５０は、検出領域ＡＡの全領域を覆って設けられる。複数の第１光センサ３０は、１つの第２光センサ５０と重なってマトリクス状に配列される。また、複数の第１光センサ３０に対応して設けられたゲート線ＧＣＬ及び信号線ＳＧＬも、１つの第２光センサ５０と重なって配置される。

[0121] 第２光センサ５０は、ゲート線駆動回路１５及び信号線選択回路１６の少なくとも一方に接続されていてもよい。あるいは、第２光センサ５０は、ゲート線駆動回路１５及び信号線選択回路１６を介さずに、周辺領域ＧＡに設けられた接続配線を介して、検出回路４８及び制御回路１０２と電気的に接続されていてもよい。

[0122] 図１７は、図１６のＸＶＩＩ－ＸＶＩＩ’断面図である。なお、図１７は、検出装置１Ｃの一部を拡大して示す断面図である。また、図１７ではバックプレーンＢＰの構成を簡略化して示しているが、バックプレーンＢＰには、図７と同様に各第１光センサ３０に対応して第１スイッチング素子Ｔｒが設けられる。また、バックプレーンＢＰには、第２光センサ５０に対応して

第５スイッチング素子ＴｒＡが設けられる。

[0123] 図１７に示すように、複数の第１光センサ３０と、第２光センサ５０とは、同一の絶縁基板２１に設けられる。複数の第１光センサ３０は、第２光センサ５０の上に設けられる。より具体的には、第２光センサ５０は、第１平滑層２９－１の上に設けられる。第１平滑層２９－１の上に、カソード電極５５、半導体層５１、アノード電極５４の順に積層される。カソード電極５５は、第１平滑層２９－１を貫通するコンタクトホールを介してバックプレーンＢＰに接続される。

[0124] 第２平滑層２９－２は、第２光センサ５０を覆って設けられる。複数の第１光センサ３０は、第２平滑層２９－２の上に設けられる。第２平滑層２９－２の上にカソード電極３５、アクティブ層３１、アノード電極３４の順に積層される。カソード電極３５は、複数の第１光センサ３０ごとに離隔して配置される。つまり、平面視で、カソード電極３５はマトリクス状に配列される。アクティブ層３１及びアノード電極３４は、複数のカソード電極３５を覆って連続して設けられる。

[0125] 第２光センサ５０には、複数の第１光センサ３０のそれぞれと重なる位置に、開口Ｈ５０が設けられている。複数の第１光センサ３０のカソード電極３５は、第２平滑層２９－２、開口Ｈ５０及び第１平滑層２９－１を貫通するコンタクトホールを介してバックプレーンＢＰに接続される。

[0126] このような構成により、第２光センサ５０は、複数の第１光センサ３０を透過した光を検出することができる。第２光センサ５０は、検出領域ＡＡの全体に設けられているので、第１光センサ３０のそれぞれを透過する光量が小さい場合でも、第２光センサ５０全体として感度を向上することができる。また、複数の第１光センサ３０と第２光センサ５０とが重なって設けられているので、平面視での複数の第１光センサ３０の配置の制約が少ない。すなわち、検出装置１Ｃは、第２光センサ５０を検出領域ＡＡに設けた場合でも、第１光センサ３０の受光面積を確保することができ、または、第１光センサ３０の解像度を確保することができる。

[0127] （変形例）

図１８は、第４実施形態の変形例に係る検出装置を示す平面図である。第４実施形態の変形例に係る検出装置１Ｄは、検出領域ＡＡに設けられた複数の第２光センサ５０を有する。第２光センサ５０は、検出領域ＡＡにマトリクス状に配列される。複数の第１光センサ３０は、１つの第２光センサ５０と重なってマトリクス状に配列される。図１８に示す例では、１つの第２光センサ５０と重なって９個の第１光センサ３０が設けられる。ただし、これに限定されず、１つの第２光センサ５０と重なって１０個以上の第１光センサ３０が設けられてもよく、例えば、数１０個の第１光センサ３０が設けられてもよい。

[0128] 以上、本発明の好適な実施の形態を説明したが、本発明はこのような実施の形態に限定されるものではない。実施の形態で開示された内容はあくまで一例にすぎず、本発明の趣旨を逸脱しない範囲で種々の変更が可能である。本発明の趣旨を逸脱しない範囲で行われた適宜の変更についても、当然に本発明の技術的範囲に属する。

符号の説明

[0129] １、１Ａ、１Ｂ、１Ｃ、１Ｄ　検出装置

１０　センサ部

１５　ゲート線駆動回路

１６　信号線選択回路

１７　リセット回路

２１　絶縁基板

３０　第１光センサ

３１　アクティブ層

３４、５４　アノード電極

３５、５５　カソード電極

４８　検出回路

５０　第２光センサ

５１　半導体層

５１ａ　ｉ型半導体層

５１ｂ　ｎ型半導体層

５１ｃ　ｐ型半導体層

１０１　制御基板

１０２　制御回路

１０３　電源回路

ＡＡ　検出領域

ＧＡ　周辺領域

ＧＣＬ、ＧＣＬ－Ｒ　ゲート線

ＳＧＬ、ＳＧＬ－Ｒ　信号線

Ｔｒ　第１スイッチング素子

請求の範囲

[請求項1] 基板と、

前記基板の検出領域に設けられ、光起電力効果を有する有機材料層を含む複数の第１光センサと、

前記基板に設けられ、光起電力効果を有する無機材料層を含む少なくとも１つ以上の第２光センサと、を有する

検出装置。

[請求項2] 複数の前記第１光センサは、前記検出領域にマトリクス状に配列され、

前記第２光センサは、前記基板の周辺領域に１つ配置される

請求項１に記載の検出装置。

[請求項3] 複数の前記第２光センサを有し、

複数の前記第１光センサは、前記検出領域にマトリクス状に配列され、

複数の前記第２光センサは、前記基板の周辺領域に設けられ、前記検出領域の少なくとも一辺に沿って配列される

請求項１に記載の検出装置。

[請求項4] 複数の前記第２光センサを有し、

前記第１光センサ及び前記第２光センサは、前記検出領域で、第１方向に沿って交互に配列される

請求項１に記載の検出装置。

[請求項5] 前記第２光センサは、前記検出領域に設けられ、

複数の前記第１光センサは、１つの前記第２光センサと重なって設けられる

請求項１に記載の検出装置。

[請求項6] 前記無機材料層は、アモルファスシリコンからなる無機半導体層である

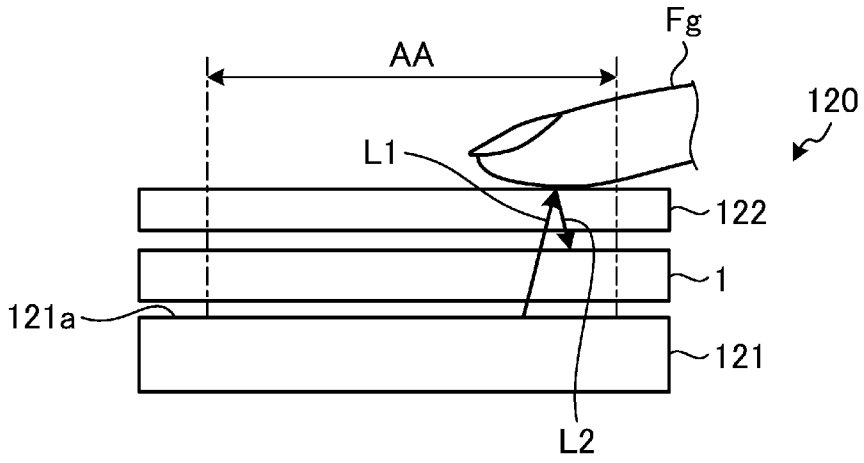
請求項１から請求項５のいずれか１項に記載の検出装置。

[請求項7] 複数の前記第１光センサ及び前記第２光センサの検出を制御する制御回路を有し、

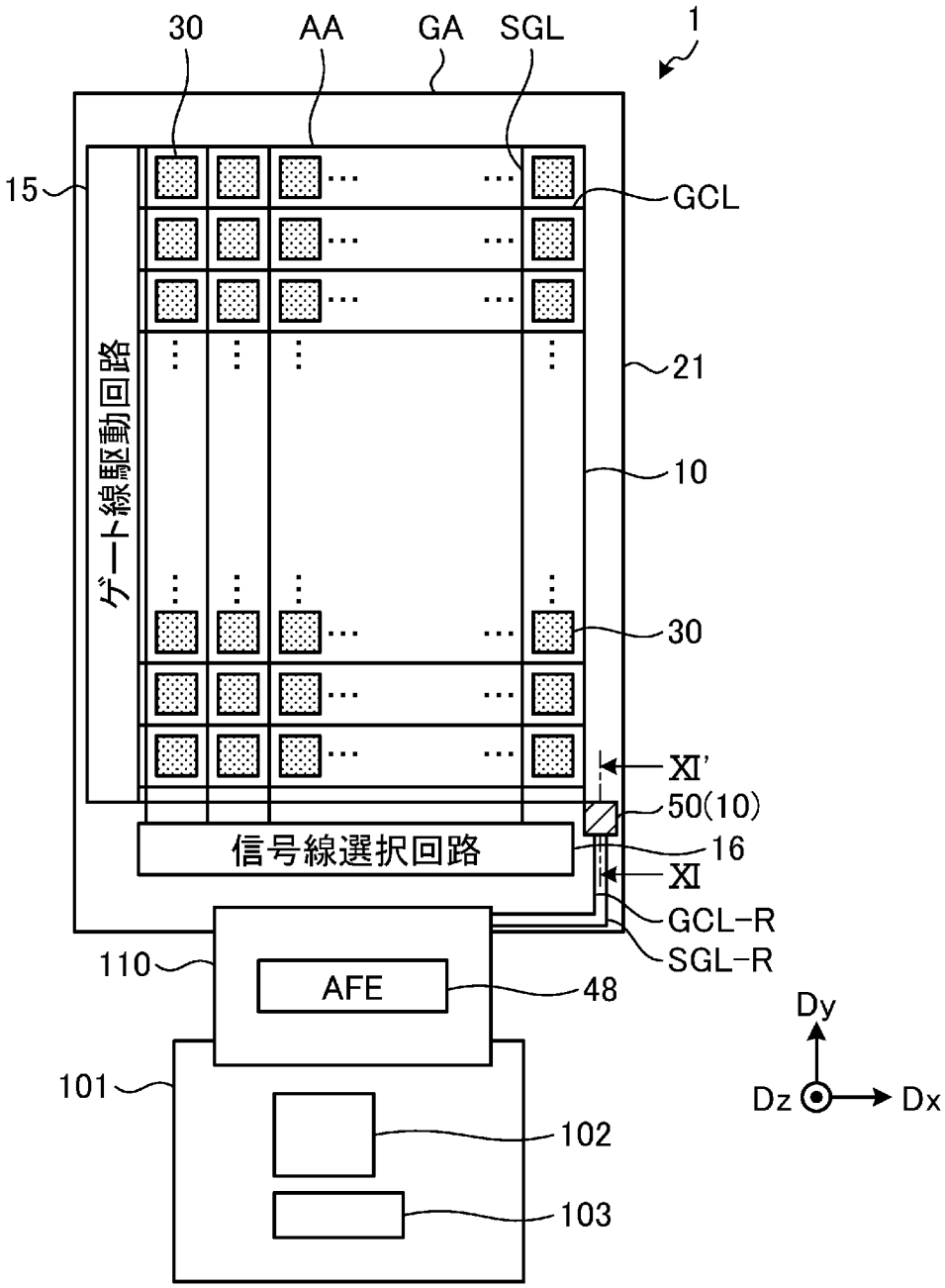
前記制御回路は、前記第１光センサから出力された第１検出信号と、前記第２光センサから出力された第２検出信号との差分の信号の変化に基づいて、複数の前記第１光センサの検出を制御する

請求項１から請求項６のいずれか１項に記載の検出装置。

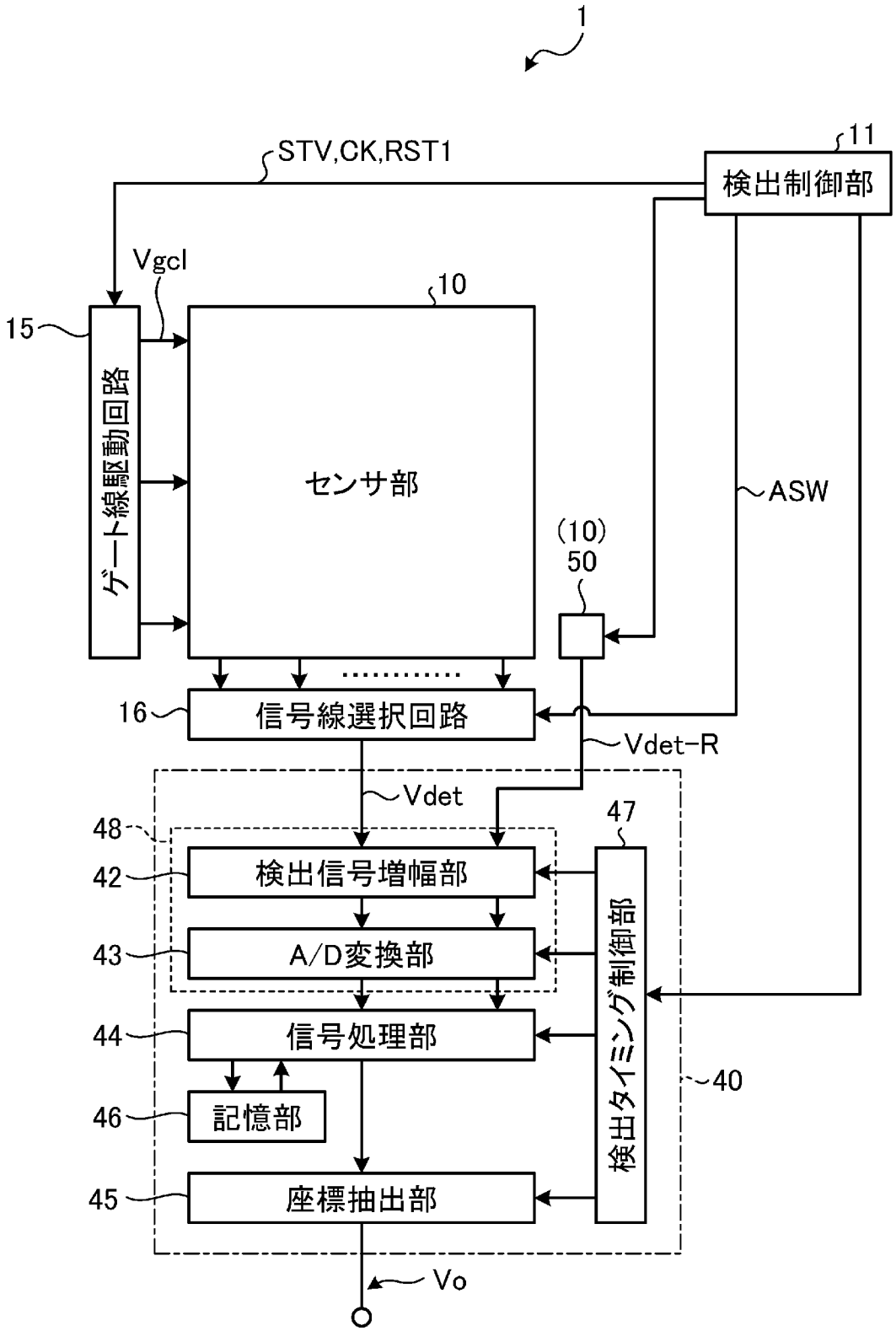
[図1]



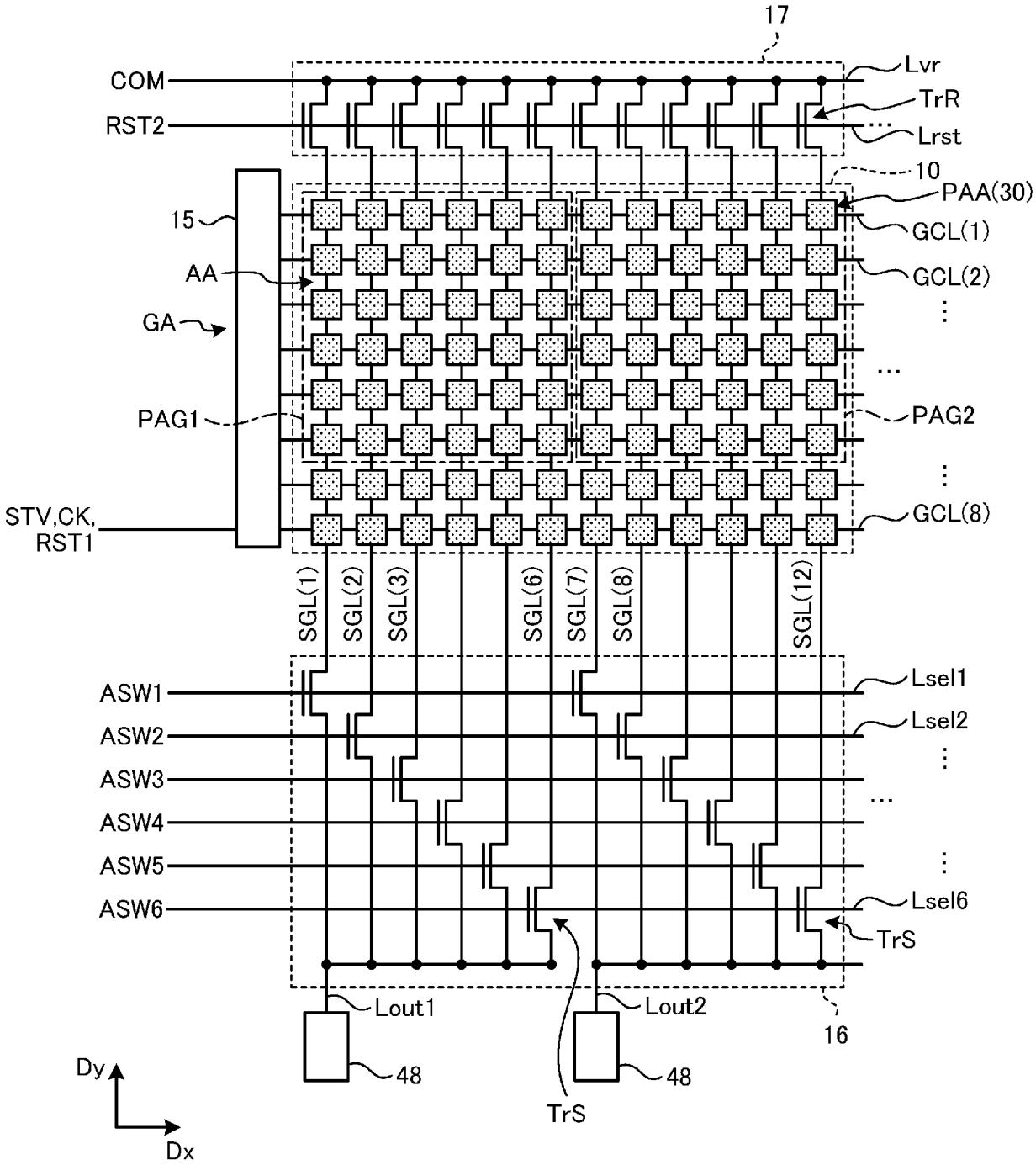
[図2]


30
AA
GA
SGL
1
15
GCL
21
10
ゲート線駆動回路
30
XI'
50(10)
信号線選択回路
16
XI
GCL-R
SGL-R
110
AFE
48
Dy
Dz
Dx
101
102
103

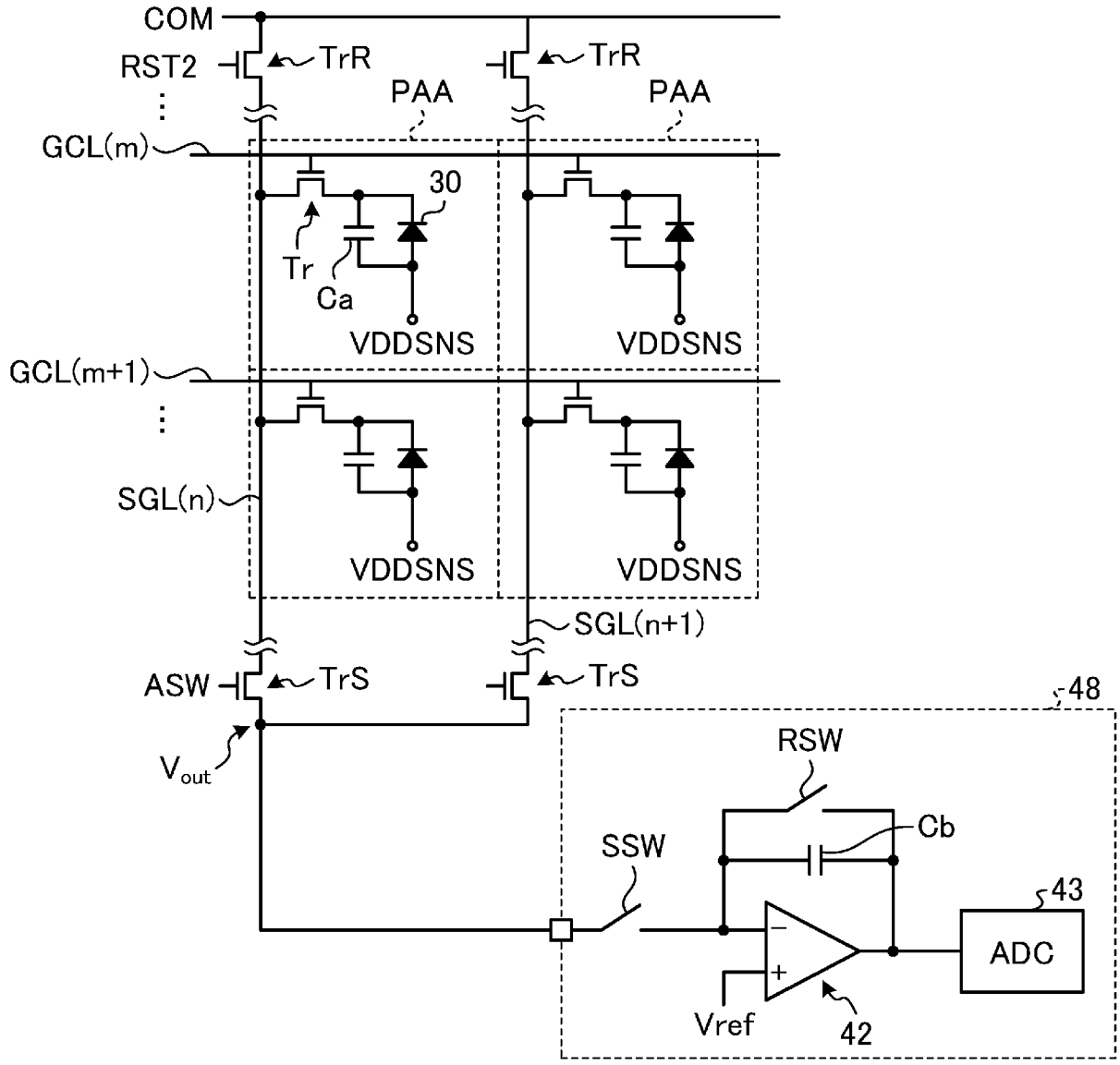
[図3]


1
STV,CK,RST1
11
検出制御部
Vgcl
10
15
ゲート線駆動回路
センサ部
ASW
(10)
50
16
信号線選択回路
Vdet-R
Vdet
48
47
42
検出信号増幅部
43
A/D変換部
44
信号処理部
46
記憶部
45
座標抽出部
検出タイミング制御部
40
Vo

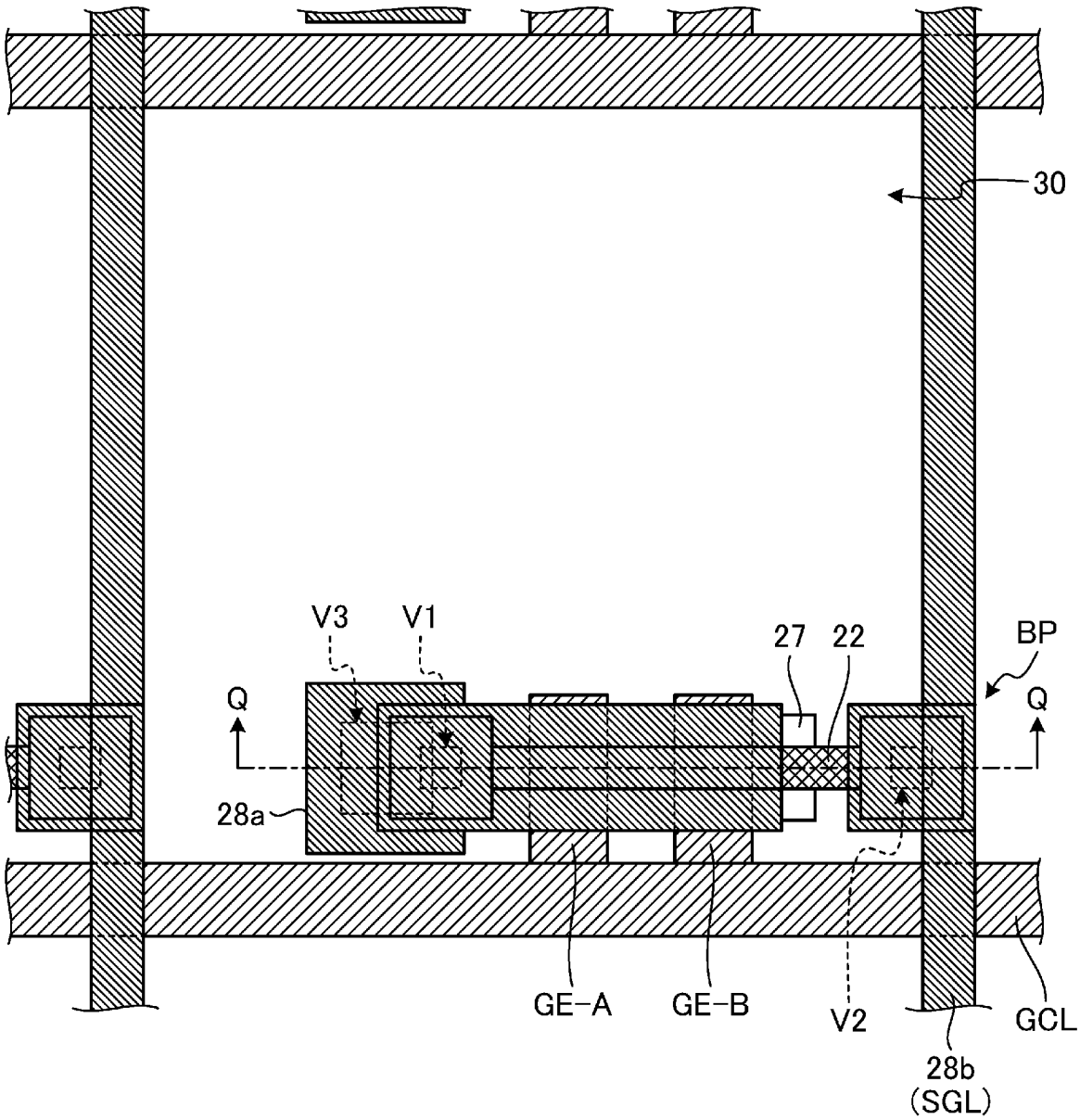
[図4]


17
COM
RST2
Lvr
TrR
Lrst
10
PAA(30)
15
AA
GA
PAG1
GCL(1)
GCL(2)
PAG2
GCL(8)
STV,CK,
RST1
SGL(1)
SGL(2)
SGL(3)
SGL(6)
SGL(7)
SGL(8)
SGL(12)
ASW1
ASW2
ASW3
ASW4
ASW5
ASW6
Lsel1
Lsel2
Lsel6
TrS
Lout1
Lout2
16
48
48
TrS
Dy
Dx

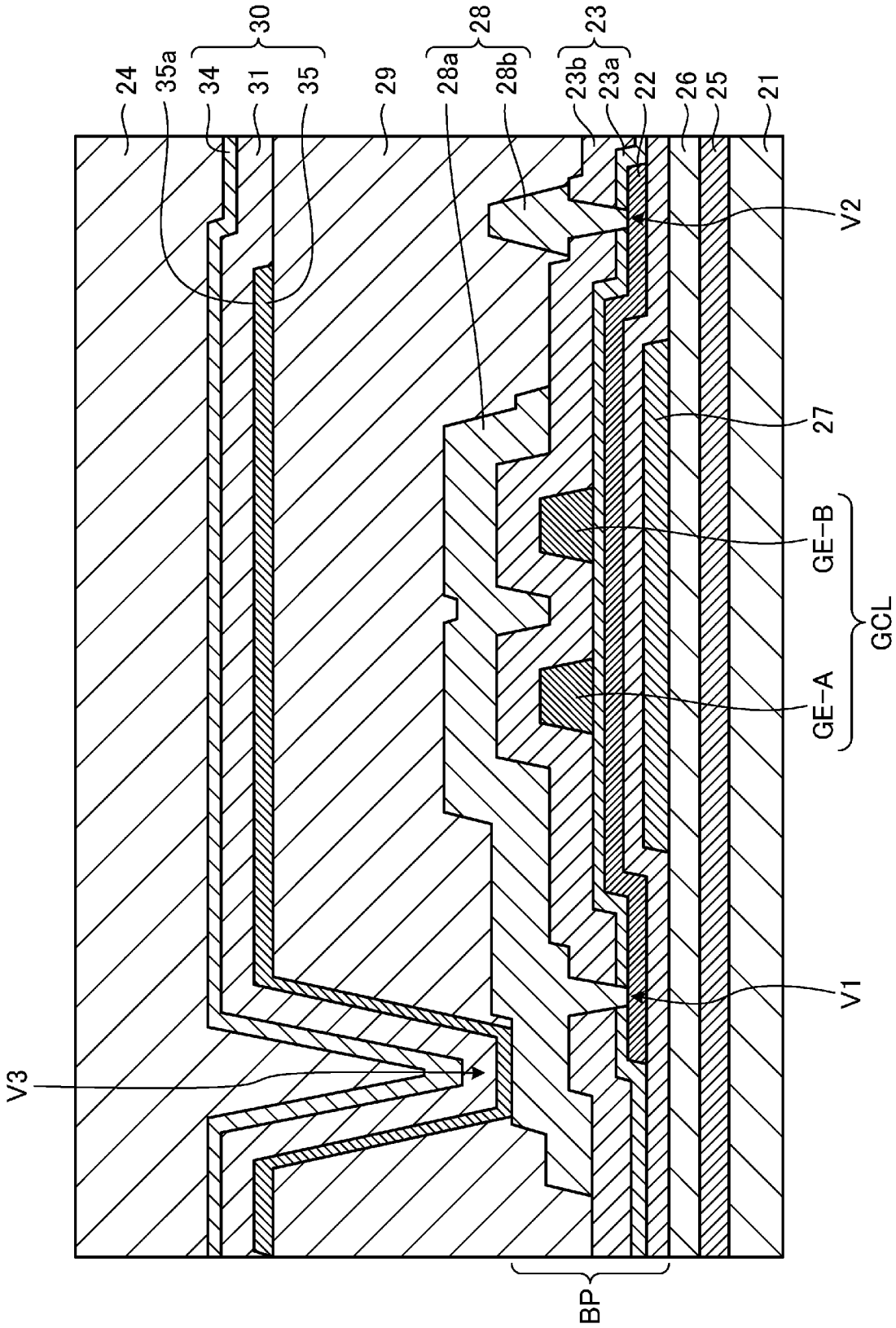
[図5]


COM
RST2
TrR
TrR
PAA
PAA
GCL(m)
30
Tr
Ca
VDDSNS
VDDSNS
GCL(m+1)
SGL(n)
VDDSNS
VDDSNS
SGL(n+1)
ASW
TrS
TrS
Vout
48
RSW
Cb
SSW
43
ADC
Vref
42

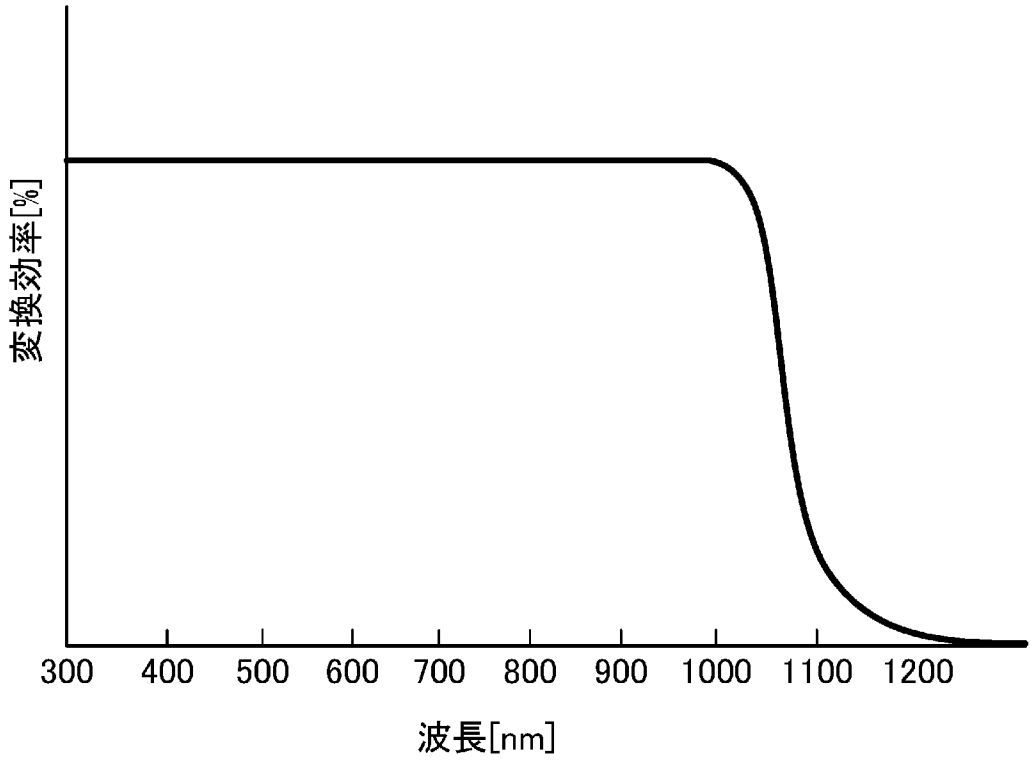
[図6]



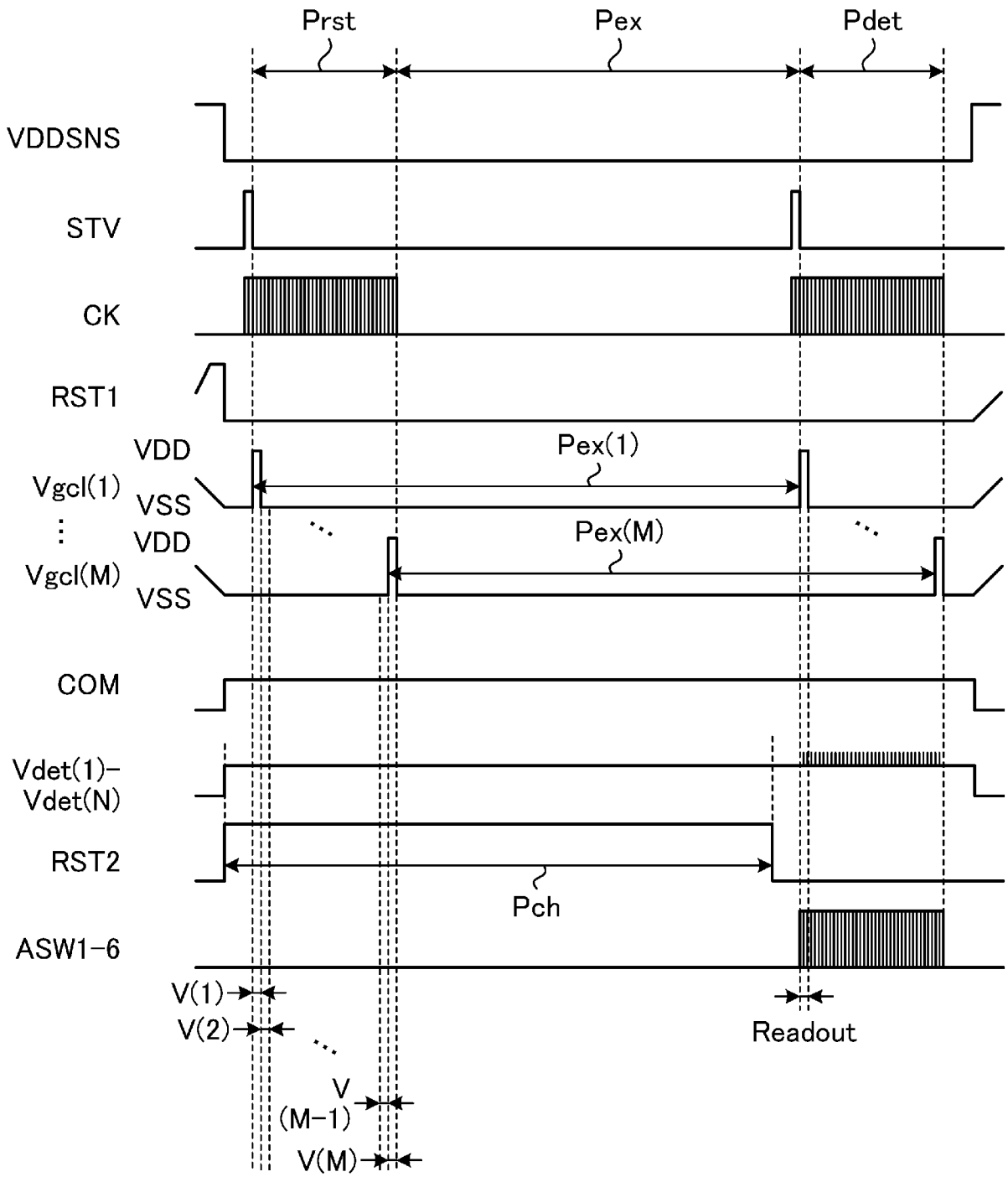
[図7]


24
35a
34
31
35
30
29
28a
28b
28
23b
23a
23
22
26
25
21
V2
27
GE-B
GE-A
GCL
V1
V3
BP

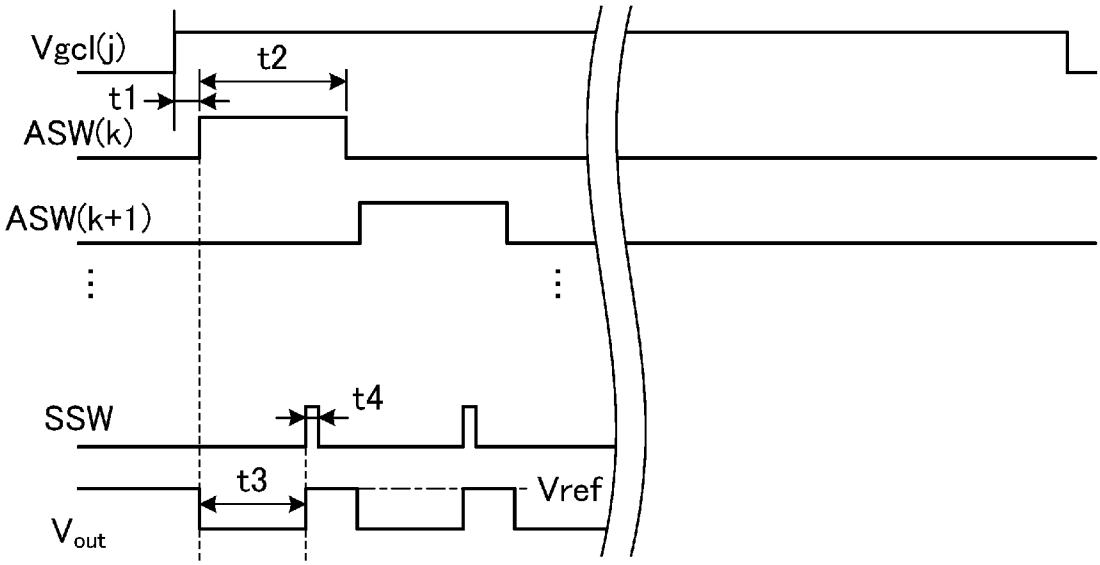
[図8]



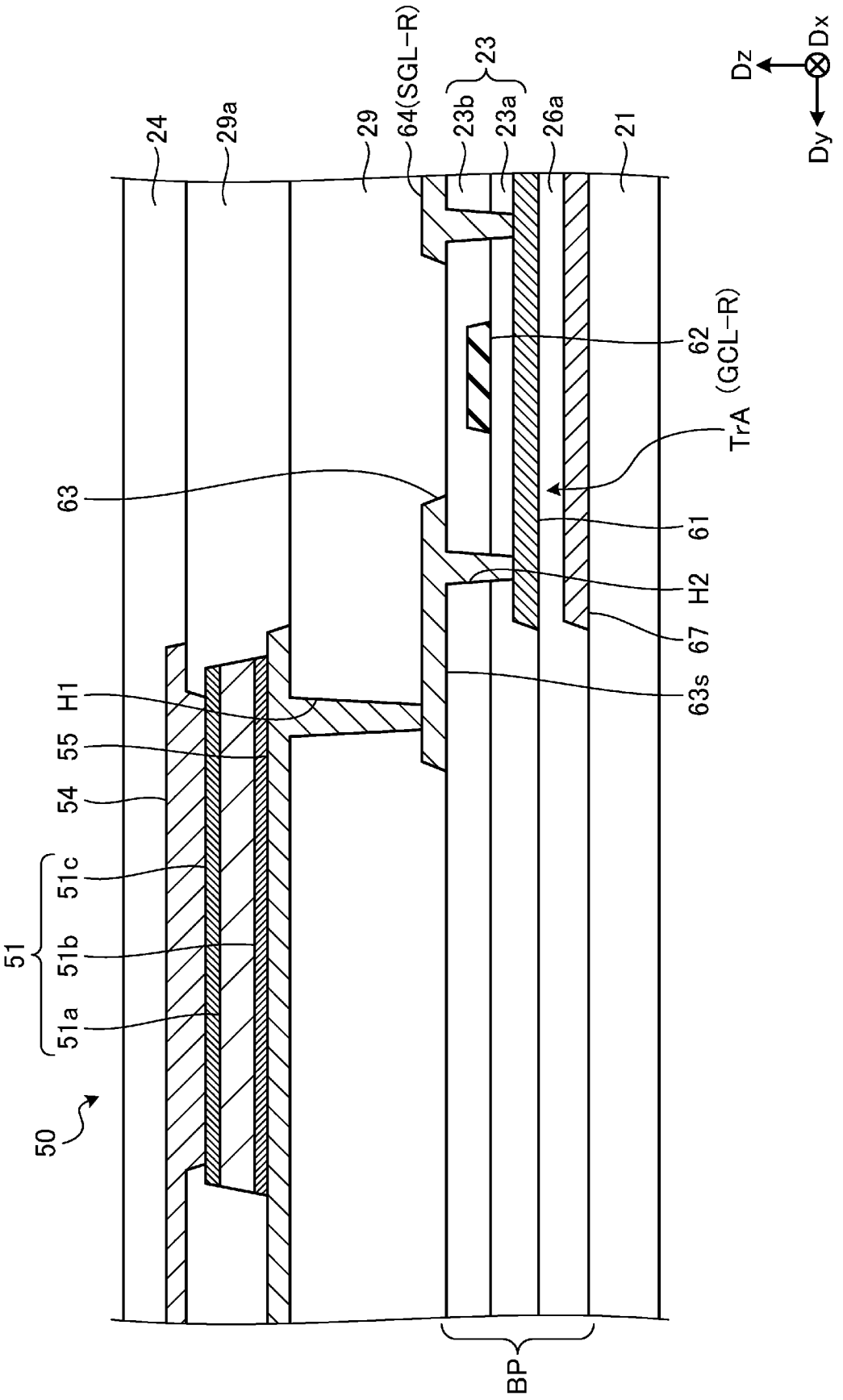
[図9]


Prst
Pex
Pdet
VDDSNS
STV
CK
RST1
VDD
Vgcl(1)
VSS
Pex(1)
VDD
Vgcl(M)
VSS
Pex(M)
COM
Vdet(1)-
Vdet(N)
RST2
Pch
ASW1-6
V(1)
V(2)
V
(M-1)
V(M)
Readout

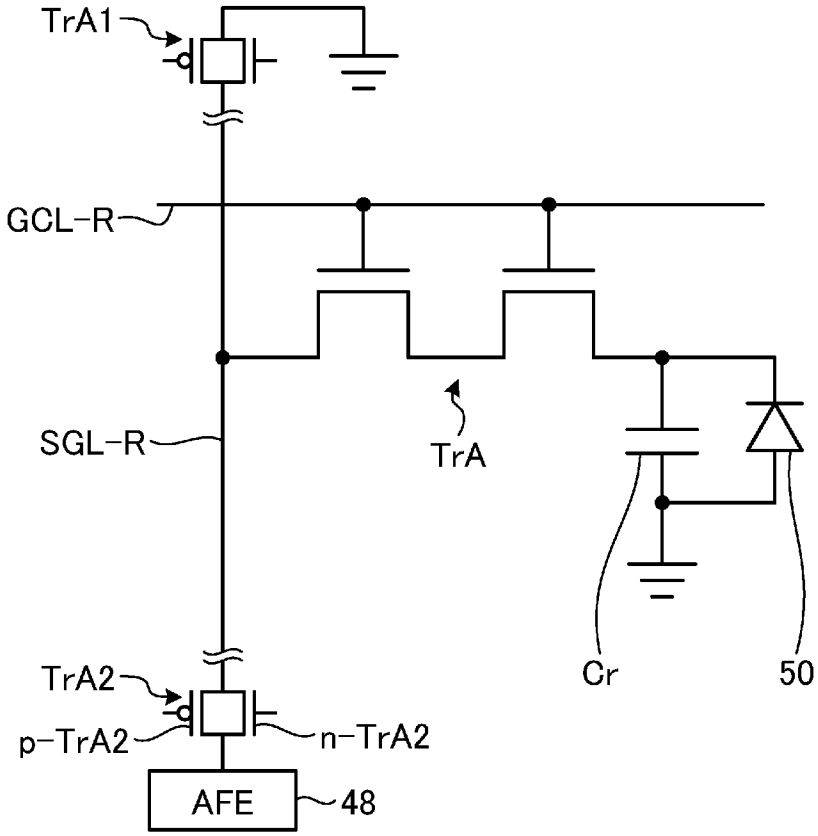
[図10]



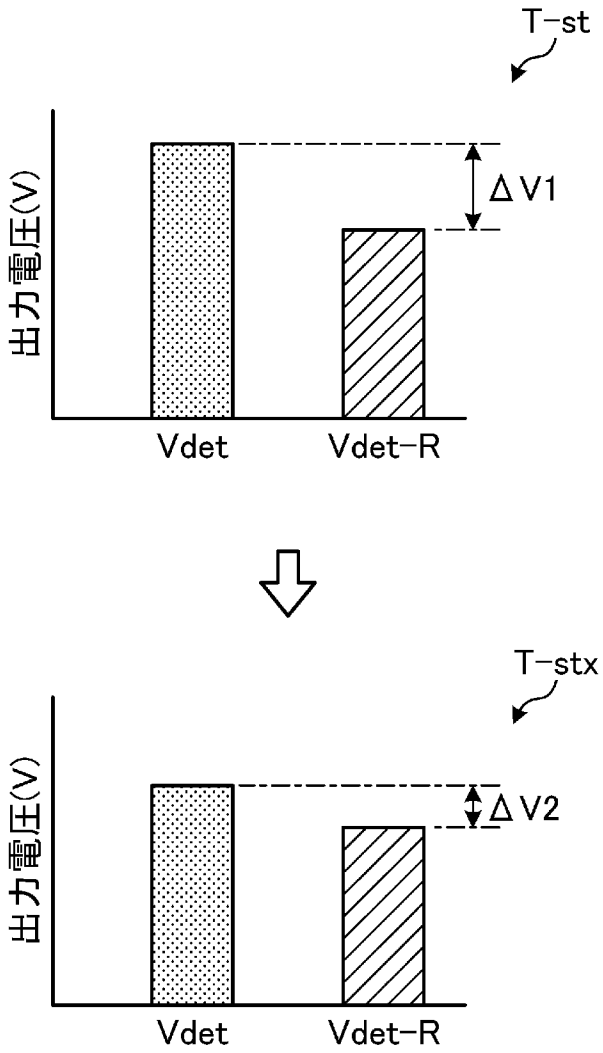
[図11]


Dz
Dx
Dy
24
29a
29
64(SGL-R)
23b
23a
23
26a
21
62
(GCL-R)
TrA
63
61
H2
67
63s
H1
55
54
51c
51b
51a
51
50
BP

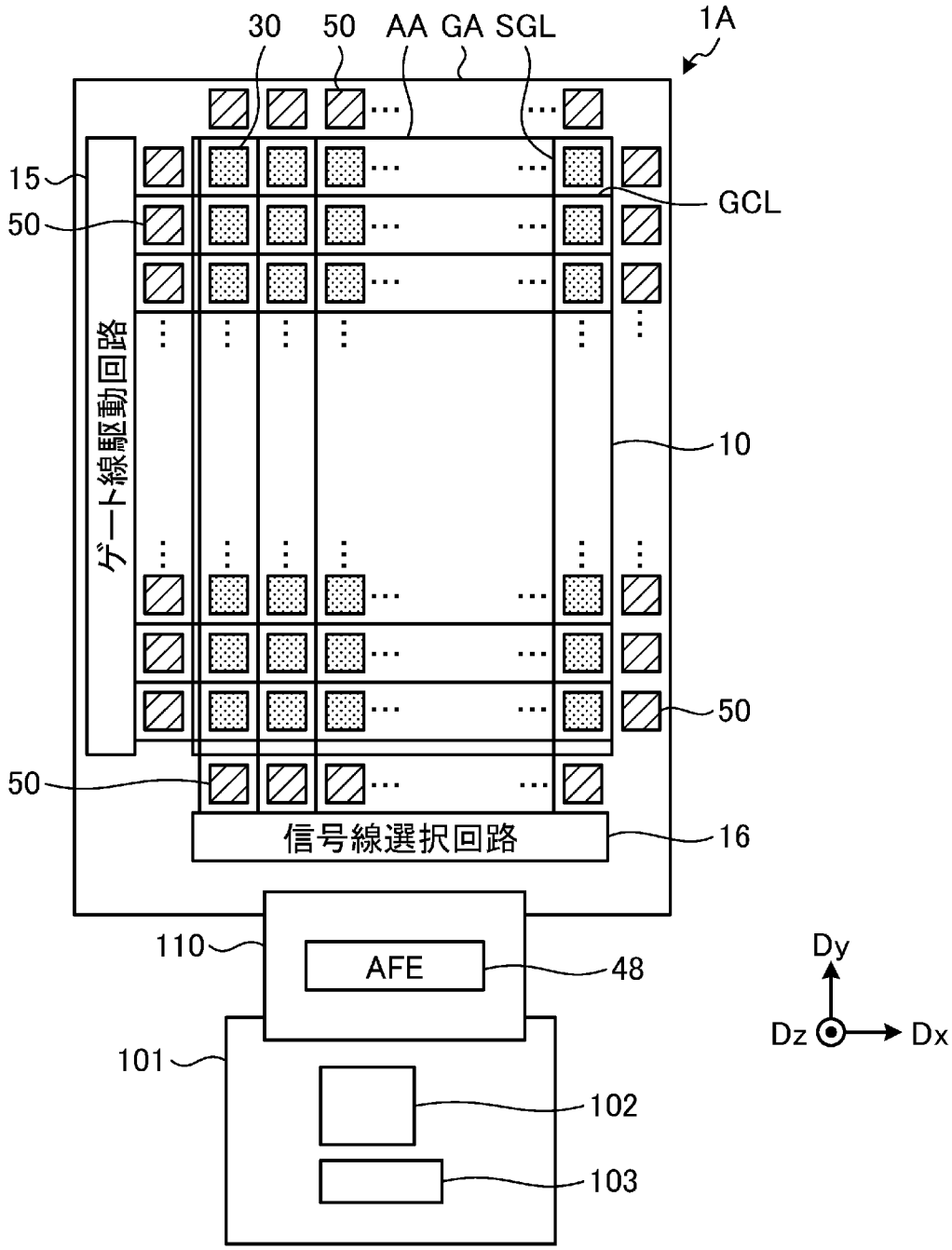
[図12]



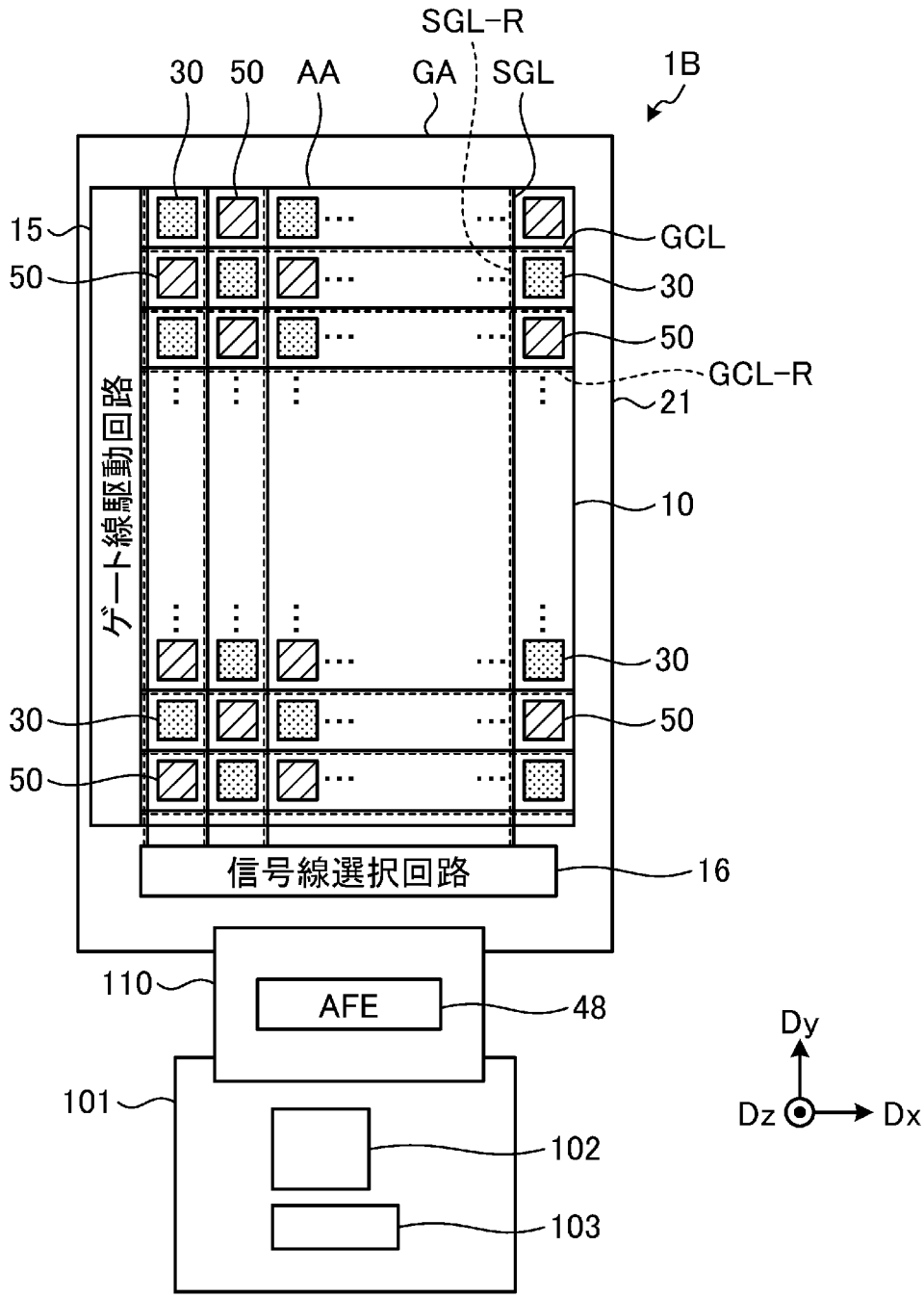
[図13]



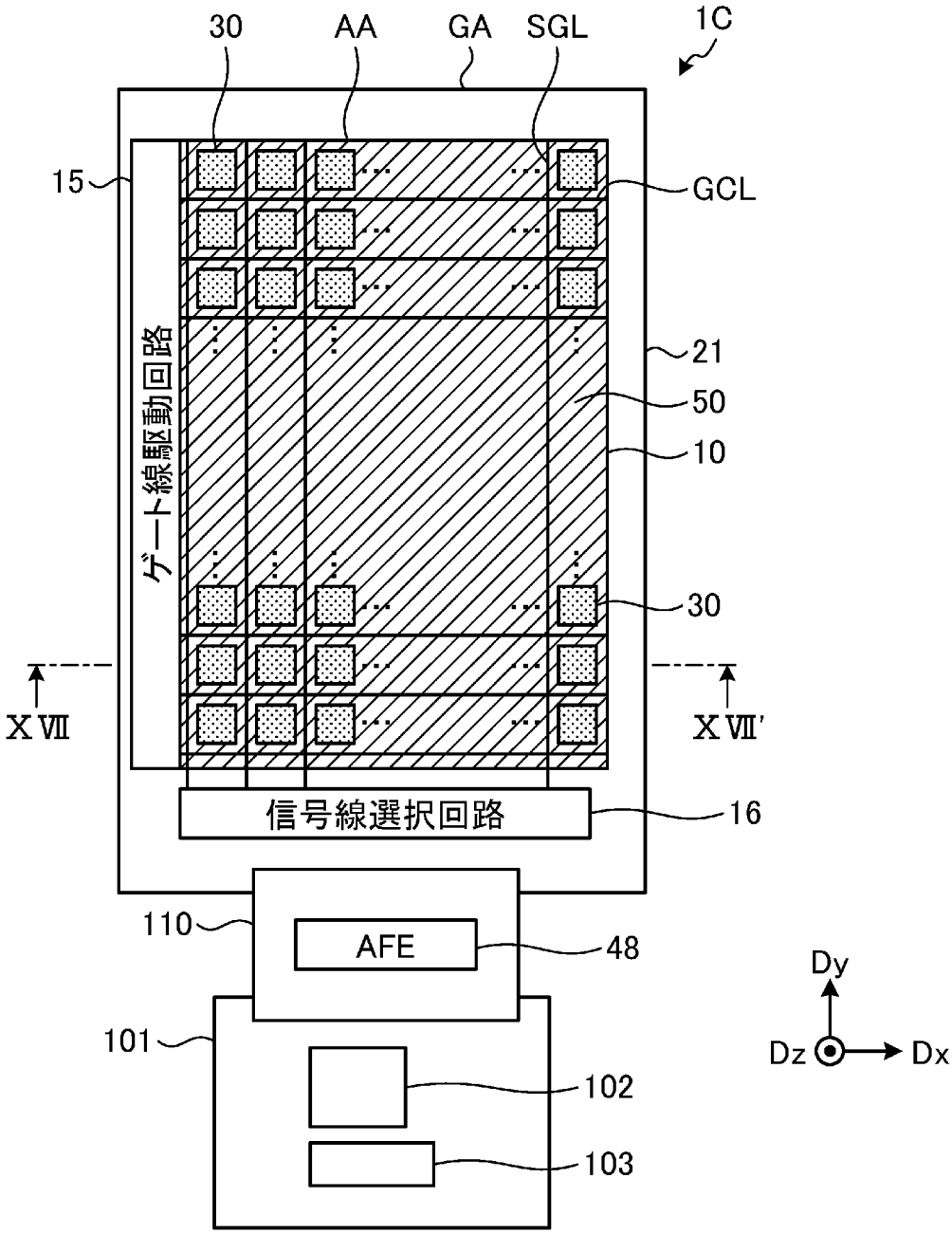
[図14]


30
50
AA
GA
SGL
1A
15
50
GCL
ゲート線駆動回路
10
50
50
信号線選択回路
16
110
AFE
48
101
102
103
Dy
Dz
Dx

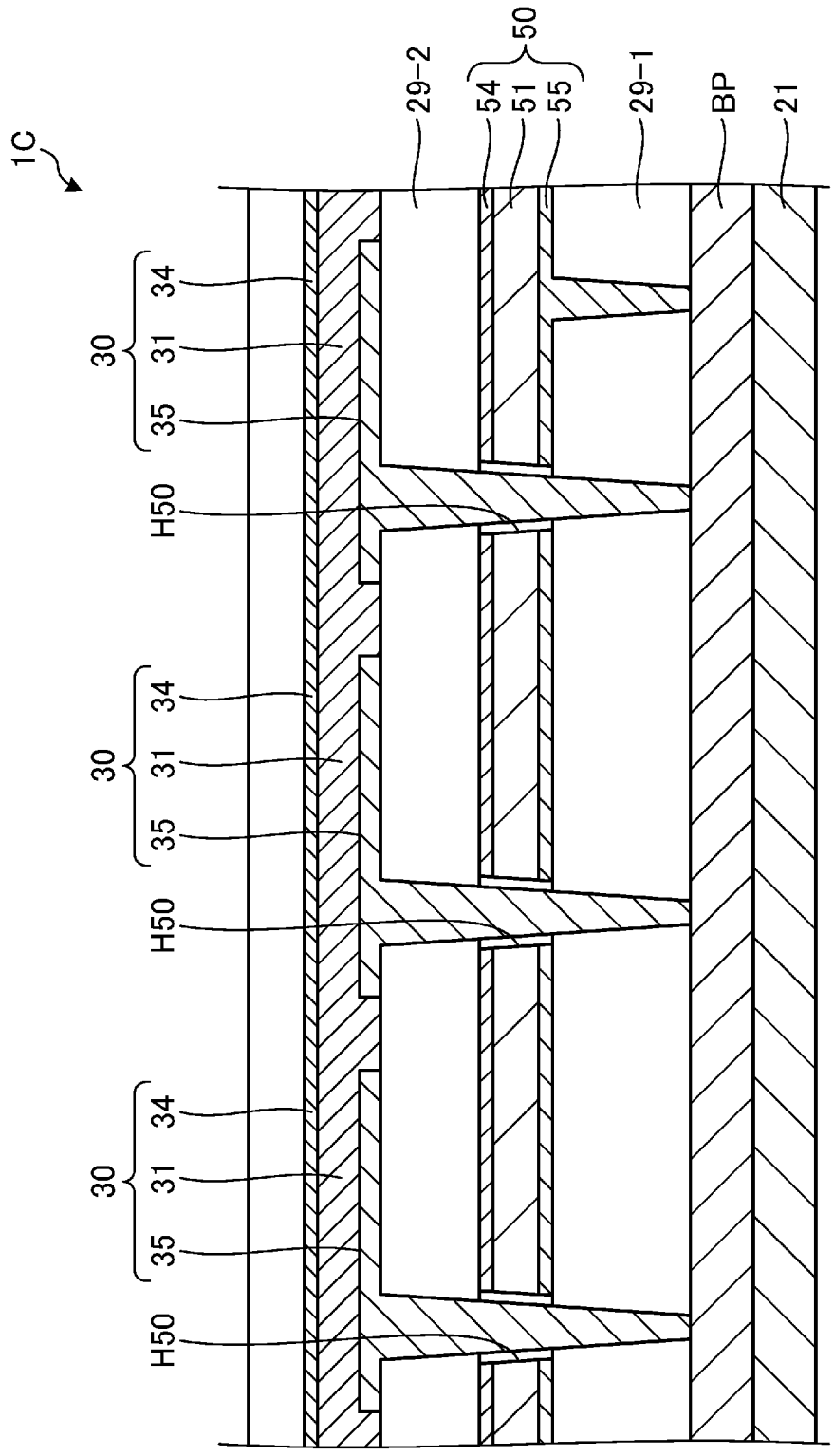
[図15]


SGL-R
30
50
AA
GA
SGL
1B
15
50
GCL
30
50
GCL-R
21
10
ゲート線駆動回路
30
50
信号線選択回路
16
110
AFE
48
101
102
103
Dy
Dz
Dx

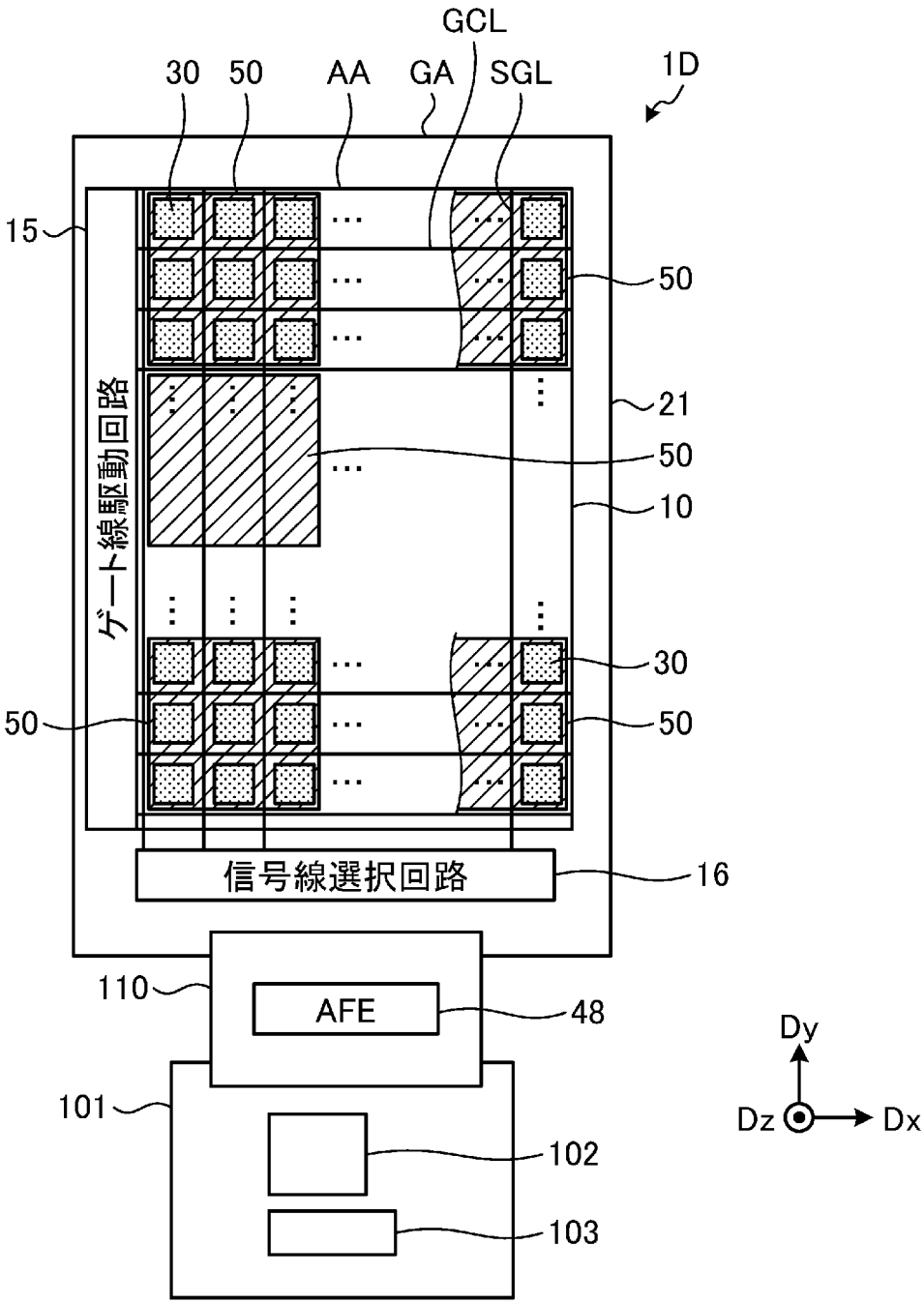
[図16]


30
AA
GA
SGL
1C
15
GCL
ゲート線駆動回路
21
50
10
30
XVII
XVII'
信号線選択回路
16
110
AFE
48
101
102
103
Dy
Dz
Dx

[図17]


1C
29-2
50
54
51
55
29-1
BP
21
30
34
31
35
H50
30
34
31
35
H50
30
34
31
35
H50

[図18]


GCL
30
50
AA
GA
SGL
1D
15
50
21
50
10
ゲート線駆動回路
30
50
50
信号線選択回路
16
110
AFE
48
101
102
103
Dy
Dz
Dx

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/031109

A. CLASSIFICATION OF SUBJECT MATTER
H01L 51/42(2006.01)i; H01L 31/10(2006.01)i; H01L 27/146(2006.01)i; H01L 27/30(2006.01)i; G06T 1/00(2006.01)i; A61B 5/1172(2016.01)i
FI: H01L27/146 C; G06T1/00 420G; G06T1/00 400H; G06T1/00 400G; H01L31/08 T; H01L31/10 G; A61B5/1172; H01L27/30
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L51/42; H01L31/10; H01L27/146; H01L27/30; G06T1/00; A61B5/1172

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	WO 2017/026385 A1 (SONY INTERACTIVE ENTERTAINMENT INC.) 16 February 2017 (2017-02-16) paragraphs [0103]-[0109], fig. 25	1, 5 6 2-4, 7
X Y A	WO 2018/020902 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 01 February 2018 (2018-02-01) paragraphs [0024]-[0050], [0084], fig. 2	1, 5 6 2-4, 7
Y	JP 2019-024075 A (PANASONIC IP MANAGEMENT CO., LTD.) 14 February 2019 (2019-02-14) paragraphs [0053]-[0054], fig. 4	6

☐ Further documents are listed in the continuation of Box C.
☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
22 October 2020 (22.10.2020)	10 November 2020 (10.11.2020)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/031109

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
WO 2017/026385 A1	16 Feb. 2017	US 2018/0204882 A1 paragraphs [0132]-[0138], fig. 25 TW 201711176 A	
WO 2018/020902 A1	01 Feb. 2018	(Family: none)	
JP 2019-024075 A	14 Feb. 2019	US 2019/0027524 A1 paragraphs [0092]-[0093], fig. 4 EP 3435416 A2 CN 109300924 A TW 201909383 A	

国際調査報告

国際出願番号
PCT/JP2020/031109

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 51/42(2006.01)i; H01L 31/10(2006.01)i; H01L 27/146(2006.01)i; H01L 27/30(2006.01)i; G06T 1/00(2006.01)i; A61B 5/1172(2016.01)i
FI: H01L27/146 C; G06T1/00 420G; G06T1/00 400H; G06T1/00 400G; H01L31/08 T; H01L31/10 G; A61B5/1172; H01L27/30

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L51/42; H01L31/10; H01L27/146; H01L27/30; G06T1/00; A61B5/1172

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２０年
日本国実用新案登録公報	１９９６－２０２０年
日本国登録実用新案公報	１９９４－２０２０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	WO 2017/026385 A1 (株式会社ソニー・インタラクティブエンタテインメント) 16.02.2017 (2017-02-16) [0103]-[0109],図25	1,5
Y		6
A		2-4,7
X	WO 2018/020902 A1 (ソニーセミコンダクタソリューションズ株式会社) 01.02.2018 (2018-02-01) [0024]-[0050],[0084],図2	1,5
Y		6
A		2-4,7
Y	JP 2019-024075 A (パナソニックＩＰマネジメント株式会社) 14.02.2019 (2019-02-14) [0053]-[0054],図4	6

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
22.10.2020	10.11.2020

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
加藤　俊哉 5F 9554
電話番号 03-3581-1101 内線 3516

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2020/031109

引用文献	公表日	パテントファミリー文献	公表日
WO 2017/026385 A1	16.02.2017	US 2018/0204882 A1 [0132]-[0138],FIG.25 TW 201711176 A	
WO 2018/020902 A1	01.02.2018	（ファミリーなし）	
JP 2019-024075 A	14.02.2019	US 2019/0027524 A1 [0092]-[0093],FIG.4 EP 3435416 A2 CN 109300924 A TW 201909383 A	