

【發明說明書】

【中文發明名稱】半導體裝置與其之製造方法

【英文發明名稱】 Semiconductor Device and
Manufacturing Method Thereof

【技術領域】

【0001】 本發明是有關於一種半導體裝置。

【先前技術】

【0002】 隨著半導體技術的不斷發展，矽基半導體的技術已非常成熟。然而隨著元件尺寸的不斷縮小，許多元件性能卻也面臨到一些來自材料本身所造成的瓶頸。許多下一世代的半導體元件技術也陸續提出，其中III-V族半導體材料，尤其是氮基材料，例如氮化鎵，更因其具有特殊的自發極化效應、壓電極化效應與能形成二維電子氣(2DEG)，具有高電子飽和速度與高崩潰電場，使得氮化鎵元件受到矚目，特別是常關型氮化鎵電晶體。

【發明內容】

【0003】 本發明之一實施方式提供一種半導體裝置，包含基板、通道層、間隔層、阻障層與氧化披覆層。通道層置於基板上。間隔層置於通道層上。阻障層置於間隔層上。氧化披覆層置於阻障層上。氧化披覆層之材質為氮氧化物。

【0004】 在一或多個實施方式中，間隔層之厚度小於5奈米。

【0005】 在一或多個實施方式中，間隔層之材質為氮化鋁。

【0006】 在一或多個實施方式中，氧化披覆層之厚度小於5奈米。

【0007】 在一或多個實施方式中，氧化披覆層之材質為氮氧化鋁。

【0008】 在一或多個實施方式中，阻障層之材質為氮化鎵鋁($\text{Al}_x\text{Ga}_{(1-x)}\text{N}$)，且 $0.1 \leq x \leq 0.4$ 。

【0009】 在一或多個實施方式中，半導體裝置更包含源極、汲極與閘極。源極與汲極置於阻障層上。閘極至少置於氧化披覆層上與置於源極與汲極之間。

【0010】 在一或多個實施方式中，半導體裝置更包含保護層，置於氧化披覆層上，且至少一部分之保護層置於氧化披覆層與閘極之間。

【0011】 在一或多個實施方式中，間隔層具有氧化區域。氧化披覆層具有第一凹槽，且阻障層具有第二凹槽。第一凹槽與第二凹槽一併暴露至少一部分之氧化區域，且至少一部分之閘極置於第一凹槽與第二凹槽中。

【0012】 在一或多個實施方式中，半導體裝置更包含保護層，共形地置於第一凹槽與第二凹槽中，且至少一部分之保護層置於閘極與間隔層之氧化區域之間。

【0013】 本發明之另一實施方式提供一種半導體裝置之製造方法，包含形成通道層於基板上。形成間隔層於通道層上。形成阻障層於間隔層上。形成披覆層於阻障層上。氧化披覆層，以形成氧化披覆層於阻障層上。氧化披覆層之材質為氮氧化物。

【0014】 在一或多個實施方式中，間隔層之材質為氮化鋁。

【0015】 在一或多個實施方式中，氧化披覆層之材質為氮氧化鋁。

【0016】 在一或多個實施方式中，阻障層之材質為氮化鎵鋁($\text{Al}_x\text{Ga}_{(1-x)}\text{N}$)，且 $0.1 \leq x \leq 0.4$ 。

【0017】 在一或多個實施方式中，披覆層使用一高溫氧化製程氧化，且該溫度高於 700°C 。

【0018】 在一或多個實施方式中，製造方法更包含形成源極與汲極於阻障層上。形成閘極於至少氧化披覆層上且於源極與汲極之間。

【0019】 在一或多個實施方式中，製造方法更包含形成保護層於氧化披覆層上，且形成至少一部分之保護層於氧化披覆層與閘極之間。

【0020】 在一或多個實施方式中，製造方法更包含形成第一凹槽於披覆層中以暴露出一部分之阻障層。藉由第一凹槽形成第二凹槽於阻障層中以暴露出一部分之間隔層。

【0021】 在一或多個實施方式中，氧化披覆層包含一併氧化披覆層與部分之間隔層，以形成氧化披覆層與氧化區域

於間隔層中。形成閘極包含更形成閘極於第一凹槽與第二凹槽中。

【0022】 在一或多個實施方式中，製造方法更包含共形地形成保護層於第一凹槽與第二凹槽中，使得至少一部分之保護層置於閘極與間隔層之氧化區域之間。

【0023】 本發明之再一實施方式提供一種半導體裝置之製造方法，包含形成通道層於基板上。形成間隔層於通道層上。形成阻障層於間隔層上。形成披覆層於阻障層上。藉由蝕刻披覆層以形成第一凹槽於披覆層中。藉由蝕刻阻障層以形成第二凹槽於阻障層中，以暴露一部分之間隔層。氧化披覆層與被暴露之間隔層，以形成氧化披覆層與氧化區域。氧化披覆層之材質為氮氧化物。

【0024】 在一或多個實施方式中，間隔層之材質為氮化鋁。

【0025】 在一或多個實施方式中，氧化披覆層之材質為氮氧化鋁。

【0026】 在一或多個實施方式中，阻障層之材質為氮化鎵鋁($\text{Al}_x\text{Ga}_{(1-x)}\text{N}$)，且 $0.1 \leq x \leq 0.4$ 。

【0027】 在一或多個實施方式中，披覆層使用一高溫氧化製程氧化，且溫度高於 700°C 。

【0028】 在上述實施方式中，披覆層之缺陷可減少，因此披覆層之表面為平坦表面。更進一步地，氧化製程可將披覆層去極化，如此一來，氧化披覆層之缺陷可進一步地被減

少。再加上，因氧化披覆層被去極化，因此其表面為平坦表面，成長於氧化披覆層上之其他層的品質也可被改善。

【圖式簡單說明】

【0029】

第 1A 圖至第 1E 圖為本發明第一實施方式之半導體裝置於不同階段的製造流程剖面圖。

第 2A 圖與第 2B 圖為本發明第二實施方式之半導體裝置於不同階段的製造流程剖面圖。

第 3A 圖與第 3B 圖為本發明第三實施方式之半導體裝置於不同階段的製造流程剖面圖。

第 4A 圖與第 4D 圖為本發明第四實施方式之半導體裝置於不同階段的製造流程剖面圖。

第 5A 圖與第 5B 圖為本發明第五實施方式之半導體裝置於不同階段的製造流程剖面圖。

【實施方式】

【0030】 以下將以圖式揭露本發明的複數個實施方式，為明確說明起見，許多實務上的細節將在以下敘述中一併說明。然而，應瞭解到，這些實務上的細節不應用以限制本發明。也就是說，在本發明部分實施方式中，這些實務上的細節是非必要的。此外，為簡化圖式起見，一些習知慣用的結構與元件在圖式中將以簡單示意的方式繪示之。

【0031】 第1A圖至第1E圖為本發明第一實施方式之半導體裝置於不同階段的製造流程剖面圖。如第1A圖所示，首先提供一基板110。接著，可選擇性地形成一緩衝層210於基板110上。在本實施方式中，基板110之材質可為藍寶石(Sapphire)、矽(Si)或碳化矽(SiC)，而緩衝層210之材質可為氮化鋁(AlN)或其他合適之材質。之後，形成一通道層120於基板110上或上方。舉例而言，在第1A圖中，通道層120形成於基板110上方且形成於緩衝層210上。在本實施方式中，通道層120之材質可為氮化鎵(GaN)，而形成通道層120之方法可為化學氣相沉積(chemical vapor deposition, CVD)法。

【0032】 接著請參照第1B圖。形成一間隔層130於通道層120上。在本實施方式中，間隔層130之材質可為氮化鋁(AlN)，間隔層130之厚度T1可小於5奈米，而形成間隔層130的方法可為金屬有機化學氣相沉積(metal organic chemical vapor deposition, MOCVD)法。

【0033】 接著請參照第1C圖。之後，形成一阻障層140於間隔層130上。在本實施方式中，阻障層140之材質為氮化鎵鋁($\text{Al}_x\text{Ga}_{(1-x)}\text{N}$)，且 $0.1 \leq x \leq 0.4$ 。阻障層140之厚度T2可小於40奈米，而形成阻障層140的方法可為金屬有機化學氣相沉積(metal organic chemical vapor deposition, MOCVD)法。

【0034】 請參照第1D圖。形成一披覆層150於阻障層140上。在本實施方式中，披覆層150之材質可為氮化鋁(AlN)，披覆層150之厚度T3可小於5奈米，而形成披覆層

150之方法可為金屬有機化學氣相沉積(MOCVD)法。更進一步地，金屬有機化學氣相沉積法可為一高溫磊晶製程，以減少披覆層150之缺陷，改善披覆層150之品質。

【0035】 接著，形成一犧牲層250於披覆層150上。在本實施方式中，犧牲層250之材質可為氮化鎵(GaN)。形成犧牲層250之方法可為化學氣相沉積(CVD)法。犧牲層250可避免形成原生氧化物。在其他的實施方式中，犧牲層250可被省略。

【0036】 請參照第1E圖。之後，氧化第1D圖之披覆層150以形成一氧化披覆層155於阻障層140上，而第1D圖之犧牲層250可一併被氧化而成為氧化犧牲層(未繪示)。在本實施方式中，氧化披覆層155之材質可為氮氧化鋁(AION)，且氧化該披覆層150的方法可為高溫氧化製程，例如高溫氧氣轉爐製程或快速熱退火(RTA)製程，且該溫度高於700°C。在其他的實施方式中，氧化該披覆層150的方法可為氧基電漿(oxygen-based plasma)製程或使用化學溶液(例如雙氧水(H₂O₂))。氧化犧牲層可藉由浸泡於稀釋的鹽酸中而去除。

【0037】 從結構上來看，半導體裝置包含基板110、通道層120、間隔層130、阻障層140與氧化披覆層155。通道層120置於基板110上。間隔層130置於通道層120上。阻障層140置於間隔層130上。氧化披覆層155置於阻障層140上。氧化披覆層155之材質為氮氧化物，例如為氮氧化鋁。二維電子氣(two-dimensional electron gas, 2DEG)通道

122存在於通道層120中並靠近間隔層130。在一或多個實施方式中，半導體裝置可更包含緩衝層210，置於基板110與通道層120之間。因披覆層150以高溫磊晶製程形成，因此披覆層150與形成於其上之界面的品質可被改善。

【0038】 第2A圖與第2B圖為本發明第二實施方式之半導體裝置於不同階段的製造流程剖面圖。第二實施方式與第一實施方式的不同處在於源極160、汲極170與閘極180。請參照第2A圖。可先執行第1A圖至第1E圖之製造流程。因相關之製造細節與第一實施方式中相同，因此便不再贅述。接著，可形成一源極160與一汲極170於阻障層140上。舉例而言，可形成一第一導電層以覆蓋氧化披覆層155與被暴露之阻障層140。接著，可圖案化第一導電層以形成源極160與汲極170。在一或多個實施方式中，可在形成源極160與汲極170後執行退火製程。

【0039】 在本實施方式中，源極160與汲極170之材質可為鈦(Ti)、鋁(Al)、鎳(Ni)、金(Au)或其任意組合。形成第一導電層的方法可為物理氣相沉積法(如濺鍍法)或電子束蒸鍍法，而第一導電層可以微影蝕刻法圖案化。退火製程的溫度可大約為800°C，然而本發明不以此為限。

【0040】 請參照第2B圖。形成一閘極180於氧化披覆層155上並置於源極160與汲極170之間。舉例而言，可形成一第二導電層以至少覆蓋氧化披覆層155。接著，圖案化第二導電層以形成閘極180。閘極180之材質可為鈦(Ti)、鋁(Al)、鎳(Ni)、金(Au)或其任意組合。第二導電層可以物

理氣相沉積法(如濺鍍法)、或電子束蒸鍍法製成，而第二導電層可以微影蝕刻法圖案化。

【0041】 從結構上看，第二實施方式與第一實施方式的不同處在於源極160、汲極170與閘極180。源極160與汲極170分開置於阻障層140上。閘極180至少置於氧化披覆層155上且置於源極160與汲極170之間。

【0042】 二維電子氣通道122存在於通道層120中並靠近間隔層130。源極160可藉由二維電子氣通道122而與汲極170電性連接。也就是說，本實施方式之半導體裝置為空乏型電晶體。至於第二實施方式之相關結構細節因與第一實施方式相同，因此便不再贅述。

【0043】 第3A圖與第3B圖為本發明第三實施方式之半導體裝置於不同階段的製造流程剖面圖。第三實施方式與第二實施方式的不同處在於保護層190。請先參照第3A圖。可先執行第1A圖至第1E圖以及第2A圖之製造流程。因相關之製造細節與第二實施方式中相同，因此便不再贅述。接著，可形成保護層190於氧化披覆層155上。在本實施方式中，保護層190之材質可為氧化鋁(aluminum oxide, Al_2O_3)、氮化鋁(aluminum nitride, AlN)、氮化矽(silicon nitride, Si_3N_4)、二氧化矽(silicon oxide, SiO_2)、二氧化鈦(hafnium oxide, HfO_2)、或其任意組合。形成保護層190的方法可為化學氣相沉積法。

【0044】 請參照第3B圖。形成一閘極180於氧化披覆層155上、於保護層190上與於源極160以及汲極170之間。舉例

而言，可形成一第二導電層以至少覆蓋保護層190。接著，圖案化第二導電層以形成閘極180。閘極180之材質可為鈦(Ti)、鋁(Al)、鎳(Ni)、金(Au)或其任意組合。形成第二導電層的方法可為物理氣相沉積法(如濺鍍法)或電子束蒸鍍法，而第二導電層可以微影蝕刻法圖案化。

【0045】 從結構上來看，第三實施方式與第二實施方式的不同處在於保護層190。在本實施方式中，保護層190置於氧化披覆層155上，且至少部分之保護層190置於氧化披覆層155與閘極180之間。保護層190保護其下之疊層。至於第三實施方式之相關結構細節因與第二實施方式相同，因此便不再贅述。

【0046】 第4A圖與第4D圖為本發明第四實施方式之半導體裝置於不同階段的製造流程剖面圖。第四實施方式與第一實施方式的不同處在於源極160、汲極170、閘極180、第一凹槽156與第二凹槽142。請先參照第4A圖。先執行第1A圖至第1D圖之製造流程。因相關之製造細節與第一實施方式中相同，因此便不再贅述。接著，形成第一凹槽156於披覆層150中以暴露出一部分之阻障層140。形成第一凹槽156之方法可為微影與蝕刻法。在本實施方式中，因披覆層150之材質(例如氮化鋁)與阻障層140之材質(例如氮化鎵鋁($\text{Al}_x\text{Ga}_{(1-x)}\text{N}$))，且 $0.1 \leq x \leq 0.4$)不同，因此阻障層140可作為蝕刻披覆層150時的蝕刻停止層。

【0047】 接著，形成一第二凹槽142於阻障層140中以暴露一部分之間隔層130。可利用披覆層150作為遮罩以蝕刻第二

凹槽142。在本實施方式中，因阻障層140之材質(例如氮化鎵鋁($\text{Al}_x\text{Ga}_{(1-x)}\text{N}$)，且 $0.1 \leq x \leq 0.4$)與間隔層130之材質(例如氮化鋁)不同，因此間隔層130可作為蝕刻阻障層140時的蝕刻停止層。如此一來，間隔層130可防止通道層120被蝕刻，且通道層120的表面可避免蝕刻破壞，因此二維電子氣通道具有良好品質。

【0048】 請參照第4B圖。一併氧化第4A圖之披覆層150以及部分之間隔層130以形成氧化披覆層155以及在間隔層130中之氧化部分132。換句話說，氧化披覆層155與氧化部分132之材質皆為氮氧化鋁(aluminum oxynitride, AlON)。氧化該披覆層150與部分之間隔層130的方法可為高溫氧化製程，例如高溫氧氣轉爐製程或快速熱退火(RTA)製程，且該溫度高於 700°C 。在其他的實施方式中，氧化該披覆層150的方法可為氧基電漿(oxygen-based plasma)製程或化學溶液(例如雙氧水(H_2O_2))。

【0049】 請參照第4C圖。形成一源極160與一汲極170於阻障層140上。在一或多個實施方式中，可於形成源極160與汲極170後執行一退火製程以於源極160與阻障層140之間以及汲極170與阻障層140之間形成歐姆接觸。

【0050】 在本實施方式中，源極160與汲極170的材質可為鈦(Ti)、鋁(Al)、鎳(Ni)、金(Au)或其任意組合。形成源極160與汲極170的方法可為物理氣相沉積法(如濺鍍法)或電子束蒸鍍法，而源極160與汲極170可以微影蝕刻法圖案

化。退火製程的溫度可大約為 800°C ，然而本發明不以此為限。

【0051】 請參照第4D圖。形成一閘極180於第一凹槽156與第二凹槽142且於氧化披覆層155上。舉例而言，可形成一導電層以填滿第一凹槽156與第二凹槽142且覆蓋氧化披覆層155。接著，圖案化導電層以形成閘極180。閘極180的材質可為鈦(Ti)、鋁(Al)、鎳(Ni)、金(Au)或其任意組合。形成導電層的方法可為物理氣相沉積法(如濺鍍法)或電子束蒸鍍法。

【0052】 從結構上看，第四實施方式與第一實施方式的不同處在於源極160、汲極170、閘極180、第一凹槽156與第二凹槽142。源極160與汲極170置於阻障層140上。氧化披覆層155具有第一凹槽156，且阻障層140具有第二凹槽142。間隔層130具有氧化部分132。第一凹槽156與第二凹槽142共同暴露出至少一部分之氧化部分132。閘極180至少置於氧化披覆層155上、於第一凹槽156與第二凹槽142中，且於源極160與汲極170之間。

【0053】 二維電子氣通道122存在於通道層120中並靠近間隔層130。第一凹槽156與第二凹槽142下之二維電子氣通道122被切斷。也就是說，本實施方式之半導體裝置為增強型電晶體。至於第四實施方式之相關結構細節因與第一實施方式相同，因此便不再贅述。

【0054】 第5A圖與第5B圖為本發明第五實施方式之半導體裝置於不同階段的製造流程剖面圖。第五實施方式與第四

實施方式的不同處在於保護層190。請先參照第5A圖。先執行第1A圖至第1D圖以及第4A圖至第4C圖之製造流程。因相關之製造細節與第四實施方式中相同，因此便不再贅述。接著，共形地(conformally)形成保護層190於第一凹槽156與第二凹槽142中。在本實施方式中，保護層190之材質可為氧化鋁(aluminum oxide, Al_2O_3)、氮化鋁(aluminum nitride, AlN)、氮化矽(silicon nitride, Si_3N_4)、二氧化矽(silicon oxide, SiO_2)、二氧化鈦(hafnium oxide, HfO_2)、或其任意組合。形成保護層190的方法可為化學氣相沉積法。

【0055】 請參照第5B圖。形成一閘極180於氧化披覆層155上、於保護層190上與於第一凹槽156與第二凹槽142中。舉例而言，可形成一導電層以至少覆蓋保護層190。接著，圖案化導電層以形成閘極180。閘極180之材質可為鈦(Ti)、鋁(Al)、鎳(Ni)、金(Au)或其任意組合。形成導電層的方法可為物理氣相沉積法(如濺鍍法)或電子束蒸鍍法。

【0056】 從結構上看，第五實施方式與第四實施方式的不同處在於保護層190。在本實施方式中，保護層190共形地置於第一凹槽156與第二凹槽142中，且至少部分之保護層190置於閘極180與間隔層130之氧化部分132之間。保護層190保護其下之疊層。至於第五實施方式之相關結構細節因與第四實施方式相同，因此便不再贅述。

【0057】 雖然本發明已以實施方式揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和

範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0058】

110：基板	156：第一凹槽
120：通道層	160：源極
122：二維電子氣通道	170：汲極
130：間隔層	180：閘極
132：氧化部分	190：保護層
140：阻障層	210：緩衝層
142：第二凹槽	250：犧牲層
150：披覆層	T1、T2、T3：厚度
155：氧化披覆層	



申請日: 104/05/26

I653742

【發明摘要】

IPC分類: **H01L 27/105** (2006.01)
H01L 29/772 (2006.01)

【中文發明名稱】 半導體裝置與其之製造方法

【英文發明名稱】 Semiconductor Device and
Manufacturing Method Thereof

【中文】

一種半導體裝置包含基板、通道層、間隔層、阻障層與氧化披覆層。通道層置於基板上。間隔層置於通道層上。阻障層置於間隔層上。氧化披覆層置於阻障層上。氧化披覆層之材質為氮氧化物。

【英文】

A semiconductor device includes a substrate, a channel layer, a spacer layer, a barrier layer, and an oxidized cap layer. The channel layer is disposed on or above the substrate. The spacer layer is disposed on the channel layer. The barrier layer is disposed on the spacer layer. The oxidized cap layer is disposed on the barrier layer. The oxidized cap layer is made of oxynitride.

【指定代表圖】 第1E圖

【代表圖之符號簡單說明】

110：基板

120：通道層

122：二維電子氣通道

130：間隔層

140：阻障層

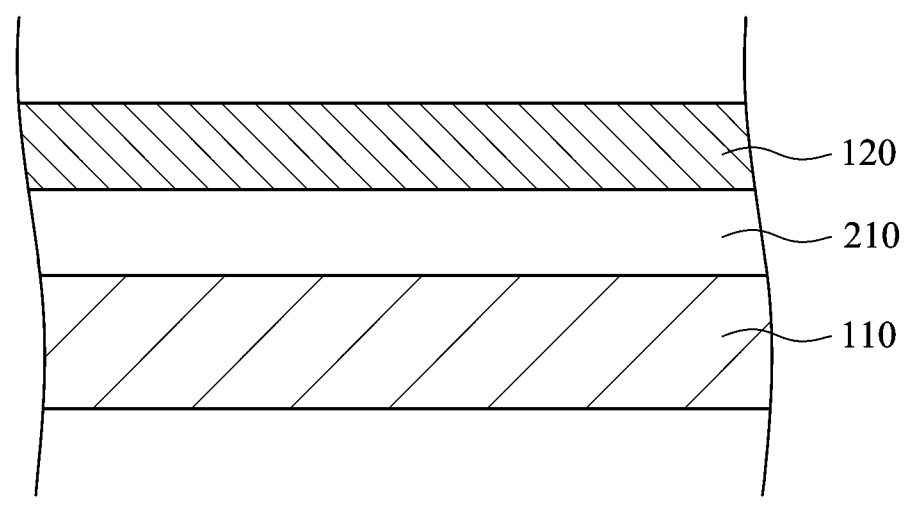
155：氧化披覆層

210：緩衝層

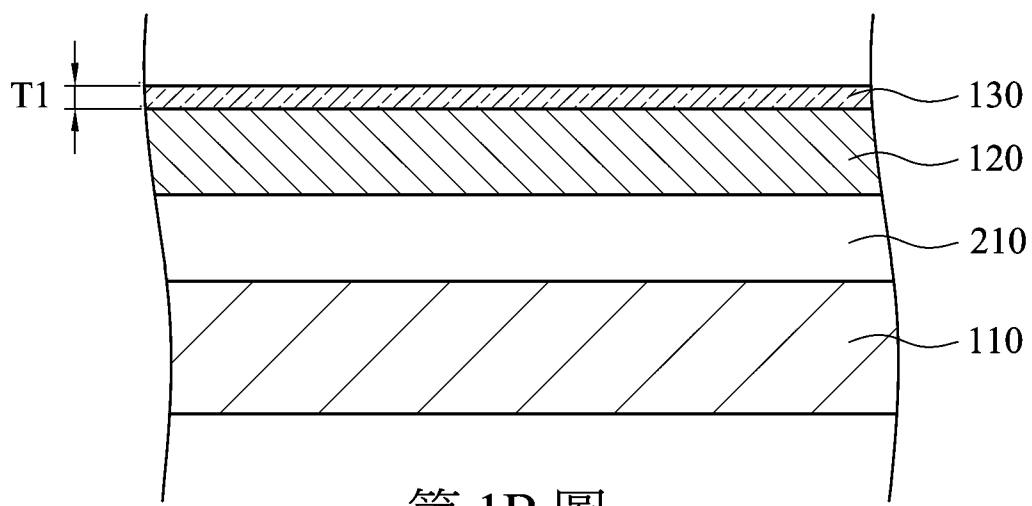
【特徵化學式】

無

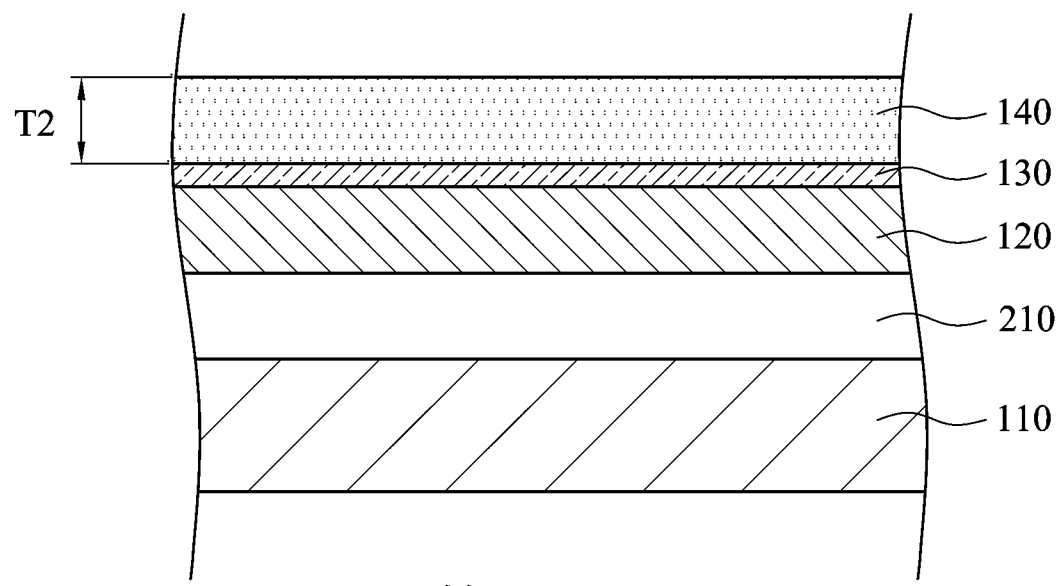
【發明圖式】



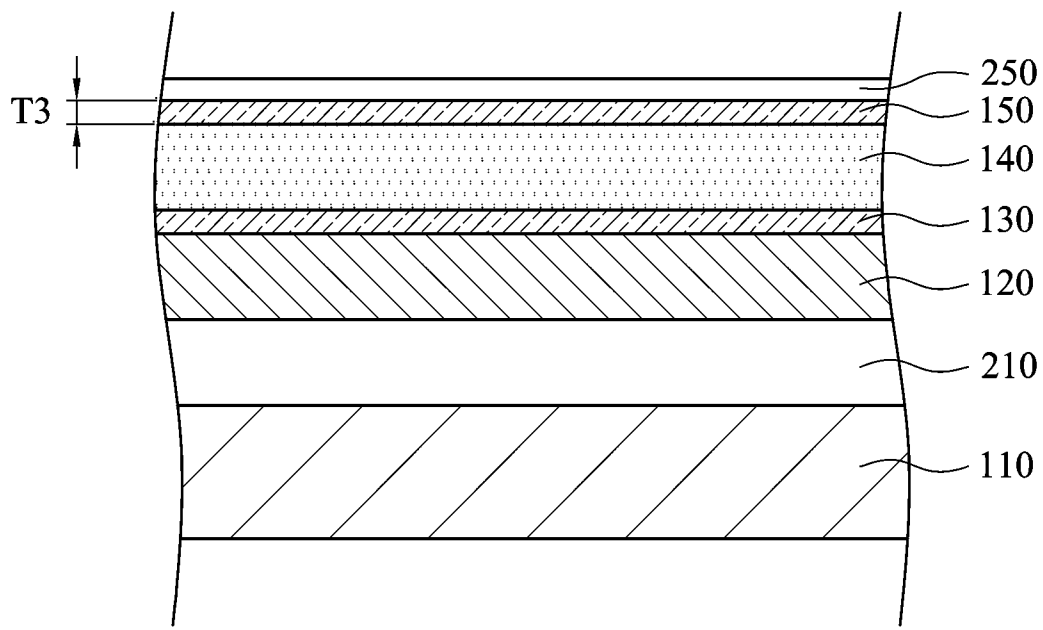
第 1A 圖



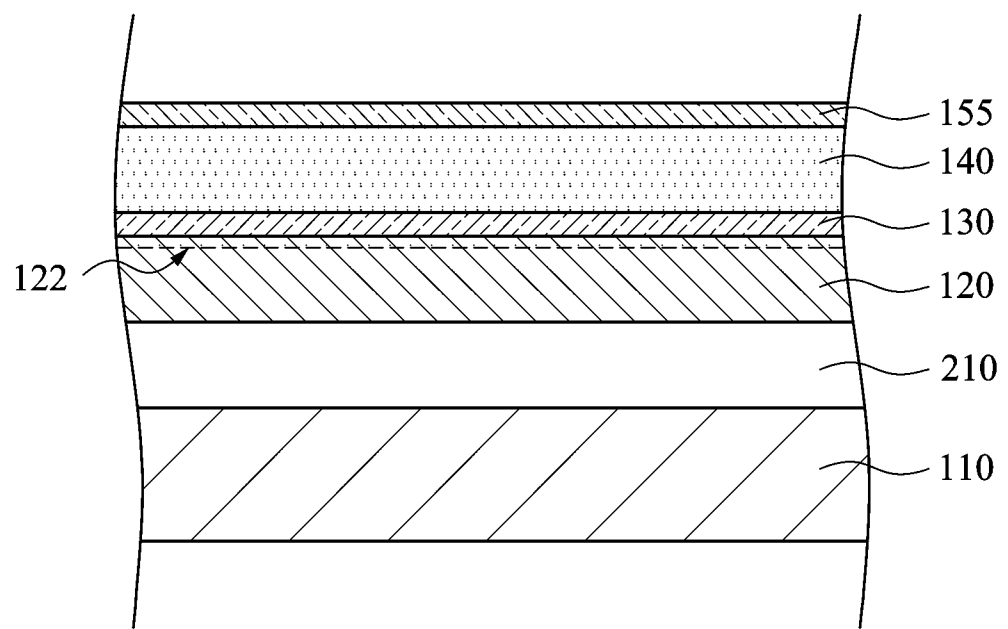
第 1B 圖



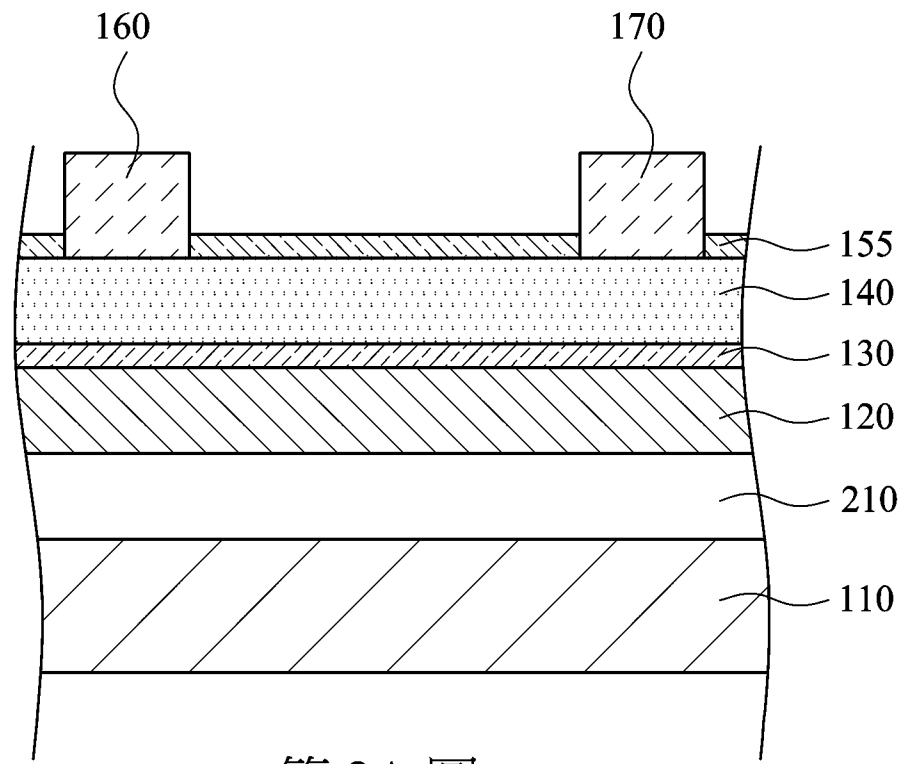
第 1C 圖



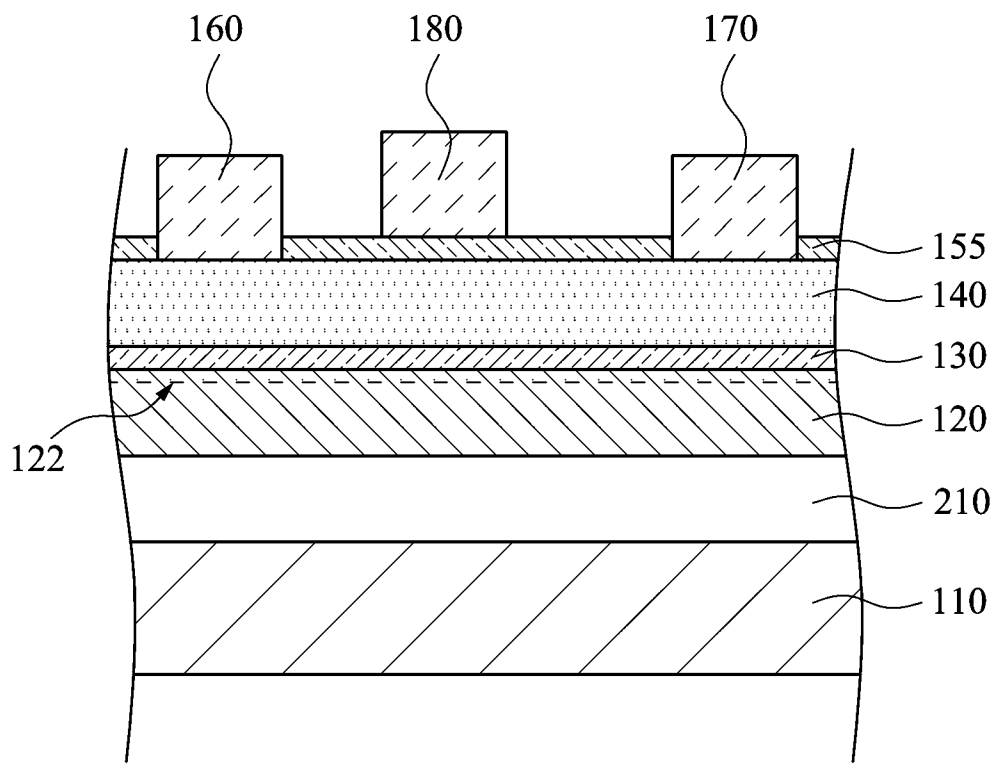
第 1D 圖



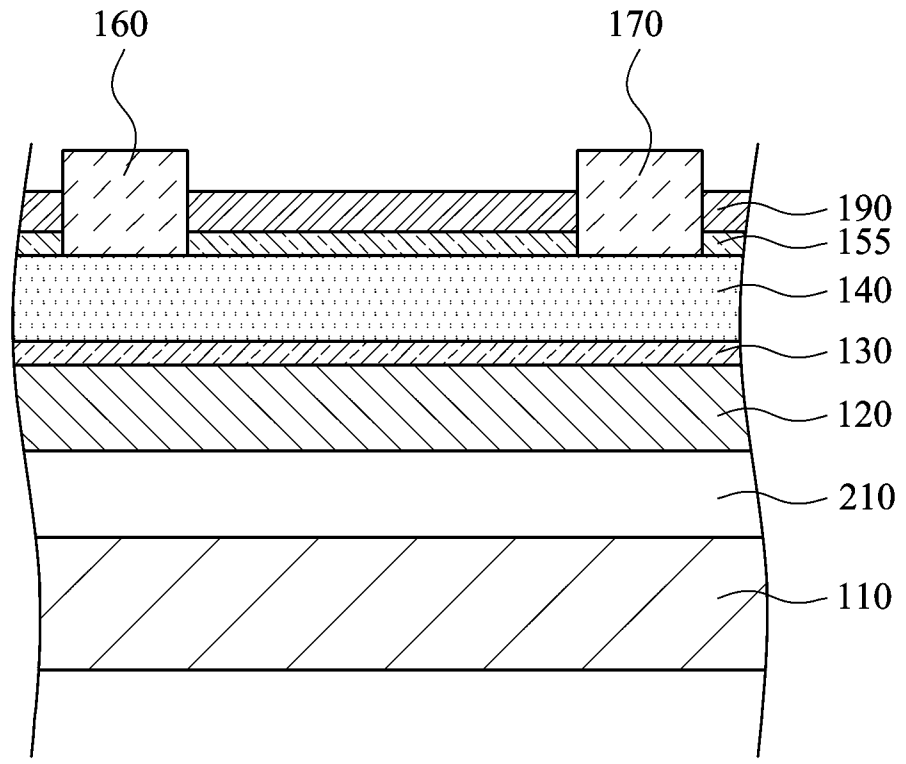
第 1E 圖



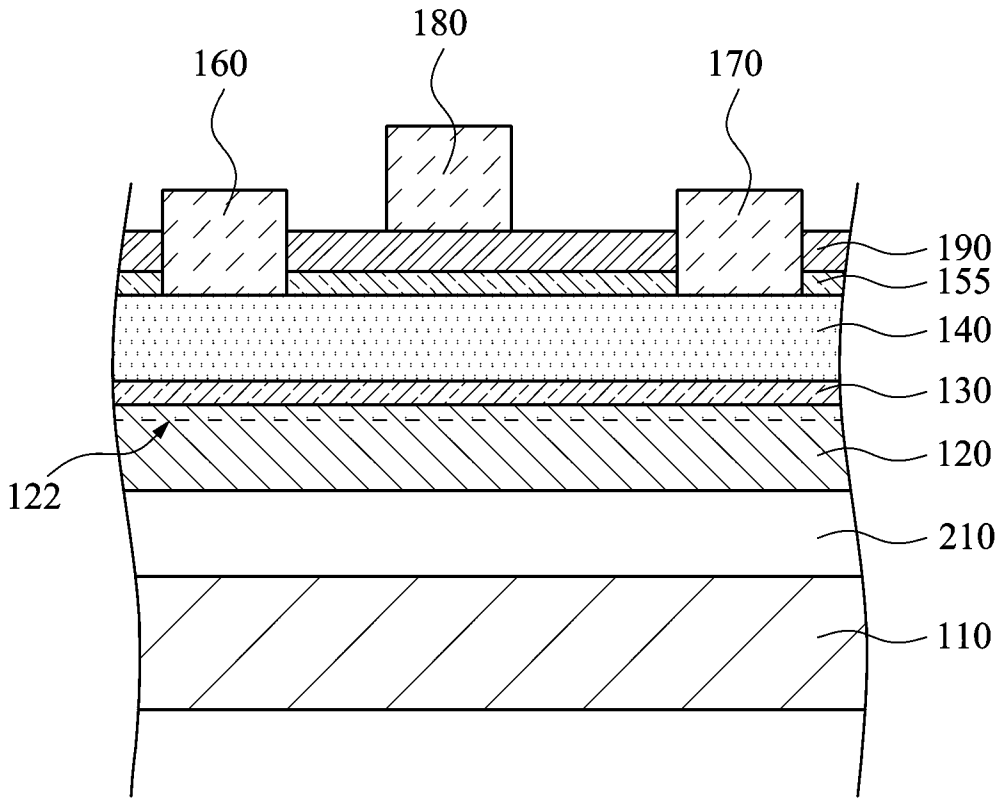
第 2A 圖



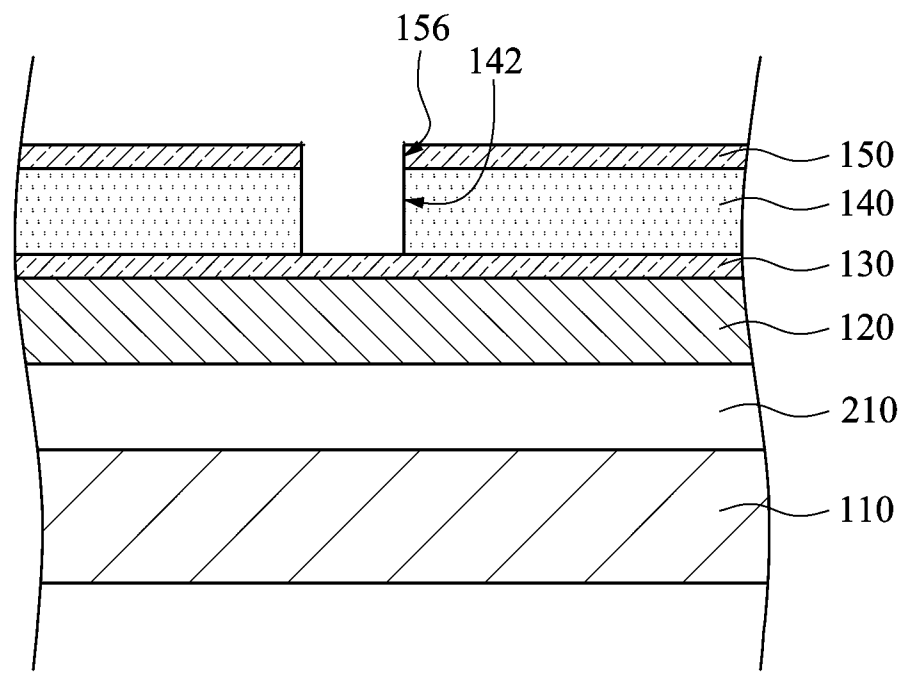
第 2B 圖



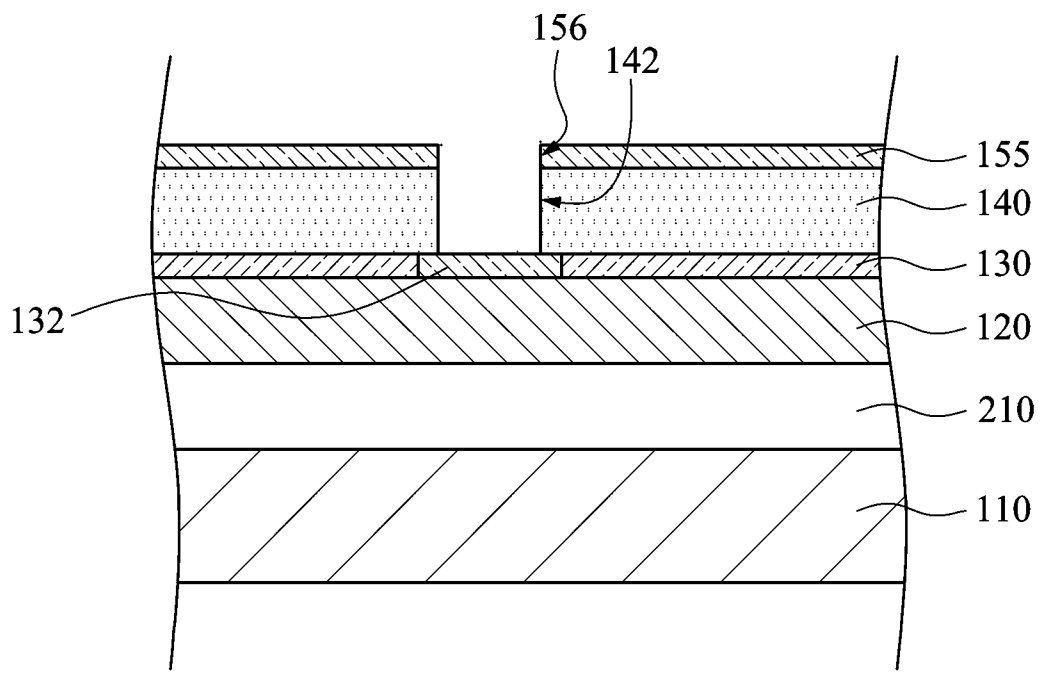
第 3A 圖



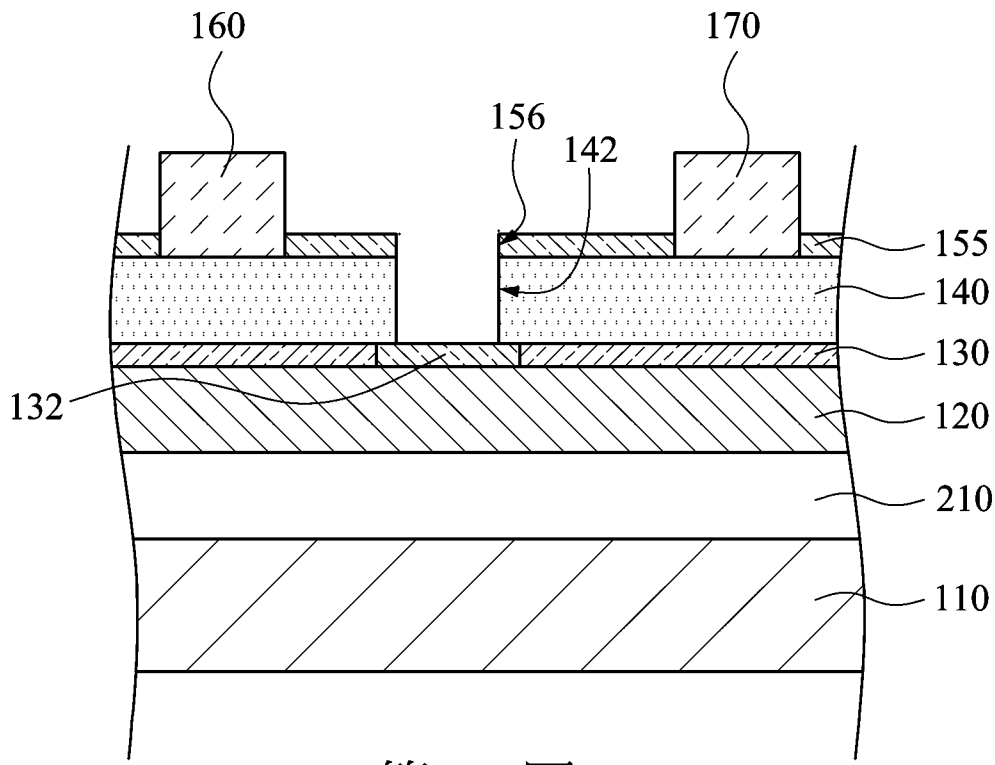
第 3B 圖



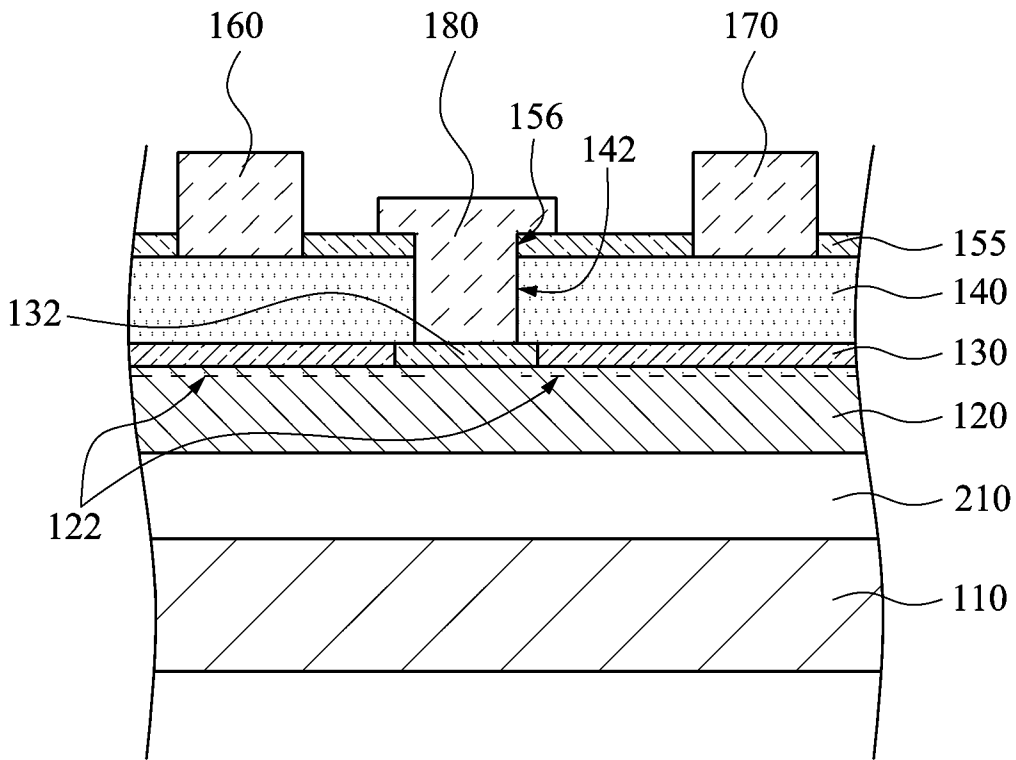
第 4A 圖



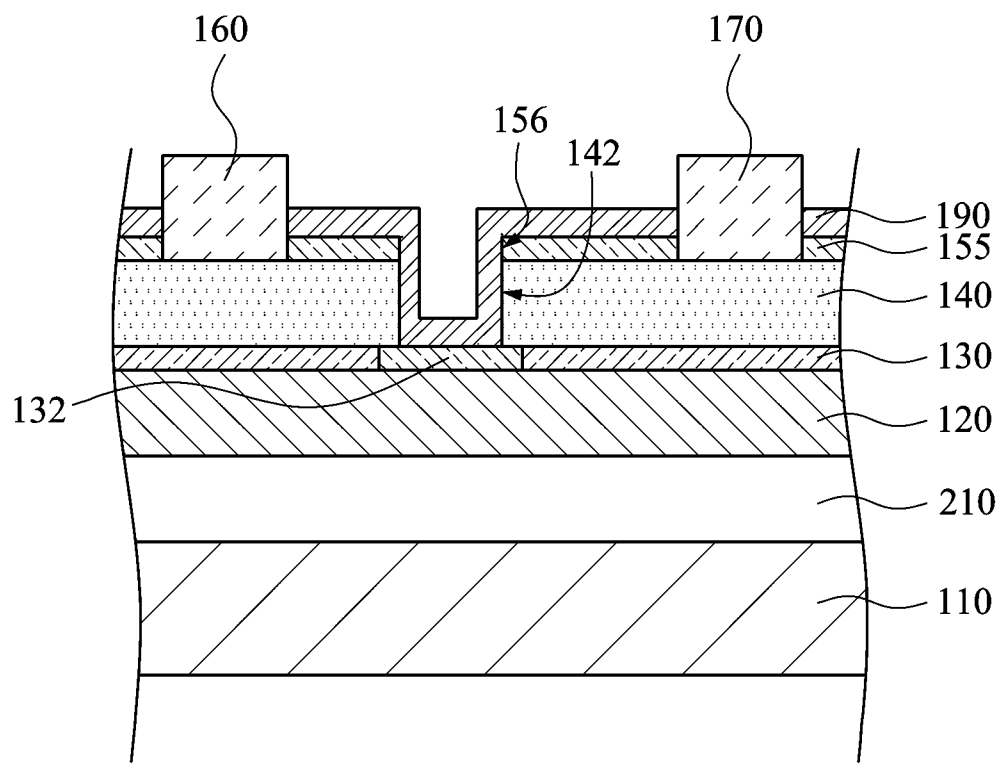
第 4B 圖



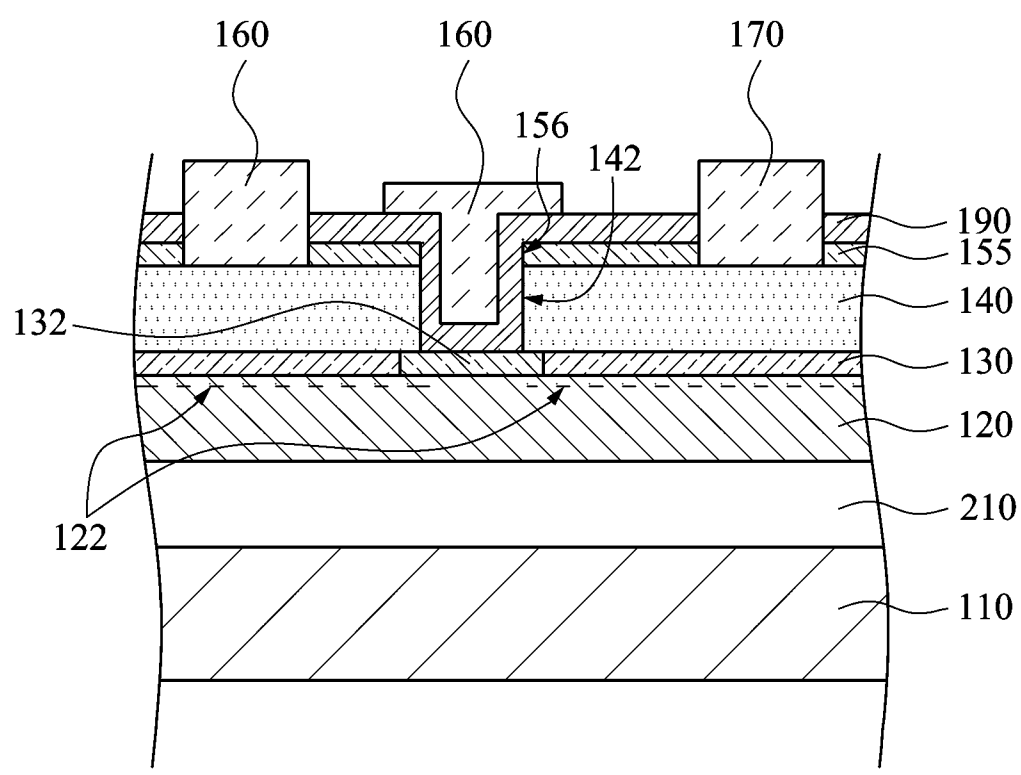
第 4C 圖



第 4D 圖



第 5A 圖



第 5B 圖

【發明申請專利範圍】

【第 1 項】一種半導體裝置，包含：

- 一基板；
- 一通道層，置於該基板上；
- 一間隔層，置於該通道層上；
- 一阻障層，置於該間隔層上；
- 一氧化披覆層，置於該阻障層上，其中該氧化披覆層之材質為氮氧化物；
- 一源極與一汲極，置於該阻障層上；以及
- 一閘極，至少置於該氧化披覆層上與置於該源極與該汲極之間，其中該間隔層具有一氧化區域，該氧化披覆層具有一第一凹槽，且該阻障層具有一第二凹槽，該第一凹槽與該第二凹槽一併暴露至少一部分之該氧化區域，且至少一部分之該閘極置於該第一凹槽與該第二凹槽中。

【第 2 項】如請求項 1 所述之半導體裝置，其中該間隔層之厚度小於 5 奈米。

【第 3 項】如請求項 1 所述之半導體裝置，其中該間隔層之材質為氮化鋁。

【第 4 項】如請求項 1 所述之半導體裝置，其中該氧化披覆層之厚度小於 5 奈米。

【第 5 項】如請求項 1 所述之半導體裝置，其中該氧化披覆層之材質為氮氧化鋁。

【第 6 項】如請求項 1 所述之半導體裝置，其中該阻障層之材質為氮化鎵鋁($\text{Al}_x\text{Ga}_{(1-x)}\text{N}$)，且 $0.1 \leq x \leq 0.4$ 。

【第 7 項】如請求項 1 所述之半導體裝置，更包含：
一保護層，共形地置於該第一凹槽與該第二凹槽中，且至少一部分之該保護層置於該閘極與該間隔層之該氧化區域之間。

【第 8 項】一種半導體裝置之製造方法，包含：
形成一通道層於一基板上；
形成一間隔層於該通道層上；
形成一阻障層於該間隔層上；
形成一披覆層於該阻障層上；以及
氧化該披覆層，以形成一氧化披覆層於該阻障層上，其中該氧化披覆層之材質為氮氧化物。

【第 9 項】如請求項 8 所述之製造方法，其中該間隔層之材質為氮化鋁。

【第 10 項】如請求項 8 所述之製造方法，其中該氧化披覆層之材質為氮氧化鋁。

【第 11 項】如請求項 8 所述之製造方法，其中該阻障層之材質為氮化鎵鋁($Al_xGa_{(1-x)}N$)，且 $0.1 \leq x \leq 0.4$ 。

【第 12 項】如請求項 8 所述之製造方法，其中該披覆層使用一高溫氧化製程氧化，且該溫度高於 $700^\circ C$ 。

【第 13 項】如請求項 8 所述之製造方法，更包含：
形成一源極與一汲極於該阻障層上；以及
形成一閘極於至少該氧化披覆層上且於該源極與該汲極之間。

【第 14 項】如請求項 13 所述之製造方法，更包含：
形成一保護層於該氧化披覆層上，且形成至少一部分之該保護層於該氧化披覆層與該閘極之間。

【第 15 項】如請求項 13 所述之製造方法，更包含：
形成一第一凹槽於該披覆層中以暴露出一部分之該阻障層；以及
藉由該第一凹槽形成一第二凹槽於該阻障層中以暴露出一部分之該間隔層。

【第 16 項】如請求項 15 所述之製造方法，其中氧化該披覆層包含：

一併氧化該披覆層與該部分之該間隔層，以形成該氧化披覆層與一氧化區域於該間隔層中；以及

其中形成該閘極包含：

更形成該閘極於該第一凹槽與該第二凹槽中。

【第 17 項】如請求項 13 所述之製造方法，更包含：
共形地形成一保護層於該第一凹槽與該第二凹槽中，
使得至少一部分之該保護層置於該閘極與該間隔層之該氧化區域之間。

【第 18 項】一種半導體裝置之製造方法，包含：
形成一通道層於一基板上；
形成一間隔層於該通道層上；
形成一阻障層於該間隔層上；
形成一披覆層於該阻障層上；
藉由蝕刻該披覆層以形成一第一凹槽於該披覆層中；
藉由蝕刻該阻障層以形成一第二凹槽於該阻障層中，
以暴露一部分之該間隔層；以及
氧化該披覆層與被暴露之該間隔層，以形成一氧化披覆層與一氧化區域，其中該氧化披覆層之材質為氮氧化物。

【第 19 項】如請求項 18 所述之製造方法，其中該間隔層之材質為氮化鋁。

【第 20 項】如請求項 18 所述之製造方法，其中該氧化披覆層之材質為氮氧化鋁。

【第 21 項】如請求項 18 所述之製造方法，其中該阻障層之材質為氮化鎵鋁($\text{Al}_x\text{Ga}_{(1-x)}\text{N}$)，且 $0.1 \leq x \leq 0.4$ 。

【第 22 項】如請求項 18 所述之製造方法，其中該披覆層使用一高溫氧化製程氧化，且該溫度高於 700°C 。