



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0151498
(43) 공개일자 2022년11월15일

(51) 국제특허분류(Int. Cl.)

H01L 27/11565 (2017.01) H01L 21/768 (2006.01)

H01L 21/8234 (2006.01) H01L 27/11568 (2017.01)

H01L 27/11582 (2017.01)

(52) CPC특허분류

H01L 27/11565 (2013.01)

H01L 21/76802 (2013.01)

(21) 출원번호 10-2021-0058822

(22) 출원일자 2021년05월06일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

심정섭

경기도 수원시 영통구 삼성로 11(신동, 래미안 영통마크원 2단지)

박지혜

경기도 화성시 동탄대로24길 74(영천동, 동탄중흥에스클래스파크더테라스)

(뒷면에 계속)

(74) 대리인

리엔목특허법인

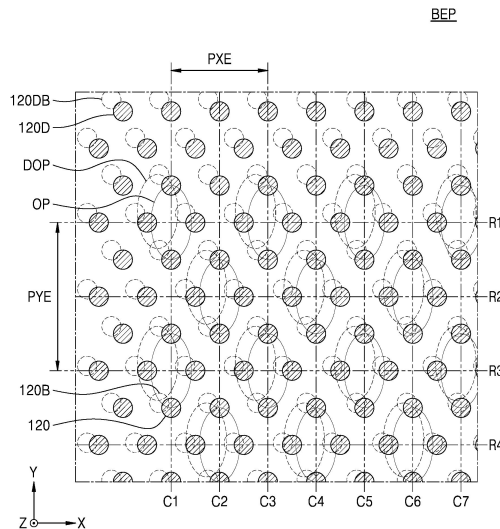
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 반도체 소자

(57) 요약

예시적인 실시예들에 따르면, 반도체 소자가 제공된다. 상기 반도체 소자는 기판; 상기 기판 상에서, 상기 기판의 상면에 수직한 제1 방향으로 연장되는 복수의 하부 전극들; 및 상기 복수의 하부 전극들의 측면과 접하고, 상기 복수의 하부 전극들을 지지하는 평판 형상의 지지 구조로서, 상기 지지 구조는 복수의 개구들을 포함하고, 상기 지지 구조는 상기 복수의 개구들이 제1 피치의 반복 단위로 형성된 제1 부분 및 상기 복수의 개구들이 상기 제1 피치와 다른 제2 피치의 반복 단위로 형성된 제2 부분을 포함한다.

대표도 - 도5



(52) CPC특허분류

H01L 21/823475 (2013.01)

H01L 27/11568 (2013.01)

H01L 27/11582 (2013.01)

(72) 발명자

손완기

경기도 화성시 병점동로 127, 1동 208호(진안동)

한은수

경기도 화성시 노작로 203, 2603호(반송동, 서해터블루)

명세서

청구범위

청구항 1

기관;

상기 기관 상에서, 상기 기관의 상면에 수직한 제1 방향으로 연장되는 복수의 하부 전극들; 및

상기 복수의 하부 전극들의 측면과 접하고, 상기 복수의 하부 전극들을 지지하는 평판 형상의 지지 구조로서, 상기 지지 구조는 복수의 개구들을 포함하고,

상기 지지 구조는 상기 복수의 개구들이 제1 피치의 반복 단위로 형성된 제1 부분 및 상기 복수의 개구들이 상기 제1 피치와 다른 제2 피치의 반복 단위로 형성된 제2 부분을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 2

제1항에 있어서,

상기 제1 부분은 상기 제2 부분을 수평적으로 둘러싸고, 및

상기 제1 피치는 상기 제2 피치보다 더 큰 것을 특징으로 하는 반도체 소자.

청구항 3

제2항에 있어서,

상기 지지 구조는 상기 제1 부분과 상기 제2 부분 사이에 개재된 제3 부분을 더 포함하고, 및

상기 제3 부분의 상기 복수의 개구들의 반복 단위인 제3 피치는 상기 제1 피치보다 더 작고 상기 제2 피치보다 더 큰 것을 특징으로 하는 반도체 소자.

청구항 4

제1항에 있어서,

상기 복수의 하부 전극들은 별집 구조로 배치되고,

상기 복수의 개구들의 중심들은 상기 복수의 하부 전극들 중 인접한 4개의 상면의 중심들이 구성하는 제1 다이아몬드들의 중심들과 상기 제1 방향으로 중첩되는 것을 특징으로 하는 반도체 소자.

청구항 5

제4항에 있어서,

상기 복수의 개구들의 상기 중심들은 상기 복수의 하부 전극들 중 인접한 4개의 하면의 중심들이 구성하는 제2 다이아몬드들의 중심으로부터 수평으로 이격된 것을 특징으로 하는 반도체 소자.

청구항 6

제5항에 있어서,

상기 복수의 개구들에 포함된 제1 개구의 중심과 상기 제2 다이아몬드들의 중심들 중 대응되는 것 사이의 수평 거리인 제1 바이어스는, 상기 복수의 개구들에 포함되고 상기 제1 개구보다 상기 지지 구조의 중심에 더 가까운 제2 개구의 중심과 상기 제2 다이아몬드들의 중심들 중 대응되는 것 사이의 수평 거리인 제2 바이어스 보다 더 큰 것을 특징으로 하는 반도체 소자.

청구항 7

설정된 메모리 단위인 복수의 블록들을 포함하는 반도체 소자로서,

상기 복수의 블록들 각각은,

제1 방향으로 연장되는 복수의 하부 전극들; 및

상기 복수의 하부 전극들의 측면과 접하고, 상기 복수의 하부 전극들을 지지하는 평판 형상의 지지 구조로서, 상기 지지 구조는 복수의 개구들을 포함하고,

상기 복수의 블록들 각각의 중심 부분에 형성된 상기 복수의 개구들의 반복 단위인 제1 피치는, 상기 중심 부분을 둘러싸는 가장자리 부분에 형성된 상기 복수의 개구들의 반복 단위인 제2 피치보다 작은 것을 특징으로 하는 반도체 소자.

청구항 8

제7항에 있어서,

상기 복수의 블록들은,

매트릭스를 구성하도록 배치된 복수의 내부 블록들; 및

상기 복수의 내부 블록들을 수평적으로 둘러싸는 복수의 가장자리 블록들을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 9

제8항에 있어서,

상기 복수의 하부 전극들은 별집 구조로 배치되고,

상기 복수의 내부 블록들의 상기 중심 부분의 상기 복수의 개구들의 중심들 각각은 상기 복수의 하부 전극들 중 인접한 4개의 하면의 중심들이 구성하는 다이아몬드들의 중심들 중 대응하는 것과 제1 방향으로 중첩되고, 및

상기 복수의 내부 블록들의 상기 가장자리 부분의 상기 복수의 개구들의 중심들 각각은 상기 다이아몬드들의 중심들 중 대응하는 것과 수평으로 이격된 것을 특징으로 하는 반도체 소자.

청구항 10

기관;

상기 기관 상에, 상기 기관의 상면에 수직한 제1 방향을 따라 적층된 복수의 게이트 전극들;

상기 복수의 게이트 전극들의 사이에 개재된 복수의 절연막들;

상기 복수의 게이트 전극들 및 상기 복수의 절연막들을 관통하는 복수의 채널 구조들;

상기 복수의 채널 구조들 상에서 상기 기관의 상면에 평행한 제2 방향으로 연장되고, 상기 복수의 채널 구조들 중 적어도 일부와 연결되는 복수의 비트 라인들을 포함하되,

상기 복수의 비트 라인들은 상기 제1 및 제2 방향들 각각에 수직한 제3 방향을 따라 제1 피치로 반복되는 제1 비트 라인들 및 상기 제3 방향을 따라 상기 제1 피치와 다른 제2 피치로 반복되는 제2 비트 라인들을 포함하는 것을 특징으로 하는 반도체 소자.

발명의 설명

기술 분야

[0001]

본 발명의 기술적 사상은 반도체 소자에 관한 것이다.

배경 기술

[0002]

최근 미세화된 반도체 공정 기술의 급속한 발전으로 메모리 제품의 고집적화가 가속화됨에 따라 단위 셀 면적이 크게 감소하고 있으며, 반도체 소자의 동작 전압의 낮아지고 있다. 예컨대, 디램(Dynamic Random Access Memory) 및 낸드 플래시 메모리와 같은 반도체 소자에서, 1 비트에 대응하는 단위 메모리 셀이 차지하는 면적은 줄어들면서, 종래에는 불량을 유발하지 않았던 공정 요인으로 인한 불량이 발생하고 있다.

발명의 내용

해결하려는 과제

[0003] 본 개시의 기술적 사상이 해결하려는 과제는, 신뢰성이 제고된 반도체 소자를 제공하는 것이다.

과제의 해결 수단

[0004] 상술된 목적을 달성하기 위한, 예시적인 실시예들에 따르면, 반도체 소자가 제공된다. 상기 반도체 소자는 기판; 상기 기판 상에서, 상기 기판의 상면에 수직한 제1 방향으로 연장되는 복수의 하부 전극들; 및 상기 복수의 하부 전극들의 측면과 접하고, 상기 복수의 하부 전극들을 지지하는 평판 형상의 지지 구조로서, 상기 지지 구조는 복수의 개구들을 포함하고, 상기 지지 구조는 상기 복수의 개구들이 제1 피치의 반복 단위로 형성된 제1 부분 및 상기 복수의 개구들이 상기 제1 피치와 다른 제2 피치의 반복 단위로 형성된 제2 부분을 포함한다.

[0005] 예시적인 실시예들에 따르면, 반도체 소자가 제공된다. 상기 반도체 소자는, 설정된 메모리 단위인 복수의 블록들을 포함한다. 상기 복수의 블록들 각각은, 제1 방향으로 연장되는 복수의 하부 전극들; 및 상기 복수의 하부 전극들의 측면과 접하고, 상기 복수의 하부 전극들을 지지하는 평판 형상의 지지 구조로서, 상기 지지 구조는 복수의 개구들을 포함하고, 상기 복수의 블록들 각각의 중심 부분에 형성된 상기 복수의 개구들의 반복 단위인 제1 피치는, 상기 중심 부분을 둘러싸는 가장자리 부분에 형성된 상기 복수의 개구들의 반복 단위인 제2 피치보다 작다.

[0006] 예시적인 실시예들에 따르면, 반도체 소자가 제공된다. 상기 반도체 소자는, 기판; 상기 기판 상에, 상기 기판의 상면에 수직한 제1 방향을 따라 적층된 복수의 게이트 전극들; 상기 복수의 게이트 전극들의 사이에 개재된 복수의 절연막들; 상기 복수의 게이트 전극들 및 상기 복수의 절연막들을 관통하는 복수의 채널 구조들; 상기 복수의 채널 구조들 상에서 상기 기판의 상면에 평행한 제2 방향으로 연장되고, 상기 복수의 채널 구조들 중 적어도 일부와 연결되는 복수의 비트 라인들을 포함하되, 상기 복수의 비트 라인들은 상기 제1 및 제2 방향들 각각에 수직한 제3 방향을 따라 제1 피치로 반복되는 제1 비트 라인들 및 상기 제3 방향을 따라 상기 제1 피치와 다른 제2 피치로 반복되는 제2 비트 라인들을 포함한다.

발명의 효과

[0007] 본 개시의 기술적 사상에 따르면, 반도체 소자 제조에 있어서, 작은 피치 및 높은 종횡비 구조 형성시에 발생하는 미스 얼라인을 보정할 수 있다. 이에 따라 반도체 소자 제조의 수율 및 제조된 반도체 소자의 신뢰성이 제고될 수 있다.

[0008] 본 개시의 예시적 실시예들에서 얻을 수 있는 효과는 이상에서 언급한 효과들로 제한되지 아니하며, 언급되지 않은 다른 효과들은 이하의 설명으로부터 본 개시의 예시적 실시예들이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 도출되고 이해될 수 있다. 즉, 본 개시의 예시적 실시예들을 실시함에 따른 의도하지 않은 효과들 역시 본 개시의 예시적 실시예들로부터 당해 기술분야의 통상의 지식을 가진 자에 의해 도출될 수 있다.

도면의 간단한 설명

[0009] 도 1은 예시적인 실시예들에 따른 반도체 소자의 레이아웃을 나타낸다.

도 2는 도 1의 내부 블록의 레이아웃을 나타내는 도면이다.

도 3은 도 2의 내부 블록의 중앙 부분의 일부를 확대한 부폰 평면도이다.

도 4는 도 3의 절단선 XX-XX'을 따라 취한 단면도이다.

도 5는 도 2의 내부 블록의 가장자리 부분의 일부를 확대한 부폰 평면도이다.

도 6은 도 3에 대응되는 부분 평면도로서, 코너 블록의 부분을 나타낸다.

도 7은 도 5에 대응되는 부분 평면도로서, 코너 블록(BLKC)의 부분을 나타낸다.

도 8은 다른 예시적인 실시예들에 따른 반도체 소자를 설명하기 위한 레이아웃을 나타낸다.

도 9는 다른 예시적인 실시예들에 따른 반도체 소자(의 레이아웃을 나타낸다.

도 10은 도 9의 중심 부분의 부분을 나타내는 평면도이다.

도 11은 도 10의 절단선 YY-YY'를 따라 취한 단면도이다.

도 12는 도 9의 가장자리 부분의 부분을 나타내는 평면도이다.

발명을 실시하기 위한 구체적인 내용

- [0010] 이하, 첨부 도면을 참조하여 본 발명의 실시예들을 상세히 설명한다. 도면 상의 동일한 구성요소에 대해서는 동일한 참조 부호를 사용하고, 이들에 대한 중복된 설명은 생략한다.
- [0011] 도 1은 예시적인 실시예들에 따른 반도체 소자(100)의 레이아웃을 나타낸다.
- [0012] 도 1을 참조하면, 반도체 소자(100)는 제1 내지 제8 बैं크들(BNK1, BNK2, BNK3, BNK4, BNK5, BNK6, BNK7, BNK8)을 포함할 수 있다. 제1 내지 제8 बैं크들(BNK1 ~ BNK8)은 반도체 소자(100)에서, 순차적으로 작동하는 기억 장치 내부의 분할된 구역이다.
- [0013] 제1 내지 제8 बैं크들(BNK1 ~ BNK8) 각각은 제1 그룹(G1) 및 제2 그룹(G2)을 포함할 수 있다. 제1 그룹(G1) 및 제2 그룹(G2)을 사이에 복수의 बैं크들(BNK1 ~ BNK8) 각각을 제어하기 위한 제어 회로가 배치될 수 있다. 즉, 제1 그룹(G1) 및 제2 그룹(G2)은 제어 회로를 사이에 두고 이격될 수 있고, 복수의 बैं크들(BNK1 ~ BNK8) 중 어느 하나에 포함된 제1 그룹(G1) 및 제2 그룹(G2)은 동일한 제어 회로에 의해 제어될 수 있다.
- [0014] 제1 및 제2 그룹들(G1, G2)은 복수의 블록들(BLK)로 구성될 수 있다. 블록들(BLK)은 복수의 메모리 셀들로 구성될 수 있다. 복수의 메모리 셀들 각각은 1 비트의 메모리를 저장할 수 있으나 이에 제한되는 것은 아니다. 복수의 메모리 셀들은, 예컨대, 멀티 레벨 셀일 수 있고, 1비트 이상의 메모리를 저장할 수 있다. 블록들(BLK) 각각은 예컨대, 1MB 정도의 용량을 갖는 단위 메모리 블록일 수 있다. 설명의 편의상 블록들(BLK)은 내부 블록들(BLKI), 제1 에지 블록들(BLKX), 제2 에지 블록들(BLKY) 및 코너 블록들(BLKC)으로 분류한다. 내부 블록들(BLKI), 제1 에지 블록들(BLKX), 제2 에지 블록들(BLKY) 및 코너 블록들(BLKC)은 실질적으로 동일한 회로 레이아웃을 가지고, 서로 다른 OPC(Optical proximity correction) 룰이 적용될 수 있다.
- [0015] 상기 서로 다른 OPC룰은, 도 3 내지 도 6을 참조하여 보다 상세하게 설명되는 점진적 바이어스(bias) 및 매크로 바이어스를 포함할 수 있다. 여기서 점진적 바이어스는 작은 피치 및 큰 종횡비를 갖는 복수의 홀들에 물질을 퇴적하는 과정에서 발생한 홀의 힘을 보정하기 위한 것이다. 여기서 특정 구성 요소의 피치는, 해당 구성 요소가 반복적으로 제공되는 단위 길이를 의미한다. 매크로 바이어스는 제1 및 제2 그룹들(G1, G2)의 경계에서, 레이아웃의 비대칭성으로 인해 발생하는 가장자리 효과를 보정하기 위한 것이다.
- [0016] 예컨대, 내부 블록들(BLKI)에 점진적 바이어스가 적용될 수 있다. 제1 에지 블록들(BLKX), 제2 에지 블록들(BLKY) 및 코너 블록들(BLKC)에 상기 점진적 바이어스 및 상기 매크로 바이어스가 적용될 수 있다.
- [0017] 여기서, 반도체 소자(100)에 포함된 기판(110, 도 4 참조)의 상면에 평행하고 서로 수직인 두 방향을 각각 X 방향 및 Y 방향으로 정의하고, 상기 상면에 수직인 방향을 Z 방향으로 정의한다.
- [0018] 예컨대, 제1 बैं크(BNK1)의 제2 그룹(G2)은 제2 बैं크(BNK2)의 제1 그룹(G1)과 인접하게 배치될 수 있다. 제1 बैं크(BNK1)의 제1 그룹(G1) 및 제2 그룹(G2) 사이의 X 방향 거리는, 제1 बैं크(BNK1)의 제2 그룹(G2) 및 제2 बैं크(BNK2)의 제1 그룹(G1) 사이의 X 방향 거리보다 더 클 수 있다. 이에 따라, 제1 बैं크(BNK1)의 제1 그룹(G1)의 Y 방향에 평행한 양 가장자리들 각각에 제2 에지 블록들(BLKY)이 배치될 수 있고, 제1 बैं크(BNK1)의 제1 그룹(G1)의 Y 방향에 평행한 가장자리들 중 제1 그룹(G1)에 인접한 가장자리에만 제2 에지 블록들(BLKY)이 배치될 수 있다.
- [0019] 즉 매크로 바이어스는, 반도체 소자(100)의 동작 단위인 बैं크들(BNK1 ~ BNK8)을 기준으로 적용되지 않으며, 그룹들(G1, G2) 사이의 간격(보다 구체적으로는, 블록들(BLK) 사이의 간격)을 기준으로 적용될 수 있다.
- [0020] 도 2는 도 1의 내부 블록(BLKI)의 레이아웃을 나타내는 도면이다.
- [0021] 도 2를 참조하면, 내부 블록(BLKI)은 중앙 부분(BC) 및 중앙 부분(BC)을 둘러싸는 가장자리 부분(BE)을 포함할 수 있다. 예시적인 실시예들에 따르면, 가장자리 부분(BE)에 점진적 바이어스가 적용될 수 있고, 중앙 부분(BC)에 점진적 바이어스가 적용되지 않을 수 있다.
- [0022] 블록들(BLKI)은 설정된 용량 단위(예컨대, 약 1MB)에 대응하는 기억 장치 셀들이 배치될 수 있다. 내부 블록(BLKI)의 용량 단위 및 레이아웃에 관한 설명은, 도 1의 제1 에지 블록들(BLKX), 제2 에지 블록들(BLKY) 및 코

너 블록들(BLKC)에 대해서도 유사하게 적용된다.

- [0023] 도 3은 도 2의 내부 블록(BLKI)의 중앙 부분(BC)의 일부(BCP)를 확대한 부폰 평면도이다.
- [0024] 도 4는 도 3의 절단선 XX-XX'을 따라 취한 단면도이다.
- [0025] 도 3 및 도 4를 참조하면, 반도체 소자(100)는 기판(110), 층간 절연막(113), 식각 저지막(115), 복수의 하부 전극들(120), 제1 지지 구조(130), 제2 지지 구조(140), 유전층(150) 및 상부 전극(160)을 포함할 수 있다.
- [0026] 기판(110)은, 예를 들면, 실리콘, 게르마늄, 실리콘-게르마늄 등과 같은 반도체 물질을 포함할 수 있으며, 에피택시얼 층, 실리콘 온 인슐레이터(Silicon On Insulator: SOI)층, 게르마늄 온 인슐레이터(Germanium On Insulator: GOI)층, 세미컨덕터 온 인슐레이터(Semiconductor On Insulator: SeOI)층 등을 더 포함할 수도 있다. 기판(110)은 복수의 하부 전극들(150) 및 상부 전극(160)에 의해 구성되는 메모리셀들을 구동하기 위한 반도체 소자들을 포함할 수 있다. 예를 들어, 반도체 소자들은 MOS 트랜지스터들 다이오드, 및 저항을 포함할 수 있다.
- [0027] 층간 절연막(113)은 고밀도플라즈마(HDP) 산화막, TEOS(TetraEthyl OrthoSilicate), PE-TEOS(Plasma Enhanced TetraEthyl OrthoSilicate), O3-TEOS(O3-TetraEthyl OrthoSilicate), USG(Undoped Silicate Glass), PSG(Phospho Silicate Glass), BSG(Borosilicate Glass), BPSG(BoroPhosphoSilicate Glass), FSG(Fluoride Silicate Glass), SOG(Spin On Glass), TOSZ(Tonen SilaZene) 또는 이들의 조합으로 이루어질 수 있다. 또한, 층간 절연막은 실리콘 질화물, 실리콘 산질화물 또는 낮은 유전율을 가지는 물질, 예를 들어, 실리콘 산화물보다 낮은 유전율을 가지는 물질로 이루어질 수도 있다.
- [0028] 식각 저지막(115)은 평탄화된 층간 절연막(113)에 대해 식각 선택성을 갖는 물질로 형성될 수 있다. 예를 들어, 식각 저지막(115)은 실리콘 질화막 또는 실리콘 산질화막으로 형성될 수 있다.
- [0029] 복수의 하부 전극들(120)은 금속 물질들, 금속 질화막들 및 금속 실리사이드들 중의 적어도 하나를 포함할 수 있다. 예를 들어, 복수의 하부 전극들(120)은 코발트, 티타늄, 니켈, 텅스텐 및 몰리브덴과 같은 고용점 금속(refractory metal) 물질을 포함할 수 있다. 다른 예로, 복수의 하부 전극들(120)은 타이타늄 질화막(TiN), 타이타늄 실리콘 질화막(TiSiN), 타이타늄 알루미늄 질화막(TiAlN), 탄탈륨 질화막(TaN), 탄탈륨 실리콘 질화막(TaSiN), 탄탈륨 알루미늄 질화막(TaAlN) 및 텅스텐 질화막(WN)과 같은 금속 질화물을 포함할 수 있다. 또한, 복수의 하부 전극들(120)은 백금(Pt), 루테튬(Ru) 및 이리듐(Ir)으로 이루어진 그룹에서 선택된 적어도 하나의 귀금속(Noble Metal) 물질을 포함할 수 있다. 복수의 하부 전극들(120)은 귀금속 산화물을 포함할수 도 있다.
- [0030] 복수의 하부 전극들(120)은 기판(110) 상에서 기판(110)의 상면에 수직한 방향으로 연장되는 기둥 형상을 가질 수 있다. 하부 전극들(120)의 단면은 원형 또는 타원형일 수 있다.
- [0031] 복수의 하부 전극들(120)은 X 방향 및 Y 방향을 따라 배열되어 다수의 행과 열을 이룰 수 있다. 이 때, 복수의 하부 전극들(120) 사이의 공간을 확보하기 위하여, 어느 하나의 행을 구성하는 복수의 하부 전극들(120)은 인접하는 다른 행을 구성하는 복수의 하부 전극들(120)과 엇갈려 배열될 수 있다. 이에 따라, 복수의 하부 전극들(120)의 사이에, 유전층(150)을 형성하기 위한 유전 물질을 제공하기에 충분한 공간을 제공할 수 있다.
- [0032] 일부 실시예들에 따르면, 복수의 하부 전극들(120)은, 복수의 하부 전극들(120)이 2차원 평면을 채우는 복수의 육각형들의 꼭지점들과 중심점들에 배치되는 벌집(honeycomb) 구조를 이룰 수 있다. 벌집 구조를 구성하는 육각형들 각각의 6개의 꼭지점 각각은 인접하여 배치된 다른 6개의 육각형들의 각각의 중심점이 되고, 육각형의 중심점은 6개의 육각형들의 공유된 꼭지점이되는 구조일 수 있다.
- [0033] 복수의 하부 전극들(120)이 벌집 구조로 배치됨으로써, 복수의 하부 전극들(120)이 서로 일정한 간격이 유지되므로, 그에 따라 후속 공정에서 유전 물질 및 상부 전극 물질이 균일하게 퇴적될 수 있다.
- [0034] 일 실시예에 있어서, 복수의 하부 전극들(120)은 높은 종횡비(aspect ratio)를 가질 수 있고, 이로 인해, 복수의 하부 전극들(120)의 쓰러짐으로 인한 결함이 발생할 수 있다. 예시적인 실시예들에 따르면, 제1 및 제2 지지 구조들(130, 140)이 복수의 하부 전극들(120)을 지지함으로써, 복수의 하부 전극들(120)의 쓰러짐을 방지할 수 있고, 반도체 소자(100)의 불량률 방지할 수 있다.
- [0035] 예시적인 실시예들에 따르면, 제1 및 제2 지지 구조들(130, 140)은 실리콘 질화물을 포함할 수 있으나 이에 한정되는 것은 아니다. 또한, 반도체 소자(100)는 2개의 지지 구조들(130, 140)을 포함하는 것으로 도시되었으나, 이에 한정되는 것은 아니다. 예컨대, 제1 및 제2 지지 구조들(130, 140) 중 어느 하나만 포함하거나, 추가적인

지지 구조를 더 포함할 수도 있다.

- [0036] 제1 및 제2 지지 구조들(130, 140)은 복수의 개구들(OP)을 포함하는 일체형(one-body type)으로 형성될 수 있다. 제1 지지 구조(130)의 개구들(OP) 각각은 제2 지지 구조(140)의 개구들(OP) 중 대응하는 어느 하나와 Z 방향으로 중첩될 수 있다. 제1 및 제2 지지 구조들(130, 140)은 기판(110)의 상면으로부터 이격된 평판 형상을 가질 수 있다. 제1 지지 구조(130)는 제2 지지 구조(140)와 기판(110)의 상면 사이에 배치될 수 있다.
- [0037] 복수의 개구들(OP)은 X 방향 및 Y 방향을 따라 배치될 수 있다. 예시적인 실시예들에 따르면, 복수의 개구들(OP)은 타원 형상을 가질 수 있고, 복수의 개구들(OP)의 중심이 인접한 4개의 하부 전극들(120)로 구성된 다이아몬드의 중심과 겹치도록 배치될 수 있다. 이 경우, 복수의 개구들(OP)은 4개의 하부 전극들(120)을 오픈시킬 수 있다.
- [0038] 하지만 이에 제한되는 것은 아니고, 복수의 개구들의 평면 형상은 원형일 수 있고, 복수의 개구들의 중심이 인접한 3개의 하부 전극들(120)로 구성된 정삼각형의 중심과 겹치도록 배치될 수 있다. 복수의 개구들의 평면 형상이 원형인 경우, 복수의 개구들은 3개의 하부 전극들(120)을 오픈시킬 수 있다.
- [0039] 여기서, 복수의 개구들(OP)이 복수의 하부 전극들(120)을 오픈시킨다는 것은 유전층(150) 및 상부 전극(160) 중 적어도 하나의 제1 지지 구조(130) 및 제2 지지 구조(140)가 복수의 하부 전극들(120)의 부분을 노출 시킴을 의미한다.
- [0040] 유전층(150)은 예를 들어, HfO_2 , ZrO_2 , Al_2O_3 , La_2O_3 , Ta_2O_5 및 TiO_2 와 같은 금속 산화물과 SrTiO_3 (STO), BaTiO_3 , PZT, PLZT와 같은 페브로스카이트(perovskite) 구조의 유전물질로 이루어진 조합으로부터 선택된 어느 하나의 단일막 또는 이들의 조합으로 형성될 수 있다.
- [0041] 상부 전극(160)은 불순물이 도핑된 실리콘, 금속 물질들, 금속 질화물 및 금속 실리사이드들 중의 적어도 하나를 포함할 수 있다. 상부 전극(160)은 복수의 하부 전극들(120)과 동일한 물질을 포함할 수 있으나, 이에 한정되는 것은 아니다.
- [0042] 예시적인 실시예들에 따르면, 중앙 부분(BC)의 일부(BCP)에서, 복수의 개구들(OP)의 X 방향 피치(PXC)는 복수의 하부 전극들(120)의 X 방향 피치(PX)의 약 두 배일 수 있고, 복수의 개구들(OP)의 Y 방향 피치(PYC)는 복수의 하부 전극들(120)의 Y 방향 피치(PY)의 약 두 배일 수 있다.
- [0043] 도 5는 도 2의 내부 블록(BLKI)의 가장자리 부분(BE)의 일부(BEP)를 확대한 부분 평면도이다.
- [0044] 도 5에서, 복수의 하부 전극들(120) 각각에 인접하게, 복수의 하부 전극들(120)의 대응되는 복수의 디자인된 위치들(120B)이 파선으로 도시되어 있다. 예시적인 실시예들에 따르면, 디자인된 위치들(120B)은 복수의 하부 전극들(120)의 하면의 위치와 실질적으로 동일할 수 있다. 유사하게, 도 5에는 복수의 하부 전극들(120)의 복수의 디자인된 위치들(120B)에 대응하는, 복수의 개구들(OP)의 디자인된 위치(DOP)가 파선으로 도시되어 있다.
- [0045] 도 2 및 도 5를 참조하면, 복수의 하부 전극들(120)을 형성하기 위한 복수의 홀들을 제공한 후, 상기 홀들에 복수의 하부 전극들(120)을 구성하는 도전성 물질을 퇴적하는 경우, 상기 퇴적 공정에서 하부 전극들(120)에 휨이 발생하는 것이 확인되었다. 이에 따라, 복수의 홀들을 형성하기 위한 리소그래피 공정이 정확한 정렬에 기반하여 수행된 경우에도, 하부 전극들(120)을 구성하는 물질을 제공하는 단계에서, 디자인된 위치들(120B)과 실제 하부 전극들(120)의 위치(예컨대, 상면의 위치) 사이의 오프셋이 발생할 수 있다.
- [0046] 복수의 개구들(OP)은 디자인된 위치(DOP)로부터 바이어스된 위치에 형성될 수 있다. 복수의 개구들(OP)의 X 방향 및 Y 방향 바이어스는, 복수의 개구들(OP)의 위치에 의존하여 변할 수 있다.
- [0047] 복수의 개구들(OP)의 X 방향 및 Y 방향 바이어스로 인해, 복수의 개구들(OP) 각각의 중심은 인접한 네 개의 하부 전극(120)의 상면으로 구성된 다이아몬드의 중심들 중 대응하는 것과 Z 방향으로 중첩되고, 인접한 네 개의 하부 전극(120)의 상면의 디자인된 위치들(120B)로 구성된 다이아몬드의 중심들 중 대응하는 것과 Z 방향으로 중첩되지 않을 수 있다. 여기서, 인접한 네 개의 하부 전극(120)의 상면의 디자인된 위치들(120B)로 구성된 다이아몬드들의 중심들 각각은 인접한 네 개의 하부 전극(120)의 하면의 디자인된 위치로 구성된 다이아몬드들의 중심들 각각과 실질적으로 동일할 수 있다.
- [0048] 복수의 개구들(OP) 중 내부 블록(BLKI)의 중심 부분(BC)에 상대적으로 가깝게 배치된 개구들(OP)의 바이어스는, 복수의 개구들(OP) 중 내부 블록(BLKI)의 중심 부분(BC)로부터 상대적으로 멀리 배치된 개구들(OP)의 바이어스에 비해 작을 수 있다. 여기서 바이어스는, 룰 베이스 OPC에서 설계된 위치로부터의 이동의 크기를 의미한다.

[0049] 복수의 개구들(OP)은 복수의 로우들(R1, R2, R3, R4) 및 컬럼들(C1, C2, C3, C4, C5, C6, C7)을 이루어 배치될 수 있다. 제1 로우(R1)는 복수의 로우들(R1 ~ R4) 중 중심 부분(BC)으로부터 가장 멀 수 있고, 제1 컬럼(C1)은 복수의 컬럼들(C1 ~ C7) 중 중심 부분(BC)으로부터 가장 멀 수 있다. 즉, 제1 로우(R1)로부터 제4 로우(R4)로 향하는 방향 및 제1 컬럼(C1)으로부터 제7 컬럼(C7)으로 향하는 방향이 내부 블록(BLKI)의 가장자리 부분(BE)으로부터 중심 부분(BC)에 가까워지는 방향일 수 있다.

[0050] 예컨대, 복수의 로우들(R1 ~ R4) 중 앞선 것에 속한 개구들(OP)의 Y 방향 바이어스는 복수의 로우들(R1 ~ R4) 중 후속하는 것에 속한 개구들(OP)의 Y 방향 바이어스는 보다 더 클 수 있다. 보다 구체적으로, 제1 로우(R1)에 속한 개구들(OP)의 Y 방향 바이어스는 제2 로우(R2)에 속한 개구들(OP)의 Y 방향 바이어스보다 더 클 수 있고, 제2 로우(R2)에 속한 개구들(OP)의 Y 방향 바이어스는 제3 로우(R3)에 속한 개구들(OP)의 Y 방향 바이어스보다 더 클 수 있다. n 번째 로우에 속한 개구들(OP)의 Y 방향 바이어스 $BY(n)$ 는 하기의 식 1에 따라 결정될 수 있다.

[0051] [식 1]

$$BY(n) = BY0 - (n - 1)\Delta Y$$

[0052]

[0053] 식 1에서, $BY0$ 는 제1 로우(R1)의 개구들(OP)의 Y 방향 바이어스이고, ΔY 는 인접한 로우들(R1 ~ R4) 사이의 Y 방향 바이어스의 차이이다.

[0054] 이에 따라, 가장자리 부분(BE)의 개구들(OP)의 Y 방향 피치(PYE)는 중심 부분(BC)의 개구들(OP)의 Y 방향 피치(PYC, 도 3 참조)에 비해 축소될 수 있다. 가장자리 부분(BE)의 개구들(OP)의 Y 방향 피치(PYE) 및 중심 부분(BC)의 개구들(OP)의 Y 방향 피치(PYC, 도 3 참조) 사이의 관계는 하기의 식 2를 따른다. 여기서, 중심 부분(BC)의 개구들(OP)의 Y 방향 피치(PYC, 도 3 참조)는 복수의 개구들(OP)의 디자인된 위치(DOP)의 Y 방향 피치와 실질적으로 동일할 수 있다.

[0055] [식 2]

$$PYE = PYC - \Delta Y$$

[0056]

[0057] 유사하게, 복수의 컬럼들(C1 ~ C7) 중 앞선 것에 속한 개구들(OP)의 X 방향 바이어스는 복수의 컬럼들(C1 ~ C7) 중 후속하는 것에 속한 개구들(OP)의 X 방향 바이어스는 보다 더 클 수 있다. 보다 구체적으로, 제1 컬럼(C1)에 속한 개구들(OP)의 X 방향 바이어스는 제2 컬럼(C2)에 속한 개구들(OP)의 X 방향 바이어스보다 더 클 수 있고, 제2 컬럼(C2)에 속한 개구들(OP)의 X 방향 바이어스는 제3 컬럼(C3)에 속한 개구들(OP)의 X 방향 바이어스보다 더 클 수 있다. n 번째 컬럼에 속한 개구들의 X 방향 바이어스 $BX(n)$ 는 하기의 식 3에 따라 결정될 수 있다.

[0058] [식 3]

$$BX(n) = BX0 - (n - 1)\Delta X$$

[0059]

[0060] 식 3에서, $BX0$ 는 제1 컬럼(C1)의 개구들(OP)의 X 방향 바이어스이고, ΔX 는 인접한 컬럼들(C1 ~ C7) 사이의 X 방향 바이어스의 차이이다.

[0061] 이에 따라, 가장자리 부분(BE)의 개구들(OP)의 X 방향 피치(PXE)는 중심 부분(BC)의 개구들(OP)의 X 방향 피치(PXC, 도 3 참조)에 비해 축소될 수 있다. 가장자리 부분(BE)의 개구들(OP)의 X 방향 피치(PXE) 및 중심 부분(BC)의 개구들(OP)의 X 방향 피치(PXC, 도 3 참조) 사이의 관계는 하기의 식 4를 따른다. 여기서, 중심 부분(BC)의 개구들(OP)의 X 방향 피치(PXC, 도 3 참조)는 복수의 개구들(OP)의 디자인된 위치(DOP)의 X 방향 피치와 동일할 수 있다.

[0062] [식 4]

$$PXE = PXC - \Delta X$$

[0063]

[0064] 이상에서 식 1 내지 식 4를 참조하여 설명한 바이어스를 도 6 및 도 7을 참조하여 설명하는 바이어스와 구분하기 위해 점진적 바이어스라고 지칭한다.

[0065] 예시적인 실시예들에 따르면, 복수의 하부 전극들(120)을 형성하기 위한 물질 퇴적 공정에 따른 미스 얼라인을 고려하여, 리소그래피 공정을 수행하기 전에, 복수의 개구들(OP)의 디자인된 위치(DOP) 의존하는 X 방향 및 Y

방향 바이어스를 인가하는 물 베이스 OPC를 수행할 수 있다. 이에 따라, 하부 전극들(120) 중 일부가 오픈되지 않음으로 인한, 유전층(150) 및 상부 전극(160)의 미형성을 방지할 수 있고, 반도체 소자(100)의 신뢰성을 제고할 수 있다.

[0066] 반도체 소자(100)는 복수의 개구들(OP)에 의해 오픈되지 않은 더미 하부 전극들(120D)을 더 포함할 수 있다. 예시적인 실시예들에 따르면, 더미 하부 전극들(120D)은 하부 전극들(120)과 유사하게, 디자인된 위치(120DB)로부터 오프셋 된 위치에 배치될 수 있다.

[0067] 예시적인 실시예들에 따르면, 제1 및 제2 지지 구조들(130, 140)는 내부 블록(BLKI) 전체에 걸쳐 형성될 수 있다. 이에 따라, 제1 및 제2 지지 구조들(130, 140) 각각은 복수의 개구들(OP)이 제1 피치(예컨대, X 방향 피치(PXC) 및 Y 방향 피치(PYC)로 갖는 제1 부분(예컨대, 부분(BC)) 및 복수의 개구들(OP)이 제2 피치(예컨대, X 방향 피치(PXE) 및 Y 방향 피치(PYE)로 갖는 제2 부분(예컨대, 부분(BE))을 포함할 수 있다.

[0068] 도 6은 도 3에 대응되는 부분 평면도로서, 코너 블록(BLKC)의 부분(BCP')을 나타낸다.

[0069] 도 7은 도 5에 대응되는 부분 평면도로서, 코너 블록(BLKC)의 부분(BEP')을 나타낸다.

[0070] 설명의 편의상 도 3 내지 도 5를 참조하여 설명한 것과 중복되는 것을 생략하고 차이점을 위주로 설명하도록 한다.

[0071] 도 1, 도 3 및 도 6을 참조하면, 코너 블록(BLKC)의 부분(BCP')의 개구들(OP)은, 내부 블록(BLKI)의 부분(BCP)의 개구들(OP)과 달리, 디자인된 위치(DOP)로부터 바이어스될 수 있다. 부분(BCP')에 포함된 개구들(OP) 각각은, X 방향에서 동일한 거리로 바이어스될 수 있고, Y 방향에서 동일한 거리로 바이어스될 수 있다. 설명의 편의상 이러한 방식의 바이어스를 매크로 바이어스라고 지칭한다.

[0072] 이에 따라, 내부 블록(BLKI)의 부분(BCP)에서와 달리, 코너 블록(BLKC)의 부분(BCP')의 복수의 개구들(OP) 각각의 중심은 인접한 네 개의 하부 전극(120)의 상면으로 구성된 다이아몬드의 중심들 중 대응하는 것과 Z 방향으로 중첩되고, 인접한 네 개의 하부 전극(120)의 상면의 디자인된 위치들(120B)로 구성된 다이아몬드의 중심들 중 대응하는 것과 Z 방향으로 중첩되지 않을 수 있다.

[0073] 예시적인 실시예들에 따르면, 부분(BCP')에 포함된 개구들(OP)의 X 방향 피치(PXC') 및 Y 방향 피치(PYC')는 매크로 바이어스에도 불구하고, 디자인된 피치와 동일할 수 있다. 다시 말해, 부분(BCP')에 포함된 개구들(OP)의 X 방향 피치(PXC')는 부분(BCP)에 포함된 개구들(OP)의 X 방향 피치(PXC)와 동일할 수 있고, 부분(BCP')에 포함된 개구들(OP)의 Y 방향 피치(PYC')는 부분(BCP)에 포함된 개구들(OP)의 Y 방향 피치(PYC)와 동일할 수 있다.

[0074] 예시적인 실시예들에 따르면, 코너 블록(BLKC)의 부분(BCP')에 포함된 개구들(OP)은 X 방향 및 Y 방향으로 각각 바이어스될 수 있다. 이는, 그룹들(G1, G2)의 경계의 비대칭성에 의해 발생하는 코너 블록(BLKC)의 하부 전극들(120)의 오프셋을 보정하기 위함이다.

[0075] 코너 블록들(BLKC), 제1 에지 블록들(BLIX) 및 제2 에지 블록들(BLKY)의 매크로 바이어스의 방향은 도 1에 화살표로 도시되어있다. 매크로 바이어스의 방향은 제1 및 제2 그룹들(G1, G2)의 경계로부터 중심을 향한 방향일 수 있다. 보다 구체적으로, 코너 블록들(BLKC)의 매크로 바이어스의 방향은, 대각 방향에 배치된 코너 블록들(BLKC)을 향한 방향일 수 있고, 제1 에지 블록들(BLIX)의 바이어스 방향은 Y 방향일 수 있으며, 제2 에지 블록들(BLKY)의 바이어스 방향은 X 방향일 수 있다.

[0076] 도 1, 도 3 및 도 7을 참조하면, 코너 블록(BLKC)의 부분(BEP')에 포함된 개구들(OP)은 내부 블록(BLKI)의 부분(BEP)과 유사하게, 점진적 바이어스가 적용될 수 있다. 코너 블록(BLKC)의 부분(BEP')에 포함된 개구들(OP)은 점진적 바이어스에 더해, 도 1, 도 3 및 도 6을 참조하여 설명한 매크로 바이어스가 더 적용될 수 있다.

[0077] 코너 블록(BLKC)의 부분(BEP')에 포함된 개구들(OP)은 도 5에서와 유사하게, 로우들(R1', R2', R3', R4') 및 컬럼들(C1', C2', C3', C4', C5', C6', C7')을 구성할 수 있다.

[0078] 코너 블록(BLKC)의 부분(BEP')의 n 번째 로우에 포함된 개구들(OP)의 Y 방향 바이어스 BY'(n)는 식 5를 따른다.

[0079] [식 5]

$$BY'(n) = BY_0 - (n - 1)\Delta Y + MY$$

[0080]

[0081] 여기서, MY는 Y 방향의 매크로 바이어스의 크기이다.

[0082] 이에 따라, 코너 블록(BLKC)의 부분(BEP')의 개구들(OP)의 Y 방향 피치는 아래와 같다.

[0083] [식 6]

$$PYE' = PYC - \Delta Y$$

[0085] 즉, 코너 블록(BLKC)의 부분(BEP')의 개구들(OP)의 Y 방향 피치는, 내부 블록(BLKI)의 부분(BEP)의 개구들(OP)의 Y 방향 피치와 실질적으로 동일할 수 있다.

[0086] 코너 블록(BLKC)의 부분(BEP')의 n 번째 컬럼에 포함된 개구들(OP)의 X 방향 바이어스 BX'(n)는 식 7을 따른다.

[0087] [식 7]

$$BX'(n) = BX0 - (n - 1)\Delta X + MX$$

[0089] 여기서, MX는 X 방향의 매크로 바이어스의 크기이다.

[0090] 이에 따라, 코너 블록(BLKC)의 부분(BEP')의 개구들(OP)의 X 방향 피치는 아래와 같다.

[0091] [식 8]

$$PXE' = PXC - \Delta X$$

[0093] 즉, 코너 블록(BLKC)의 부분(BEP')의 개구들(OP)의 X 방향 피치(PXE')는, 내부 블록(BLKI)의 부분(BEP)의 개구들(OP)의 X 방향 피치(PXE)와 실질적으로 동일할 수 있다.

[0094] 즉, 내부 블록(BLKI)의 부분(BCP)에는 점진적 바이어스 및 매크로 바이어스가 적용되지 않을 수 있고, 부분(BEP)에는 점진적 바이어스가 적용되지 매크로 바이어스가 적용되지 않을 수 있다.

[0095] 또한, 제1 및 제2 에지 블록들(BLXX, BLKY) 및 코너 블록들(BLKC)의 부분(BCP')에는 매크로 바이어스가 적용되지, 점진적 바이어스가 적용되지 않을 수 있고, 부분(BEP')에는 점진적 바이어스 및 매크로 바이어스가 각각 적용될 수 있다.

[0096] 도 8은 다른 예시적인 실시예들에 따른 반도체 소자를 설명하기 위한 레이아웃을 나타낸다.

[0097] 설명의 편의상 도 1 내지 도 7을 참조하여 설명한 것과 중복되는 것을 생략하고 차이점을 위주로 설명하도록 한다.

[0098] 도 8을 참조하면, 내부 블록(BLKI')은 중심 부분(BC), 중심 부분(BC)을 둘러싸는 제1 가장자리 부분(BE1) 및 제1 가장자리 부분(BE1)과 중심 부분(BC) 사이에 개재된 제2 가장자리 부분(BE2)을 포함할 수 있다.

[0099] 예시적인 실시예들에 따르면, 제1 가장자리 부분(BE1)의 n 번째 로우에 포함된 개구들(OP, 도 5 참조)의 Y 방향 바이어스 BY1(n) 및 제1 가장자리 부분(BE1)의 n 번째 컬럼에 포함된 개구들(OP, 도 5 참조)의 X 방향 바이어스 BX1(n)은 식 9를 따를 수 있다.

[0100] [식 9]

$$BY1(n) = BY1 - (n - 1)\Delta Y1$$

$$BX1(n) = BX1 - (n - 1)\Delta X1$$

[0103] 여기서, BY1은 제1 가장자리 부분(BE1)의 첫 번째 로우에 포함된 개구들(OP, 도 5 참조)의 Y 방향 바이어스이고, $\Delta Y1$ 은 인접한 로우들 사이의 Y 방향 바이어스의 차이이다. 또한, BX1은 제1 가장자리 부분(BE1)의 첫 번째 컬럼에 포함된 개구들(OP, 도 5 참조)의 X 방향 바이어스이고, $\Delta X1$ 은 인접한 컬럼들 사이의 X 방향 바이어스의 차이이다.

[0104] 예시적인 실시예들에 따르면, 제2 가장자리 부분(BE2)의 n 번째 로우에 포함된 개구들(OP, 도 5 참조)의 Y 방향 바이어스 BY2(n) 및 제2 가장자리 부분(BE2)의 n 번째 컬럼에 포함된 개구들(OP, 도 5 참조)의 X 방향 바이어스 BX2(n)은 식 10을 따를 수 있다.

[0105] [식 10]

$$BY2(n) = BY2 - (n - 1)\Delta Y2$$

[0106]

$$BX2(n) = BX2 - (n - 1)\Delta X2$$

[0107]

[0108] 여기서, BY2은 제2 가장자리 부분(BE2)의 첫 번째 로우에 포함된 개구들(OP, 도 5 참조)의 Y 방향 바이어스이고, $\Delta Y2$ 은 인접한 로우들 사이의 Y 방향 바이어스의 차이이다. 또한, BX2은 제2 가장자리 부분(BE2)의 첫 번째 컬럼에 포함된 개구들(OP, 도 5 참조)의 X 방향 바이어스이고, $\Delta X2$ 은 인접한 컬럼들 사이의 X 방향 바이어스의 차이이다.

[0109] 예시적인 실시예들에 따르면, 제1 가장자리 부분(BE1)의 바이어스의 차이들인 $\Delta X1$ 및 $\Delta Y1$ 은 제2 가장자리 부분(BE2)의 바이어스들의 차이인 $\Delta X2$ 및 $\Delta Y2$ 와 다를 수 있다. 예컨대, $\Delta X1$ 은 $\Delta X2$ 보다 더 크고, $\Delta Y1$ 은 $\Delta Y2$ 보다 더 클 수 있다. 다른 예에서, $\Delta X2$ 은 $\Delta X1$ 보다 더 크고, $\Delta Y2$ 은 $\Delta Y1$ 보다 더 클 수도 있다.

[0110] 예시적인 실시예들에 따르면, 제1 가장자리 부분(BE1)의 X 방향 피치 PXE1 및 Y 방향 피치 PYE1은 식 11을 따를 수 있다.

[0111] [식 11]

$$PXE1 = PXC - \Delta X1$$

[0112]

$$PYE1 = PYC - \Delta Y1$$

[0113]

[0114] 유사하게, 제2 가장자리 부분(BE2)의 X 방향 피치 PXE2 및 Y 방향 피치 PYE2은 식 12을 따를 수 있다.

[0115] [식 12]

$$PXE2 = PXC - \Delta X2$$

[0116]

$$PYE2 = PYC - \Delta Y2$$

[0117]

[0118] 예시적인 실시예들에 따르면, X 방향 피치 PXE1은 X 방향 피치 PXE2와 다를 수 있고, Y 방향 피치 PYE1은 Y 방향 피치 PYE2와 다를 수 있다. 예컨대, PXE1은 PXE2보다 더 크고, PYE1은 PYE2보다 더 클 수 있다. 다른 예에서, PXE2는 PXE1보다 더 크고, PYE2는 PYE1보다 더 클 수도 있다.

[0119] 당업계의 통상의 기술자는 도 8을 참조하여 설명된 실시예에 기초하여 셋 이상의 서로 다른 점진적 바이어스가 적용된 블록에 용이하게 도달할 수 있을 것이다.

[0120] 도 9는 다른 예시적인 실시예들에 따른 반도체 소자(200)의 레이아웃을 나타낸다.

[0121] 도 9를 참조하면, 반도체 소자(200)는 예컨대, 사각 형상의 메모리 칩일 수 있다. 반도체 소자(200)는 NAND 플래시 메모리일 수 있으나 이에 제한되는 것은 아니다.

[0122] 반도체 소자(200)는 하나 이상의 평면들(200P)을 포함할 수 있다. 일부 제한이 있으나, 일반적으로 평면들(200P) 각각에서 동일한 동시 작업(concurrent operation)이 수행될 수 있다.

[0123] 각 평면들(200P)은 복수의 블록들(BLK")을 포함할 수 있다. 여기서 블록(BLK")은 지우기 동작을 수행할 수 있는 가장 작은 단위일 수 있으며, 서로 동일한 회로 설계를 갖는 메모리 단위일 수 있다. 각 블록(BLK")은 복수의 페이지들을 포함할 수 있다. 복수의 페이지들은 각각 프로그래밍(즉, 쓰기) 동작을 수행할 수 있는 가장 작은 단위일 수 있다.

[0124] 복수의 블록들(BLK")은 도 1에서와 유사하게 설정된 크기를 갖는 메모리 단위일 수 있다. 복수의 블록들(BLK")은 중심 부분(BC") 및 중심 부분(BC")을 둘러싸는 가장자리 부분(BE")을 포함할 수 있다.

[0125] 도 10은 도 9의 중심 부분(BC")의 부분(BCP")을 나타내는 평면도이다.

[0126] 도 11은 도 10의 절단선 YY-YY'를 따라 취한 단면도이다.

[0127] 도 10 및 도 11을 참조하면, 반도체 메모리 소자(10)는 주변 회로를 포함하는 제1 반도체 소자층(L1) 및 메모리

셀로 동작하는 채널 구조들을 포함하는 제2 반도체 소자층(L2)을 포함할 수 있다. 제2 반도체 소자층(L2)은 제1 반도체 소자층(L1) 상에 배치될 수 있다.

- [0128] 제1 반도체 소자층(L1)은 기판(201) 및 기판(201) 상에 배치된 주변 트랜지스터들(111, 112), 상기 주변 트랜지스터들(111, 112)과 전기적으로 연결된 주변 회로 배선 및 주변 트랜지스터들(111, 112)과 주변 회로 배선을 커버하는 하부 절연층(210)을 포함할 수 있다. 일부 실시예들에 따르면, 하부 절연층(210)은 절연 물질을 포함할 수 있다. 일부 실시예들에 따르면, 하부 절연층(210)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등을 포함할 수 있으나 이에 제한되지 않는다.
- [0129] 일부 실시예들에 따르면, 기판(201)은 단결정 실리콘 또는 단결정 게르마늄과 같은 반도체 물질을 포함하는 반도체 기판일 수 있다. 기판(201) 상에 활성 영역과 비활성 영역을 정의하기 위한 트렌치 및 상기 트렌치를 채우는 소자 분리막(202)이 형성될 수 있다. 여기서, 기판(201)의 상면에 평행하고 서로 수직한 두 방향을 각각 X 방향 및 Y 방향으로 정의하고, 상기 상면에 수직한 방향을 Z 방향으로 정의한다.
- [0130] 일부 실시예들에 따르면, 주변 트랜지스터들(111, 112)은 제2 반도체 소자층(L2)의 메모리 셀을 구동하기 위한 주변 회로를 구성할 수 있다. 일부 실시예들에 따르면, 주변 트랜지스터들(205)은 NAND 플래시 메모리의 제어 로직, 로우 디코, 페이지 버퍼 및 공통 소스 라인 드라이버를 구성할 수 있다.
- [0131] 주변 회로 배선은 기판(201) 상부에 순차 적층된 복수 개의 주변 도전성 패턴들(215)을 포함할 수 있다. 또한, 주변 회로 배선은, 주변 트랜지스터들(205) 및 서로 다른 레벨에 형성된 상기 복수 개의 주변 도전성 패턴들(215)을 연결하는 복수 개의 주변 비아들(211)을 더 포함할 수 있다. 일부 실시예들에 따르면, 주변 회로 배선이 세 층의 주변 도전성 패턴들(215) 및 그 사이를 연결하는 주변 비아들(211)을 포함하는 것으로 도시되었으나 이에 제한되는 것은 아니고, 한 층, 두 층 또는 네 층 이상의 주변 도전 라인들 및 그 사이를 연결하는 비아들을 포함하는 것도 가능하다.
- [0132] 일부 실시예들에 따르면, 주변 도전성 패턴들(215) 및 주변 비아들(211)은 도전성물질을 포함할 수 있다. 일부 실시예들에 따르면, 주변 도전성 패턴들(215) 및 주변 비아들(211)은 텅스텐, 탄탈륨, 코발트, 니켈, 텅스텐 실리사이드, 탄탈륨 실리사이드, 코발트 실리사이드, 또는 니켈 실리사이드를 포함할 수 있다. 일부 실시예들에 따르면, 주변 도전성 패턴들(215) 및 주변 비아들(211)이 폴리실리콘을 포함하는 것도 가능하다.
- [0133] 제2 반도체 소자층(L2)은 공통 소스 라인 플레이트(CSL), 공통 소스 라인 플레이트(CSL) 상에 배치된 제1 내지 제3 반도체 층들(221, 222, 223), 제1 내지 제3 반도체 층들(221, 222, 223) 상에 교대로, 그리고 반복적으로 적층된 절연막들(230), 게이트 전극들(240) 및 상부 절연막들(261, 263, 265)을 포함할 수 있다. 제2 반도체 소자층(L2)은 절연막들(230) 및 게이트 전극들(240)을 관통하는 채널 구조들(250), 게이트 전극들(240)을 분리하는 워드 라인 컷 절연막들(WLCI)을 포함할 수 있다. 일부 실시예들에 따르면, 제2 반도체 소자층(L2)은 게이트 전극들(240) 및 이를 관통하는 채널 구조들(250)이 메모리 셀 어레이로 동작하기 위한 배선들을 더 포함할 수 있다.
- [0134] 공통 소스 라인 플레이트(CSL)는 제1 반도체 소자층(L1) 상에 배치될 수 있다. 일부 실시예들에 따르면, 공통 소스 라인 플레이트(CSL)는 평판 형태일 수 있다. 일부 실시예들에 따르면 공통 소스 라인 플레이트(CSL)는 텅스텐(W) 또는 텅스텐(W) 화합물을 포함할 수 있다.
- [0135] 일부 실시예들에 따르면, 제1 내지 제3 반도체 층들(221, 222, 223)은 절연막들(230) 및 게이트 전극들(240)을 지지하는 지지층일 수 있다. 일부 실시예들에 따르면, 제1 내지 제3 반도체 층들(221, 222, 223)은 복수의 층을 포함할 수 있으나 이에 제한되는 것은 아니다.
- [0136] 일부 실시예들에 따르면, 제1 반도체 층(221)은 제2 반도체 층(222)과 접할 수 있다. 일부 실시예들에 따르면, 제2 반도체 층(222)은 제3 반도체 층(223)과 접할 수 있다. 일부 실시예들에 따르면, 제2 반도체 층(222)은 제1 반도체 층(221)의 상면을 노출시키는 개구를 포함할 수 있다. 일부 실시예들에 따르면, 제3 반도체 층(223)은 상기 개구를 통해, 제1 반도체 층(221)과 부분적으로 접할 수 있다.
- [0137] 일부 실시예들에 따르면, 제1 내지 제3 반도체 층들(221, 222, 223)은 폴리 실리콘을 포함할 수 있다. 일부 실시예들에 따르면, 제1 내지 제3 반도체 층들(221, 222, 223)은 도핑된 폴리 실리콘막일 수 있다. 일부 실시예들에 따르면, 제1 내지 제3 반도체 층들(221, 222, 223)은 실질적으로 동일한 농도로 도핑될 수 있으나 이에 제한되지 않는다.
- [0138] 제1 내지 제3 반도체 층들(221, 222, 223)은 선택적 에피택시얼 성장(selective epitaxial growth: SEG)을 수

행하여 획득한 에피택시얼 박막의 기관일 수 있다. 제1 내지 제3 반도체 층들(221, 222, 223)은 예를 들어, 실리콘(Si), 게르마늄(Ge), 실리콘 게르마늄(SiGe), 갈륨비소(GaAs), 인듐갈륨비소(InGaAs), 알루미늄갈륨비소(AlGaAs), 또는 이들의 혼합물 중 적어도 하나를 포함할 수 있다.

- [0139] 일부 실시예들에 따르면 게이트 전극들(240)은 도 3에 도시된 트랜지스터들의 게이트에 대응될 수 있다. 보다 구체적으로, 최하층의 게이트 전극(240(GE))은 그라운드 선택 트랜지스터의 게이트로 동작할 수 있고, 최상층의 게이트 전극(240(SE))은 스트링 선택 트랜지스터의 게이트로 동작할 수 있으며, 그 사이에 배치된 게이트 전극들(240(WE))은 복수의 메모리 셀들의 게이트로 동작할 수 있다. 도 6a를 참조하면, 8개의 게이트 전극들(240)이 메모리 셀들의 게이트로 동작하는 것으로 도시되었으나, 이에 제한되는 것은 아니다. 예컨대, 4개, 16개, 32개, 64개 또는 128개 등 다양한 개수의 게이트 전극들(240)이 메모리 셀들의 게이트로 동작할 수 있다.
- [0140] 일부 실시예들에 따르면, 그라운드 선택 트랜지스터에 대응하는 게이트 전극들(240(GE))과 메모리 셀에 대응하는 게이트 전극들(240(WE))의 사이, 및/또는, 스트링 선택 트랜지스터에 대응하는 게이트 전극들(240(SE))과 메모리 셀에 대응하는 게이트 전극들(240(WE))의 사이에 하나 이상의 더미 게이트 전극이 추가로 배치될 수 있다. 이 경우, 인접한 게이트 전극들(240) 사이에 발생하는 셀간 간섭을 완화시킬 수 있다.
- [0141] 일부 실시예들에 따르면, 게이트 전극들(240)은 도전성 물질을 포함할 수 있다. 일부 실시예들에 따르면, 도 4b에 도시되어 있듯, 게이트 전극들(240)은 복수의 층을 포함할 수 있다. 일부 실시예들에 따르면, 게이트 전극들(240)은 텅스텐, 탄탈륨, 코발트, 니켈, 텅스텐 실리사이드, 탄탈륨 실리사이드, 코발트 실리사이드, 또는 니켈 실리사이드를 포함할 수 있다. 일부 실시예들에 따르면, 게이트 전극들(240)은 폴리실리콘을 포함하는 것도 가능하다.
- [0142] 일부 실시예들에 따르면, 후술하는 제1 및 제2 비트 라인 콘택 비아들(271, 275), 상부 도전성 패턴(273) 및 비트 라인(BL)은 게이트 전극들(240)을 설명하기 위해 예시한 상기 물질들 중 어느 하나 이상을 포함할 수 있다.
- [0143] 일부 실시예들에 따르면, 최상층의 게이트 전극(240(SE)) 상에 제1 및 제2 상부 절연막들(261, 263)이 배치될 수 있다. 제1 및 제2 상부 절연막들(261, 263)은 절연 물질을 포함할 수 있다.
- [0144] 일부 실시예들에 따르면, 복수 개의 채널 구조들(250)이 제1 상부 절연막(261), 게이트 전극들(240) 및 절연막들(230)을 Z 방향으로 관통할 수 있다. 일부 실시예들에 따르면, 채널 구조들(250)은 제3 반도체 층(223)을 관통할 수 있다. 일부 실시예들에 따르면, 채널 구조들(250)의 하부는 제1 반도체 층(221)에 의해 둘러싸일 수 있다. 이에 따라 채널 구조들(250)의 상면은 제1 상부 절연막(261)과 공면을 이룰 수 있고, 채널 구조들(250)의 하면은 제1 반도체 층(221)의 상면보다 낮은 레벨에 위치할 수 있다. 인접한 채널 구조들은 X 방향 및 Y 방향을 따라 소정의 간격으로 이격되어 배치될 수 있다.
- [0145] 일부 실시예들에 따르면 각각의 채널 구조들(250)은 복수 개의 층을 포함할 수 있다. 일부 실시예들에 따르면, 채널 구조들(250)은 각각 게이트 절연막(251), 채널층(253) 및 매립 절연막(255)을 포함할 수 있다.
- [0146] 일부 실시예들에 따르면, 게이트 절연막(251)은 콘포말한 두께를 가질 수 있다. 일부 실시예들에 따르면, 게이트 절연막(251)은 채널 구조의 바닥면 및 외측면을 구성할 수 있다. 이에 따라, 일부 실시예들에 따르면, 게이트 절연막(251)은 채널층(253)을 게이트 전극들(240)로부터 절연시킬 수 있다.
- [0147] 일부 실시예들에 따르면, 게이트 절연막(251)은 콘포말한 두께를 갖는 복수 개의 층을 포함할 수 있다. 일부 실시예들에 따르면, 게이트 절연막(251)은 터널 절연층, 전하 저장층 및 블로킹 절연층을 포함할 수 있다. 터널 절연층은 실리콘 산화물, 하프늄 산화물, 알루미늄 산화물, 지르코늄 산화물, 탄탈륨 산화물 등을 포함할 수 있다. 전하 저장층은 채널층(253)으로부터 터널링한 전자들이 저장되는 영역일 수 있고, 실리콘 질화물, 보론 질화물, 실리콘 보론 질화물, 또는 불순물이 도핑된 폴리실리콘을 포함할 수 있다. 블로킹 절연층은 실리콘 산화물, 실리콘 질화물, 하프늄 산화물, 알루미늄 산화물, 지르코늄 산화물, 탄탈륨 산화물 등의 단일막 또는 적층막을 포함할 수 있다. 그러나, 블로킹 절연층의 물질이 이에 한정되는 것은 아니고, 높은 유전 상수 값을 갖는 유전 물질(dielectric material)을 포함할 수 있다.
- [0148] 일부 실시예들에 따르면, 게이트 절연막(251)은 제2 반도체 층(222)과 동일 레벨에 배치되지 않을 수 있다. 이는 게이트 절연막(251)의 일부가 제2 반도체 층(222)에 대한 리플레이스먼트 공정 시 제거되었기 때문이며, 이에 따라 제2 반도체 층(222)과 채널층(253)이 서로 연결될 수 있다.
- [0149] 일부 실시예들에 따르면, 채널층(253)은 게이트 절연막(251)에 의해 정의된 내부 공간의 일부를 채울 수 있다. 게이트 절연막(251)의 내측벽 상에 형성된 채널층(253)은 일정한 두께를 가질 수 있다. 일부 실시예들에

따르면, 채널층(253)의 상부는 채널층(253)의 측벽에 비해 두꺼운 두께를 가질 수 있다.

- [0150] 일부 실시예들에 따르면, 채널층(253)에 의해 정의된 공간에 매립 절연막(255)이 채워질 수 있다. 매립 절연막(255)의 상면은 채널층(253)의 상부에 의해 커버될 수 있다. 일부 실시예들에 따르면, 채널층(253)의 상면은 제1 비트 라인 콘택비아들(271)과 전기적인 연결을 형성하기 위한 패드 역할을 할 수 있다. 경우에 따라, 채널층의 상면 상에 별도의 콘택 패드가 제공될 수 있다.
- [0151] 도 10에서, 게이트 절연막(251)이 채널층(253)의 하면을 커버하는 것으로 도시되었으나 이에 제한되는 것은 아니다. 예컨대 게이트 절연막이 채널층의 하면을 노출시키며, 채널 구조의 측벽만을 구성하는 것도 가능하다. 이 경우, 선택적 에피택시얼 성장 공정으로 성장된 반도체 패턴과 채널층의 하면이 접할 수 있고, 채널층은 반도체 층들(221, 222, 223)과 직접 연결되지 않을 수 있다.
- [0152] 일부 실시예들에 따르면, 워드 라인 컷 절연막(WLCI)이 제1 및 제2 상부 절연막들(261, 263), 게이트 전극들(240) 및 절연막들(230)을 Z 방향으로 관통할 수 있다. 일부 실시예들에 따르면, 워드 라인 컷 절연막(WLCI)은 제1 반도체 층(221)의 일부를 관통할 수 있으나 이에 제한되지 않는다. 일부 실시예들에 따르면, 워드 라인 컷 절연막(WLCI)은 동일한 수직 레벨에 배치된 서로 다른 게이트 전극들(240)을 서로 절연시킬 수 있다. 일부 실시예들에 따르면, 워드 라인 컷 절연막(WLCI)은 X 방향으로 길게 연장되어 게이트 전극들(240)을 X 방향으로 분리할 수 있다. 워드 라인 컷 절연막(WLCI)의 X 방향 길이는 게이트 전극들(240)의 X 방향 길이보다 더 길 수 있다. 이에 따라, 워드 라인 컷 절연막(WLCI)은 게이트 전극들(240)을 완전히 분리할 수 있다. 이에 따라, 수평적으로 이격된 게이트 전극들(240)이 서로 다른 트랜지스터(예컨대, 그라운드 선택 트랜지스터, 메모리 셀 트랜지스터 및/또는 스트링 선택 트랜지스터)의 게이트로서 동작할 수 있다.
- [0153] 일부 실시예들에 따르면, 워드 라인 컷 절연막(WLCI)은 Z 방향을 따라 테이퍼드 형상을 가질 수 있다. 여기서 테이퍼드 형상은 제1 내지 제3 반도체 층들(221, 222, 223)에 가까워질수록 수평 폭이 선형적으로 감소하는 형상을 지칭할 수 있다. 일부 실시예들에 따르면, 워드 라인 컷 절연막(WLCI)은 Z 방향을 따라 감소하는 폭(예컨대, Y 방향 폭)을 갖는 부분을 포함할 수 있다. 워드 라인 컷 절연막(WLCI)은 게이트 전극들(240)과 동일 레벨에서 수평 방향(예컨대, Y 방향으로 돌출된 구조를 가질 수 있다. 이에 따라, 워드 라인 컷 절연막(WLCI) 중 게이트 전극(240)과 동일 레벨에 배치된 부분은 상기 게이트 전극(240)과 인접한 절연막(230)과 동일 레벨에 배치된 부분에 비해 더 넓은 폭을 가질 수 있다. 상술한 워드 라인 컷 절연막(WLCI)의 구조는 노드 분리 공정에서 게이트 전극 물질들이 리세스되어 형성될 수 있다.
- [0154] 일부 실시예들에 따르면, 워드 라인 컷 절연막(WLCI)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등의 절연성 물질을 포함할 수 있다.
- [0155] 제3 상부 절연막(265)은 인접한 워드 라인 컷 절연막들(WLCI) 사이의 최상층의 게이트 전극(240(SE))을 세 부분으로 분할할 수 있으나 이에 제한되는 것은 아니다. 예컨대, 제3 상부 절연막(265)은 인접한 워드 라인 컷 절연막들(WLCI) 사이의 최상층의 게이트 전극(240(SE))을 네 개 이상의 부분으로 분할할 수도 있다.
- [0156] 제2 상부 절연막 상에 제3 상부 절연막(265)이 배치될 수 있다. 제3 상부 절연막(265)은 절연 물질을 포함할 수 있다. 일부 실시예들에 따르면, 제1 및 제2 비트 라인 콘택비아들(271, 275)이 제3 상부 절연막(265)의 적어도 일부와 동일레벨에서 Z 방향으로 연장될 수 있다. 일부 실시예들에 따르면, 제1 비트 라인 콘택비아들(271)은 제2 상부 절연막(263)을 더 관통할 수 있다. 일부 실시예들에 따르면, 제1 비트 라인 콘택비아들(271)은 채널층(253)과 접할 수 있다. 일부 실시예들에 따르면, 제1 및 제2 비트 라인 콘택비아들(271, 275) 사이에 상부 도전성 패턴(273)이 배치될 수 있다. 일부 실시예들에 따르면, 상부 도전성 패턴(273)은 수평 방향(예컨대, X 방향 및/또는 Y 방향으로 연장될 수 있다. 일부 실시예들에 따르면, 상부 도전성 패턴(273)은 제1 및 제2 비트 라인 콘택비아들(271, 275)과 각각 접할 수 있다. 일부 실시예들에 따르면, 비트 라인(BL)은 제2 비트 라인 콘택비아들(275)과 접할 수 있다.
- [0157] 일부 실시예들에 따르면, 채널 구조들(250)은 제1 비트 라인 콘택비아들(271), 상부 도전성 패턴(273) 및 제2 비트 라인 콘택비아들(275)을 경유하여 비트 라인(BL)에 연결될 수 있다.
- [0158] 도 12는 도 9의 가장자리 부분(BE")의 부분(BEP")을 나타내는 평면도이다.
- [0159] 예시적인 실시예들에 따르면, 부분(BEP")의 채널 구조들(250) 각각의 상면은 디자인된 위치(250B)로부터 오프셋될 수 있다. 이에 따라, 비트 라인들(283(BL))의 연장 방향인 Y 방향에 수직한 X 방향을 따라 점진적 바이어스가 비트 라인들(283(BL))에 적용될 수 있다. 예시적인 실시예들에 따르면, 비트 라인들(283(BL))의 연장 방향인

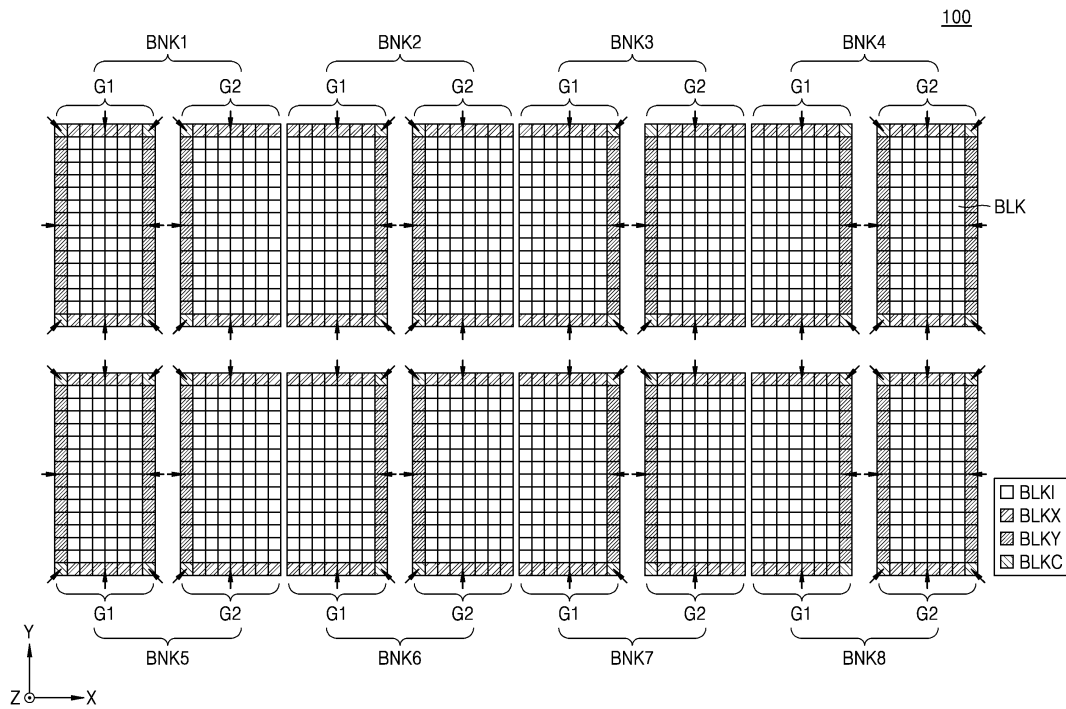
Y 방향에 점진적 바이어스가 적용되지 않을 수 있으나 이에 제한되는 것은 아니다.

[0160] 예를 들어, 비트 라인들(283(BL))은 디자인된 위치(283D)로부터의 X 방향 바이어스들(BX1, BX2, BX3, BX4, BX5)만큼 이동될 수 있다. X 방향 바이어스들(BX1, BX2, BX3, BX4, BX5)은 순서대로 크기가 작아질 수 있다. 예컨대, X 방향 바이어스(BX1)는 X 방향 바이어스(BX2) 보다 더 클 수 있고, X 방향 바이어스(BX2)는 X 방향 바이어스(BX3) 보다 더 클 수 있다. 이에 따라, 비트 라인들(283(BL))의 X 방향 피치(PXE")는 비트 라인들(283(BL))은 디자인된 위치(283D)의 X 방향 피치(PXD) 및 도 10에 도시된 부분(BCP")의 비트 라인들(283(BL))의 피치(PXC")보다 더 작을 수 있다.

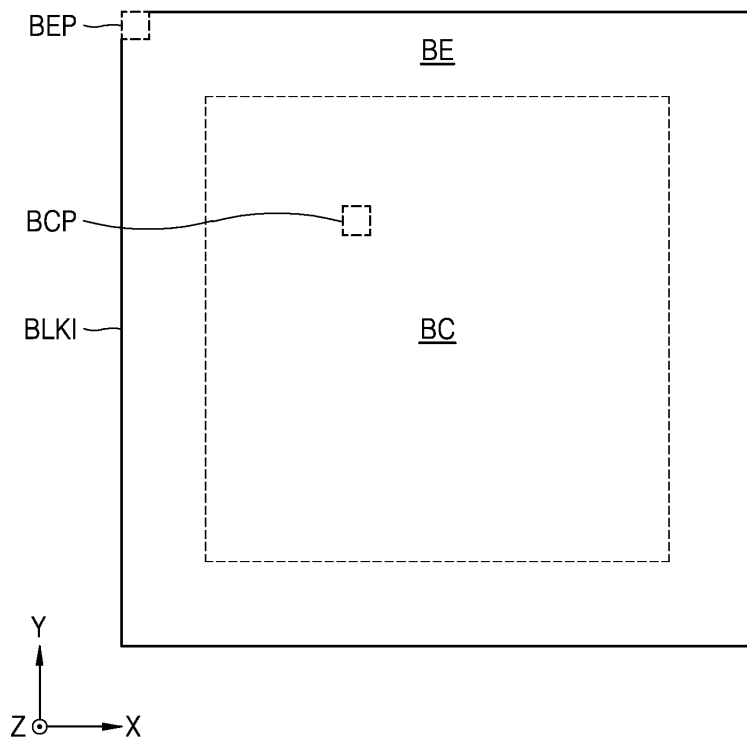
[0161] 이상에서와 같이 도면과 명세서에서 예시적인 실시예들이 개시되었다. 본 명세서에서 특정한 용어를 사용하여 실시예들을 설명되었으나, 이는 단지 본 개시의 기술적 사상을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 개시의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 개시의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면

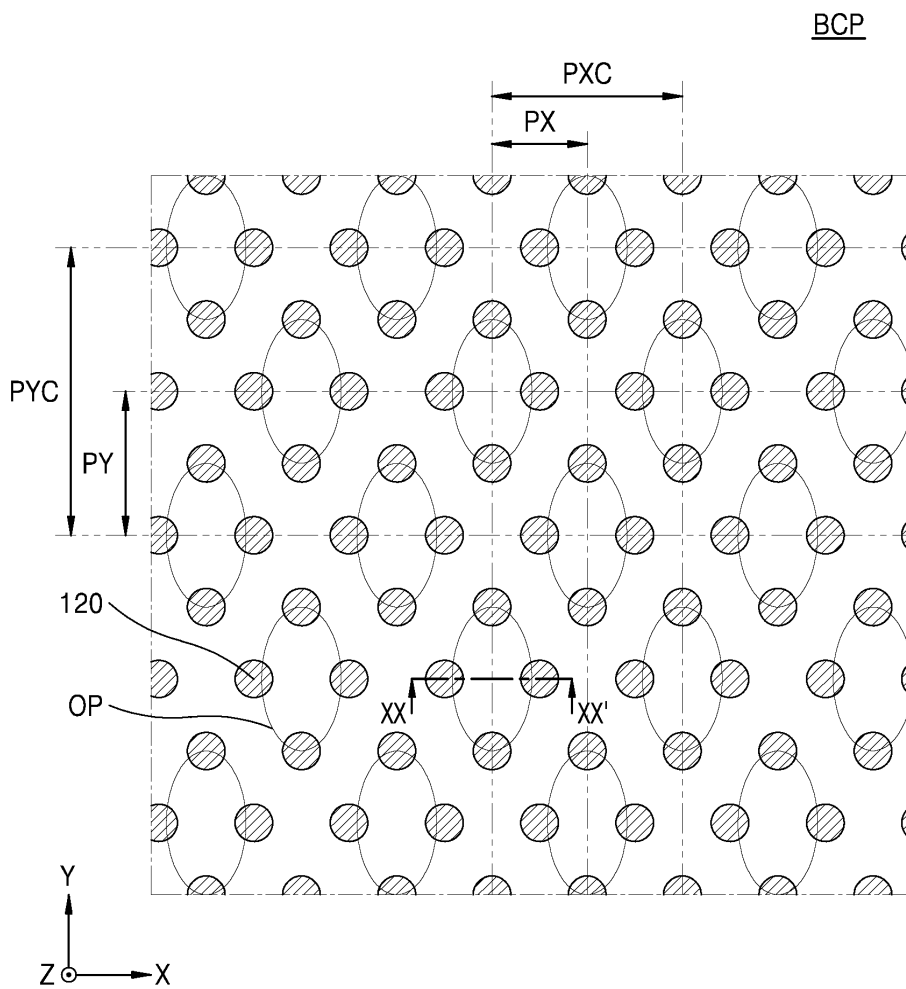
도면1



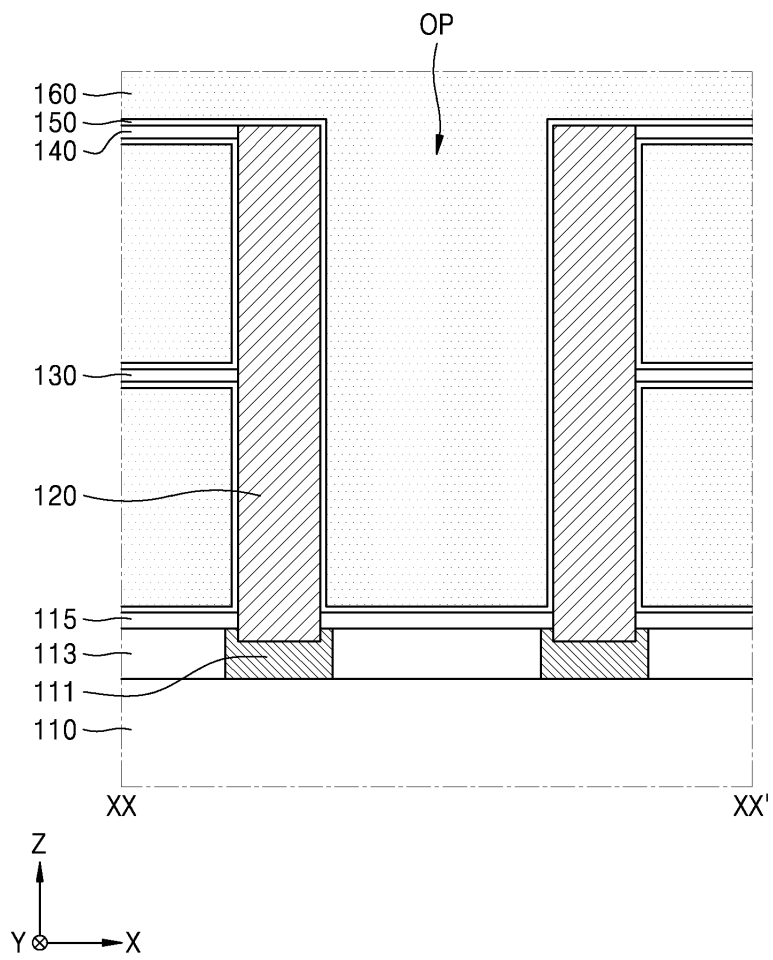
도면2



도면3

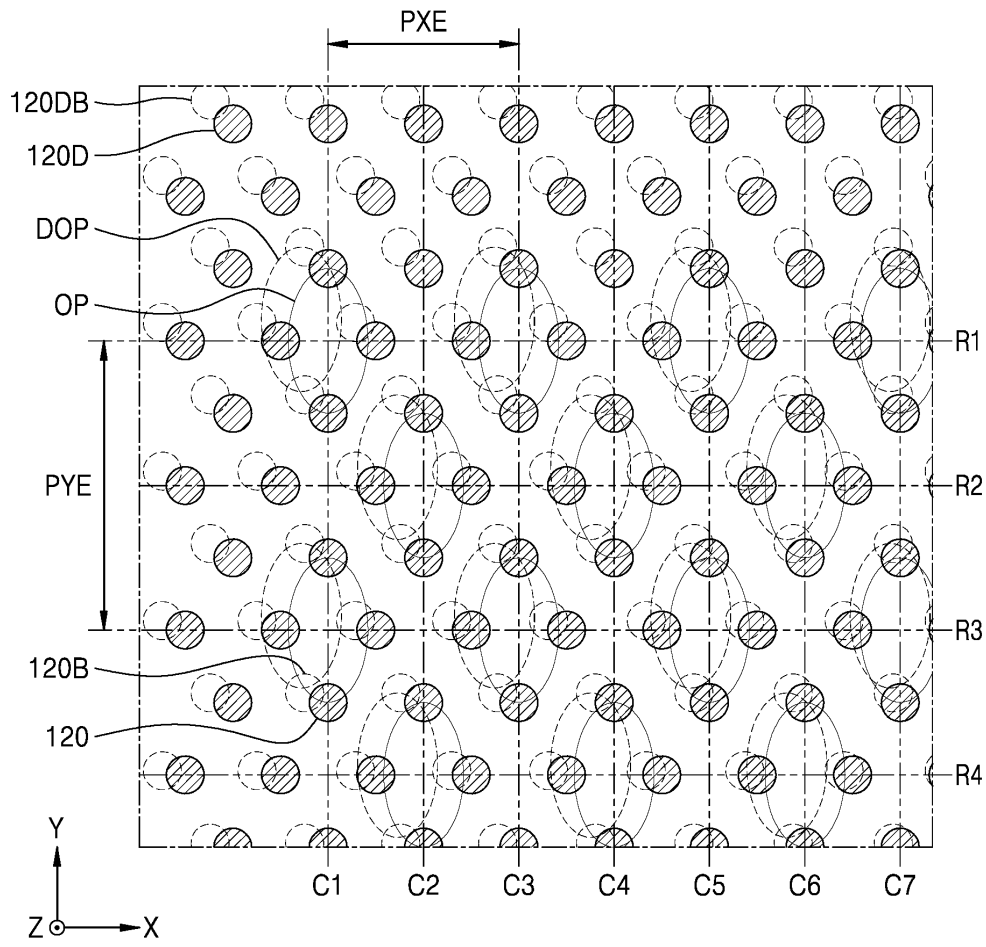


도면4

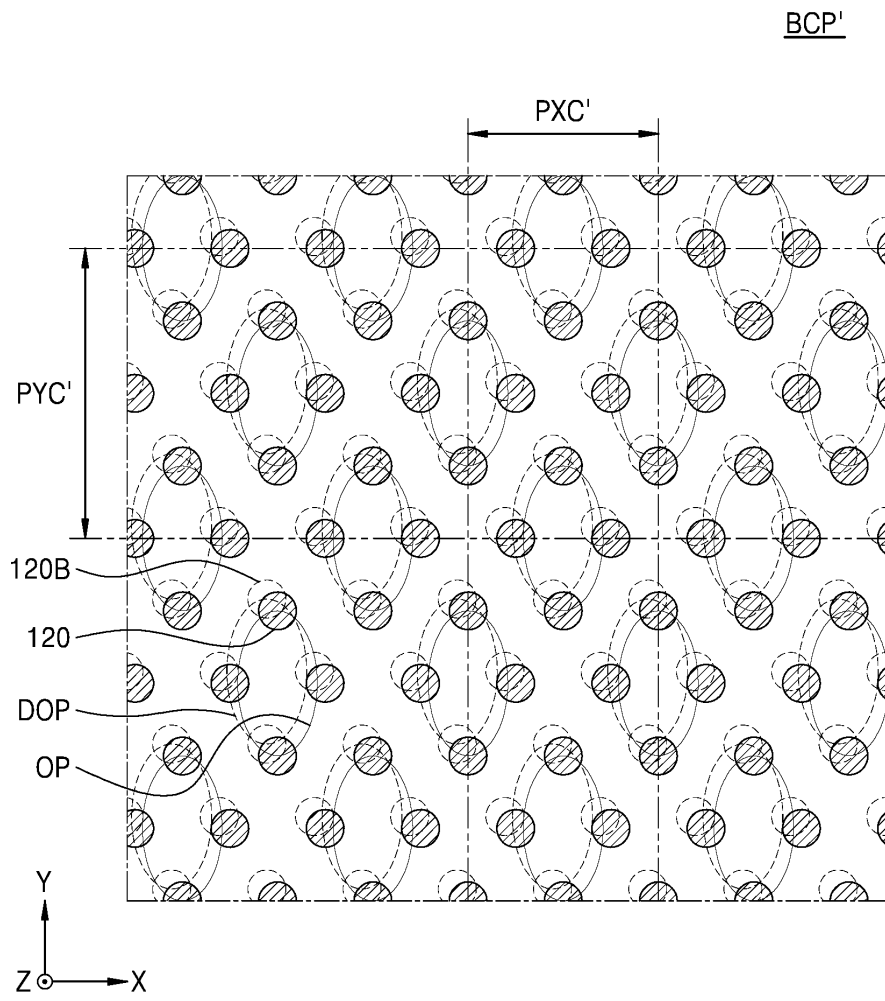


도면5

BEP

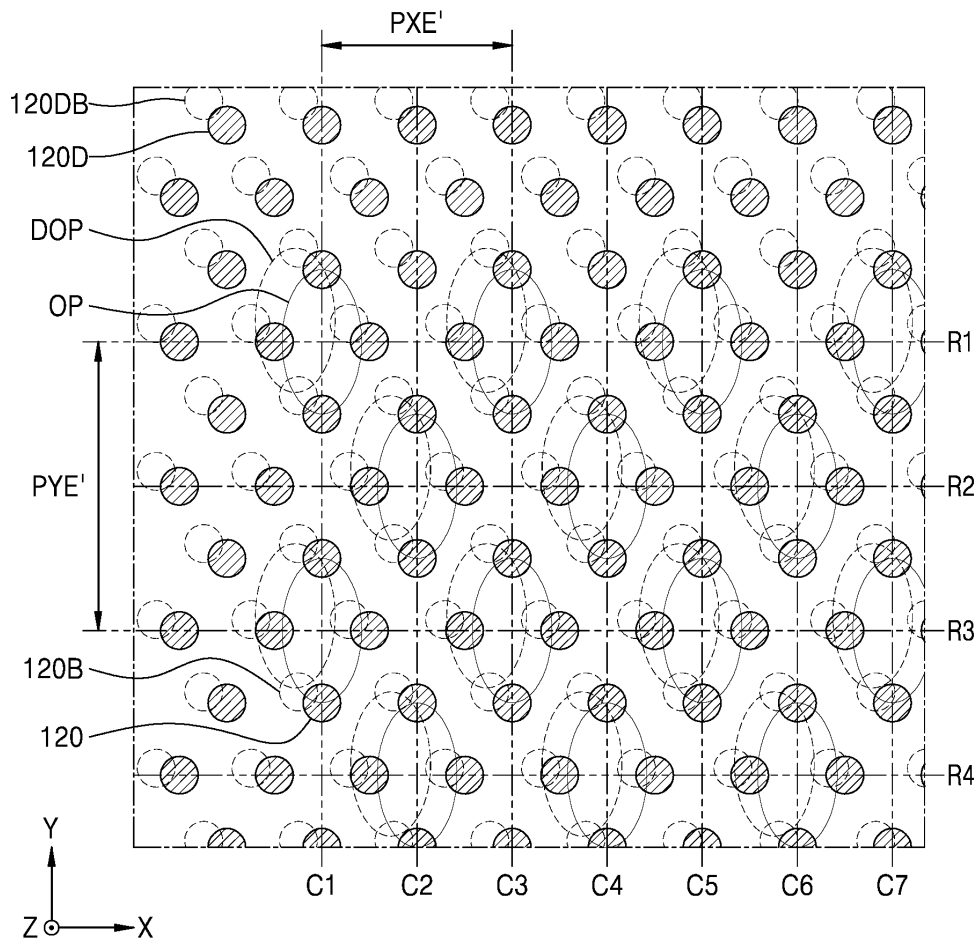


도면6

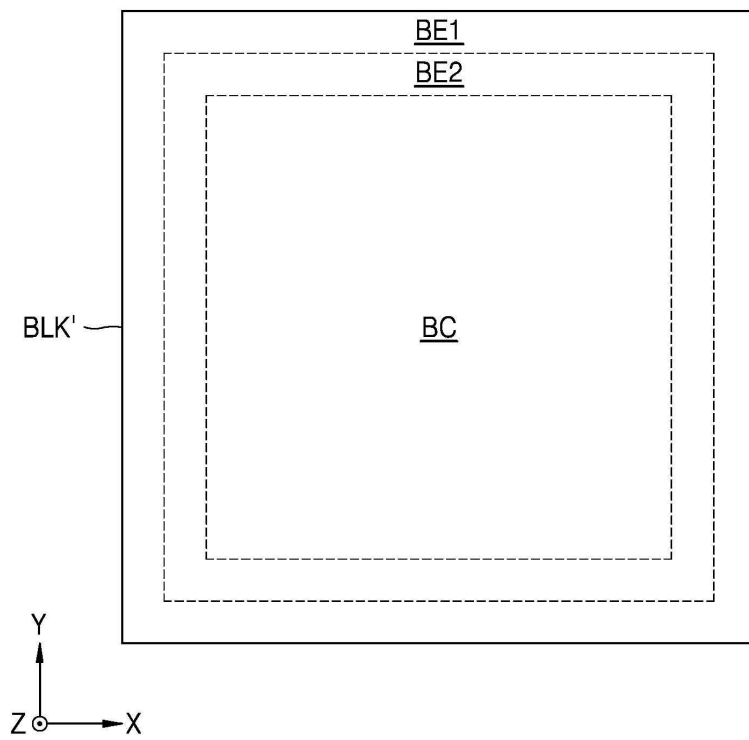


도면7

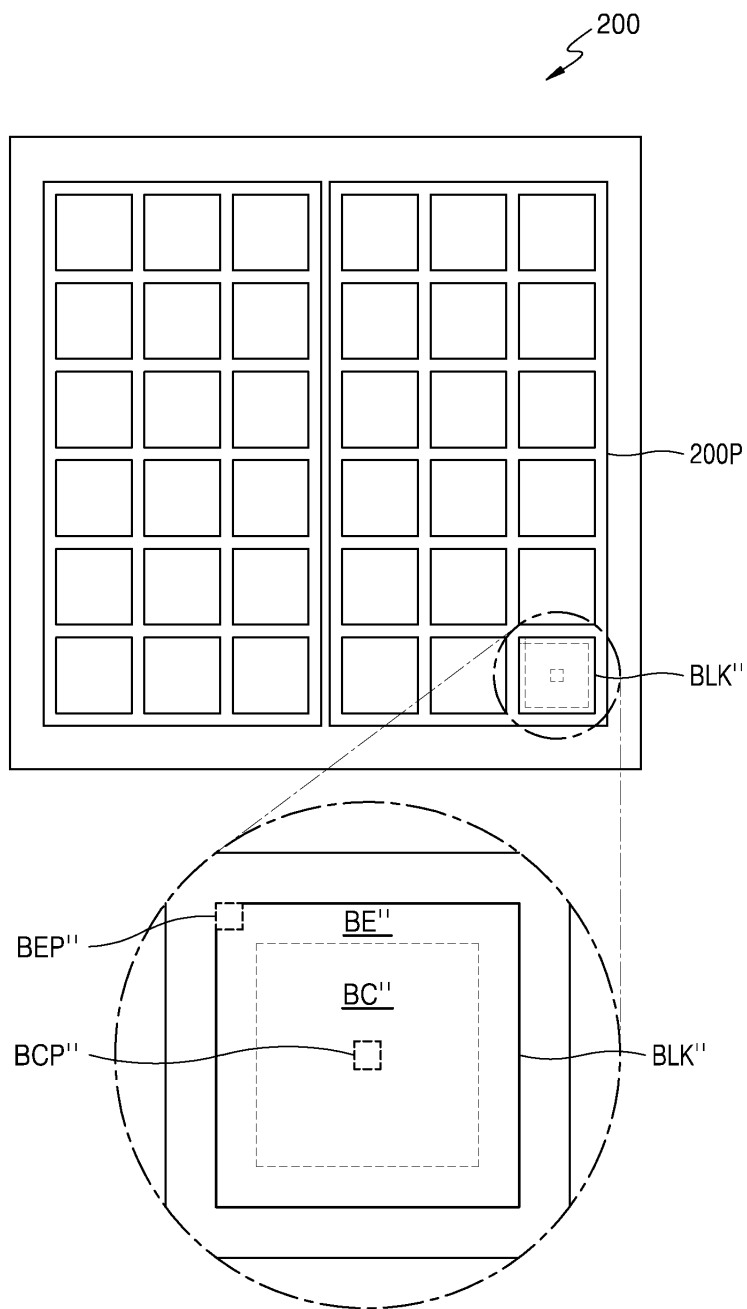
BEP'



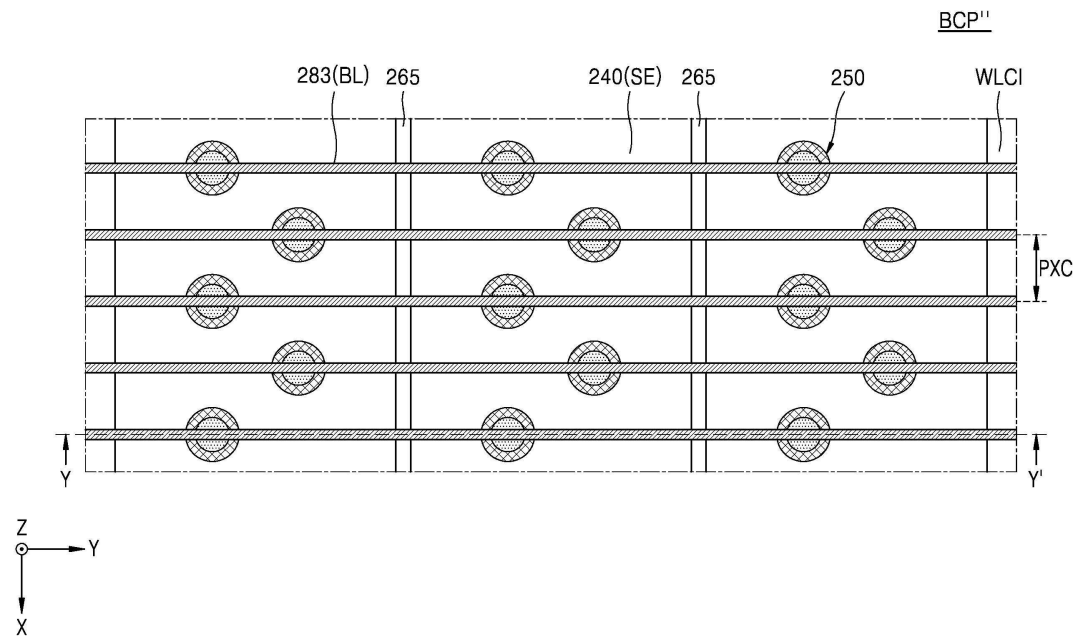
도면8



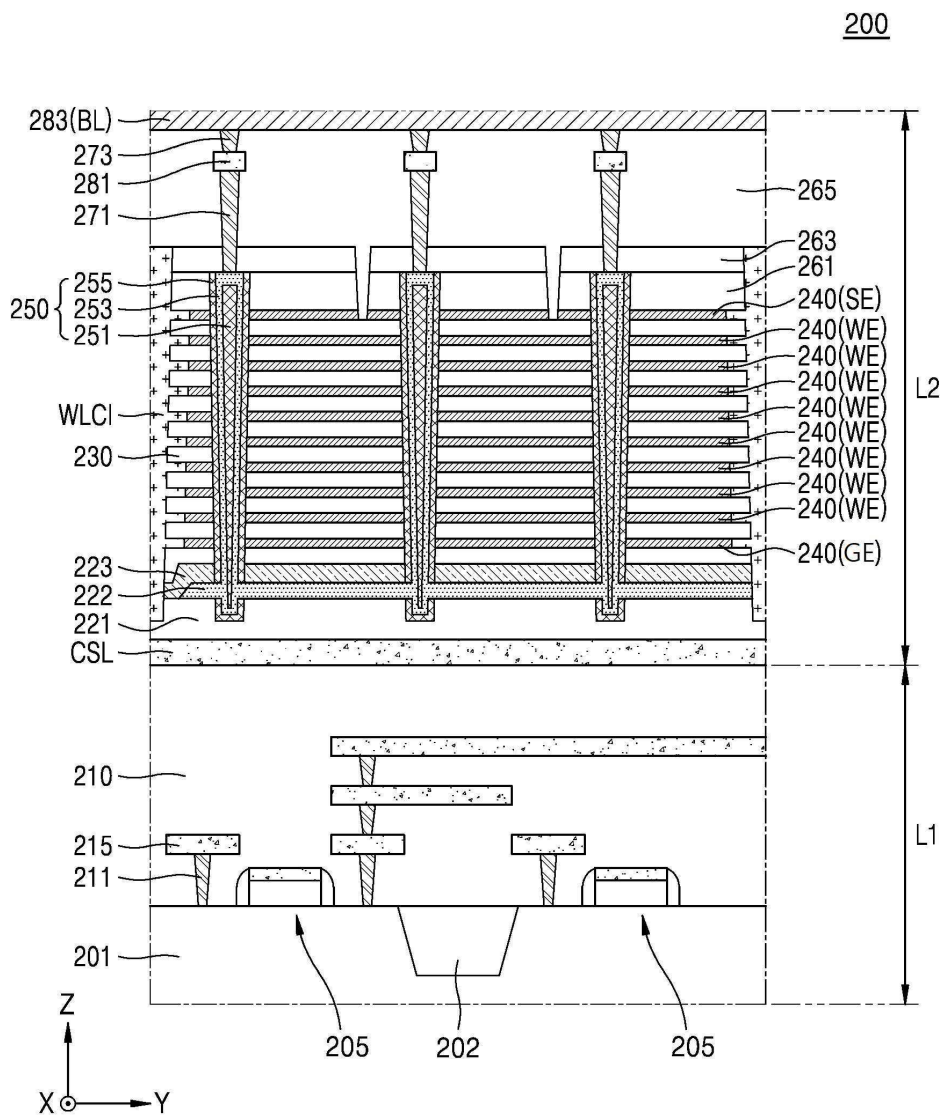
도면9



도면10



도면11



도면 12

