(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年5月2日(02.05.2024)

WIPO | PCT

(10) 国際公開番号
WO 2024/089809 A1

(51) 国際特許分類:
H10B 12/00 (2023.01)

(21) 国際出願番号： PCT/JP2022/039959

(22) 国際出願日： 2022年10月26日(26.10.2022)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(71) 出願人(*US* を除く全ての指定国について):ユニサンティス エレクトロニクス シンガポール プライベート リミテッド(**UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.**) [SG/SG]; 179098 ノースブリッジロード １１１、ペニンシュラ プラザ ＃２３－０５ Singapore (SG).

(72) 発明者；および

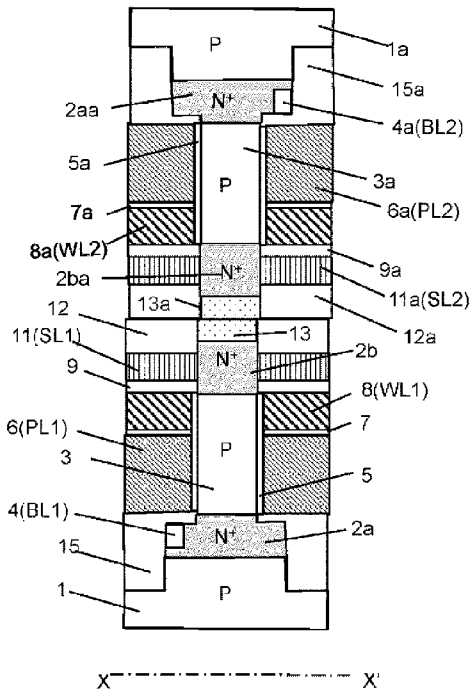
(71) 出願人 (*US* についてのみ):原田 望(**HARADA Nozomu**) [JP/JP]; 〒1020083 東京都千代田区麹町１丁目３番７号 日月館麹町ビル５階 Ｓｅｍｉｃｏｎ Ｃｏｎｓｕｌｔｉｎｇ株式会社内 Tokyo (JP). 作井 康司(**SAKUI Koji**) [JP/JP]; 〒1020083 東京都千代田区麹町１丁目３番７号 日月館麹町ビル５階 Ｓｅｍｉｃｏｎ Ｃｏｎｓｕｌｔｉｎｇ株式会社内 Tokyo (JP).

(74) 代理人:田中 伸一郎，外(**TANAKA Shinichiro et al.**); 〒1008355 東京都千代田区丸の内３丁目３番１号 新東京ビル 中村合同特許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,

(54) **Title:** METHOD FOR MANUFACTURING MEMORY DEVICE USING SEMICONDUCTOR ELEMENT

(54) 発明の名称： 半導体素子を用いたメモリ装置の製造方法



(57) **Abstract:** The present invention comprises: a step of forming a first memory cell by forming, from bottom to top, a first N^+layer 2a, a first P-layer 3, a first gate insulating layer 5, a first gate conductor layer 6, a second gate conductor layer 8, and a second N^+layer 2b on a first P-layer substrate 1, and forming a second conductor layer 11 connected to a second N^+layer 2b and extending horizontally, a first material layer 12 on the first conductor layer 11, and a second material layer 13 on the second N^+layer 2b; a step of forming a second memory cell having the same structure as the first memory cell on a second P-layer substrate 1a; and forming a two-stage memory cell by aligning the positions of the first material layer 12 and the third material layer 12a, aligning the positions of the second material layer 13 and the fourth material layer 13a, and attaching the first memory cell and the second memory cell to each other. One or both of the first and third material layers 12 and 12a and the second and fourth material layers 13 and 13a can be oxide material layers.

WO 2024/089809 A1

［続葉有］

SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能):ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一　国際調査報告（条約第21条(3)）

(57) 要約：第１のＰ層基板１上に、下から第１のＮ$^{+}$層２ａと、第１のＰ層３と、第１のゲート絶縁層５と、第１のゲート導体層６と、第２のゲート導体層８と、第２のＮ$^{+}$層２ｂとを形成し、第２のＮ$^{+}$層２ｂに繋がり、水平方向に伸する第２の導体層１１と、第１の導体層１１上の第１の材料層１２と、第２のＮ$^{+}$層２ｂ上の第２の材料層１３とを形成して、第１のメモリセルを形成する工程と、第１のメモリセルと同じ構造の第２のP層基板１ａ上の第２のメモリセルを形成する工程と、第１の材料層１２と第３の材料層１２ａの位置を合わせ、第２の材料層１３と第４の材料層１３ａの位置を合わせて、第１のメモリセルと第２のメモリセルとを貼り合わせた構造よりなる２段メモリセルを形成する。第１及び第３の材料層１２、１２ａと、第２及び第４の材料層１３、１３ａの一方、又は両方を酸化材料層とすることができる。

明　細　書

発明の名称 ： 半導体素子を用いたメモリ装置の製造方法

技術分野

[0001] 本発明は、半導体素子を用いたメモリ装置の製造方法に関する。

背景技術

[0002] 近年、ＬＳＩ（Large Scale Integration）技術開発において、メモリ素子の高集積化と高性能化が求められている。

[0003] メモリ素子の高密度化と高性能化が進められている。ＳＧＴ（Surrounding Gate Transistor、特許文献１、非特許文献１を参照）を選択トランジスタとして用いて、キャパシタを接続したＤＲＡＭ（Dynamic Random Access Memory、例えば、非特許文献２を参照）、抵抗変化素子を接続したＰＣＭ（Phase Change Memory、例えば、非特許文献３を参照）、ＲＲＡＭ（Resistive Random Access Memory、例えば、非特許文献４を参照)、電流により磁気スピンの向きを変化させて抵抗を変化させるＭＲＡＭ（Magneto-resistive Random Access Memory、例えば、非特許文献５を参照）などがある。

[0004] また、キャパシタを有しない、１個のＭＯＳトランジスタで構成された、ＤＲＡＭメモリセル（特許文献２、非特許文献６～非特許文献１０を参照）などがある。例えばＮチャネルＭＯＳトランジスタのソース、ドレイン間電流によりチャネル内にインパクトイオン化現象により発生させた正孔群、電子群の内、正孔群の一部、または全てをチャネル内に保持させて論理記憶データ“１”書込みを行う。そして、チャネル内から正孔群を除去して論理記憶データ“０”書込みを行う。このメモリセルでは、共通の選択ワード線に対して、ランダムに“１”書込みのメモリセルと“０”書込みのメモリセルが存在する。選択ワード線にオン電圧が印加されると、この選択ワード線に繋がる選択メモリセルのフローティングボディチャネル電圧はゲート電極とチャネルとの容量結合により大きく変動する。このメモリセルでは、フローティングボディチャネル電圧変動による動作マージンの低下の改善、そして

、チャネルに溜められた信号電荷である正孔群の一部が除去されることによるデータ保持特性の低下の改善が課題である。

[0005] また、ＳＯＩ（Silicon On Insulator）層に、２つのＭＯＳトランジスタを用いて１つのメモリセルを形成したTwin-Transistor MOSトランジスタメモリ素子がある（例えば、特許文献３、４、非特許文献１１を参照）。これらの素子では、２つのＭＯＳトランジスタのフローティングボディチャネルを分ける、ソース、またはドレインとなるN^+層が基板側にある絶縁層に接して形成されている。このN^+層により、２つのＭＯＳトランジスタのフローティングボディ チャネルは、電気的に分離される。信号電荷である正孔群は、一方のＭＯＳトランジスタのフローティングボディ チャネルだけに蓄積される。他方のＭＯＳトランジスタは、片方のＭＯＳトランジスタに溜められた信号の正孔群を読みだすためのスイッチとなる。このメモリセルにおいても、信号電荷である正孔群は一つのＭＯＳトランジスタのチャネルに溜められるので、前述の１個のＭＯＳトランジスタよりなるメモリセルと同じく、動作マージンの低下の改善、又はチャネルに溜められた信号電荷である正孔群の一部が除去されることによるデータ保持特性の低下の改善が課題である。

[0006] また、図６に示す、キャパシタを有しない、ＭＯＳトランジスタで構成された、ダイナミック フラッシュ メモリセル１１１がある（特許文献５、非特許文献１２を参照）。図６（ａ）に示すように、ＳＯＩ基板のSiO_2層１０１上にフローティングボディ半導体母体１０２がある。フローティングボディ半導体母体１０２の両端にソース線ＳＬに接続するN^+層１０３とビット線ＢＬに接続するN^+層１０４がある。そして、N^+層１０３に繋がり、且つフローティングボディ半導体母体１０２を覆った第１のゲート絶縁層１０９ａと、N^+層１０４と、スリット絶縁膜１１０を介して第１のゲート絶縁層１０９ａと繋がり、且つフローティングボディ半導体母体１０２を覆った第２のゲート絶縁層１０９ｂとがある。そして、第１のゲート絶縁層１０９ａを覆ってプレート線ＰＬに繋がった第１のゲート導体層１０５ａがあり、第２のゲート絶縁層１０９ｂを覆ってワード線ＷＬに繋がった第２のゲート導体層

１０５ｂがある。そして、第１のゲート導体層１０５ａと第２のゲート導体層１０５ｂとの間には、スリット絶縁層１１０がある。これにより、ＤＦＭ（Dynamic Flash Memory）のメモリセル１１１が形成される。なお、ソース線ＳＬがN^+層１０４に接続し、ビット線ＢＬがN^+層１０３に接続するように構成してもよい。

[0007] そして、図６（ａ）に示すように、例えば、N^+層１０３にゼロ電圧、N^+層１０４にプラス電圧を印加し、第１のゲート導体層１０５ａで覆われたフローティングボディ半導体母体１０２よりなる第１のＮチャネルＭＯＳトランジスタ領域を飽和領域で動作させ、第２のゲート導体層１０５ｂで覆われたフローティングボディ半導体母体１０２よりなる第２のＮチャネルＭＯＳトランジスタ領域を線形領域で動作させる。この結果、第２のＮチャネルＭＯＳトランジスタ領域には、ピンチオフ点は存在せずに全面に反転層１０７ｂが形成される。このワード線ＷＬの接続された第２のゲート導体層１０５ｂの下側に形成された反転層１０７ｂは、第１のＮチャネルＭＯＳトランジスタ領域の実質的なドレインとして働く。この結果、第１のＮチャネルＭＯＳトランジスタ領域と、第２のＮチャネルＭＯＳトランジスタ領域との間のチャネル領域の境界領域で電界は最大となり、この領域でインパクトイオン化現象が生じる。そして、図６（ｂ）に示すように、インパクトイオン化現象により生じた電子・正孔群の内の電子群をフローティングボディ半導体母体１０２から除き、そして正孔群１０６の一部、または全てをフローティングボディ半導体母体１０２に保持することによりメモリ書き込み動作が行われる。この状態が論理記憶データ“１”となる。

[0008] そして、図６（ｃ）に示すように、例えばプレート線ＰＬにプラス電圧、ワード線WLと、ビット線ＢＬにゼロ電圧、ソース線ＳＬにマイナス電圧を印加して、正孔群１０６をフローティングボディ半導体母体１０２から除去して消去動作を行う。この状態が論理記憶データ“０”となる。そして、データ読み出しにおいて、プレート線ＰＬに繋がる第１のゲート導体層１０５ａに印加する電圧を、論理記憶データ“１”時のしきい値電圧より高く、且つ

論理記憶データ“０”時のしきい値電圧より低く設定することにより、図６（ｄ）に示すように論理記憶データ“０”読み出しでワード線ＷＬの電圧を高くしても電流が流れない特性が得られる。この特性により、メモリセルと比べ、大幅に動作マージンの拡大が図られる。このメモリセルでは、プレート線ＰＬに繋がる第１のゲート導体層１０５ａと、ワード線ＷＬに繋がる第２のゲート導体層１０５ｂをゲートとした第１、第２のＮチャネルＭＯＳトランジスタ領域のチャネルがフローティングボディ半導体母体１０２で繋がっていることにより、ワード線ＷＬに選択パルス電圧が印加された時のフローティングボディ半導体母体１０２の電圧変動が大きく抑圧される。これにより、前述のメモリセルにおいて問題の動作マージンの低下、又はチャネルに溜められた信号電荷である正孔群の一部が除去されることによるデータ保持特性の低下の問題が大きく改善される。今後、本メモリ素子に対して更なる特性改善と高集積化が求められる。

先行技術文献

特許文献

[0009] 特許文献1：特開平２－１８８９６６号公報

特許文献2：特開平３－１７１７６８号公報

特許文献3：ＵＳ２００８／０１３７３９４　Ａ１

特許文献4：ＵＳ２００３／０１１１６８１　Ａ１

特許文献5：特許第７０５７０３２号公報

非特許文献

[0010] 非特許文献1：Hiroshi Takato, Kazumasa Sunouchi, Naoko Okabe, Akihiro Nitayama, Katsuhiko Hieda, Fumio Horiguchi, and Fujio Masuoka: IEEE Transaction on Electron Devices, Vol.38, No.3, pp.573-578 (1991)

非特許文献2：H. Chung, H. Kim, H. Kim, K. Kim, S. Kim, K. Dong, J. Kim, Y.C. Oh, Y. Hwang, H. Hong, G. Jin, and C. Chung: “4F2 DRAM Cell with Vertical Pillar Transistor(VPT),” 2011 Proceeding of the European Solid-State Device Research Conference, (2011)

非特許文献3：H. S. Philip Wong, S. Raoux, S. Kim, Jiale Liang, J. R. Reifenberg, B. Rajendran, M. Asheghi and K. E. Goodson: “Phase Change Memory,” Proceeding of IEEE, Vol.98, No 12, December, pp.2201-2227 (2010)

非特許文献4：T. Tsunoda, K .Kinoshita, H. Noshiro, Y. Yamazaki, T. Iizuka, Y. Ito, A. Takahashi, A. Okano, Y. Sato, T. Fukano, M. Aoki, and Y. Sugiyama : “Low Power and high Speed Switching of Ti-doped NiO ReRAM under the Unipolar Voltage Source of less than 3V,” IEDM (2007)

非特許文献5：W. Kang, L. Zhang, J. Klein, Y. Zhang, D. Ravelosona, and W. Zhao: “Reconfigurable Codesign of STT-MRAM Under Process Variations in Deeply Scaled Technology,” IEEE Transaction on Electron Devices, pp.1-9 (2015)

非特許文献6：M. G. Ertosum, K. Lim, C. Park, J. Oh, P. Kirsch, and K. C. Saraswat : “Novel Capacitorless Single-Transistor Charge-Trap DRAM (1T CT DRAM) Utilizing Electron,” IEEE Electron Device Letter, Vol. 31, No.5, pp.405-407 (2010)

非特許文献7：J. Wan, L. Rojer, A. Zaslavsky, and S. Critoloveanu: “A Compact Capacitor-Less High-Speed DRAM Using Field Effect-Controlled Charge Regeneration,” Electron Device Letters, Vol. 35, No.2, pp.179-181 (2012)

非特許文献8：T. Ohsawa, K. Fujita, T. Higashi, Y. Iwata, T. Kajiyama, Y. Asao, and K. Sunouchi: “Memory design using a one-transistor gain cell on SOI,” IEEE JSSC, vol.37, No.11, pp1510-1522 (2002).

非特許文献9：T. Shino, N. Kusunoki, T. Higashi, T. Ohsawa, K. Fujita, K. Hatsuda, N. Ikumi, F. Matsuoka, Y. Kajitani, R. Fukuda, Y. Watanabe, Y. Minami, A. Sakamoto, J. Nishimura, H. Nakajima, M. Morikado, K. Inoh, T. Hamamoto, A. Nitayama: “Floating Body RAM Technology and

its Scalability to 32nm Node and Beyond," IEEE IEDM (2006).

非特許文献10：E. Yoshida and T. Tanaka: "A design of a capacitorless 1T-DRAM cell using gate-induced drain leakage (GIDL) current for low-power and high-speed embedded memory," IEEE IEDM, pp. 913-916, Dec. 2003

非特許文献11：F. Morishita, H. Noda, I. Hayashi, T. Gyohten, M. Oksmoto, T. Ipposhi, S. Maegawa, K. Dosaka, and K. Arimoto: "Capacitorless Twin-Transistor Random Access Memory (TTRAM) on SOI," IEICE Trans. Electron., Vol. E90-c., No.4 pp.765-771 (2007)

非特許文献12：K.Sakui, N. Harada," Dynamic Flash Memory with Dual Gate Surrounding Gate Transistor (SGT)," Proc. IEEE IMW, pp.72-75(2021)

発明の概要

発明が解決しようとする課題

[0011] ダイナミック フラッシュ メモリセルにおいて、更なる高集積化が求められる。

課題を解決するための手段

[0012] 上記の課題を解決するために、第１発明に係る半導体素子を用いたメモリ装置の製造方法は、

第１の不純物層と、第１のゲート導体層と、第２のゲート導体層と、第２の不純物層と、第３の不純物層と、第３のゲート導体層と、第４のゲート導体層と、第４の不純物層とに印加する電圧により、データ書き込み動作と、データ読み出し動作と、データ消去動作を行うメモリ装置の製造方法であって、

第１の基板上に、下から前記第１の不純物層と、第１の半導体層と、前記第１の半導体層を囲んだ第１のゲート絶縁層と、前記第１のゲート絶縁層の下部を囲んだ第１のゲート導体層と、前記第１のゲート絶縁層の上部を囲んだ第２のゲート導体層と、前記第２の不純物層とを形成する工程と、

前記第２の不純物層に繋がり、水平方向に伸する第１の導体層と、前記第

１の導体層上の第１の材料層と、前記第２の不純物層上の第２の材料層とを形成して、第１のメモリセルを形成する工程と、

前記第１のメモリセルと同じ構造の第２の基板上の第２のメモリセルを形成する工程と、

前記第２のメモリセルにおいて、前記第１のメモリセルの前記第１の材料層に対応する第３の材料層と、前記第１のメモリセルの前記第２の材料層に対応する第４の材料層を、前記第１の材料層と前記第３の材料層の位置を合わせ、前記第２の材料層と前記第４の材料層の位置を合わせて、前記第１のメモリセルと前記第２のメモリセルとを貼り合わせた構造よりなる２段メモリセルを形成する工程と、

を備え、

前記第１及び第３の材料層と、前記第２及び第４の材料層の一方、又は両方が酸化材料層であることを特徴とする。

[0013] 第２発明は、上記の第１発明において、前記第１の材料層、前記第３の材料層が導体材料層よりなり、前記第２の材料層と前記第３の材料層が酸化絶縁層よりなることを特徴とする。

[0014] 第３発明は、上記の第２発明において、前記第１の材料層が前記第１の導体層が上方に伸延した構造であることを特徴とする。

[0015] 第４発明は、上記の第１発明において、前記第１の材料層が、上方に伸延した前記第１の導体層と、前記第１の導体層上の酸化絶縁層とよりなり、前記第２の材料が、前記第１の導体層が前記第２の不純物層上まで繋がった部分と、前記第１の材料層部分から水平方向に前記酸化絶縁層より形成されることを特徴とする。

[0016] 第５発明は、上記の第１発明において、前記第１の材料層が酸化絶縁層であり、前記第２の材料層が垂直方向に伸延した前記第２の不純物層より形成されることを特徴とする。

[0017] 第６発明は、上記の第１発明において、前記第１及び第３のゲート導体層と、前記第２及び第４のゲート導体層が、垂直断面、又は水平断面で複数に

分割して形成されることを特徴とする。

[0018] 第７発明は、上記の第１発明において、前記第１及び第３のゲート導体層と、前記第２及び第４のゲート導体層の一方がプレート線に接続し、他方がワード線に接続するように形成することを特徴とする。

[0019] 第８発明は、上記の第１発明において、前記第１の不純物層と第２の不純物層の一方をビット線に接続し、他方をソース線に接続するように形成することを特徴とする。

図面の簡単な説明

[0020] [図1A]第１実施形態に係る２段ダイナミックフラッシュメモリセルの製造方法を説明するための構造図である。

[図1B]第１実施形態に係る２段ダイナミックフラッシュメモリセルの製造方法を説明するための構造図である。

[図2A]第１実施形態に係る２段ダイナミックフラッシュメモリセルの製造方法を説明するための構造図である。

[図2B]第１実施形態に係る２段ダイナミックフラッシュメモリセルの製造方法を説明するための構造図である。

[図3]第２実施形態に係る２段ダイナミックフラッシュメモリセルの製造方法を説明するための構造図である。。

[図4]第３実施形態に係る２段ダイナミックフラッシュメモリセルの製造方法を説明するための構造図である。

[図5]第４実施形態に係る２段ダイナミックフラッシュメモリセルの製造方法を説明するための構造図である。

[図6]従来例のダイナミックフラッシュメモリを説明するための図である。

発明を実施するための形態

[0021] 以下、本発明の実施形態に係る、半導体素子を用いたメモリ装置（以後、ダイナミック フラッシュ メモリと呼ぶ）の製造方法について、図面を参照しながら説明する。

[0022] （第１実施形態）

図１Ａ、図１Ｂ、図２Ａ、図２Ｂを用いて、本発明の第１実施形態に係る２段ダイナミック フラッシュ メモリセルの製造方法を説明する。図１Ａ、図１Ｂにおける、（ａ）図はメモリセルの平面図、（ｂ）図は（ａ）図におけるＸ－Ｘ’線に沿った断面図、（ｃ）図は（ａ）図におけるＹ－Ｙ’線に沿った断面図を示す。図２Ａの（ａ）図は、１段のダイナミック フラッシュ メモリセルの断面図を示す。そして、図２Ａの（ｂ）図は（ａ）図の１段のダイナミック フラッシュ メモリセルとは別の１段のダイナミック フラッシュ メモリセルの断面図を示す。

[0023] 図１Ａに示すように、Ｐ層基板１（特許請求の範囲の「第１の基板」の一例である）上に第１のN^+層２ａ（特許請求の範囲の「第１の不純物層」の一例である）、第１のＰ層３（特許請求の範囲の「第１の半導体層」の一例である）、第２のN^+層２ｂ（特許請求の範囲の「第２の不純物層」の一例である）を形成する。第１のN^+層２ａの一部の上面にあって、平面視において、Ｙ－Ｙ’線方向に伸延する第１の導体層４を形成する。第１のＰ層基板１、第１のN^+層２ａ、第１の金属層４を覆って第１の絶縁層１５を形成する。第１のＰ層３を囲んで第１のゲート絶縁層５（特許請求の範囲の「第１のゲート絶縁層」の一例である）を形成する。第１のゲート絶縁層５を囲んで、下から第１のゲート導体層６（特許請求の範囲の「第１のゲート導体層」の一例である）、第２の絶縁層７、第２のゲート導体層８（特許請求の範囲の「第２のゲート導体層」の一例である）を形成する。第２のゲート導体層８上にあって、第２のN^+層２ｂの外周を囲んで、第３の絶縁層９を形成する。なお、第１のＰ層３は、少なくとも、第１のゲート導体層６、第２の絶縁層７、第２のゲート導体層８，第３の絶縁層９を形成した後に、例えばエピタキシャル結晶成長法、ＭＳＣ（Metal-Assisted Solid-Phase Crystallization）法、ＭＩＬＣ（Metal Induced Lateral Crystallization）法などにより形成してもよい。また、第１のゲート導体層６、第２のゲート導体層８は、第１のＰ層３を形成した後にダミーゲート層を除去して、そこに生じた空間に第１のゲート導体層６、第２のゲート導体層８の材料層を埋め込んで形成し

てもよい。また、第１のＰ層３は、単結晶Ｐ型半導体層をリソグラフィ法とエッチング法を用いて形成してもよい。

[0024] 次に、図１Ｂに示すように、第３の絶縁層９上にあって、N^+層２ｂを囲んで第２の導体層１１（特許請求の範囲の「第１の導体層」の一例である）、第１の材料層１２（特許請求の範囲の「第１の材料層」の一例である）と、N^+層２ｂ上に第２の材料層１３（特許請求の範囲の「第２の材料層」の一例である）を形成する。第１の材料層１２と、第２の材料層１３との一方、または両方は、例えば酸化シリコン（ＳｉＯ２）などの酸化絶縁層で形成される。第１の導体層４は第１のビット線（ＢＬ１）に接続され、第１のゲート導体層６は第１のプレート線ＰＬ１に接続され、第２のゲート導体層８は第１のワード線ＷＬ１に接続され、第２の導体層１１は第１のソース線ＳＬ１に接続される。これにより、１段ダイナミック フラッシュ メモリセル（特許請求の範囲の「第１のメモリセル」の一例である）がＰ層基板１上に形成される。図１Ａ、図１Ｂでは単一のメモリセルのみを示しているが、実際には複数のメモリセルが２次元状に同時に形成される（他の実施形態でも同様である）。１段ダイナミック フラッシュ メモリセルが２次元状に配置されたメモリブロック領域では、そのメモリブロック内の第１のゲート導体層６、第２のゲート導体層８、第２の導体層１１は、メモリブロック領域内で共通に繋がって形成される。

[0025] 図２Ａ（ａ）、（ｂ）に２つの１段ダイナミック フラッシュ メモリセルの断面を示す。図２Ａ（ａ）は図１Ａ、１Ｂで示した工程により形成した１段ダイナミック フラッシュ メモリセルの断面である。図２Ａ（ｂ）は図２Ａ（ａ）と同じ工程により形成し、図２Ａ（ａ）と同じ構造の別の１段ダイナミック フラッシュ メモリセルの断面である。図２Ａ（ｂ）のＰ層基板１ａ（特許請求の範囲の「第２の基板」の一例である）は図２Ａ（ａ）のＰ層基板１に対応する。同じく、第３のN^+層２ａａは、第１のN^+層２ａに対応している。そして、第２のＰ層３ａは第１のＰ層３に対応し、第４のN^+層２ｂａは第２のN^+層２ｂに対応し、第３の導体層４ａは第１の導体層４に対応し

、第４の絶縁層15ａは第１の絶縁層１５に対応し、第２のゲート絶縁層５ａは第１のゲート絶縁層５に対応し、第３のゲート導体層６ａは第１のゲート導体層６に対応し、第５の絶縁層７ａは第２の絶縁層７、第４のゲート導体層８ａは第２のゲート導体層８に対応し、第６の絶縁層９ａは第３の絶縁層９に対応し、第４の導体層１１ａは第２の導体層１１に対応し、第３の材料層１２ａ（特許請求の範囲の「第３の材料層」の一例である）は第１の材料層１２に対応し、第４の材料層１３ａ（特許請求の範囲の「第４の材料層」の一例である）は第２の材料層１３に対応している。そして、第３の導体層４ａは第２のビット線（ＢＬ２）に接続され、第３のゲート導体層６ａは第２のプレート線ＰＬ２に接続され、第４のゲート導体層８ａは第２のワード線ＷＬ２に接続され、第４の導体層１１ａは第２のソース線ＳＬ１に接続される。そして、図２Ａ（ｂ）の１段ダイナミック フラッシュ メモリセル（特許請求の範囲の「第２のメモリセル」の一例である）を上下逆にして、図２Ａ（ａ）の１段ダイナミック フラッシュ メモリセルと、第１の材料層１２と第３の材料層１２ａとが重なり、同じく第２の材料層１３と第４の材料層１３ａとが重なるようにして、貼り合わせる。第１の材料層１２と、第２の材料層１３との一方、または両方に、例えば酸化シリコン（ＳｉＯ２）などの酸化絶縁層を用いることにより、２つの１段ダイナミック フラッシュ メモリセルの貼り合わせ強度を大きくできる。そして、第２のＰ層基板１ａを上面より所定の厚さにエッチングして薄くする。

[0026] 図２Ｂに、図２Ａ（ｂ）の１段ダイナミック フラッシュ メモリセルを上下逆にして、図２Ａ（ａ）の１段ダイナミック フラッシュ メモリセルと、第１の材料層１２と第３の材料層１２ａとが重なり、同じく第２の材料層１３と第４の材料層１３ａとが重なるようにして、貼り合わせた状態を示す。そして、第２のＰ層基板１ａを上面より所定の厚さにエッチングして薄くしている。これにより、２段ダイナミック フラッシュ メモリセル（特許請求の範囲の「２段メモリセル」の一例である）が形成される。実際には、この２段ダイナミック フラッシュ メモリセルがＰ層基板１上に２次元状に形成

される。２次元状に配置されたブロック領域では、そのブロック領域内の第１のゲート導体層６、第２のゲート導体層８、第２の導体層１１、第４の導体層１１ａ、第４のゲート導体層８ａ、第３ゲートの導体層６ａは、ブロック領域の各２段ダイナミック フラッシュ メモリセル間で共通に繋がって形成される。そして、メモリブロック領域内の第１のゲート導体層６、第２のゲート導体層８、第２の導体層１１、第４の導体層１１ａ、第４のゲート導体層８ａ、第３ゲートの導体層６ａは、メモリブロック領域の周辺部より外部配線に接続する。そして、第１の導体層４、第３の導体層４ａは、それぞれ独立にブロック領域の周辺部より外部配線に接続する。

[0027] 図２Ｂに示した２段ダイナミック フラッシュ メモリセルにおいて、第１の導体層４と、第１のゲート導体層６と、第２のゲート導体層８と、第２の導体層１１と、第３の導体層４ａ、第３のゲート導体層６ａと、第４のゲート導体層８ａと、第４の導体層１１ａに所定の電圧を印加して、第１のＰ層３と、第２のＰ層３ａの一方、または両方にインパクトイオン化現象により、またはゲート誘起ドレインリーク電流（ＧＩＤＬ:Gate Induced Drain Leakage、非特許文献１０を参照）を用いて電子・正孔対を発生させて、信号電荷である正孔群を第１のＰ層３と第２のＰ層３ａの一方、または両方に残存させるデータ書き込み動作を行う。そして、第１の導体層４と、第１のゲート導体層６と、第２のゲート導体層８と、第２の導体層１１と、第３の導体層４ａと、第３のゲート導体層６ａと、第４のゲート導体層８ａと、第４の導体層１１ａに所定の電圧を印加して、信号電荷である正孔群を第１のＰ層３と第２のＰ層３ａの一方または両方から除去するデータ消去動作を行う。

[0028] 第１及び第２のソース線ＳＬ１、ＳＬ２に繋がる第２及び第４の導体層１１、１１ａは、第１乃至第４の材料層１２、１２ａ、１３、１３ａ全てが酸化絶縁層である場合は、同期、及び非同期のどちらでも駆動できる。それ以外では、第２及び第４の導体層１１、１１ａは電気的に繋がっているので、第２及び第４の導体層１１、１１ａは同期駆動となる。この場合は、第２及び第４の導体層１１、１１ａの片方だけをブロック領域の周辺で駆動回路と

接続してもよい。

[0029] なお、図２Ａでは、第１及びの第３のゲート導体層６、６ａは、第１及び第２のプレート線ＰＬ１、ＰＬ２に接続し、第２及び第４のゲート導体層８、８ａは第１及び第２のワード線ＷＬ１、ＷＬ２に接続していた。これに対し、第１及びの第３のゲート導体層６、６ａは、第１及び第２のワード線ＷＬ１、ＷＬ２に接続し、第２及び第４のゲート導体層８、８ａはプレート線ＰＬ１、ＰＬ２に接続してもよい。これによっても、正常なダイナミック フラッシュ メモリ動作がなされる。

[0030] また、第１及び第３のN+層２ａ、２ａａはソース線に接続し、第２及び第４のN+層２ｂ、２ｂａはビット線に接続してもよい。この場合、第１及び第３のN+層２ａ、２ａａは、第１及び第２のＰ層基板１，１ａ上で、隣接ダイナミック フラッシュ メモリ間で繋がって形成されてもよい。

[0031] また、図１Ｂにおいて、第１の材料層１２と、第２の材料層１３との一方、または両方は酸化絶縁層で形成されると述べた。同様に、図２Ａ（ｂ）における第３の材料層１２ａと、第４の材料層１３ａの一方または両方は酸化絶縁層で形成されてもよい。第１の材料層１２と、第２の材料層１３の両方が酸化絶縁層である場合は、第１の材料層１２と、第２の材料層１３の両方が同じ材料層で形成してもよい。この場合は、第１の材料層１２と、第２の材料層１３の両方が同時に形成されてもよい。このことは、図２Ａ（ｂ）における第３の材料層１２ａと、第４の材料層１３ａについても同じである。また、第２及び第４の材料層１３、１３ａが不純物を多く含んだ低抵抗半導体層である場合は、第２及び第４の材料層１３、１３ａは、垂直方向に伸延した第２及び第４のN+層２ｂ、２ｂａであってもよい。また、第２及び第４の材料層１３、１３ａが酸化絶縁層である場合、第１及び第３の材料層１２、１２ａは第２及び第４の導体層１１、１１ａが垂直方向に伸びて一体化させてもよい。

[0032] また、図２Ａにおいて、第１及び第３のゲート導体層６、６ａの各々は垂直方向に複数に分割されていてもよい。第２及び第４のゲート導体層８、８

ａの各々は垂直方向に複数に分割されていてもよい。また、第１及び第３のゲート導体層６、６ａの各々は平面断面において複数に分割されていてもよい。第２及び第４のゲート導体層８、８ａの各々は平面断面において、複数に分割されていてもよい。そして、分割されたゲート導体層は同期、または非同期で駆動されてもよい。

[0033] また、前記第１及び第３のゲート導体層と、前記第２及び第４のゲート導体層の一方をプレート線に接続し、他方をワード線に接続してもよい。また、前記第１の不純物層と第２の不純物層の一方をビット線に接続し、他方をソース線に接続してもよい。

[0034] また、図２Ｂに示した２段ダイナミック フラッシュ メモリセルの上に、同じ構造の２段ダイナミック フラッシュ メモリセルを１つ又は複数個積層させてもよい。これにより、多段ダイナミック フラッシュ メモリセルが形成される。この場合、第１及び第３のN^+層２ａ、２ａａを垂直方向に長く形成し、貼り合わせ面で、両者のN^+層（図２ＢのN^+層２ａａがこれに対応する）が接触する構造を有してもよい。

[0035] また、第１及び第２のＰ層３、３ａを有する２段ダイナミック フラッシュ メモリセルの平面視での配置は、正方格子、斜方格子、ハニカム、ジグザグ、のこぎり状などであってよい。又は任意の配置で２次元状に配列させてメモリブロック領域を形成しても良い。

[0036] また、第１のダイナミック フラッシュ メモリセルをウエハ上に２次元状に配列させ、そして、第２のダイナミック フラッシュ メモリセルを有したメモリブロックのチップを貼り合わせてもよい。また、第１及び第２のダイナミック フラッシュ メモリセルを形成した２つのウエハを貼り合わせてもよい。

[0037] また、Ｐ層基板１、１ａは半導体、ＳＯＩ（Silicon On Insulator）、ウエル構造などを用いてもよい。

[0038] 本実施形態によれば、下記のような特徴を有する。

本実施形態の製造方法の特徴は、Ｐ層基板１上に下から第１のビット線Ｂ

Ｌ１となる第１の導体層４に繋がる第１のN+層２ａ、第１のＰ層３、ゲート絶縁層５、第１のゲート導体層６、第２の絶縁層９、第２のゲート導体層８、第３の絶縁層９、、Ｐ層３の頂部の第２のN+層２ｂ、第２のN+層２ｂに繋がる第２の導体層１１、第２の導体層上の第１の材料層１２と、第２のN+層２ｂ上に第２の材料層１３を有する第１のダイナミック フラッシュ メモリセルと、第１の１段ダイナミック フラッシュ メモリセルと同じ構造の第２の１段ダイナミック フラッシュ メモリセルを、それぞれの第１及び第３の材料層１２，１２ａと、第２及び第４の材料層１３、１３ａとが重なるように貼り合わせた。そして、第１及び第３の材料層１２、１２ａと、第２及び第４の材料層１３、１３ａの一方または両方は、例えば酸化シリコン（ＳｉＯ２）などの酸化絶縁層で形成した。これにより、１段ダイナミック フラッシュ メモリセル間の接着強度を高めることができる。これにより、高い機械的強度の２段ダイナミック フラッシュ メモリセルが得られる。

[0039] 図３に、図２Ａにおける第２の材料層１３が、酸化絶縁層１３Ａで形成され、第１の材料層１２が、図２Ａにおける第２の導体層１１が上面まで伸延した導体層１１Ａが形成される場合を示す。この１段ダイナミック フラッシュ メモリセルの２つを、図２A、２Bと同様に貼り合わせて２段ダイナミック フラッシュ メモリセルを形成する。この場合、第１の１段ダイナミック フラッシュ メモリセルと同じ構造の第２の１段ダイナミック フラッシュ メモリセルとの接着強度は、酸化絶縁層１３Ａと、第２の１段ダイナミック フラッシュ メモリセルの酸化絶縁層１３Ａに対応する酸化絶縁層との接着で保持される。これにより、第１のソース線ＳＬ１と第２のソース線ＳＬ２が直接つながることにより、繋がった第１のソース線ＳＬ１と第２のソース線ＳＬ２を第１の１段ダイナミック フラッシュ メモリセルと第２の１段ダイナミック フラッシュ メモリセルの低抵抗共通ソース線とすることが出来る。これにより、ダイナミック フラッシュ メモリの高性能化を図ることが出来る。

[0040] 図４に、図２Ａにおける第１の材料層１２と、第２の材料層１３とが、下

から第２の導体層１１Ｂと酸化絶縁層１６より形成される場合を示す。この１段ダイナミック フラッシュ メモリセルの２つが、図２A、２Bと同様に貼り合わせられて２段ダイナミック フラッシュ メモリセルが形成される。１段ダイナミック フラッシュ メモリセルの上面全体に酸化絶縁層１６が形成される。全面の酸化絶縁層同志で２つの１段ダイナミック フラッシュ メモリセルが貼り合わせられる。これにより、接着強度の大きい貼り合わせがなされる。

[0041] 図５に第１の材料層１２が酸化絶縁層であり、第２の材料層１３が、垂直方向に第２のN^+層２ｂが第１の材料層１２の上面位置まで伸延して形成されている場合を示す。この１段ダイナミック フラッシュ メモリセルの２つが、図２A、２Bと同様に貼り合わされて２段ダイナミック フラッシュ メモリセルが形成される。酸化絶縁層である第１の材料層１２が２つの１段ダイナミック フラッシュ メモリセルの貼り合わせ強度に寄与する。

[0042] （その他の実施形態）

なお、本実施形態における、Ｐ層３、３ａ、N^+層２ａ、２ａａ、２ｂ、２ｂａは、シリコン（Ｓｉ）、又は他の半導体材料であってもよい。

[0043] また、第１のゲート絶縁層５は、第１のゲート導体層６で囲まれた領域と、第２のゲート導体層８で囲まれた領域で異る材料層で形成されてもよい。

[0044] また、図１において、第１乃至第４のN^+層２ａ、２ｂ、２ａａ、２ｂａ、第１及び第２のＰ層３、３ａのそれぞれの導電型の極性を逆にした構造においても、ダイナミック フラッシュ メモリ動作がなされる。この場合、第１及び第２のＰ層３，３ａがＮ層になるので、多数キャリアは電子になる。従って、インパクトイオン化により生成された電子群がメモリ動作における信号電荷になる。

[0045] また、第１及び第３のN^+層２ａ、２ａａ上に形成された第１及び第３の導体層４、４ａは、第１及び第３のN^+層２ａ、２ａａの底部に形成されてもよい。

[0046] また、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な

実施形態及び変形が可能とされるものである。また、上述した各実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。上記実施例及び変形例は任意に組み合わせることができる。さらに、必要に応じて上記実施形態の構成要件の一部を除いても本発明の技術思想の範囲内となる。

産業上の利用可能性

[0047] 本発明に係る、半導体素子を用いたメモリ装置の製造方法によれば、高密度で、かつ高性能のメモリ装置であるダイナミック フラッシュ メモリが得られる。

符号の説明

[0048] １：第１のＰ層基板

１ａ：第２のＰ層基板

２ａ：第１のN^+層

２ｂ：第２のN^+層

２ａａ：第３のN^+層

２ｂａ：第４のN^+層

３：第１のＰ層

３ａ：第２のＰ層

４：第１の導体層

１１：第２の導体層

４ａ：第３の導体層

５：第１のゲート絶縁層

５ａ：第２のゲート絶縁層

６：第１のゲート導体層

８：第２のゲート導体層

６ａ：第３のゲート導体層

８ａ：第４のゲート導体層

１３Ａ、１５：酸化絶縁層

７：第２の絶縁層

９：第３の絶縁層

１２：第１の材料層

１３：第２の材料層

１２ａ：第３の材料層

１３ａ：第４の材料層

１５：第１の絶縁層

１６：酸化絶縁層

１１Ａ、１１Ｂ：導体層

ＢＬ１：第１のビット線

ＢＬ２：第２のビット線

ＰＬ１：第１のプレート線

ＰＬ２：第２のプレート線

ＳＬ１：第１のソース線

ＳＬ２：第２のソース線

請求の範囲

[請求項1] 第１の不純物層と、第１のゲート導体層と、第２のゲート導体層と、第２の不純物層と、第３の不純物層と、第３のゲート導体層と、第４のゲート導体層と、第４の不純物層とに印加する電圧により、データ書き込み動作と、データ読み出し動作と、データ消去動作を行うメモリ装置の製造方法であって、

第１の基板上に、下から前記第１の不純物層と、第１の半導体層と、前記第１の半導体層を囲んだ第１のゲート絶縁層と、前記第１のゲート絶縁層の下部を囲んだ第１のゲート導体層と、前記第１のゲート絶縁層の上部を囲んだ第２のゲート導体層と、前記第２の不純物層とを形成する工程と、

前記第２の不純物層に繋がり、水平方向に伸する第１の導体層と、前記第１の導体層上の第１の材料層と、前記第２の不純物層上の第２の材料層とを形成して、第１のメモリセルを形成する工程と、

前記第１のメモリセルと同じ構造の第２の基板上の第２のメモリセルを形成する工程と、

前記第２のメモリセルにおいて、前記第１のメモリセルの前記第１の材料層に対応する第３の材料層と、前記第１のメモリセルの前記第２の材料層に対応する第４の材料層を、前記第１の材料層と前記第３の材料層の位置を合わせ、前記第２の材料層と前記第４の材料層の位置を合わせて、前記第１のメモリセルと前記第２のメモリセルとを貼り合わせた構造よりなる２段メモリセルを形成する工程と、

を備え、

前記第１及び第３の材料層と、前記第２及び第４の材料層の一方、又は両方が酸化材料層であることを特徴とする半導体素子を用いたメモリ装置の製造方法。

[請求項2] 前記第１の材料層、前記第３の材料層が導体材料層よりなり、前記第２の材料層と前記第３の材料層が酸化絶縁層よりなる、

ことを特徴とする請求項１に記載の半導体素子を用いたメモリ装置の製造方法。

[請求項3] 前記第１の材料層が前記第１の導体層が上方に伸延した構造である、

ことを特徴とする請求項２に記載の半導体素子を用いたメモリ装置の製造方法。

[請求項4] 前記第１の材料層が、上方に伸延した前記第１の導体層と、前記第１の導体層上の酸化絶縁層とよりなり、前記第２の材料が、前記第１の導体層が前記第２の不純物層上まで繋がった部分と、前記第１の材料層部分から水平方向に前記酸化絶縁層より形成される、

ことを特徴とする請求項１に記載の半導体素子を用いたメモリ装置の製造方法。

[請求項5] 前記第１の材料層が酸化絶縁層であり、前記第２の材料層が垂直方向に伸延した前記第２の不純物層より形成される、

ことを特徴とする請求項１に記載の半導体素子を用いたメモリ装置の製造方法。

[請求項6] 前記第１及び第３のゲート導体層と、前記第２及び第４のゲート導体層が、垂直断面、又は水平断面で複数に分割して形成される、

ことを特徴とする請求項１に記載の半導体素子を用いたメモリ装置の製造方法。

[請求項7] 前記第１及び第３のゲート導体層と、前記第２及び第４のゲート導体層の一方がプレート線に接続し、他方がワード線に接続するように形成する、

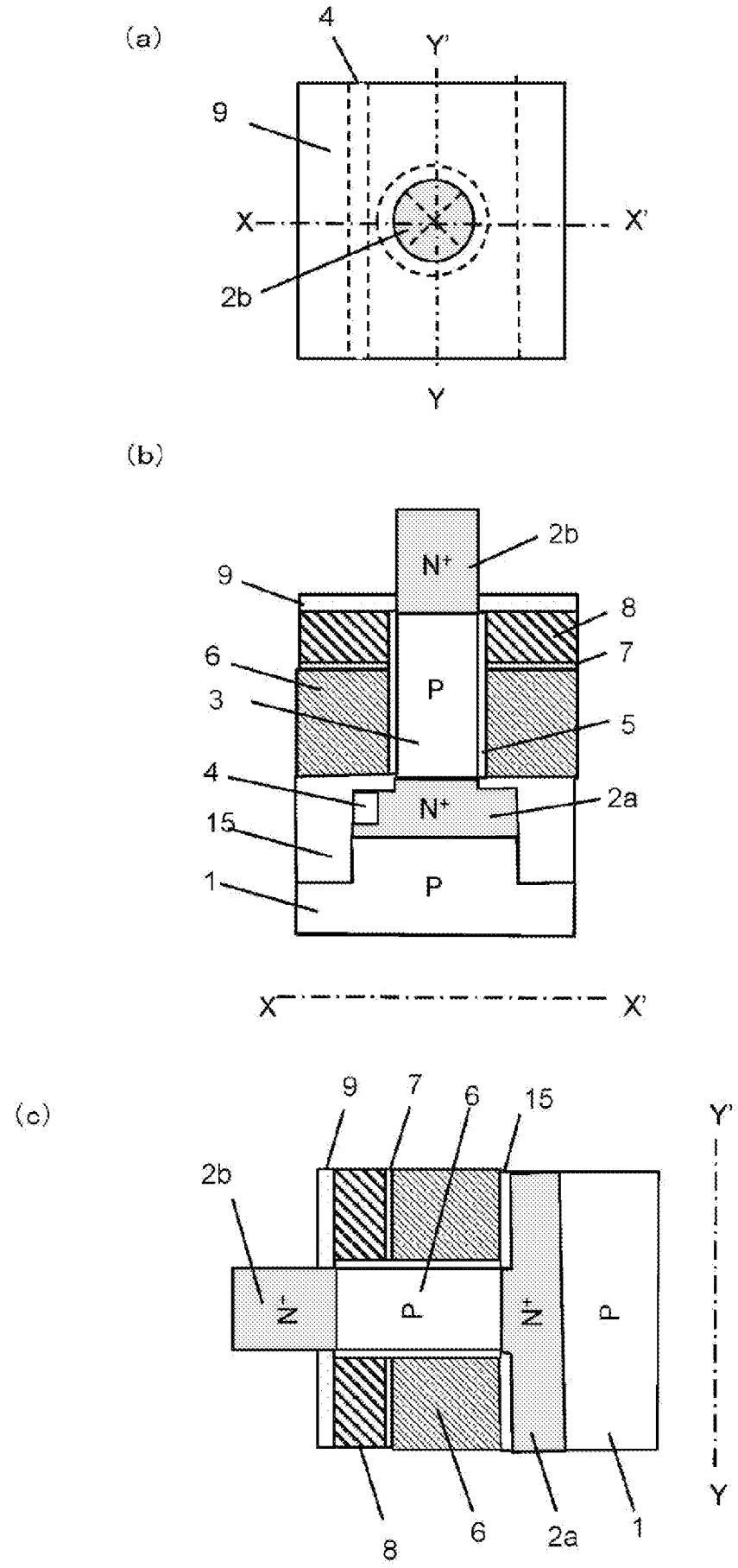
ことを特徴とする請求項１に記載の半導体素子を用いたメモリ装置の製造方法。

[請求項8] 前記第１の不純物層と第２の不純物層の一方をビット線に接続し、他方をソース線に接続するように形成する、

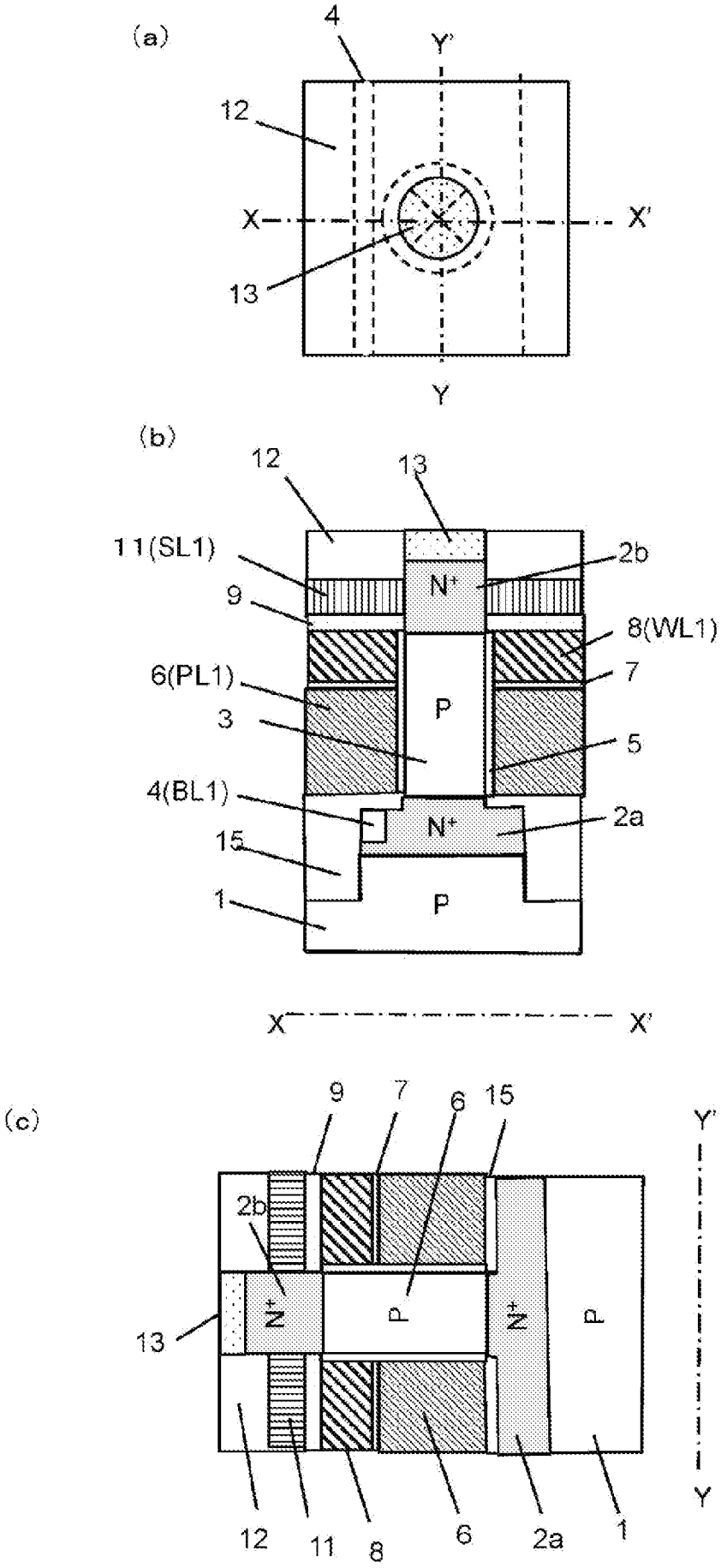
ことを特徴とする請求項１に記載の半導体素子を用いたメモリ装置

の製造方法。

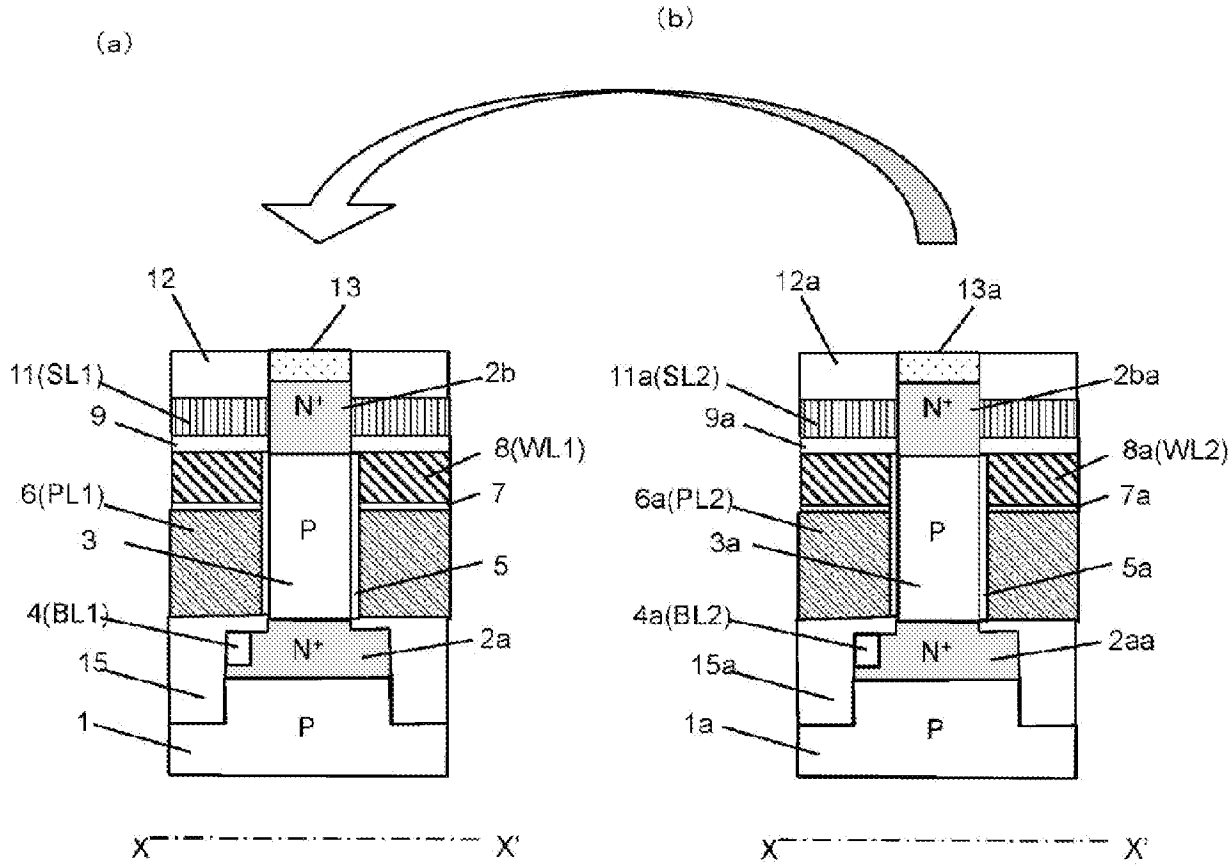
[図1A]



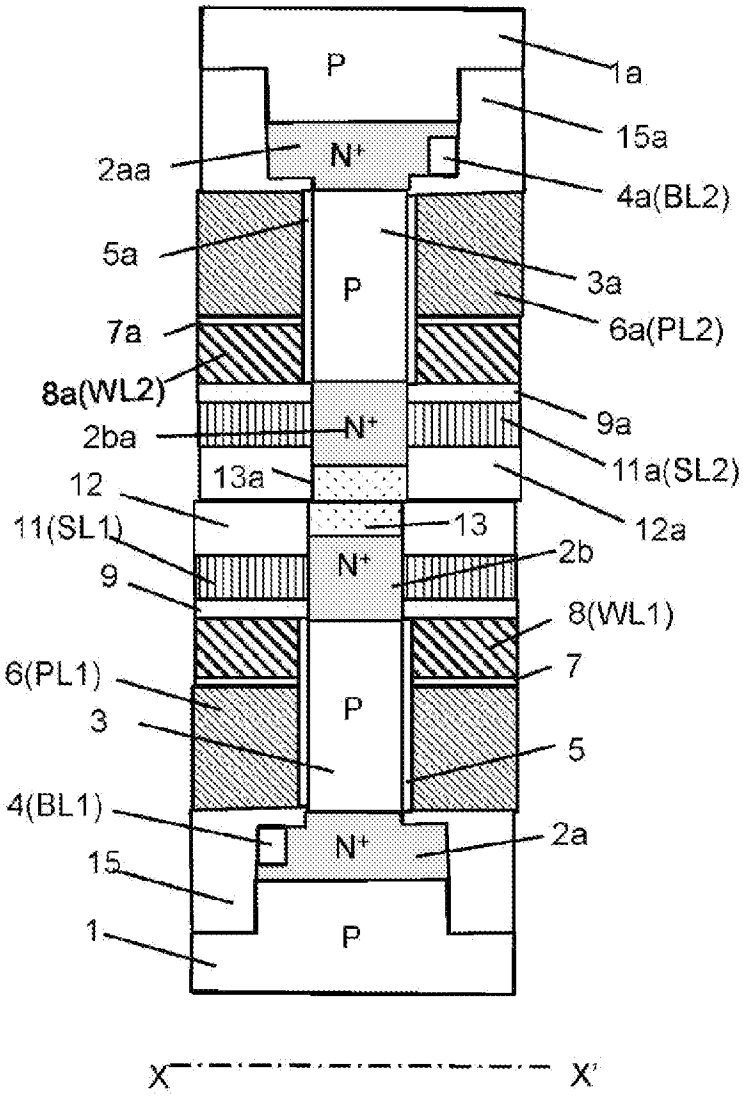
[図1B]


(a)
4
Y'
12
X
X'
13
Y
(b)
12
13
11(SL1)
2b
N+
9
8(WL1)
7
6(PL1)
P
3
5
4(BL1)
N+
2a
15
P
1
X
X'
(c)
9
7
6
15
Y'
2b
N+
P
N+
P
13
12
11
8
6
2a
1
Y

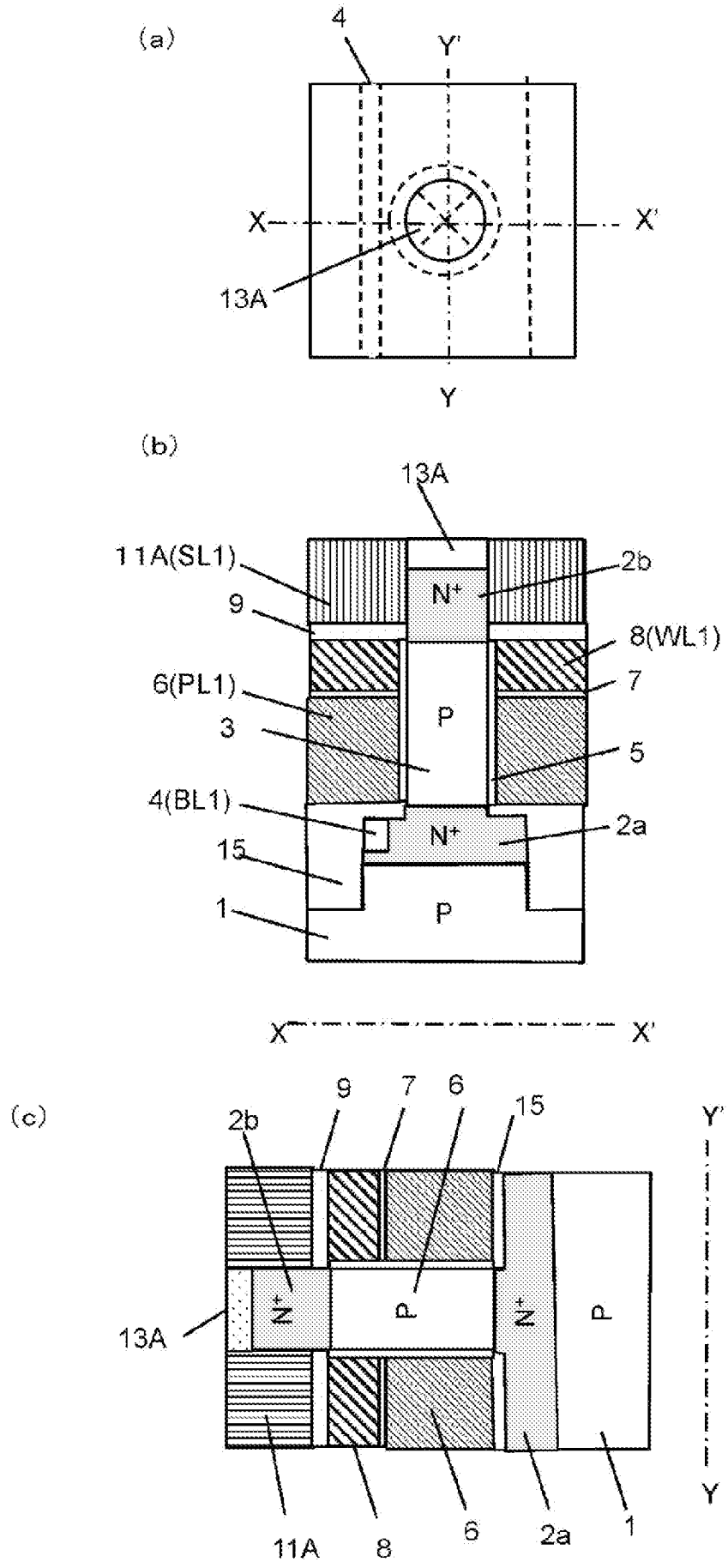
[図2A]


(a)
(b)
12
13
11(SL1)
9
6(PL1)
3
4(BL1)
15
1
2b
8(WL1)
7
5
2a
N+
P
X
X'
12a
13a
11a(SL2)
9a
6a(PL2)
3a
4a(BL2)
15a
1a
2ba
8a(WL2)
7a
5a
2aa

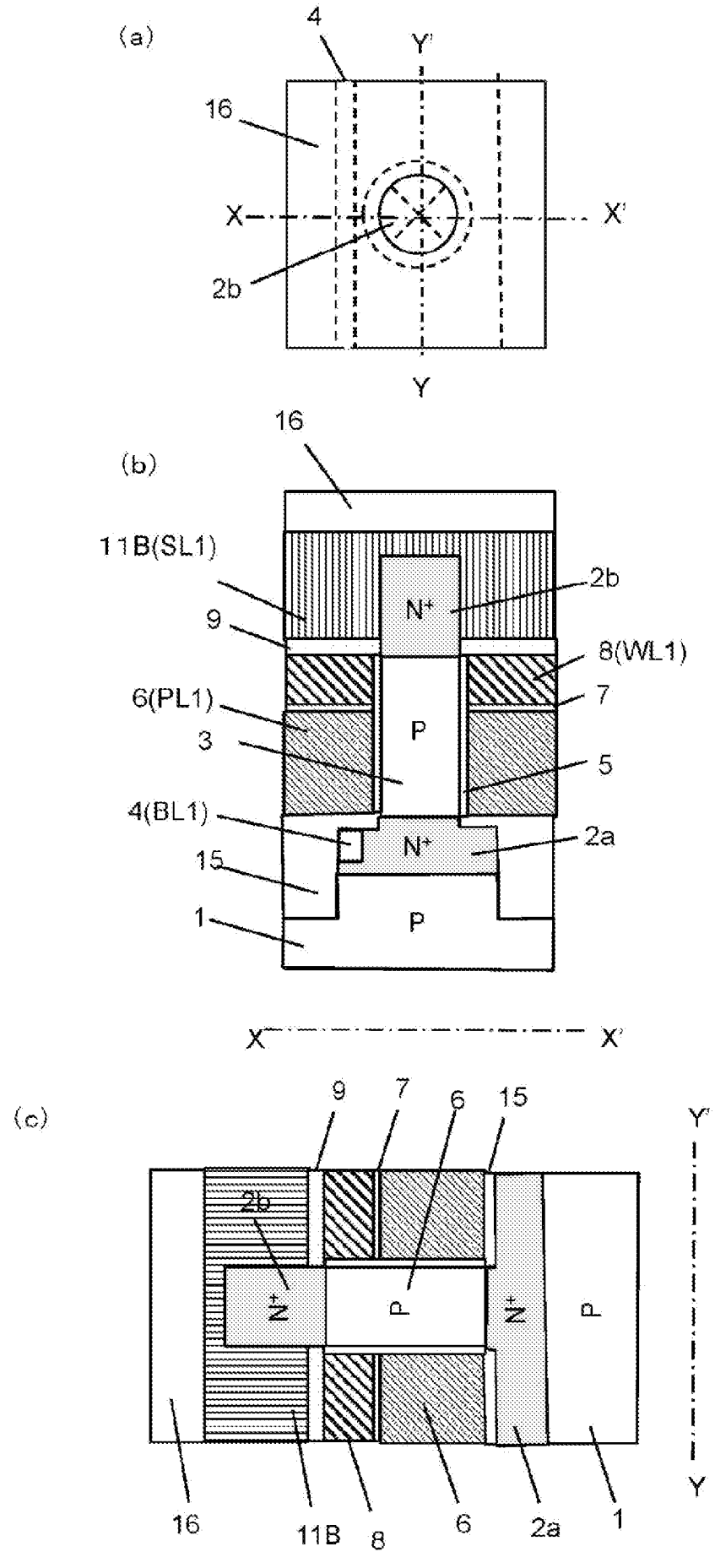
[図2B]


P
1a
15a
2aa
N+
4a(BL2)
5a
3a
P
7a
6a(PL2)
8a(WL2)
9a
2ba
N+
11a(SL2)
13a
12
13
12a
11(SL1)
N+
2b
9
8(WL1)
7
6(PL1)
P
3
5
4(BL1)
N+
2a
15
1
P
X
X'

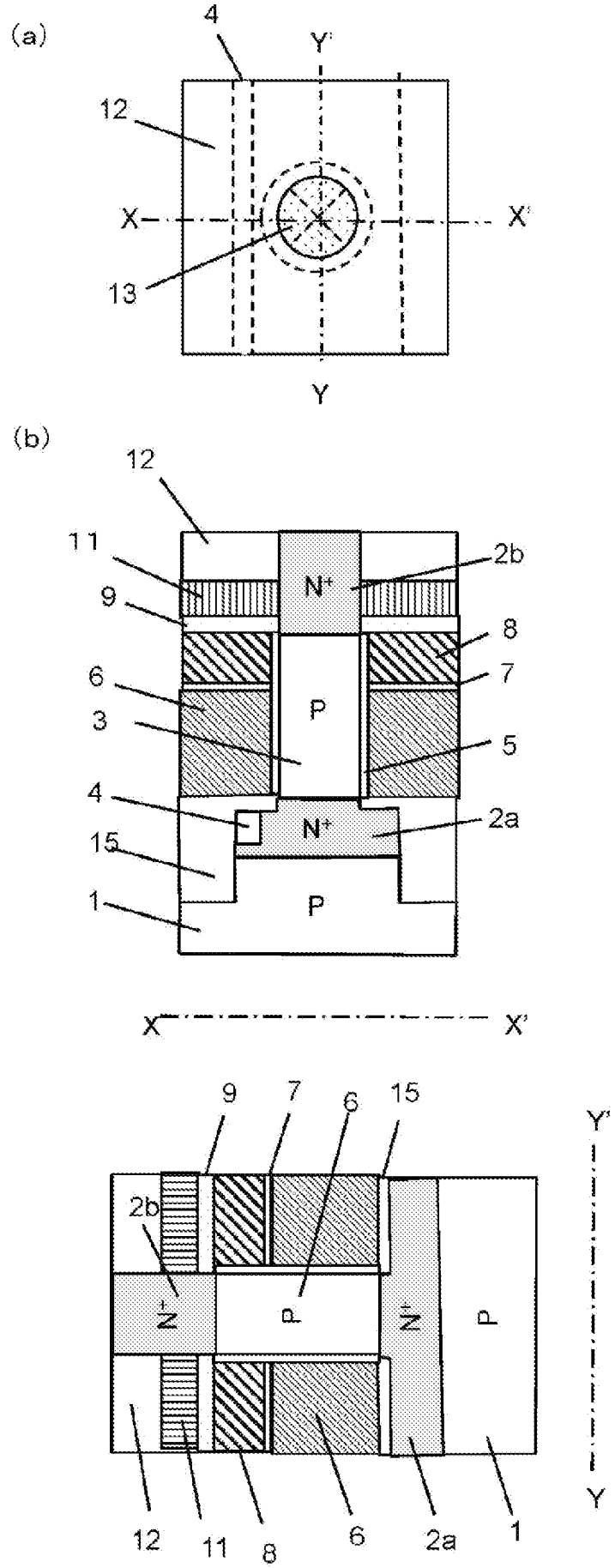
[図3]


(a)
4
Y'
X
X'
13A
Y
(b)
13A
11A(SL1)
2b
9
N+
8(WL1)
6(PL1)
7
P
3
5
4(BL1)
N+
2a
15
1
P
X
X'
(c)
9
7
6
15
2b
Y'
N+
P
N+
P
13A
11A
8
6
2a
1
Y

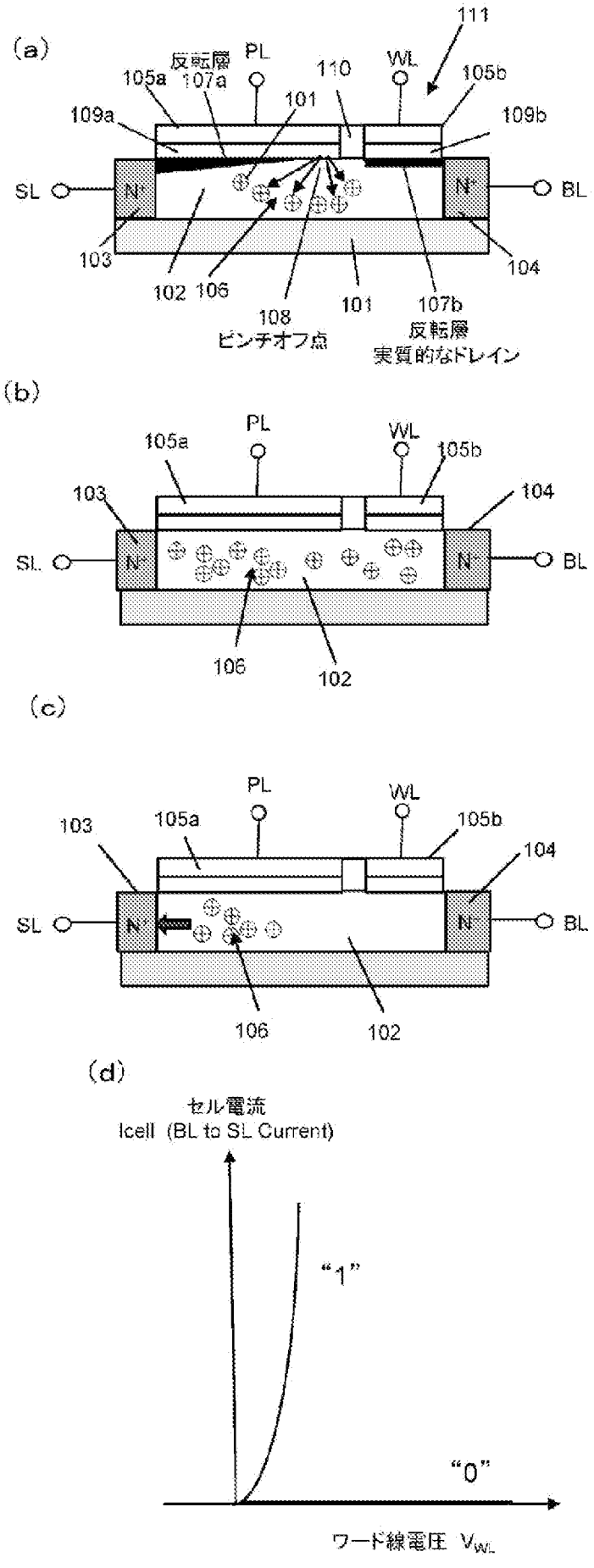
[図4]


(a)
4
Y'
16
X
X'
2b
Y
(b)
16
11B(SL1)
2b
N+
9
8(WL1)
7
6(PL1)
P
3
5
4(BL1)
N+
2a
15
1
P
X
X'
(c)
9
7
6
15
Y'
2b
N+
n
N+
n
16
11B
8
6
2a
1
Y

[図5]


(a)
4
Y'
12
X
X'
13
Y
(b)
12
11
2b
N+
9
8
7
6
P
3
5
4
N+
2a
15
P
1
X
X'
(c)
9
7
6
15
Y'
2b
N+
P
N+
P
12
11
8
6
2a
1
Y

[図6]


(a)
111
反転層
PL
WL
105a
107a
110
105b
101
109a
109b
SL
N+
N+
BL
103
104
102
106
108
ピンチオフ点
101
107b
反転層
実質的なドレイン
(b)
PL
WL
105a
105b
103
104
SL
N+
N+
BL
106
102
(c)
PL
WL
103
105a
105b
104
SL
N+
N+
BL
106
102
(d)
セル電流
Icell (BL to SL Current)
"1"
"0"
ワード線電圧 V_{WL}

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2022/039959

A. CLASSIFICATION OF SUBJECT MATTER

H10B 12/00(2023.01)i
FI: H10B12/00 801; H10B12/00 671A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H10B12/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2023
Registered utility model specifications of Japan 1996-2023
Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2022/137607 A1 (UNISANTIS ELECTRONICS SINGAPORE PTE LTD.) 30 June 2022 (2022-06-30) paragraphs [0029]-[0032], [0068]-[0081], fig. 1, 7A-7M	1-2, 7-8
A		3-6
Y	JP 2018-152419 A (TOSHIBA MEMORY CORP) 27 September 2018 (2018-09-27) paragraphs [0018]-[0035], [0054]-[0064], fig. 6-10	1-2, 7-8
A		3-6
A	WO 2014/184933 A1 (UNISANTIS ELECTRONICS SINGAPORE PTE LTD.) 20 November 2014 (2014-11-20) entire text, all drawings	1-8
A	JP 2008-172164 A (TOSHIBA CORP) 24 July 2008 (2008-07-24) entire text, all drawings	1-8
A	JP 2003-188279 A (TOSHIBA CORP) 04 July 2003 (2003-07-04) entire text, all drawings	1-8

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
10 January 2023	**24 January 2023**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2022/039959

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-147514 A (RENESAS TECHNOLOGY CORP) 26 June 2008 (2008-06-26) entire text, all drawings	1-8
A	US 2020/0135863 A1 (ZENO SEMICONDUCTOR, INC.) 30 April 2020 (2020-04-30) entire text, all drawings	1-8

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2022/039959

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2022/137607 A1	30 June 2022	US 2022/0208254 A1 paragraphs [0108]-[0111], [0156]-[0169], fig. 1, 7AA-7MC US 2022/0367473 A1 US 2022/0367474 A1 WO 2022/137563 A1	
JP 2018-152419 A	27 September 2018	US 2018/0261623 A1 paragraphs [0027]-[0044], [0065]-[0075], fig. 6-10 US 10074667 B1	
WO 2014/184933 A1	20 November 2014	JP 5612237 B1 US 2015/0325444 A1 entire text, all drawings US 2017/0040329 A1 US 2017/0301679 A1	
JP 2008-172164 A	24 July 2008	US 2008/0173933 A1 entire text, all drawings	
JP 2003-188279 A	04 July 2003	US 2003/0111681 A1 entire text, all drawings US 2006/0157738 A1 KR 10-2003-0051299 A CN 1427484 A	
JP 2008-147514 A	26 June 2008	US 2008/0137394 A1 entire text, all drawings CN 101266981 A	
US 2020/0135863 A1	30 April 2020	US 2022/0085168 A1 US 2018/0158912 A1 WO 2016/176248 A1 CN 107592943 A KR 10-2018-0029960 A	

国際調査報告

国際出願番号
PCT/JP2022/039959

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H10B 12/00(2023.01)i
FI: H10B12/00 801; H10B12/00 671A

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H10B12/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２３年
日本国実用新案登録公報	１９９６－２０２３年
日本国登録実用新案公報	１９９４－２０２３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	WO 2022/137607 A1 (ユニサンティス　エレクトロニクス　シンガポール　プライベート　リミテッド) 30.06.2022 (2022-06-30) [0029] - [0032], [0068] - [0081], 図1, 7A - 7M	1-2,7-8
A		3-6
Y	JP 2018-152419 A (東芝メモリ株式会社) 27.09.2018 (2018-09-27) [0018] - [0035], [0054] - [0064], 図6 - 10	1-2,7-8
A		3-6
A	WO 2014/184933 A1 (ユニサンティス　エレクトロニクス　シンガポール　プライベート　リミテッド) 20.11.2014 (2014-11-20) 全文, 全図	1-8
A	JP 2008-172164 A (株式会社東芝) 24.07.2008 (2008-07-24) 全文, 全図	1-8
A	JP 2003-188279 A (株式会社東芝) 04.07.2003 (2003-07-04) 全文, 全図	1-8

☑ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
10.01.2023	24.01.2023

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
宮本　博司 5F 6313

電話番号 03-3581-1101 内線 3516

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2008-147514 A (株式会社ルネサステクノロジ) 26.06.2008 (2008-06-26) 全文，全図	1-8
A	US 2020/0135863 A1 (ZENO SEMICONDUCTOR, INC.) 30.04.2020 (2020-04-30) 全文，全図	1-8

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2022/039959

引用文献	公表日	パテントファミリー文献	公表日
WO 2022/137607 A1	30.06.2022	US 2022/0208254 A1 [0108] - [0111], [0156] - [0169], 図1, 7AA - 7MC US 2022/0367473 A1 US 2022/0367474 A1 WO 2022/137563 A1	
JP 2018-152419 A	27.09.2018	US 2018/0261623 A1 [0027] - [0044], [0065] - [0075], 図6 - 10 US 10074667 B1	
WO 2014/184933 A1	20.11.2014	JP 5612237 B1 US 2015/0325444 A1 全文, 全図 US 2017/0040329 A1 US 2017/0301679 A1	
JP 2008-172164 A	24.07.2008	US 2008/0173933 A1 全文, 全図	
JP 2003-188279 A	04.07.2003	US 2003/0111681 A1 全文, 全図 US 2006/0157738 A1 KR 10-2003-0051299 A CN 1427484 A	
JP 2008-147514 A	26.06.2008	US 2008/0137394 A1 全文, 全図 CN 101266981 A	
US 2020/0135863 A1	30.04.2020	US 2022/0085168 A1 US 2018/0158912 A1 WO 2016/176248 A1 CN 107592943 A KR 10-2018-0029960 A	