
Octrooiraad



⑩ A **Terinzagelegging** ⑪ **8003634**

Nederland

⑲ **NL**

⑤4 **Digitale tot analoge stroomconvector.**

⑤1 Int.Cl³: H03K13/02.

⑦1 Aanvrager: American Microsystems, Inc. te Santa Clara, Californië, Ver. St. v. Am.

⑦4 Gem.: Ir. F.X. Noz c.s.
Algemeen Octrooibureau
Boschdijk 155
5612 HB Eindhoven.

②1 Aanvraag Nr. 8003634.

②2 Ingediend 23 juni 1980.

③2 Voorrang vanaf 22 juni 1979.

③3 Land van voorrang: Ver. St. v. Am. (US).

③1 Nummer van de voorrangsaanvraag: 50961 .

②3 --

⑥1 --

⑥2 --

④3 Ter inzage gelegd 24 december 1980.

De aan dit blad gehechte afdruk van de beschrijving met conclusie(s) en eventuele tekening(en) bevat afwijkingen ten opzichte van de oorspronkelijk ingediende stukken; deze laatste kunnen bij de Octrooiraad op verzoek worden ingezien.

Aanvrager: American Microsystems, Inc., te Santa Clara, California,
Verenigde Staten van Amerika.

Korte aanduiding: Digitale tot analoge stroomconvector.

- 5 De uitvinding heeft betrekking op een digitale tot analoge stroomconvector. Met name heeft de uitvinding betrekking op elektronische apparatuur voor het omzetten van digitale gegevens tot een analoge output en met name op een inrichting die kan zijn uitgevoerd als een monolitisch vervaardigd MOS-type, geïntegreerd circuit-orgaan.
- 10 Digitale tot analoge en analoge tot digitale omzetters zijn vereist voor veel soorten elektronische apparatuur in feite steeds daar waar het noodzakelijk is om een omschakeling te bewerkstelligen van analoge gegevens omdat een digitale bewerking hiermee moet worden uitgevoerd en omgekeerd. Bij de transmissie van geluidsinformatie door de telefoon is het
- 15 gewenst om het analoge geluidssignaal om te zetten tot digitale informatie, ten einde een aanmerkelijke verlaging te bewerkstelligen van de ruis-effecten en de signaalverstoring die normaal plaatsheeft. Met andere woorden kan gesteld worden dat het makkelijker is om een digitaal signaal bestaande uit 0 en 1-tekens te reconstrueren of te versterken op betrouwbare wijze, dan een analoog signaal, bestaande uit een groot aantal niveau's. Zodoende is er een aanzienlijke behoefte aan efficiënte digitale tot analoge convertors bij puls-gecodeerd-gemoduleerde (PCM) telefoonsystemen. Bij dergelijke communicatiesystemen, wordt een codeer-decodeer (codec)-orgaan toegepast. Bij het codeergedeelte wordt een analoge steminput omge-
- 20 zet tot digitale gegevens voor de transmissie over de telefoonlijn en in het decodeergedeelte moet een digitale tot analoge conversie worden bewerkstelligd om het geluid van de stem na de transmissie weer te herstellen.

- Tot nu toe werden deze conversies bewerkstelligd met een hoge snelheid als A-D en D-A convertors, verveelvoudigd over een groot aantal
- 30 analoge kanalen. Onder toepassing van integratietechnieken op grote schaal, werd elk kanaal afzonderlijk gecodeerd (encoded) en de verkregen digitale signalen werden weer verveelvoudigd.

- Er zijn onderzoeken gedaan om een codeersysteem te verkrijgen in de vorm van één of meer geïntegreerde circuit-halfgeleiderorganen,
- 35 waarbij problemen zijn ontstaan bij het verkrijgen van een geschikte A tot D en D tot A convector in een meer efficiënte halfgeleidervorm. Een benadering van het probleem is geweest het gebruik van het zogenaamde condensator-ladder-circuit, dat in wezen afhankelijk is van de spanningsverdeling

8003634

van de ladder zelf. In een dergelijk orgaan worden een aantal condensatoren van het binaire type aangebracht, waarvan een plaat gemeenschappelijk is en de bodemplaten van verschillende grootte zijn en zodoende verschillende toegeschreven waarden hebben. Wanneer een spanning wordt uitgeoefend op de bodemplaat van de condensator, zal op de bovenste plaat van de reeks zelf een spanning worden bewerkstelligd, die een binaire som is van alle bepaalde condensatorspanningen op de bodemplaat. Zodoende geeft bij een D tot A omzetter een aantal digitale spanningen uitgeoefend op de bodemplaat van de condensatorladder een analoge output op de bovenste plaat. De nauwkeurigheid van de output is voor een deel afhankelijk van het aantal condensatoren.

Een probleem bij het vervaardigen van een dergelijke condensatorladder-converter in een halfgeleidervorm, was de complicatie die optrad bij het ontwikkelen van een speciaal procédé met een minimaal aantal extra bewerkingsschappen voor het vervaardigen van de condensatoren met het noodzakelijke aantal elektrische karakteristieken en de tolerantie voor de nauwkeurigheid. Een ander nadeel van de condensatorladdertechniek was dat het hierbij vereist was om een buffer-versterker toe te passen voor de meeste toepassingen. Dit maakte verder het circuit ingewikkeld en vereiste verdere bewerkingsschappen.

Volgens de uitvinding wordt een digitale-analoge omzetter verkregen onder toepassing van alleen MOSFET-elementen in een geïntegreerd circuit-orgaan, niet gebaseerd op een condensatorladder of-stapeling en zodoende worden hierbij de bovenvermelde problemen en nadelen voorkomen.

Volgens het principe van de uitvinding wordt een digitale tot analoge omzetter verkregen, waarbij geregelde MOS-stroomspiegels worden toegepast. De digitale tot analoge stroomconverter volgens de uitvinding, wordt hierdoor gekenmerkt, dat deze bestaat uit:

een eerste transistor geschikt om verbonden te zijn met een stroombron, een tweede spiegeltransistor met een grootte die proportioneel is aan de eerste transistor, geleidingsorganen die de poortelektroden van de eerste en tweede transistoren verbinden en een transmissiepoortorgaan in de verbindende geleidingsorganen geschikt voor het verbinden met een digitale gegevensinputbron en organen omvattende om te voorkomen dat het gat van de tweede transistor wegstroomt, waarbij een aan-uit-controle van de stroom output door de tweede transistor wordt bewerkstelligd, die een grootte heeft ten opzichte van de stroombron in eenzelfde verbinding als de grootte van de tweede transistor ten opzichte van de eerste transistor.

8003634

Bij de toegepaste MOS-stroomspiegels is de verhouding van de verzadigde afvoerstroom van de twee verbonden MOS-transistoren proportioneel tot de breedte van de kanalen, aannemende dat de oppervlakte-mobilitéit, de dikte van het oxyde, de kanaallengte, orgaandrempels en poortspanningen in waarde gelijk zijn. De outputstroom wordt bewerkstelligd door de spiegelende MOS-transistor. In de verbinding tussen de twee MOS-organen geeft een transmissiepoort in combinatie met een ander schakelorgaan een aan-uitregeling van de gespiegelde stroomoutput. In een voorbeeld van een convertor worden de spiegelende MOS-transistoren geregeld door de transmissiepoorten met hun controle-organen, parallel verbonden. Elke transmissiepoort wordt verbonden met een bron van digitale gegevens zoals een microprocessor en het spiegelorgaan voor elke transmissiepoort heeft een kanaalbreedte met een te voren bepaalde proportionele verhouding tot de kanaalbreedte van de input en de spiegelende outputtransistor. Zodoende geldt dat wanneer de inputtransistor verbonden wordt met een constante stroombron I_1 de totale outputspiegelstroom I_2 van de outputspiegeltransistor in analoge vorm varieert in afhankelijkheid van de gespiegelde stroombijdragen van de spiegelende MOS-transistors in een doseerproces, zoals ze worden geactiveerd. Het bovenvermelde principe volgens de uitvinding kan worden toegepast voor het verkrijgen van lineaire, vermenigvuldigende en compending convertors in de vorm van P-kanalen, N-kanalen of complementaire MOS-structuren.

Samengevat geldt dat de doelstellingen volgens de uitvinding zijn het verkrijgen van een digitale tot analoge convertor onder toepassing van MOS-organen en zodoende in staat zijn om te worden vervaardigd onder toepassing van conventionele of bekende MOS-technieken, het verkrijgen van een digitale tot analoge convertor in een monolithisch geïntegreerd circuitvorm met een minimaal chip-oppervlak en het verkrijgen van een D/A convertor die in verschillende vormen wordt bewerkstelligd om een verschillende werking te hebben bij elektronische apparatuur.

Andere doelstellingen, voordelen en bijzonderheden volgens de uitvinding zullen worden toegelicht aan de hand van de volgende beschrijving, waarbij verwezen wordt naar de bijgevoegde tekening, waarbij:

fig. 1 schematisch een circuit weergeeft van een N-kanaal MOS-stroomspiegel;

fig. 1A schematisch een circuit is van een P-kanaal MOS-stroomspiegel;

fig. 2-1 schematisch een circuit is van een gecontroleerd N-

8003634

kanaal MOS-stroomspiegel;

fig. 2-2 vergelijkbaar is met fig. 2-1 onder toepassing van een logisch symbool voor de controle-poortelementen met een stroomspiegel;

fig. 2A-1 een schematisch circuit is van een gecontroleerd P-kanaal MOS-stroomspiegel;

fig. 2A-2 vergelijkbaar is met fig. 2A-1 onder toepassing van een logisch symbool voor de controle-elementen met een stroomspiegel;

fig. 3 een schematisch circuit is van een 6-bit-N-kanaal lineaire stroomspiegel voor een digitale tot analoge convertor die het principe volgens de uitvinding omvat;

fig. 4 schematisch een circuit toont van een 6-bit CMOS-lineaire stroomspiegel in een digitale tot analoge convertor volgens de uitvinding;

fig. 5 een grafische voorstelling is van de " μ -255 wet" voor een digitale codeerinrichting;

fig. 6 een schematisch circuit is "companding" niet-lineaire stroomspiegel digitale tot analoge convertor waarin het wezen van de uitvinding wordt toegepast;

fig. 6A een schematisch circuit is van een P-kanaal stroomspiegel-controle poortelement toegepast in de convertor aangegeven in fig. 6;

fig. 6B een schematisch circuit is van een N-kanaal stroomspiegel-controle poortelement toegepast voor de uitgevoerde stap delen van de " μ 255 wet" in de convertor aangegeven in fig. 6,

fig. 6C een schematisch circuit is van een spiegelcontrole-poortelement voor de toegepaste segmentgedeelten van de " μ -255 wet" in de convertor van fig. 6;

Fig. 7 een blokdiagram is dat de rangschikking weergeeft van de vermenigvuldigingssignalen, waarin de stroom -spiegel digitale tot analoge omzetters worden toegepast volgens het principe van de uitvinding; en

fig. 8 een blokdiagram is dat een stroom-spiegel digitale tot analoge omzetter weergeeft in een volgend naderend circuit om een analoge tot digitale convertor te bewerkstelligen.

In fig. 1 en 1A is schematisch een basis-vorm weergegeven van een stroomspiegel 10 onder toepassing van MOSFET-elementen. In de N-kanaal-MOS-versie van fig. 1 zijn een paar MOSFET's 12 en 14 aangebracht, waarvan de poorten zijn verbonden door een gewone draad 16 en waarvan de broncontacten zijn verbonden met een gewone aarde 18. De met de afvoer verbonden draad 20 van een element is verbonden met een draad 22 met de gewone poortdraad 16, zodat de spanning die aangebracht wordt op de poorten van de beide

8003634

MOSFET's gelijk is.

De verhouding van de verzadigde afvoerstromen van de twee elementen in de spiegel kan als volgt worden uitgedrukt voor vergelijking(1).

$$\frac{I_2}{I_1} = \frac{(\mu_2 \epsilon_{ox} W_2 / 2T_{ox_2} L_2) (V_{G2} - V_{T2})^2}{(\mu_1 \epsilon_{ox} W_1 / 2T_{ox_1} L_1) (V_{G1} - V_{T1})^2} \quad (1)$$

Aannemende dat de oppervlakttemobiliteit (μ) de oxydedikte (T_{ox}) de kanaallengte (L) en de orgaandrempe (V_T) gelijk zijn en aannemende dat de poortspanningen (V_G) van de twee MOSFET's 12 en 14 elektrisch gelijk zijn in waarde wordt de vergelijking(1) vereenvoudigd tot vergelijking (2).

$$I_2 = \frac{W_2}{W_1} I_1 \quad (2)$$

In vergelijking (2) zijn W_1 en W_2 de kanaalbreedten van de MOSFET's 12 en 14.

Uit dit verband blijkt duidelijk dat in de ideale vorm de spiegel-stroom I_2 bij de met de afvoer verbonden draad 24 voor MOSFET 14 een functie is van zowel de inputstroom I_1 als de kanaalbreedte van het orgaan. Bij de praktische toepassing zullen enkele van de parameters in vergelijking (1) enigszins variëren in afhankelijkheid van de variatie van de toegepaste bewerking en lay-out procedures en elektrische parameters. Dergelijke variaties kunnen echter tot een minimum worden beperkt door het regelen van het ontwerp en de produktie zodat nagenoeg het verband van vergelijking (2) van kracht blijft zonder dat compensatiefactoren moeten worden ingevoerd. Dit blijft ook zo voor de P-kanaal MOS-versie van het stroomspiegelcircuit zoals aangegeven in fig. 1A, waarin de bron van elke transistor is verbonden met een gewone positieve stroombron (V_{DD}).

De stroomspiegel zoals weergegeven in fig. 1 en 1A kan niet makkelijk worden geregeld, zodat teneinde dit probleem op te heffen, zoals aangegeven in fig. 2-1 de gewone draad 16 tussen de twee stroomelementen 12 en 14 is onderbroken en een transmissiepoort 26, bestaande uit een additioneel paar MOSFET-elementen 28 en 13 is ingebracht. Een MOSFET-element 28 is met de poort verbonden aan een controlespanning C, de afvoer is verbonden aan de I_1 -kant van draad 16 en de bron hiervan aan de I_2 -kant van draad of leiding 16. Het andere poortelement 30 heeft een poort verbonden met een geïnverteerde controlespanning C- die is toegevoerd door het aanbrengen van de controlespanning C door een invertor (ondulator) 32. De bron van het MOSFET-element 30 is met I_1 verbonden door de stroomdraad 18

en de afvoer is verbonden met de I_2 -stroomdraad 24. Om te voorkomen, dat de poort van outputelement 14 onbestemdigd wordt (codeert) wanneer de poortelementen 28 en 30 uitgeschakeld zijn, wordt een ander MOSFET-orgaan 34 gebruikt, waarvan de afvoer verbonden is met een gewone draad 16, de bron verbonden met de aarde en de poort verbonden met de geïnverteerde controlespanning (in het N-kanaal van de MOS-versie van fig. 2-1). Het element 34 is in wezen een "pull-down"-transistor, die wanneer geactiveerd, de poort van het spiegelement 14 naar beneden drukt en het zodoende uitschakelt. In sommige gevallen is het gebruik van orgaan 30 niet
 5 nodig.

Zodoende geldt, dat wanneer een signaal (bijvoorbeeld logische 1) wordt uitgeoefend op de transmissiepoorten 26 de poort is "aan" en de "pull-down"-transistor 34 is uit, zodat de spiegelspanning wordt uitgeoefend op de tweede of spiegelende transistor 14 vanuit de eerste transistor 12. Anderzijds, wanneer het contralesignaal "C" laag is of een logische "0", dan is de transmissiepoort transistor 28 uit en de "pull-down" (afbreek)-transistor 34 is aan. Dit schakelt de spiegelende transistor 14 uit. Zodoende wordt een aan-uit regeling verkregen van de stroom I_2 die kan worden weergegeven door vergelijking (3).

$$20 \quad I_2 = \frac{W_2}{W_1} CI_1 \quad (3)$$

waarbij "C" het controlebit is (0 of 1).

Fig. 2-2 is een weergave van het circuit aangegeven in fig. 2-1 onder toepassing van een logische N-poort 36 om de transmissiepoort 26
 25 weer te geven en een afbreektransistor 34, deze wordt hierna aangegeven als controlepoort.

In fig. 2A-1 is een P-kanaal MOS implementatie weergegeven van het basis-spiegelcircuit met dezelfde controle-elementen als in de N-kanaal MOS-versie van fig. 2-1.

30 Hier wordt de controle-input C uitgeoefend op de poort van de andere opbouwtransistor 34a. De bronnen van de MOS-organen 12a en 14a zijn verbonden met een positieve krachtbron (V_{DD}), terwijl de afvoer van transistor 12a verbonden is met een stroombron I_1 en de afvoer van transistor 14a geeft de met de stroom evenredige output van het circuit. Het diagram
 35 waarin een logisch symbool wordt gebruikt voor de transmissiepoort en het controleorgaan zijn aangegeven door het nummer 36a in fig. 2A-2.

Fig. 3 geeft een zes-bit N-kanaal lineaire stroomspiegel digitale tot analoge converter 40 weer, bestaande uit een aantal parallel verbonden

8003634

den spiegelcellen 42, waarvan elk gelijk is aan de spiegelcel weergegeven in fig. 2-2. Elke cel bestaat uit een controlepoort 36 en een spiegelende transistor 44. De kanaalbreedte van elke spiegelende transistor in deze convertor is zorgvuldig gemeten en in normale toepassing de helft van de kanaalbreedte van de spiegelende transistor voor de volgende nabij gelegen cel, nabij de inputtransistor 12. Zodoende omvat de convertor 40 een inputdraad 20, verbonden met de krachtbron, waarmee een constante stroom I_1 wordt verkregen en verbonden met de afvoer van de eerste of input-transistor 12, waarvan de bronterminal is verbonden met een gewone aardleiding 18. De inputdraad 20 is ook verbonden met een gewone vertakte leiding 46, waarmee elk van de controlepoorten 36 zijn verbonden door een leiding 48. Elk van deze transmissiepoorten heeft een andere inputleiding 50, die is verbonden met een controlespanningsbron, zoals C_0, C_1, C_2, C_3, C_4 en C_5 . De output van elke controlepoort 36 is verbonden met de poortelektrode van de spiegelende transistor 44, waarvan de bron is verbonden met de aardleiding 18 en waarvan de afvoerterminals verbonden zijn met een gewone leiding 52, verbonden met de afvoer verbonden afvoerleiding 24, voor de eerste spiegelende transistor 14. In deze convertor 40 heeft de eerste spiegelende transistor 14 een eenheidsbreedte 1W, de nabij gelegen cel heeft twee keer de kanaalbreedte van eenheid 2. De volgende spiegelende transistor heeft een kanaalbreedte van eenheid 4. De volgende spiegelende transistor heeft een kanaalbreedte van eenheid 8, de daarop volgende een breedte van eenheid 16 en de daarop volgende een kanaalbreedte van 32, waarbij de inputtransistor 12 direct verbonden is met de I_1 -krachtbron met een kanaalbreedte van eenheid 64.

Zodoende kan voor de convertor 40 van fig. 3 de outputstroom I_2 mathematisch worden weergegeven door vergelijking (4).

$$I_2 = \left(\frac{32}{64} C_5 + \frac{16}{64} C_4 + \frac{8}{64} C_3 + \frac{4}{64} C_2 + \frac{2}{64} C_1 + \frac{1}{64} C_0 \right) I_1 \quad (4)$$

Bij het vervaardigen van de digitale tot analoge convertor 40 wordt leiding 20 verbonden met de referentiekraftbron die een constante stroom I_1 produceert en de I_2 -outputdraad 24 wordt verbonden met een willekeurig orgaan, dat aangepast is om het ontwikkelde analoge outputsignaal te ontvangen. De controle of gegevensinput C_0 tot C_5 zijn verbonden met een 6-bit data-input voor de digitale bron die moet worden omgezet, wanneer alle gegevens van de input 0 zijn zal geen stroom plaatshebben in de outputleiding 24 omdat alle transmissiepoorten 36 gesloten zijn en de respectievelijke afbreektransistoren ingeschakeld zijn, waarbij elke spie-

gelende transistor 44 is uitgeschakeld. Wanneer een digitale input hoog is of logisch 1, bijvoorbeeld wanneer de C_0 input hoog is en alle andere inputs laag zijn, dan zal I_2 gelijk zijn aan $1/64$ van de stroom van I_1 , omdat de verhouding van de kanaalbreedte van de twee organen is als

5 1 tot 64 en het orgaan dat de input C_0 ontvangt zal de I_1 -stroom spiegelen van het inputorgaan in evenredigheid tot de input en de kanaalbreedten van het spiegelorgaan. Zodoende geldt dat wanneer de input C_0 wordt uitgeschakeld (0 wordt) en C_1 ingeschakeld wordt, het orgaan opnieuw de I_1 -stroom zal spiegelen, maar deze keer in een verhouding van 2 tot 64. Dit

10 binaire verband heeft ook plaats, wanneer verschillende inputcombinaties van C_0 tot C_5 worden gekozen en de outputstroom I_2 zal zodoende variëren. Bij een typische toepassing kunnen de inputgegevens C_0 tot C_5 worden verbonden met een microprocessor of dergelijke, waardoor digitale gegevens in bit-groepen worden toegevoerd of in een geklokte gegevensstroom. Afhan-

15 kelijk van de gewenste oplossing, kan elk aantal van de bitinputs afwijken van 6, worden uitgeoefend op de praktische limieten en natuurlijk neemt de oplossing van de analoge output toe met het aantal bewerkstelligde controle-inputs. Ook kan een D/A convertor, zoals boven beschreven, worden vervaardigd in de N-kanaal MOS-rangschikking, zoals aangegeven of

20 in een P-kanaal, waarbij of een conventionele planaire of V-MOS-ontwerp van belang is en de bewerkingstechnieken.

Een gemodificeerde vorm volgens de uitvinding, zoals weergegeven in fig. 4 wordt bijvoorbeeld weergegeven door een zes-bit complementaire MOS (CMOS) lineaire stroomspiegel digitale tot analoge convertor 60. Hier-

25 bij wordt de constante stroom (I_1)-invoer verbonden door een leiding 20 met de afvoer van een eerste inputtransistor 12, waarvan de bron is verbonden om een aarde te vormen in het N-kanaalgedeelte 62 van de convertor. De poort van de inputtransistor 12 is verbonden met de poort van een niet-gecontroleerde stroom spiegeltransistor 64 van dezelfde grootte en

30 de poorten van deze twee transistoren zijn verbonden met de constante stroom (I_1)-bron via leiding 66. Ook verbonden met de transistoren 12 en 64 zijn drie controlepoortelementen 66, 68 en 70, alle vergelijkbaar met de elementen die weergegeven zijn in fig. 2-2, elk omvattende een transmissiepoort, waarvan de input verbonden is met de poort van een spiegelen-

35 de transistor 64. Een input 72 naar elke controlepoort is verbonden met de I_1 -inputleiding 20 via een gewone leiding 74 en de andere input hiervan 76, is verbonden met een digitale gegevensinput C_0 , C_1 en C_2 . Elk van de spiegelende transistoren 44 heeft een kanaalbreedte die een bepaalde te

8003634

voren vastgestelde grootteverhouding heeft met de inputtransistor 12. Zodoende heeft de eerste transmissiepoort met een gegevensinput C_0 een controletransistor met een kanaalbreedte $1W$. De bijgelegen of tweede transmissiepoort met een data-input C_1 heeft een controletransistor met een kanaalbreedte $2W$ en de derde transmissiepoort met een digitale input C_2 heeft een controletransistor met een kanaalbreedte $4W$.

In een bovenste P-kanaalgedeelte 78 van de convertor 60 is een spiegelende transistor 14a met de bron verbonden aan een constante krachtstroom V_{DD} en is de afvoer verbonden met een analoge outputterminal 80.

10 Een tweede transistor 82, waarvan de poort gemeenschappelijk is, heeft ook de bron verbonden met de V_{DD} -leiding, maar de kanaalbreedte hiervan is op een te voren bepaalde wijze groter, bijvoorbeeld $8W$ dan de transistor 14a. De poorten van de transistoren 14a en 82 zijn verbonden met de afvoer van de transistor 82 en via een leiding 84 met de afvoeren van

15 de drie controletransistoren 44 voor de poortelementen 66, 68 en 70 in de N-kanaalsectie. Evenwijdig met de afvoer van de transistor 14a, zijn controletransistoren 68 aangebracht voor drie spiegelende transistoren 86 met de hiermee samengaande poortelementen 88, 90 en 92, alle in hoofdzaak verbonden op dezelfde wijze zoals aangegeven in fig. 2A-1. Een zesde transistor 96 in de P-kanaalsectie met een kanaalbreedte $8W$ is ook als bron

20 verbonden met de V_{DD} -leiding 94 en de afvoer is verbonden met een leiding 98, evenwijdig met de toevoerleidingen 100 aan alle drie de P-kanaaltransmissiepoorten. Opnieuw is elke spiegelende transistor 86 voor elk controlepoortelement zodanig dat deze een kanaalbreedte heeft die een te

25 voren bepaalde grootte heeft in evenredigheid met de transistor 96 en de bron van elke controletransistor is verbonden met een gewone V_D -leiding 94. Zodoende zijn de kanaalbreedten voor de spiegelende transistoren van de controlepoortelementen 88, 90 en 92 $1W$, $2W$ en $4W$, zoals aangegeven in de tekening. Aan elk van de P-kanaalcontrolepoorten 88, 90 en 92 zijn

30 andere inputs aangebracht die afkomstig zijn van de digitale gegevensbron. Zodoende ontvangt het poortelement 88 een input C_3 via leiding 99, poortelement 90 ontvangt een input C_4 via leiding 100 en poortelement 92 ontvangt een input C_5 via leiding 101.

Voor de convertor 60 kan de waarde van de outputstroom I_H als

35 volgt worden afgeleid uit vergelijking (5).

$$I_4 = \left(\frac{4}{8}C_5 + \frac{2}{8}C_4 + \frac{1}{8}C_3\right)I_2 + \frac{1}{8}I_3; \text{ MAAR } I_3 = \left(\frac{4}{8}C_2 + \frac{2}{8}C_1 + \frac{1}{8}C_0\right)I_1$$

5 $I_4 = \left(\frac{4}{8}C_5 + \frac{2}{8}C_4 + \frac{1}{8}C_2\right)I_1 + \frac{1}{8}\left(\frac{4}{8}C_2 + \frac{2}{8}C_1 + \frac{1}{8}C_0\right)I_1; \text{ of (MULT de eerste term door } 8/8)$

$$I_4 = \left(\frac{32}{64}C_5 + \frac{16}{64}C_4 + \frac{8}{64}C_3 + \frac{4}{64}C_2 + \frac{2}{64}C_1 + \frac{1}{64}C_0\right)I_1 \quad (5)$$

Bij het in werking zijn geeft convertor 60 de digitale tot analoge functie op de volgende wijze. Aannemende dat alle digitale gegevens bits C_1 tot C_5 logisch 0 zijn behalve C_0 , is het circuit aan het linkeruiteinde zoals aangegeven in fig. 4 een bepaalde stroomspiegel zonder enige controle en ontwikkelt een stroom I_2 uit een constante stroominput I_1 . In het voorbeeld dat is aangegeven, moet I_2 gelijk zijn aan I_1 , vanwege de verhouding van de transistor 12 en de spiegelende transistor 64 is 8W in vergelijking met 8W. De I_2 -stroom wordt toegevoerd aan het bovenste stroomspiegelgedeelte 68, maar omdat de bits C_3 , C_4 en C_5 laag zijn of 0, worden de bovenste spiegelorganen uitgeschakeld. Omdat C_1 en C_2 ook 0 zijn, worden deze organen uitgeschakeld en is er een stroom I_3 die alleen ontwikkeld wordt door C_0 . Omdat de controletransistor voor de transmissiepoort 70 een kanaalbreedte heeft van 1W, is de waarde van I_3 1/8 van I_1 . Nu wordt I_3 toegevoerd aan transistor 82 in het bovenste deel of P-kanaalspiegelgedeelte 78 via leiding 84 waar deze wordt gesplitst tot een fijnere verdeling. Omdat de transistor 82 een kanaalbreedte 8W heeft en de spiegelende transistor 14a een breedte heeft van 1W, wordt de outputstroom I_4 proportioneel verlaagd, te weten $1/8 \times 1/8$ is $1/64$ van de waarde van I_1 .

Volgens een ander voorbeeld geldt, dat wanneer C_0 wordt uitgeschakeld en C_1 is hoog of logisch 1, dan moet I_3 2/8 zijn of 1/4 van de waarde van I_1 . en in de tweede of P-kanaalspiegelsectie zou de waarde van de outputstroom I_4 gelijk worden aan $1/8 \times 2/8$ of $2/64$ van de waarde van de inputstroom I_1 . Wanneer C_0 , C_1 en C_2 alle worden aangenomen als zijnde laag en C_5 is logisch 1, geeft de lagere of N-kanaalspiegelsectie van convertor 60 een stroom I_2 , die binnenkomt bij transistor 96 en die gespiegeld wordt door transistor 86 met een kanaalbreedte 4W en die een stroom geeft die gelijk is aan $4/8$ van I_2 . Door een eenvoudige opsomming moet I_4 gelijk zijn aan $4/8$ van I_1 . Zodoende geeft, zoals beschreven, het circuit van fig. 4 een lineair type van een stroom gestuurde ladder.

Omdat de menselijke stem een breed gebied omgeeft van geluidinten-

800 3634

siteiten is gevonden dat ten einde het aantal digitale bits dat vereist is te minimaliseren en toch nog voldoende is om te voldoen aan de specifieke punten voor het menselijk gehoor een logaritmisch analoge tot digitale omzetting vereist is. Een vorm van een logaritmische curve die toe-
5 gepast wordt is gewoonlijk aangegeven als de " μ 255-wet"-curve en is gebaseerd op 8 bits van de code (PCM). De code is vergelijkbaar met de wetenschappelijke notatie, waarbij deze bestaat uit een signaalbit, vier bits voor de mantissa en drie bits voor de exponent. In termen van de logaritmische (companding en de-companding) curven bepaalt de signaalbit
10 de quadrant van de bewerking, de drie bits de koorden binnen het quadrant en de vier-bits de stap in de koorden. Het aantal bits bepaalt te voren het aantal sub-verdelingsniveau's, (koordenaantallen) door de aanduiding 2^n . Zodoende zijn er twee kwadranten, 8 koorden per kwadrant en 16 stappen per koorde. De μ -255 wet wordt nader gespecificeerd door documenten die
15 verkrijgbaar zijn bij International Telegraph and Telephone Consultive Committee (CCITT) in Europa en bij American Telephone and Telegraph Company (AT&T) in Amerika. Fig. 5 geeft een benaderde versie van de wet voor twee kwadranten en segmenten, binnen de kwadranten voor een digitale tot analoge convertor, die toegepast wordt in samenhang met de encoder
20 (transmitter). De benaderde wet die toegepast wordt heeft dezelfde eigenschap als degene die gespecificeerd wordt in het gebied van elk toenemend segment en is twee keer het traject van het eerdere segment. Het enige verschil is dat de eerste stap in het eerste segment gebruik maakt van de waarde 2 in plaats van de vermelde waarde 1. Dit leidt tot een kleine
25 verschuiving in de wet en tot een vereenvoudiging, dat elk segment kan worden weergegeven door de helft van het aangegeven traject in waarde te weten, het traject 256 wordt 128. Deze vereenvoudiging zal het begrip van de algoritme dat vereist is vergemakkelijken, zodat het stroomspiegelcircuit wordt ontwikkeld dat vereist is om de wet te kunnen toepassen. Omdat de
30 eindpunten eventueel genormaliseerd zijn, is er geen verlies aan algemeenheid. Uit de tabel A kunnen de algoritmen worden afgelezen, die vereist zijn om het circuit samen te stellen.

-TABEL A-

800 3634

TABEL A

Benadering van de μ 255 wet voor
PCM-codeerorgaan (PCM (algoritmisches))

	nummer van het segment	grenzen van het codegetal	grenswaarden van het segment (uiterste waarden) (v_n)
5	-8	-127 tot -112	$0 + 0 + 128$ (1 tot 16) = 128 tot 2048
	-7	-111 tot -96	$0 + 128(16) + 64$ (1 tot 16) = 2112 tot 3072
	-6	-95 tot -80	$2048 + 64(16) + 32$ (1 tot 16) = 3104 tot 3584
10	-5	-79 tot -64	$3072 + 32(16) + 16$ (1 tot 16) = 3600 tot 3840
	-4	-63 tot -48	$3584 + 16(16) + 8$ (1 tot 16) = 3848 tot 3968
	-3	-47 tot -32	$3840 + 8(16) + 4$ (1 tot 16) = 3972 tot 4032
	-2	-31 tot -16	$3968 + 4(16) + 2$ (1 tot 16) = 4034 tot 4064
	-1	-15 tot 0	$4032 + 2(16) + 1$ (1 tot 16) = 4065 tot 4080
15	1	0 tot 15	$(4064 + 1(16)) + 1$ (0 tot 15) = 4080 tot 4095
	2	16 tot 31	$4080 + 1(16) + 2$ (0 tot 15) = 4096 tot 4126
	3	32 tot 47	$4096 + 2(16) + 4$ (0 tot 15) = 4128 tot 4188
	4	48 tot 63	$4128 + 4(16) + 8$ (0 tot 15) = 4192 tot 4312
	5	64 tot 79	$4192 + 8(16) + 16$ (0 tot 15) = 4320 tot 4560
20	6	80 tot 95	$4320 + 16(16) + 32$ (0 tot 15) = 4576 tot 5056
	7	96 tot 111	$4576 + 32(16) + 64$ (0 tot 15) = 5088 tot 6048
	8	112 tot 127	$5088 + 64(16) + 128$ (0 tot 15) = 6112 tot 8032

Omdat stroomspiegels een stroom hebben in één richting, heeft de algoritme plaats van de onderste linkerhelft van het gedeelte van de grafiek in fig. 5 (negatieve kwadrant) naar het bovenste rechtergedeelte van de grafiek (positieve kwadrant). Wanneer de stroom eventueel wordt omgezet tot een spanning, kan de stroom die zich verplaatst bij het centrale gedeelte van de grafiek worden omgezet tot een grondpotentiaal samen met een + en - toevoegsysteem, te weten $V_{DD} = +5V$, $V_{SS} = -5V$ en $V_{GND} = 0V$. Het eerste segment (-8) heeft een traject van 128 en omdat elk segment bestaat uit 16 stappen, wordt de wet gevolgd door elke stap en dit geeft waarden, waarvan de eindpunten of uiterste waarden zijn aangegeven. Het tweede segment (-7) dat aangegeven is heeft een traject van 64 en dit wordt gevolgd door elke stap. De aanduiding (128) (16) is de eindwaarde van het vorige segment en is vereist, omdat de wet is opgebouwd uit de som van elk vorig segment dat men tegenkomt. Het volgende segment (-6) wordt gevonden en de waarde hiervan bestaat uit de stappen die in dit geval vergeleken worden met 32, de waarde van het vorige segment 64(16) en de som van alle

8003634

voorgaande segmenten hiervoor. De algoritme zet zich voort door elke segment op een vergelijkbare wijze. Uit de algoritme wordt een vergelijking ontwikkeld, die weergegeven is in tabel B.

TABEL B

5

Benadering van de μ -255 wet voor
PCM-codeerorgaan (vergelijking)

$$\begin{aligned}
 I_{UIT} = & \left[\frac{255}{255} C_{\pm} I_1 + \frac{128}{255} (C_7' I_1 + C_7 I_2) + \frac{64}{255} (C_6' I_1 + \right. \\
 & C_6 I_2) + \frac{32}{255} (C_5' I_1 + C_5 I_2) + \frac{16}{255} (C_4' I_1 + C_4 I_2) + \\
 & \frac{8}{255} (C_3' I_1 + C_3 I_2) + \frac{4}{255} (C_2' I_1 + C_2 I_2) + \frac{2}{255} \\
 & (C_1' I_1 + C_1 I_2) + \left. \frac{1}{255} (C_0' I_1 + C_0 I_2) \right]; \\
 I_1 = & \frac{16}{32} I_R; I_2 = \frac{8}{32} S_3 I_R + \frac{4}{32} S_2 I_R + \frac{2}{32} S_1 I_R + \\
 & \frac{1}{32} S_0 I_R + \frac{1}{32} \overline{C_{\pm}} I_R \text{ of} \\
 I_2 = & \frac{1}{32} (8 S_3 + 4 S_2 + 2 S_1 + 1 S_0 + 1 \overline{C_{\pm}}) I_R \text{ LET } 8 S_3 + 4 S_2 + \\
 & 2 S_1 + 1 S_0 + 1 \overline{C_{\pm}} \triangleq S_x \text{ voor } \overline{C_{\pm}} = 1, S_x = 1, 2, \dots, 15, 16 \\
 & \text{voor } \overline{C_{\pm}} = 0, S_x = 0, 1, \dots, 14, 15
 \end{aligned}$$

25

Substitueren van I_1 en I_2 in I_{UIT}

$$\begin{aligned}
 I_{UIT} = & \frac{I_R}{255 \times 32} [(255 \times 16) \overline{C_{\pm}} + 128 (16 C_7' + S_x C_7) + \\
 & 64 (16 C_6' + S_x C_6) + 32 (16 C_5' + S_x C_5) + \\
 & 16 (16 C_4' + S_x C_4) + 8 (16 C_3' + S_x C_3) + \\
 & 4 (16 C_2' + S_x C_2) + 2 (16 C_1' + S_x C_1) + \\
 & 1 (16 C_0' + S_x C_0)].
 \end{aligned}$$

(6)

Elk codegetal heeft een uniek codesignaalwoord, bestaande uit de controlesignaalbits en deze woorden kunnen arbitrair worden gevormd uit de combinaties van nullen en enen en aangegeven voor de codenummers op conventionele wijze. Hierbij wordt de tabel C gevolgd, welke de typische codesignaalbits geeft die vereist zijn voor de bewerking van de u-255 wet-converter in fig. 4 en geven de getallen en waarden die kunnen worden gevonden in het oranje boek band III-2 van The International Telecommunications Union, Genève, Zwitserland.

-TABEL C-

8003634

TABEL C

Signaalcode bits										code nr. n	code waarde v _n	code waarde x _n	
C+	C ₇ 'C ₇	C ₆ 'C ₆	C ₅ 'C ₅	C ₄ 'C ₄	C ₃ 'C ₃	C ₂ 'C ₂	C ₁ 'C ₁	C ₀ 'C ₀	S ₃ S ₂ S ₁ S ₀				
0	0	1	0	0	0	0	0	0	0	0	-127	128	-7904
0	0	1	0	0	0	0	0	0	0	1	-112	2048	-4064
0	1	0	0	1	0	0	0	0	0	0	-111	2112	-3936
0	1	0	0	1	0	0	0	0	0	1	-96	3072	-2016
0	1	0	1	0	0	1	0	0	0	0	-95	3104	-1952
0	1	0	1	0	0	1	0	0	0	1	-80	3584	-992
0	1	0	1	0	1	0	0	0	0	0	-79	3600	-960
0	1	0	1	0	1	0	0	0	0	1	-64	3840	-480
0	1	0	1	0	1	0	1	0	0	0	-63	3848	-464
0	1	0	1	0	1	0	1	0	0	1	-48	3968	-224
0	1	0	1	0	1	0	1	0	1	0	-47	3972	-216
0	1	0	1	0	1	0	1	0	1	1	-32	4032	-96
0	1	0	1	0	1	0	1	1	0	0	-31	4034	-92
0	1	0	1	0	1	0	1	1	0	1	-16	4064	-32
0	1	0	1	0	1	0	1	1	0	1	-15	4065	-30
0	1	0	1	0	1	0	1	1	1	1	0	4080	-0
1	0	0	0	0	0	0	0	0	0	0	0	4082	+0
1	0	0	0	0	0	0	0	0	0	1	15	4095	30
1	0	0	0	0	0	0	0	0	1	1	16	4096	32
1	0	0	0	0	0	0	0	0	1	1	31	4126	92
1	0	0	0	0	0	0	0	1	1	0	32	4128	96
1	0	0	0	0	0	0	0	1	1	1	47	4188	216
1	0	0	0	0	0	1	1	0	1	0	48	4192	224
1	0	0	0	0	0	1	1	0	1	1	63	4312	464

8003634

VERVOLG TABEL C

			Signaalcode bits												code no. n	code waarde v_n	code waarde x_n						
C+	C ₇ 'C ₇	C ₆ 'C ₆	C ₅ 'C ₅	C ₄ 'C ₄	C ₃ 'C ₃	C ₂ 'C ₂	C ₁ 'C ₁	C ₀ 'C ₀	S ₃ S ₂ S ₁ S ₀														
1	0	0	0	0	0	0	1	1	0	1	0	1	0	1	0	0	0	0	0	64	4320	480	
1	0	0	0	0	0	0	0	1	1	0	1	0	1	0	1	0	1	1	1	1	79	4560	960
1	0	0	0	0	0	1	1	0	1	0	1	0	1	0	1	0	0	0	0	0	80	4576	992
1	0	0	0	0	0	1	1	0	1	0	1	0	1	0	1	0	1	1	1	1	95	5056	1952
1	0	0	0	1	1	0	1	0	1	0	1	0	1	0	1	0	0	0	0	0	96	5088	2016
1	0	0	0	1	1	0	1	0	1	0	1	0	1	0	1	0	1	1	1	1	111	6048	3936
1	0	1	1	0	1	0	1	0	1	0	1	0	1	0	1	0	0	0	0	0	112	6112	4064
1	0	1	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	1	1	1	127	8032	7904

Opmerking: $x_n = 2(v_n - 4080)$

Het circuit dat weergegeven wordt door een digitale tot analoge convertor 104 voor het bewerkstelligen van de " μ -255 wet" volgens de uitvinding is weergegeven in fig. 6. Het circuit is samengesteld uit gecontroleerde en niet-gecontroleerde stroomspiegels, die een eerste (of lagere) serie N-kanaalstroomspiegels 106 omvatten voor het implementeren van de stapwaarden van de wet (met waarden van 1,2-16 voor de negatieve kwadrant en de waarden 0, 1-15 voor de positieve kwadrant) en een tweede (of bovenste)serie van stroomspiegels 108 voor het implementeren van de segmentgedeelten van de wet (met gewogen waarden 1, 2, 4-128). Een enkele stroomspiegel 110 is aangebracht voor het implementeren van het teken van de bits om de bewerkingskwadrant te bepalen.

Een referentiestroom I_R wordt toegevoerd aan een leiding 112 naar de afvoer en de poort van een eerste inputtransistor 114 en ook naar de poort van een spiegelende transistor 116, waarvan de afvoer is verbonden voor een leiding 118 met een bovenste serie stroomspiegels 108. De I_R -stroom wordt ook toegevoerd als een input aan elk van de controlepoorten 106. Een meer nauwkeurige beschrijving van het schematisch weergegeven circuit voor deze N-kanaalstroomspiegel is weergegeven in fig. 6B. De andere inputleidingen 120 naar deze N-kanaalcontrolepoorten zijn verbonden met afzonderlijke gegevensinputs S_0 , S_1 , S_2 en S_3 . De output van elke

8003634

controlepoort 106 is verbonden met de poort van een spiegelende MOSFET 122, waarvan het kanaal een te voren bepaalde breedte heeft (zoals aangegeven) zodat deze een te voren bepaalde hoeveelheid stroom zal geleiden. De stroomelektrode voor alle vijf deze spiegelende transistoren 122 evenals
5 de transistoren 114 en 116 zijn verbonden met een gewone of gemeenschappelijke leiding 124 vanaf een aarde van V_{SS} -terminal. De afvoerelektrode voor de spiegelende transistoren 122 zijn verbonden met een gewone leiding 126, die uitkomt bij het bovenste serie van de stroomspiegels.

De stroomspiegels 108 in bovenste gedeelte of series zijn nader
10 weergegeven in een schematisch circuit van fig. 6C met twee signaalinput-terminals $\bar{e}$ en d voor het ontvangen van de gecodeerde inputgegevenssignalen (C_0 , C_0' , C_1 , C_1' enz.) en twee inputterminals a en b . De " a "-terminals voor alle acht de stroomspiegels zijn evenwijdig verbonden met de leiding 128 en de " b "-terminals zijn verbonden met de leiding 130. Elk van de
15 stroomspiegels 108 heeft een outputterminal (" e "), die verbonden is met de poort van een spiegelende transistor 130, waarvan de bron is verbonden met een gemeenschappelijke (gewone) leiding 134, vanaf een positieve spanningstoevoer V_{DD} . De afvoerelektrode van elke spiegelende transistor is verbonden met een gemeenschappelijke leiding 136, die de outputstroom
20 I_{UIT} geeft. Elke spiegelende transistor 132 in de bovenste serie heeft een kanaalbreedte die de helft is van de grootte van de nabij gelegen transistor van de serie, zodat een proportionele stroomoutput wordt verkregen. Zodoende, zal zoals aangegeven is de spiegelende transistoren voor de acht stroomspiegels 108 een kanaalbreedte hebben van 1 W tot 128 W.
25 De P-kanaalcontrolepoorten 110 (met een circuit zoals aangegeven in fig. 6A), heeft een output die verbonden is met de poort van een spiegelende transistor 138, waarvan de kanaalbreedte 255 W is en waarvan de bron is verbonden met de V_{DD} -leiding 134. De afvoerelektrode is verbonden met de gemeenschappelijke outputleiding 136.

30 Een paar eerste en tweede inputtransistoren 140 en 142 zijn evenwijdig verbonden met de spiegelende transistoren 132 en beide hebben een kanaalbreedte van 255 W. De bronnen van deze transistoren zijn verbonden met de gemeenschappelijke V_{DD} -leiding 134. De afvoer en de poortelektroden van de eerste transistor 140 zijn verbonden met de I_1 -leiding 128, die op
35 zijn beurt is verbonden met de lineaire "EN"-poort 110 en met de " a " toevoerterminal van elk van de controlepoorten 108, terwijl de afvoer en de poortelektroden van de tweede transistor 142 zijn verbonden met de " b "-toevoerterminals van deze controlepoorten.

De lineaire EN-poort 110 ontvangt een signaalgegevensinput (C_+) via leiding 144 die ook is verbonden met een leiding 146 via een invertor 148 met een lagere stroomspiegel 106a.

Bij het in werking zijn van het circuit 104 bewerkstelligen de
 5 bovenste stroomspiegels 108 (met de bepaalde kanaalwaarden 1, 2, 4 ... 128) het segment-gedeelte van de " μ -255 wet" en de lagere stroomspiegels 106 bewerkstelligen de stapwaarden van de wet (met waarden 1, 2-16) voor het negatieve kwadrant, en waarden 0, 1-15 voor het positieve kwadrant. Om aan te geven hoe deze getallen en tabellen samenhangen, wordt een voorbeeld
 10 van een waarde gegeven. Aangenomen dat voor een bepaald codegetal (bijvoorbeeld 31) de stapbit (S_3 tot S_0) alle één zijn, (1). Dan zal de stroom I_2 bestaan uit de som van de stromen van de hiermee samenhangende spiegels geregeld door deze bit-waarden. I_2 is zodoende gelijk aan $1/32 I_R + 2/32 I_R + 4/32 I_R + 8/32 I_R = 15/32 I_R$ en de stroom I_1 is gelijk aan
 15 $16/32 I_R$. Deze stromen zijn gericht in een segmentgedeelte van een circuit. Omdat de gekozen waarde gelegen is binnen het positieve kwadrant, is de signaalbit (C_+) gelijk aan 1 (1) en één component van de outputstroom I_{UIT} is zodoende $255/255 (16/32 I_R)$. De resterende componenten worden verkregen uit de laagst gewogen segmentspiegels 108 (te weten 1W en 2W)
 20 bij het bovenste rechtergedeelte van fig. 4. Deze zijn respectievelijk gelijk aan $1/225 (16/32 I_R)$ en $2/255 (15/32 I_R)$. De totale som van de stromen is gelijk aan $1/255 \times 32 (255 \times 16 I_R + 16 I_R + 2 \times 15 I_R)$ of gelijk aan $1/255 \times 32(4126) I_R$.

De waarde tussen haakjes is de waarde v_n aangegeven in een te
 25 voren bepaalde tabel met codewoorden en wordt genormaliseerd in overeenstemming met de waarde $255 \times 32 (8160)$. Om deze bepaalde waarde (V_n -waarde) volgens de μ -255 wet te vergelijken, wordt de waarde V_n ingesteld door een vergelijking $2(v_n - 4080)$. De factor 2 geldt voor de vereenvoudiging die eerst wordt bewerkstelligd en wordt geschrapt bij de normalisatie-
 30 bewerking. De term 4080 is nodig om de oorspronkelijke waarde opnieuw in te stellen bij het centrum van de μ 255-grafiek en in het bepaalde circuit wordt bewerkstelligd door het definiëren van de spanningsval die bewerkstelligd wordt door de stroom (I_{UIT}) in het centrum van de grafiek door de grondpotentiaal.

35 Zodoende blijkt dat bij een codeer-decodeersysteem een stroom digitale gegevens toegevoerd aan het digitale tot analoge circuit 104 een analoge output zal bewerkstelligen in overeenstemming met de μ 255 wet. Op deze manier kan de complexiteit van het analoge geluidssignaal worden

8003634

gereproduceerd, zonder een overmatige ruis en/of vertekening.

Bij de digitale gegevenstransmissie speelt de vermenigvuldiging van de signalen een belangrijke rol als signaal-omzettingsbewerking. Dit geldt bijvoorbeeld voor de modulatie en conversie van signalen uit een frequentie naar een andere, waarbij een dergelijke bewerking vereist is. 5 Onder toepassing van het principe volgens de uitvinding wordt het vermenigvuldigen van de signalen makkelijk bewerkstelligd onder toepassing van vier-stroom-spiegel digitale tot analoge omzetters 150, 152, 154 en 156 zoals weergegeven in fig. 7. Deze twee P-kanaal en twee N-kanaalstroomspiegel digitale tot analoge omzetters worden cascade gevormd door het verbinden van de output van de een met de input van de andere. De inputstroom I_1 naar de convertor 150, kan een referentiestroom (constante) zijn, of deze kan worden gevarieerd. De stroom-spiegel D tot A kan lineair zijn ingesteld (de waardetoekenning van elke toenemende bit zal verdubbeld worden in vergelijking met de eerste bit) of niet-lineair worden ingesteld of 15 gewogen met de bit bepaling, die desgewenst kan worden gekozen. De stroom van elke D tot A - convertor, kan worden weergegeven door de volgende vergelijking

$$I_{UIT} - d_1 I_{IN} = (w_n C_n + \dots + w_1 C_1 + w_0 C_0) I_{IN}$$

20 waarin

I_{UIT} , I_{IN} is de output en inputstroom

w_n is de waardetoekenning van de controlebit,

C_n is de input van de controlebit (met waarden 0 of 1)

d_1 is de algemene controlevector, bestaande uit de som van de 25 produkten van de controlegewichten en bits.

De outputstroom I_2 bewerkstelligd door de digitale tot analoge convertor 156 is $I_2 = d_1 I_3$. De nabijgelegen D tot A convertor 154, hierop volgend, heeft een stroomwaarde $I_3 = d_2 I_4$. De daarop volgende convertor 152 heeft een waarde $I_4 = d_3 I_5$ en de laatste convertor 150 heeft een 30 waarde $I_5 = d_4 I_1$. Door het substitueren van deze vergelijkingen krijgt men een outputstroom I_2 die overeenkomt met een vermenigvuldigbare functie van de digitale vectoren te weten I_2 is d_4, d_3, d_2 en $d_1 I_1$. Hoewel fig. 7 een vermenigvuldiging aangeeft van vier vectoren, waarbij de grootte van de vermenigvuldiging van de digitale variabelen elke waarde kan hebben 35 (te weten van 2 tot een waarde die begrenst is door de vereisten die gesteld worden aan het gedrag van de vermenigvuldigende D tot A convertor).

De stroom-spiegel D tot A convertors kunnen ook worden verwerkt in een A tot D conversieschema onder toepassing van een conversietechniek

8003634

die als een zodanige benadering bekend is. In een voorbeeld van een rangschikking die aangegeven is in fig. 8, geeft een spanningsreferentie 158 een constante spanning V_R aan een spannings tot stroom convertor bestaande uit een geschikte operationele versterker 160. De output van deze op-amp is verbonden met de poort van een N-kanaal MOS transistor 162, waarvan de afvoer is verbonden met een negatieve feed-back leiding 164 die ook is verbonden via een weerstand R_1 met de aarde. Zodoende wordt een stroom (V_R/R_1) toegevoerd door een leiding 166 aan een D tot A stroomspiegel 168 die een invoer van gegevens ontvangt uit een naar geplaatst benaderingsregister 170 (SAR). Verbonden met deze stroomspiegel 168 is een stroom tot spannings convertor, bestaande uit een geschikte operationele versterker 172 en een weerstand R_2 (mits die een outputspanning V heeft = $1-d(R_1/R_2)(V_R)$ waarvan de output is verbonden met een geschikte vergelijker 174 met een versterking groter dan 2^n voor een n-bit convertor. De output van deze vergelijkingsorgaan is verbonden door een leiding 167 met SAR 170 en de positieve input met de op-amp 172, verbonden door een leiding 178 met de referentiespanning 158. Zodoende is de algoritme van het omzettingsproces als volgt met enige onbekende spanning V_{in} toegevoerd aan het vergelijkingsorgaan: het onbekende voltage heeft een waarde tussen 0 en de referentiespanning V_R ($11/16 V_R$).

Aangenomen wordt een eenvoudig geval, waarbij de convertor 168 een resolutie van vier bits heeft of 16 beslissingsniveau's en dat alle digitale bits van de SAR 170 uitgaan op een waarde van 0 bij het begin van de cyclus en dat de weerstanden R_1 en R_2 gelijke waarden hebben met $V = (1-d)V_R$ en $d = w_n C_n + \dots + w_1 C_1 + w_0 C_0$, waarbij w_n de waarden zijn en C_n de controle (bits) dus $d = 0$.

Met de volgende cycleerbit C_3 (de meest significante bit) die ingesteld is op een waarde van 0 zodat $d = 8/16$ en de spanning op de negatieve input V van de vergelijker is gelijk aan $(1 - 8/16)V_R$ of $7/16 V_R$ omdat de inputwaarde V_n gelijk is aan $11/16 V_R$ en de waarde v is $7/16 V_R$ (te weten lager dan v_{in}) geeft de vergelijker een digitale waarde nul aan SAR. De SAR zal de waarde opslaan op de signaallijn C_3 van de resterende cycli. Voor de volgende cyclus wordt bit C_2 ingesteld op een waarde 1, zodat v gelijk is aan $(1-8/16)(0) - 4/16(1)V_R$ of $12/16 V_R$. Met $v_{in} = 11/16 V_R$ en met v is gelijk aan $12/16 V_R$ (zoals boven v_{in}) is de waarde die verkregen wordt door de vergelijker gelijk aan 1 en opgeslagen op bit C_2 . Voor de volgende cyclus wordt bit C_1 ingesteld op een waarde van 1, zodat V gelijk is aan $(1-8/16)(0) - 4/16(1) - 2/16(1) V_R$ of $10/16 V_R$. Met

8003634

v_{in} is gelijk aan $11/16 V_R$ en $v = 10/16 V_R$ (te weten beneden v_{in} , welke waarde wordt verkregen door de vergelijker en gelijk is aan 0 en opgeslagen op bit C_4). Voor de volgende cyclus wordt C_0 ingesteld op de waarde 1 zodat v gelijk is aan $(1-8/16(0) - 4/16(1) - 2/16(0) - 1/16(1) V_R)$ of

- 5 $11/16 V_R$. Met v_{in} is gelijk aan v wordt de waarde die bewerkstelligd wordt door de vergelijker 0 en wordt opgeslagen op bit C_0 . De digitale waarden $C_3C_2C_1C_0 = 0100$ opgeslagen in het binaire complement van de analoge waarde, toegevoerd aan de A tot D (te weten $v_{opgeslagen} = (8/16(\bar{0}) + 4/16(\bar{1}) + 2/16(\bar{0}) + 1/16(\bar{0}))V_R = 11/16 V_R$).

- 10 Voor een deskundige zal het mogelijk zijn om binnen het kader van de uitvinding een aantal veranderingen of modificaties aan te brengen.

-CONCLUSIES-

CONCLUSIES:

1. Digitale tot analoge stroomconvector, met het kenmerk, dat deze bestaat uit:

- 5 een eerste transistor geschikt om verbonden te zijn met een stroombron,
- een tweede spiegeltransistor met een grootte die proportioneel is aan de eerste transistor,
- geleidingsorganen die de poortelektrode van de eerste
- 10 en tweede transistoren verbinden en
- een transistor-poortorgaan in de verbindende geleidingsorganen geschikte voor het verbinden met een digitale gegevens inputbron en organen omvattende om te voorkomen dat het gat van de tweede transistor wegstroomt, waarbij een aan- uitcontrole van een stroomoutput
- 15 door de tweede transistor wordt bewerkstelligd die een grootte heeft ten opzichte van de stroombron in een zelfde verhouding als de grootte van de tweede transistor ten opzichte van de eerste transistor.

2. Convector volgens conclusie 1, met het kenmerk, dat de transmissiepoortorganen bestaan uit een lineaire EN-poort met

20 een input die verbonden is met de stroombron en een tweede input verbonden met de digitale gegevensbron.

3. Convector volgens conclusie 2, met het kenmerk, dat de organen waarmee voorkomen wordt dat het gat van de tweede transistor gaat drijven of wegstroomt een derde transistor is waarvan de poort is ver-

25 bonden met de output van de lineaire EN-poort en waarvan de bron en afvoer zijn verbonden met een referentiespanning en met de poort van de tweede transistor.

4. Convector volgens conclusie 2, met het kenmerk, dat de lineaire EN-poort bestaat uit twee MOSFET-organen waarvan de

30 poorten zijn verbonden met de derde transistor en met de digitale gegevens bron.

5. Digitale tot analoge convector met het kenmerk, dat deze bestaat uit een eerste transistor die verbonden is met een stroombron, een aantal lineaire logische poorten elk met een input verbonden

35 met de stroombron en een andere input verbonden met een bron van digitale gegevens en elk aangepast om een output te geven in response op de gegevenspuls uit de gegevensbron,

een serie spiegelende transistoren, elk verbonden met

8003634

de output van een lineaire logische poort en ook met de eerste transistor waarbij de kanaalgrootten van de spiegelen- de transistoren voor de lineaire logische poorten bepaald zijn in een tevoren bepaald proportioneel ver-
 5 band tot de kanaalgrootten van de eerste transistor zodat de implementa-
 tie van elke logische poort door ontvangst van een gegevenspuls uit de
 bijzonderheden van de gegevensbron een karakteristieke outputstroom zal
 geven die proportioneel is met de kanaalgrootte van de spiegelen- de transistor.

6. Converter volgens conclusie 5, met het kenmerk,
 dat de lineaire logische poort is samengesteld uit ten minste een transis-
 10 tororgaan waarvan de poort is verbonden met de bron van de digitale gegevens
 en waarvan de bron is verbonden met de stroombron en de poort van een
 spigelende transistor, waarbij elke logische poort ook een controletransis-
 tor omvat verbonden tussen de output van een logische poort en een span-
 ningsbron om te voorkomen dat het gat van de nabijgelegen spiegelen- de
 15 transistor gaat verschuiven.

7. Converter volgens conclusie 6, met het kenmerk,
 dat de eerste transistor, de spiegelen- de transistoren en de lineaire lo-
 gische poorttransistoren N-kanaal MOSFET-organen zijn en de controle
 transistoren N-kanaal "pull-down" transistoren zijn.

8. Converter volgens conclusie 6, met het kenmerk,
 dat de eerste transistor, de spiegelen- de transistoren en de lineaire lo-
 gische poorttransistoren P-kanaal MOSFET-organen zijn en de controletransis-
 20 toren zijn P-kanaal "pull-up" transistoren.

9. Lineaire stroomspiegeldigitaal tot analoge con-
 25 vertor, met het kenmerk, dat deze bestaat uit

een eerste transistororgaan verbonden met een stroom-
 bron,

een eerste serie lineaire logische poorten elk met
 en input verbonden met de stroombron en een tweede input verbonden met
 30 een bron van digitale gegevens elk van de logische poorten met een out-
 put verbonden met spiegelen- de transistor, waarbij de spiegelen- de transis-
 tor een kanaalgrootte heeft die evenredig is met het kanaal van het eerste
 transistororgaan,

een tweede serie lineaire logische poorten verbonden
 35 met de eerste serie en met een tegengestelde polariteit van de eerste serie,
 waarbij elk van de tweede logisch poorten een input heeft die verbonden is
 met de eerste transistororganen en een tweede input verbonden met de bron
 van de digitale gegevens,

8003634

een tweede transistororgaan verbonden met het eerste transistororgaan en met een spanningstoevoer,

een tweede serie spiegelende transistoren elk verbonden met de output van een van de tweede lineaire logische poorten, elk
5 van de tweede spiegelende transistoren met een kanaal met een tevoren bepaalde kanaalgrootte relatief ten opzichte van de grootte van het kanaal van het tweede transistororgaan en

een derde transistororgaan evenwijdig verbonden met de tweede serie spiegelende transistoren en dat een proportionele
10 cumulatieve outputstroom geeft in response op de digitale gegevens die ontvangen zijn door een of meer van de logische poorten.

10. Converter volgens conclusie 9, met het kenmerk, dat de eerste serie lineaire logische poorten bestaan uit N-kanaal MOSFET-organen en de tweede serie lineaire logische poorten is samengesteld uit
15 P-kanaal MOSFET-organen.

11. Converter volgens conclusie 9, met het kenmerk, dat het eerste transistororgaan bestaat uit een paar MOSFET-organen van gelijke kanaalgrootte waarvan de poorten beide zijn verbonden met de stroombron en waarvan de bron-terminals verbonden zijn met de aarde, de af-
20 voer van een van de organen is verbonden met de stroombron en de afvoer van het andere orgaan is verbonden met de transistor met een tegengestelde polariteit evenwijdig met de tweede serie lineaire logische poorten.

12. Niet-lineaire stroomspiegeldigitale tot analoge
25 convertor voor het bewerkstelligen van een analoge output uit binaire digitale gegevens in overeenstemming met de " μ 255" wet gekarakteriseerd door een logaritmische curve die weergegeven wordt binnen vier kwadranten, elk bestaande uit 8 koorden waarbij elke koorde 16 stappen omvat, welke convertor hierdoor wordt gekenmerkt dat deze is samengesteld
30 uit:

een eerste paar inputtransistoren verbonden met een geregelde stroombron,

een eerste serie lineaire logische poorten elk met een input verbonden met de stroombron en een tweede input verbonden met een
35 gegevensbron voor het bepalen van de koorden van de " μ 255" wet-curve,

een tweede serie lineaire logische poorten verbonden met de output van de eerste serie, waarbij elk van de tweede poorten bestaat uit twee inputs van de gegevensbron en twee inputs van een ge-

controleerde krachtbron,

een spiegelen transistor verbonden met de output van elk van de tweede poorten, waarbij elk van de spiegelen transistoren en grootte heeft die evenredig is met een master-control transistor
5 verbonden met een constante stroombron, waarbij de digitale gegevenssignalen die toegevoerd worden aan de lineaire logische poorten een analoge output geven in overeenstemming met de proportionele controlewaarden die bewerkstelligd worden volgens de "u 255" logaritmische curve.

13. Converter volgens conclusie 12, met het kenmerk,
10 dat elk van de eerste serie van de lineaire logische poorten lineaire EN-poorten zijn bestaande uit een paar MOSFET-organen verbonden met een eerste deel van de gegevensbron en een controletransistor omvatten en elk van de tweede serie van de lineaire logische poorten dual-transmissiepoorten zijn die een tweede paar MOSFET-organen omvatten met een pull-up
15 transistor, elk verbonden met tweede en derde gedeelten van de gegevensbron.

14. Converter volgens conclusie 12, met het kenmerk, dat de eerste serie lineaire logische poorten vier lineaire EN-poorten omvat met een input die verbonden is met de stroombron en een andere input
20 verbonden met een gegevensbron voor het aangeven van een kwadrant voor de output.

15. Converter volgens conclusie 12, met het kenmerk, dat elk van de lineaire logische poorten van de tweede serie, twee inputs heeft verbonden met de gegevensbron voor het bepalen van de koorden en
26 stappen voor een output volgens de μ 255-wet.

16. Converter volgens conclusie 15, met het kenmerk, dat de tweede serie logische poorten 8 poortcircuits omvatten elk met twee inputs voor de gegevensbron.

17. Digitale tot analoge omzetter in een circuit met
30 het kenmerk, dat deze bestaat uit een aantal stroomspiegeldigitale tot analoge omzetters verbonden met elkaar in een cascade rangschikking die een eerste stroomspiegeldigitale tot analoge converter omvat verbonden met een stroombron en bestaande uit MOSFET-organen van een eerste polariteit waarbij de eerste stroomspiegeldigitale tot analoge - omzetter is ver-
35 bonden in een serie met een tweede digitale tot analoge converter die MOSFET-organen omvat met een tegengestelde polariteit.

18. Inrichting voor het omzetten van een analogoog signaal tot een digitale output, met het kenmerk, dat deze bestaat uit een

8003634

stroomspiegeldigitale tot analoge convertor bestaande uit een serie stroomspiegelementen,

organen voor het toevoeren van een referentiestroom aan de digitale tot analoge omzetter,

- 5 een er op volgend benaderingsregister voor het bewerkstelligen van een digitale input aan de stroomspiegelementen van de digitale tot analoge convertor,

organen voor het omzetten van de analoge stroomoutput van de digitale tot analoge convertor tot een analoge spanning,

- 10 organen voor het vergelijken van de analoge spanning met een input analoge spanning die wordt gedigitiseerd,

- terugvoerorganen voor het verbinden van de output van deze organen ter vergelijking met het daaropvolgende benaderingsregister voor het variëren van de output hiervan naar de digitale tot analoge
15 convertor, om zodoende het spanningsinputsignaal in balans te brengen met de analoge spanning die bewerkstelligd wordt door de convertor.

800 3634

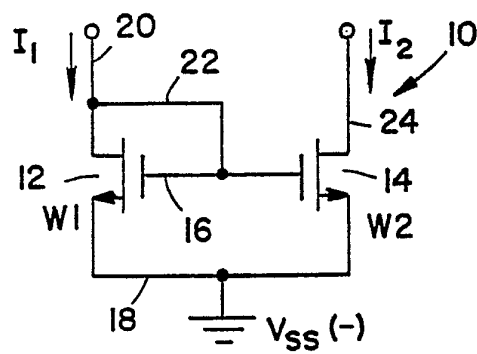


FIG _ 1

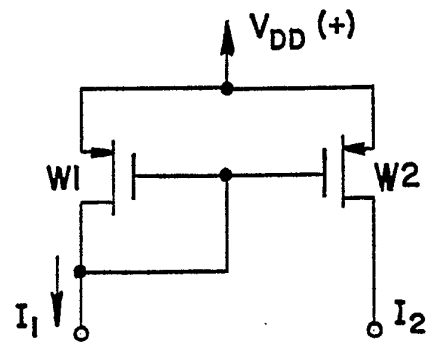


FIG _ 1A

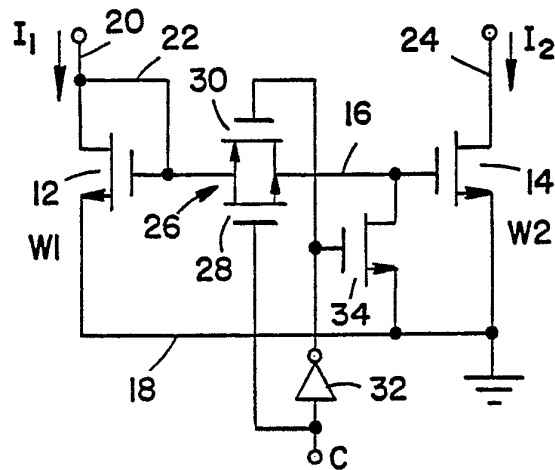


FIG _ 2-1

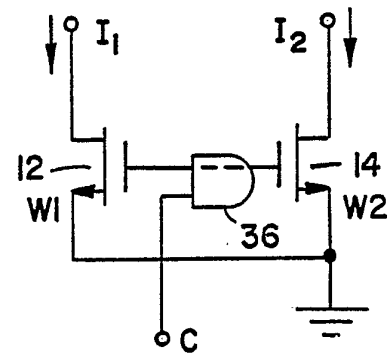


FIG _ 2-2

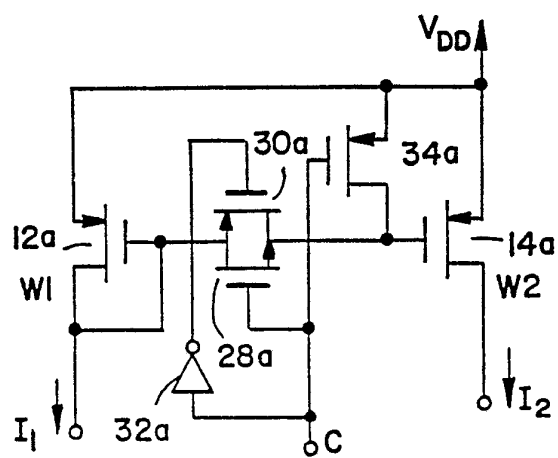


FIG _ 2A-1

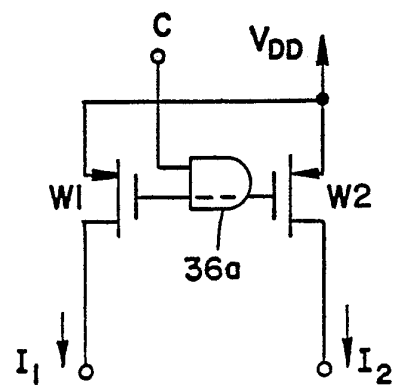


FIG _ 2A-2

8003634

$\mu 255$

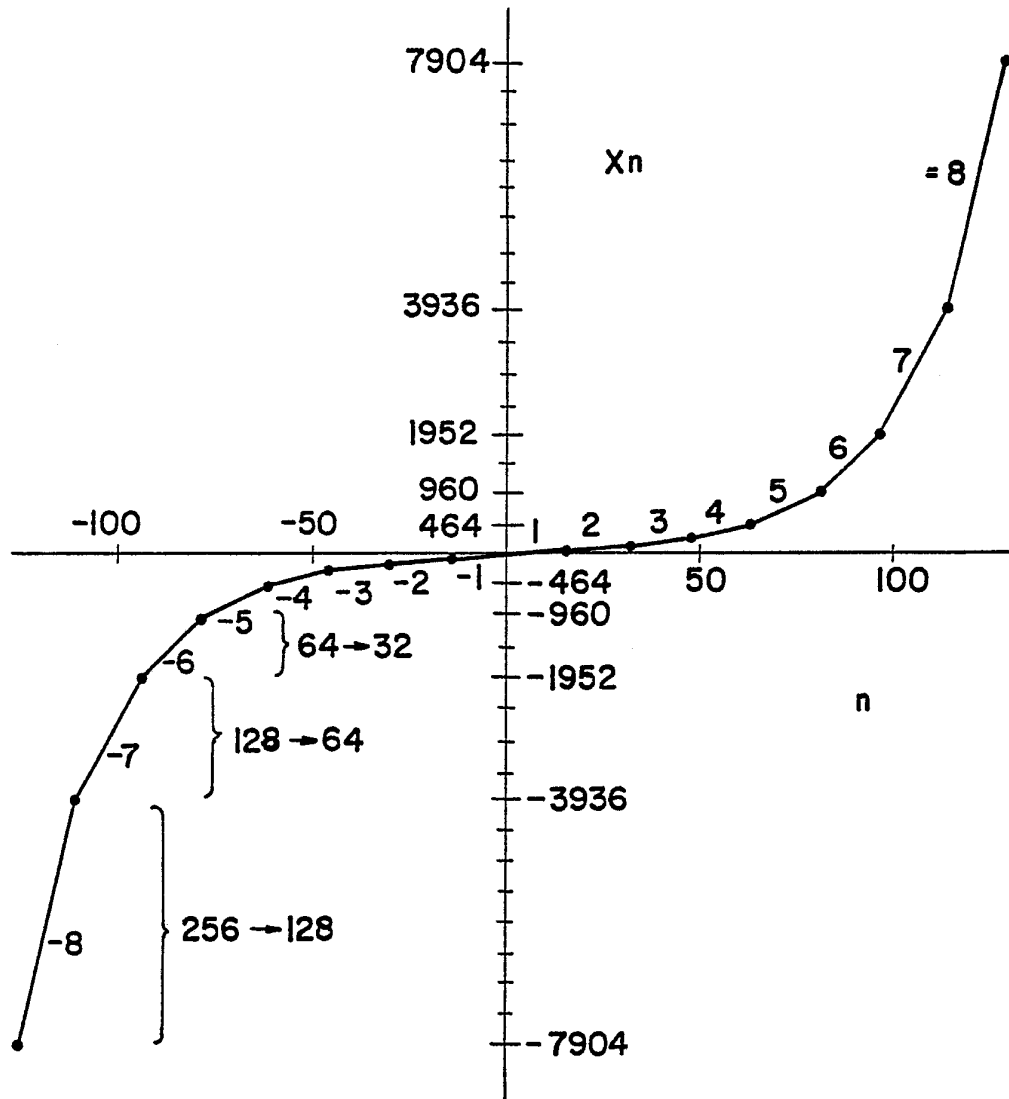
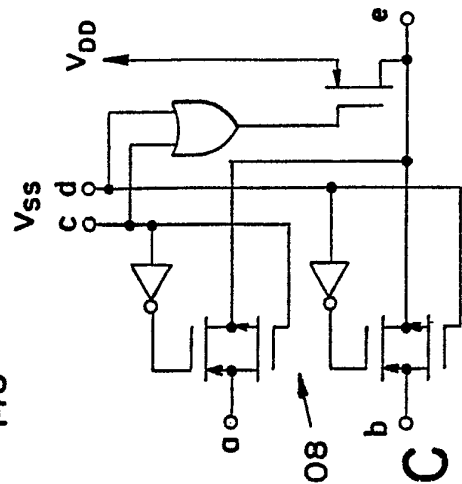
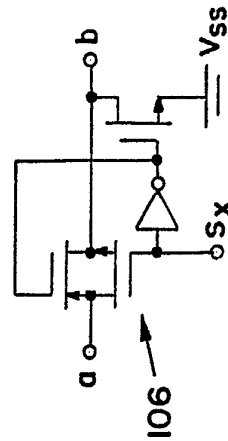
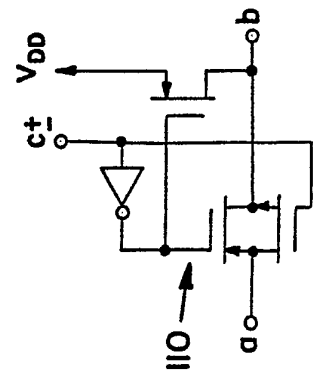
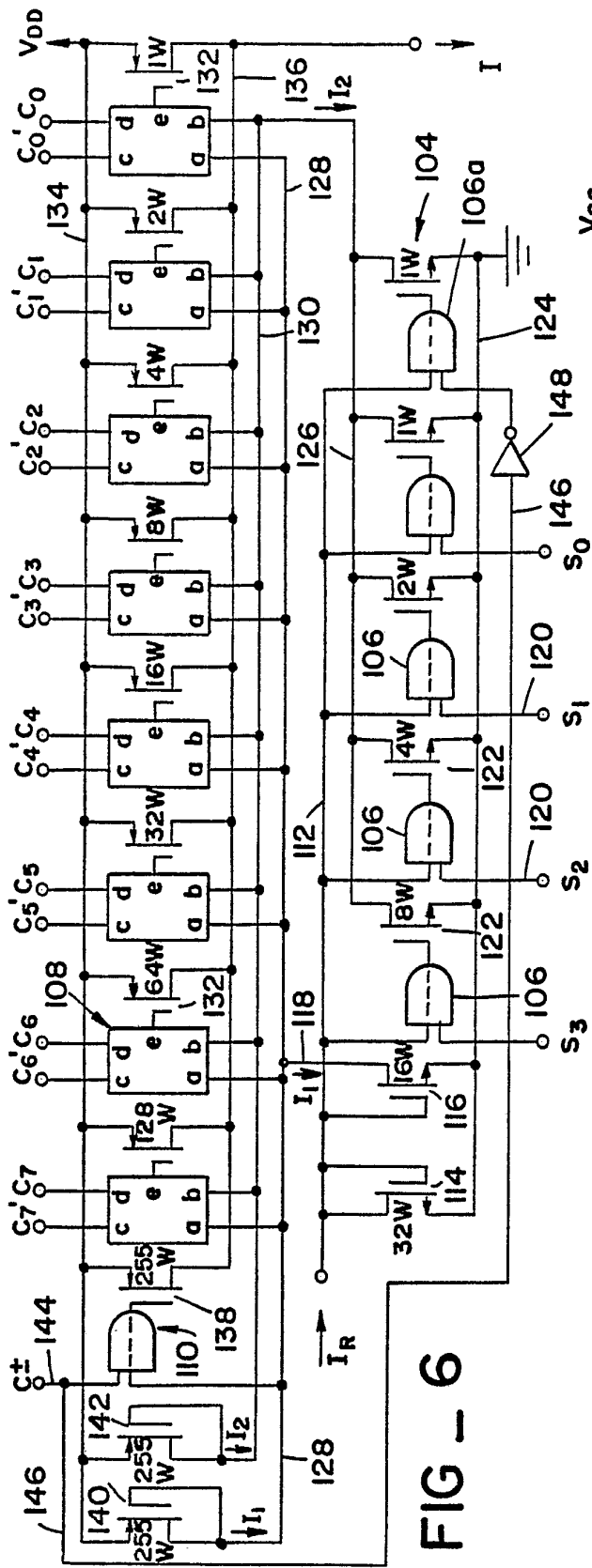


FIG _ 5

8003634

8003634



8003634

FIG - 7

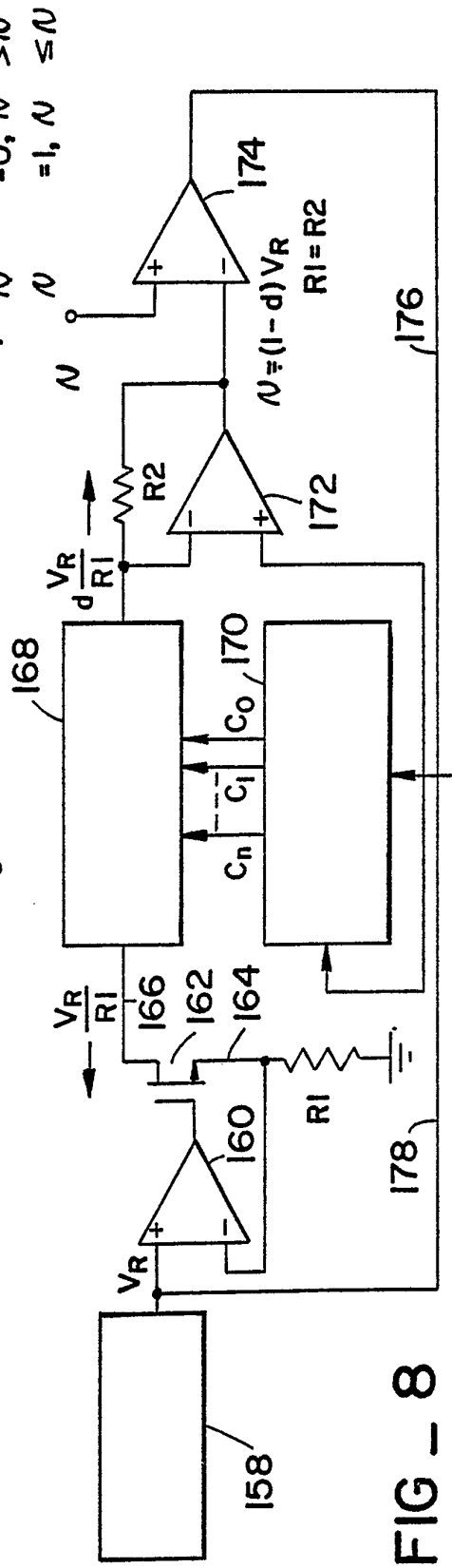
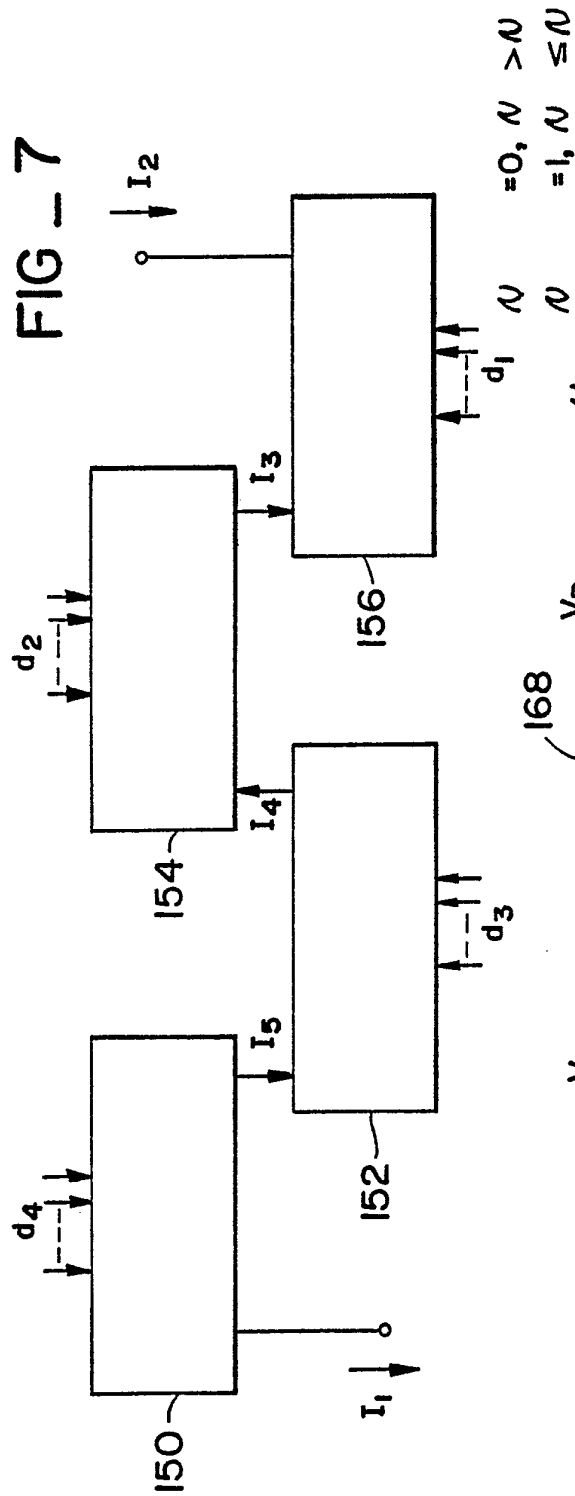


FIG - 8