公告本

發明專利說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：93137486

※ 申請日期：93.12.3.　　※IPC 分類：H04N 5/335

一、發明名稱：（中文/英文）

控制半導體器件之方法，信號處理方法，半導體器件及電子裝置

METHOD OF CONTROLLING SEMICONDUCTOR DEVICE, SIGNAL PROCESSING METHOD, SEMICONDUCTOR DEVICE, AND ELECTRONIC APPARATUS

二、申 請 人：（共 1 人）

姓名或名稱：（中文/英文）

日商新力股份有限公司

SONY CORPORATION

代表人：（中文/英文）

安藤　國威

ANDO, KUNITAKE

住居所或營業所地址：（中文/英文）

日本東京都品川區北品川六丁目七番35號

7-35, KITASHINAGAWA 6-CHOME SHINAGAWA-KU, TOKYO, JAPAN

國　籍：（中文/英文）

日本　JAPAN

三、發明人：（共 3 人）

姓　名：（中文/英文）

1.角　博文

SUMI, HIROFUMI

2.中村　信男

NAKAMURA, NOBUO

3.川人　祥二

KAWAHITO, SHOJI

國　籍：（中文/英文）

1.2.3.均日本　JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為：　年　月　日。

☑ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號　順序註記】

☑ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2003年12月05日；特願2003-407966

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號　順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料　【格式請依：寄存機構、日期、號碼　順序註記】

國外生物材料　【格式請依：寄存國家、機構、日期、號碼　順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種含有複數個單元元件的半導體器件，一種含有該半導體器件的電子裝置，以及一種和該半導體器件或該電子裝置相關的控制方法與信號處理方法。

更明確地說，本發明係關於一種用來偵測物理量分佈的半導體器件(例如固態成像器件)，其方式係藉由讀取代表一單元元件(例如單元像素)矩陣所獲得之該物理量分佈的電信號，其中該等單元元件對外界的電磁波輸入(例如光或輻射)非常敏感；一種於該半導體器件中控制信號增益的方法；以及供經該等受控增益放大後的輸出信號使用的信號處理技術。

【先前技術】

各種領域中都會使用到用來偵測物理量分佈的半導體器件(其包含複數條單元元件(例如像素)線或是一單元元件矩陣)，該等單元元件對外界的電磁波輸入(例如光或輻射)非常敏感。舉例來說，於視訊裝置領域中便會使用到固態成像器件來偵測光作為物理量，該固態成像器件係由複數個電荷耦合器件(CCD)或互補式金屬氧化物半導體(CMOS)器件設計而成。該些器件會讀取代表複數個單元元件(於固態成像器件的情況中則為像素)所獲得之物理量分佈的電信號。

於一種被稱為放大固態成像器件的固態成像器件中會提供由複數個主動像素感測器或是增益單元設計而成的像

素，其於像素信號產生器中包含複數個放大電晶體，用以產生對應於電荷產生器所產生之信號電荷的像素信號。舉例來說，CMOS固態成像器件便通常係此類器件。於放大固態成像器件中，為將影像信號讀至外部，必須於一含有複數個單元像素的像素單元上實行位址控制，以便能如預期般地選擇且讀取源自該等個別像素的信號。也就是，一放大固態成像器件係位址受控固態成像器件的其中一種範例。

舉例來說，於含有一單元像素矩陣之X-Y定址固態成像器件類型的放大固態成像器件中，會使用到複數個主動元件(例如MOS電晶體)，致使像素本身能夠進行放大。也就是，累積在作為光電轉換器之光二極體中的信號電荷(光電子)會被該等主動元件放大，用以讀取影像資訊。

舉例來說，於此類型的X-Y定址固態成像器件中，一像素單元包含一由大量像素電晶體所組成的二維矩陣，其會個別針對每一列或每個像素來開始累積對應於入射光的信號電荷，而以該等被累積之信號電荷依據的電流或電壓信號則會依據定址結果從該等像素中陸續讀取。

當信號從該像素單元中被讀取且被輸出至該晶片外部時，會針對該等個別行來提供讀取電路(行處理器)，而且信號會以逐列為基礎從該等像素中被陸續讀取並且被暫時儲存於該等行處理器之中，並且會於特定時間處將其中一列的像素信號陸續輸出至該晶片的外部。此即稱為行式配置。

圖27為根據相關技術之行式CMOS影像感測器的一種示

範構造，其為X-Y定址固態成像器件的其中一種範例。

該CMOS影像感測器包含一成像單元(光電轉換區)110、一時序信號產生器40、一水平掃描器42H、一垂直掃描器42V、一行區域單元920、一輸出放大器950、一可變增益放大器960、以及一類比數位(A/D)轉換器970，以上均位於一半導體基板(未顯示)之上。

成像單元110的複數條垂直信號線158會接收負載控制器174經由負載MOS電晶體171所施加的恆定偏壓電壓。

在位於該成像單元110之輸出側上的行區域單元920中會提供複數個行處理器930供該等個別的像素行使用。該等行處理器930於該等垂直信號線158之上具有複數個電容器932。該等行處理器930會陸續儲存讀自該等個別像素的像素信號Vsig，並且將該等像素信號Vsig讀出至輸出放大器950。

於上述的配置中，會針對該等個別行來分別提供處理電路(也就是，行電路930)，該配置稱為行式配置。也就是，像素信號會於逐行讀取該等像素信號之後被進行處理。因此，相較於在每個單元像素中實行信號處理的情況，每個像素的構造可以簡化，致使可以增加影像電感器中的像素數量、縮小影像電感器的尺寸、或是降低影像電感器的成本。

接著將簡單說明該行式配置的電路的運作情形。用來接收光學信號的成像單元110包含複數個單元像素(P)103，該等像素以行列方式配置。每個該等單元像素103均包含至少

一個電荷產生器(光電轉換器),其通常係由一光二極體或一光閘設計而成。該成像單元110所輸出的像素信號會從該垂直掃描器42H透過垂直掃描控制線115所選出的列之中被讀取。

雖然圖27中僅針對每條像素列顯示一垂直掃描控制線,不過,通常會平行該垂直掃描器42V來提供複數種垂直掃描控制線115,用以選擇每條像素列並且讀取像素信號。

透過一垂直掃描控制線115被選出的某一列的信號會陸續被累積在位於該成像單元110之輸出側上彼此平行的行處理器930的電容器932之中。其會針對整列來同時累積該等信號。

可依照源自水平掃描器42H的水平選擇脈衝CH(i),利用掃描行的作業從左邊開始陸續選擇被累積於該等行處理器930之該等電容器932之中的該等像素信號Vsig。也就是,水平掃描器42H會陸續選擇且驅動通常由電晶體設計而成的行選擇切換器934。因此,便可將該等個別單元像素103的像素信號Vsig讀出至該輸出放大器950。

該輸出放大器950會陸續放大經由一水平信號線118被讀取的該等像素信號Vsig,並且輸出該等經放大的信號當作電壓信號。可變增益放大器960會於具有小步階大小的複數個增益中其中一者處來放大該等電壓。該等經放大後的像素信號會被輸入至該A/D轉換器970,並且會被轉換成數位信號。

通常,該成像單元110、該行區域單元920、以及該輸出

放大器950會形成於相同的半導體晶片上，用以構成一固態成像器件10，而該可變增益放大器960與該A/D轉換器970則係位於該晶片的外面，藉此便可形成一固態成像單元2。或者，該可變增益放大器960與該A/D轉換器970亦可與該成像單元110及類似的單元共同形成於該半導體晶片之上，於此情況中，該固態成像器件10實質上與該固態成像單元2相同。

於上述的配置中，會於該電路中提供各種放大器，例如輸出放大器950及可變增益放大器960。因為該些放大器均係類比放大器，所以可能會出現熱雜訊(其為類比隨機雜訊)。該熱雜訊會隨著時間任意出現。於該輸出放大器950的近端處必須提高頻寬，而可能由放大器所產生的熱雜訊便很容易隨著頻寬提高而增加。就提高像素數量以及提高成像速度的趨勢來說，此情形相當不利。

位於該固態成像器件中的A/D轉換器970的位元精確度目前通常係12位元或14位元。當該A/D轉換器970的位元精確度提高時，功率消耗便會提高，而該電路本身所造成的雜訊則會阻礙位元精確度的改良效果。

因此，於根據相關技術的行式影像電感器中很難改良位元精確度，而且很難擴大動態範圍卻又同時維持合適的S/N比。

當於該成像單元110的該等個別像素中以逐個像素為基礎來控制像素信號增益時，便可改良該光電轉換區域中的位元精確度，因而便可擴大輸出信號的動態範圍。不過，

於此情況中，每個該等像素的構造會變得相當複雜，致使喪失因該行式配置所獲致的低成本與小尺寸的優點。

舉例來說，就克服該些問題的方式來說，ISSCC 2003 2/11, Digest of Technical Paper，第224-225頁，以及M. Schanz於2000年7月在IEEE J. Solid-State Circuits，第35冊，第7號，第932-938頁中便提出利用可程式化增益控制(PGA)電路以逐行為基礎來適應性放大讀取自一CMOS影像感測器中之一像素單元中的像素信號以便降低訊的技術。根據該等技術，既可擴大信號的動態範圍，同時又可維持合適的S/N比，因此便可改良該CMOS影像感測器的影像品質，尤其是當發光度很低時。

根據該等技術，於與該等PGA電路分離的某條線路上，輸出自該成像單元110的像素信號會與預設的臨界值作比較，可依照該等比較結果來決定欲設定給該等PGA電路的增益，並且讓該等PGA電路配合該等經決定的增益進行運作，藉此便可實行增益控制。

於實行該增益控制中，當判斷信號位準很低時，便必須提高增益，該等PGA電路會利用提高增益來放大該成像單元110所獲得的像素信號，進而將經放大的信號輸出至外部。相反地，當判斷信號位準很高時，則不需要提高增益，該成像單元110所獲得的像素信號會被輸出至外部而不必經由該等PGA電路進行放大。

不過，該等文件僅揭示提供PGA電路的基礎技術，用以適應性放大該等個別行的像素信號，因此必須作進一步的

改良。

再者，根據該等文件中所揭示的技術，視該等PGA電路或位於其後級處的電路的構造而定，於部份情況中，利用經調整增益所放大的信號位準會超過該電路的動態範圍，導致無法正確地擴大信號的動態範圍。

【發明內容】

本發明的情況已如上述說明，而其目的則係提供和行式電路有關的技術，用以允許擴大動態範圍，同時又能維持合適的S/N比，較佳的係防止設定超過該動態範圍的增益。

根據本發明其中一項觀點，提供一種用於控制一半導體器件的方法，該半導體器件包含一信號獲取單元與複數個行處理器，該信號獲取單元包含以行列配置的單元元件，該等單元元件各包含一電荷產生器，用以產生對應於入射電磁波的信號電荷，以及一信號產生器，用以產生對應於該電荷產生器所產生之該等信號電荷的信號，該等行處理器係供該等個別行以逐列的方式來讀取該等信號，用以利用特定的增益來放大該等信號並且陸續輸出經放大的信號，該等行處理器分別包含複數個放大器電路，用以利用設定給該等放大器電路的增益來放大讀取自該等單元元件的信號。該方法包含一增益決定控制步驟，其會利用被設定給該等個別放大器電路的不同增益來偵測該等放大器電路或其後級之輸出信號的信號位準，以該等所偵測到的信號位準為基礎來決定欲設定給該等放大器電路的增益，以及讓該等放大器電路配合該等經決定的增益來進行運作。

「偵測該等放大器電路或其後級之輸出信號」並不限於偵測該等放大器電路本身的輸出信號，亦可能係偵測該等放大器電路之後級處的各種電路的輸出信號。也就是，增益係設定給該等放大器電路，而信號位準則係於該等放大器電路的輸出側(而非輸入側)中預設的位置處來進行偵測。

根據本發明另一項觀點，提供一種信號處理方法，用以對一半導體器件所輸出的信號執行預設的信號處理，該半導體器件包含一信號獲取單元與複數個行處理器，該信號獲取單元包含以行列配置的單元元件，該等單元元件各包含一電荷產生器，用以產生對應於入射電磁波的信號電荷，以及一信號產生器，用以產生對應於該電荷產生器所產生之該等信號電荷的信號，該等行處理器係供該等個別行以逐列的方式來讀取該等信號，用以利用特定的增益來放大該等信號並且陸續輸出經放大的信號，該等行處理器分別包含複數個放大器電路，用以利用設定給該等放大器電路的增益來放大讀取自該等單元元件的信號。該方法包含一增益決定控制步驟，其會利用被設定給該等個別放大器電路的不同增益來偵測該等放大器電路或其後級之輸出信號的信號位準，以該等所偵測到的信號位準為基礎來決定欲設定給該等放大器電路的增益，以及讓該等放大器電路配合該等經決定的增益來進行運作；以及一增益校正步驟，其會於該增益決定控制步驟之後以被設定給該等個別放大器電路的增益為基礎來校正該等行處理器所輸出的輸出信號。

根據本發明的另一項觀點，提供一種半導體器件。該半導體器件包含一信號獲取單元，該信號獲取單元包含以行列配置的單元元件，該等單元元件各包含一電荷產生器，用以產生對應於入射電磁波的信號電荷，以及一信號產生器，用以產生對應於該電荷產生器所產生之該等信號電荷的信號；複數個行處理器，該等行處理器係供該等個別行以逐列的方式來讀取該等信號，用以利用特定的增益來放大該等信號並且陸續輸出經放大的信號，該等行處理器分別包含複數個放大器電路，用以利用設定給該等放大器電路的增益來放大讀取自該等單元元件的信號；以及一增益決定控制器，用以利用被設定給該等個別放大器電路的不同增益來偵測該等放大器電路或其後級之輸出信號的信號位準，以該等所偵測到的信號位準為基礎來決定欲設定給該等放大器電路的增益，以及讓該等放大器電路配合該等經決定的增益來進行運作。

根據本發明另一項觀點，提供一種電子裝置，用以對一半導體器件所輸出的信號執行預設的信號處理，該半導體器件包含一信號獲取單元與複數個行處理器，該信號獲取單元包含以行列配置的單元元件，該等單元元件各包含一電荷產生器，用以產生對應於入射電磁波的信號電荷，以及一信號產生器，用以產生對應於該電荷產生器所產生之該等信號電荷的信號，該等行處理器係供該等個別行以逐列的方式來讀取該等信號，用以利用特定的增益來放大該等信號並且陸續輸出經放大的信號，該等行處理器分別包

含複數個放大器電路，用以利用設定給該等放大器電路的增益來放大讀取自該等單元元件的信號。該電子裝置包含一增益決定控制器，用以利用被設定給該等個別放大器電路的不同增益來偵測該等放大器電路或其後級之輸出信號的信號位準，以該等所偵測到的信號位準為基礎來決定欲設定給該等放大器電路的增益，以及讓該等放大器電路配合該等經決定的增益來進行運作；以及一信號擴大單元，用於以被設定給該等個別放大器電路的增益為基礎來對該等行處理器的輸出信號執行增益校正，從而擴大該信號獲取單元之其中一個畫面的信號的動態範圍。

根據本發明另一項觀點，提供一種控制一半導體器件的方法，該半導體器件包含一信號獲取單元與行處理器，該信號獲取單元包含以行列配置的單元元件，該等單元元件各包含一電荷產生器，用以產生對應於入射電磁波的信號電荷，以及一信號產生器，用以產生對應於該電荷產生器所產生之該等信號電荷的信號，該等行處理器係供該等個別行以逐列的方式來讀取該等信號，用以利用特定的增益來放大該等信號並且陸續輸出經放大的信號，該等行處理器分別包含複數個放大器電路，用以利用設定給該等放大器電路的增益來放大讀取自該等單元元件的信號。該方法包含一增益決定控制步驟，其會偵測該信號獲取單元所輸出之信號的信號位準，以該偵測結果為基礎來決定欲設定給該等放大器電路的增益，以及讓該等放大器電路配合該等經決定的增益來進行運作；以及一增益校正步驟，其會

依照比較結果，配合該等放大器電路所輸出的信號將比較結果或分級信號輸出至該等行處理器的外部，用以對信號位準進行分級，該配合方式係以該等個別的單元元件為基礎，並且參照該等比較結果或該等分級信號，以被設定給該等個別放大器電路的增益為基礎來校正該等行處理器所輸出的輸出信號。

根據本發明另一項觀點，提供一種控制一半導體器件的方法，該半導體器件包含一信號獲取單元與複數個行處理器，該信號獲取單元包含以行列配置的單元元件，該等單元元件各包含一電荷產生器，用以產生對應於入射電磁波的信號電荷，以及一信號產生器，用以產生對應於該電荷產生器所產生之該等信號電荷的信號，該等行處理器係供該等個別行以逐列的方式來讀取該等信號，用以利用特定的增益來放大該等信號並且陸續輸出經放大的信號，該等行處理器分別包含複數個放大器電路，用以利用設定給該等放大器電路的增益來放大讀取自該等單元元件的信號。該方法包含一增益決定控制步驟，其會偵測該信號獲取單元所輸出之信號的位準，以該偵測結果為基礎來決定欲設定給該等放大器電路的增益，以及讓該等放大器電路配合該等經決定的增益來進行運作；以及一轉換步驟，其會將該等放大器電路所輸出的類比信號轉換成數位數值。

根據本發明另一項觀點，提供一種控制一半導體器件的方法，該半導體器件包含一信號獲取單元與複數個行處理器，該信號獲取單元包含以行列配置的單元元件，該等單

元元件各包含一電荷產生器，用以產生對應於入射電磁波的信號電荷，以及一信號產生器，用以產生對應於該電荷產生器所產生之該等信號電荷的信號，該等行處理器係供該等個別行以逐列的方式來讀取該等信號，用以利用特定的增益來放大該等信號並且陸續輸出經放大的信號，該等行處理器分別包含複數個放大器電路，用以利用設定給該等放大器電路的增益來放大讀取自該等單元元件的信號。該方法包含一增益決定控制步驟，其會偵測該信號獲取單元所輸出之信號的位準，以該偵測結果為基礎來決定欲設定給該等放大器電路的增益，以及讓該等放大器電路配合該等經決定的增益來進行運作；以及一抑制步驟，其會抑制因欲設定給該等個別放大器電路之不同增益的關係而於該等放大器電路間所出現的輸出直流位準的變異情形。

根據本發明的另一項觀點，提供一種成像器件。該成像器件包含：一成像區域，其包含複數個像素，每個像素各包含一電荷產生器，用以產生信號電荷；一放大器電路區域，用以放大該等像素所輸出的信號，並且輸出經放大的信號，該放大器電路區域係位於該成像區域的旁邊；以及一輸出部，其係位於該放大器電路區域的後級處。該放大器電路區域包括複數個放大器，該等放大器的增益係以該輸出部所輸出的信號的位準為基礎來設定。

【實施方式】

現在將參考該等圖式來說明本發明之具體實施例。下文的說明將以一CMOS成像器件為背景，該器件為X-Y定址固

態成像器件的一種範例。再者，本文假設所有的像素均係利用NMOS電晶體實施設計而成。不過，此僅係其中一種範例，器件的類型並不僅限於MOS成像器件。下文所述的具體實施例可應用在用於偵測物理量分佈的任何半導體器件中，該等半導體器件含有一對外界的電磁波輸入(例如光或輻射)非常敏感的元件矩陣。

數位相機的總成構造

數位相機的構造

現將參考圖式來詳細說明本發明之具體實施例。

圖1為一相機系統之構造的概略示意圖，其為根據本發明一具體實施例的電子裝置，該相機系統包含一根據本發明一具體實施例的半導體器件。於圖1所示的相機系統中會使用到一根據本發明一具體實施例的固態成像單元2。固態成像器件10與被連接在該固態成像器件10之後級處週邊電路均係內含於一機殼中。因此，便可設計一種能夠捕捉彩色影像的數位相機1。含有該固態成像單元2的數位相機1係含有成像器件之電子裝置的其中一種範例。

如圖1所示，該數位相機1包含一成像模組3及一主單元4。該成像模組3包含一主要由一CMOS成像單元所組成的固態成像器件10、一成像透鏡50、以及一用來驅動該固態成像器件10的驅動控制器96。該主單元4會依據該成像模組3所獲得的成像信號為基礎來產生視訊信號，將該等視訊信號輸出至一監視器，或是將影像儲存於一儲存媒體之上。

該數位相機1的處理系統通常包含一光學系統5、一信號

處理系統6、一記錄系統7、一顯示系統8、以及一控制系統9。應該瞭解的係，於實際的成品中，成像模組3與主單元4均係內含於圖中未顯示的外機殼中。

該驅動控制器96包含一時序信號產生器40、一掃描器42、以及一控制信號產生器46。時序信號產生器40會產生各種脈衝信號，用以驅動該固態成像器件10。掃描器42會將接收自該時序信號產生器40的脈衝信號轉換成驅動脈衝，用以驅動該固態成像器件10。控制信號產生器46會產生控制信號，用以擷取源自該固態成像器件10的輸出信號。時序信號產生器40與控制信號產生器46將統稱為時序控制器。

該光學系統5包含成像透鏡50與該固態成像器件10。該成像透鏡50包含一快門52、一用來聚焦物體Z之光學影像的透鏡54、以及一用來調整該光學影像之光量的光圈56。該固態成像器件10會將經聚焦的光學影像轉換成電信號。源自物體Z的光L會穿過快門52與透鏡54，經過隙孔56的調整之後，以適當的亮度進入該固態成像器件10。於此同時，透鏡54會調整焦點，以便於該固態成像器件10之上形成由源自該物體Z之光L所構成的影像。

信號處理系統6包含一對應於一後面所述之行區域單元的前置放大器61、一類比數位(A/D)轉換器64、以及一影像處理器66。前置放大器61能夠放大接收自該固態成像器件10之成像單元的類比成像信號，並且對該等經放大的成像信號實施相關雙重取樣(CDS)處理，用以抑制雜訊。A/D轉

換器64會將該前置放大器61所輸出的類比信號轉換成數位信號。影像處理器66係由一數位信號處理器(DSP)設計而成，其可對從該A/D轉換器64所輸入的數位信號實施特定的影像處理。

記錄系統7包含一用於儲存影像信號的記憶體(記錄媒體)72(例如快閃記憶體)；以及一編解碼器(壓縮/解壓縮)74，用來對該影像處理器66所處理的影像信號進行編碼並且將該等經編碼的影像信號記錄於記憶體72之上，或是對被記錄於該記憶體72之上的影像信號進行解碼並且將該等經解碼的影像信號供應給該影像處理器66。

顯示系統8包含一數位類比(D/A)轉換器82、一視訊監視器84、以及一視訊編碼器86。D/A轉換器82會將經該影像處理器66處理過的影像信號轉換成類比信號。視訊監視器84可藉由顯示對應於輸入視訊信號的影像來充當取景器，而且可利用一液晶顯示器(LCD)設計而成。視訊編碼器86會將類比影像信號編碼成格式適用於後級處之視訊監視器84的視訊信號。

控制器9包含一中央控制器92(例如一中央處理單元(CPU))。中央控制器92會控制一驅動器(未顯示)，用來讀取被儲存於磁碟、光碟、磁光碟、或是半導體記憶體之中的控制程式，並且根據該控制程式且以使用者所輸入的命令為基礎來控制整台數位相機1。

控制系統9還包含一曝光控制器94、一驅動控制器96、以及一運算單元98。曝光控制器94會控制快門52與光圈56，

以便正確地將影像的亮度傳輸至影像處理器66。驅動控制器96包含時序信號產生器(TG)40，用於控制從該固態成像器件10至該影像處理器66中之該等功能單元的作業時序。運算單元98可讓使用者指示快門時序或是輸入命令。中央控制器92會控制被連接至該數位相機1之匯流排99的影像處理器66、編解碼器74、記憶體72、曝光控制器94、以及時序信號控制器40。

於該數位相機1中，會於數位域中實行類似閃爍校正、γ校正、陰影校正、以及彩色平衡等處理，該等處理主要係由影像處理器66來實行。數位相機1包含自動聚焦(AF)自動控制器、自動白平衡(AWB)自動控制器、自動曝光(AE)自動控制器、以及類似的自動控制器。該等自動控制器會以該固態成像單元2所輸出的信號為基礎來執行控制。舉例來說，曝光控制器94會根據中央控制器92所設定的控制參數來控制光圈56，以便可正確地將影像的亮度傳輸至影像處理器66

時序信號產生器40係受控於中央控制器92。時序信號產生器40會產生固態成像器件10、前置放大器61、A/D轉換器64、以及影像處理器66之作業所需的時序脈衝，並且將該等時序脈衝供應至該些部件。當使用者操作該數位相機1時便會使用到運算單元98。

固態成像單元2係由成像模組3中的固態成像器件10、前置放大器61、A/D轉換器64、以及驅動控制器96所構成的。較佳的係，可於單一電路板上提供該固態成像器件10、該

前置放大器61、該A/D轉換器64、以及該驅動控制器96來設計該固態成像單元2，或是於單一半導體基板上來構成該些部件。不過，此僅為其中一種範例，亦可採用各種修改例。舉例來說，可於一和含有該固態成像器件10的半導體晶片分離的電路板(其可能係一半導體晶片)上部份或完整提供該前置放大器61、該A/D轉換器64、以及該驅動控制器96。

於圖1所示的範例中，信號處理系統6的前置放大器61與A/D轉換器64均係內含於成像模組3之中。不過，並不僅限於該範例，該前置放大器61與該A/D轉換器64亦可位於主單元4之上。再者，D/A轉換器82亦可能位於影像處理器66之中。

再者，雖然時序信號產生器40於本範例中係內含於成像模組3之中，不過亦可取代為該時序信號產生器40係位於主單元4之中。再者，雖然時序信號產生器40、掃描器42、以及控制信號產生器46於本範例中係分離的，不過，並不僅限於該範例，亦可將該些部件整合在一起。如此便可精簡該數位相機1的體積。

再者，雖然時序信號產生器40、掃描器42、以及控制信號產生器46可利用離散組件來分開設計，不過，較佳的係，利用單一半導體基板上所形成的積體電路(IC)來設計該些部件。更佳的係，將該些部件連同該固態成像器件10一起形成於單一半導體基板之上。於CMOS成像器件的情況中，此類型的構造相當容易。如此便可讓該固態成像單元2更為精簡，有助於進行部件交遞，並且可降低成本。再者，還

有助於該數位相機1的製造。

當將時序信號產生器40、掃描器42、以及控制信號產生器46(該些部件與固態成像器件10具有強烈的連接關係)與該固態成像器件10安裝於一共同基板之上或於該成像模組3中提供該些部件以整合該些部件時則有助於進行部件交遞與管理。於此情況中，因為該等部件被整合成單一模組，所以，有助於該數位相機1或該數位相機1成品的製造。成像模組3可能係由固態成像器件10與光學系統5所組成，而並不包含驅動控制器96。

本文並不僅限於該等上述構造，時序信號產生器40亦可與成像單元110分離，從而使得該固態成像單元2係由一含有該成像單元110與複數個週邊電路(例如掃描器42)的成像器件與外部的時序信號產生器40所構成。也就是，讓該時序信號產生器40成為一獨立於其它功能單元(例如成像單元110與水平掃描器42H)的分離半導體積體電路。於此情況中，該固態成像單元2則係由該時序信號產生器40與一含有該成像單元110與該水平掃描器42H的成像器件所構成。該固態成像單元2的形式可能係一含有複數個週邊電路(例如一信號處理電路與一電源供應電路)的成像模組。

固態成像器件與周邊部件

第一與第二具體實施例

圖2A與3為根據本發明第一與第二具體實施例之一主要由該CMOS固態成像器件10所組成之固態成像單元2及其週邊部件的概略示意圖。於圖2A與3所示的具體實施例中，該

固態成像器件10主要係由成像單元110與前置放大器61所組成，而A/D轉換器64則係位於該固態成像器件10的外部。

可藉由於一共同的半導體基板上形成該成像單元110與該前置放大器61來設計該固態成像器件10。再者，可於相同的晶片上未形成該固態成像器件10之行區域的區域中形成該A/D轉換器64與一信號擴大單元310。於此情況中，該固態成像單元2實質上係與該固態成像器件10相同。

該固態成像單元2包含一成像單元(一光電轉換區域)，其包含一由複數條像素列與複數條像素行所組成的二維矩陣。該等像素包含複數個光電感元件，其會輸出對應入射光量的信號。於該固態成像單元2中會針對該等個別像素行於讀取自該等個別像素之成像信號的輸出側上的行區域中提供複數個電容器，讀取自該等個別像素之成像信號會被陸續儲存於該等電容器之中，而且該等信號會被陸續讀出至一輸出放大器。此配置將被稱為行式配置。

根據該行式配置，會以逐行的方式為基礎來讀取且處理像素信號。因此，相較於於個別單元像素中來處理像素信號的配置，每個該等單元像素的構造比較簡單。所以，便可增加像素的數量，縮小尺寸，並且降低影像感測器的成本。下文中將更明確地說明該行式配置。

如圖2A與3所示，該固態成像單元2包含一成像單元110，其包含一由圖2B所示之m列與n行單元像素(P)103所組成的二維陣列；一位於該成像單元110近端處的驅動控制器96；一含有行電路63的前置放大器61；以及一輸出放大器129。

該輸出放大器129係充當一輸出部，其會輸出該成像單元110之實質全部像素(所有實質有效的像素)的像素信號，作為單一成像信號線S0。

如圖2B所示，每個該等單元像素103均包含一浮動擴散(FD)區138，該區具有一雜散電容。該浮動擴散區138係充當一電荷累積器，其可累積由一埋植光二極體設計而成之電荷產生器132所產生的信號電荷。再者，該單元像素103包含四個電晶體，下文中將其稱為4TR配置。於該單元像素103中會使用一埋植二極體來降低暗電流。

該等四個電晶體TR包含一讀取選擇電晶體134、一重置電晶體136、一垂直選擇電晶體140、以及一放大電晶體142。因此，該單元像素103包含一像素信號產生器105，其含有該浮動擴散區138。稍後將參考圖14來詳細說明該單元像素103。

雖然為簡化起見而於圖2A中省略某些列與某些行，不過，實際上，於該等列與行之上卻可提供數十個至數千個單元像素103(103-1-1、...103-1-n，103-2-1、...103-m-n)。

舉例來說，驅動控制器96包含一水平掃描器42H、一垂直掃描器42V、以及一控制信號產生器46。雖然圖中未顯示，不過，水平掃描器42H包含一水平解碼器，用來決定欲讀取的行，也就是，用以個別選擇該前置放大器61中的每個該等行電路63。水平掃描器42H還包含一水平驅動電路(也就是，一行選擇移位暫存器)，用以根據該水平解碼器所決定的讀取行位址來將一經選定之行電路63的信號引領至一條

水平信號線118之上。

雖然圖中未顯示，不過，垂直掃描器42V包含一垂直解碼器，用來決定欲讀取的列，也就是，用以選擇該成像單元110的某一列。垂直掃描器42V還包含一垂直驅動電路(也就是，一列選擇移位暫存器)，用以根據該垂直解碼器所決定的讀取列位址來供應複數個脈衝給複數條控制線，用以驅動複數個單元像素103。該垂直驅動電路包含一傳輸驅動緩衝器150、一重置驅動緩衝器152、以及一選擇驅動緩衝器154，稍後將參考圖14來作說明。

再者，驅動控制器96包含時序信號產生器40(如圖1所示，圖2A並未顯示)，用以於特定時間處來產生各種脈衝信號，並且將該等脈衝信號供應至該水平掃描器42H、該垂直掃描器42V、以及該行電路63。舉例來說，時序信號產生器40會輸出一水平位址信號給該水平解碼器並且輸出一垂直位址信號給該垂直解碼器，而該等解碼器則會分別選擇對應的列與行。

較佳的係，利用製造半導體積體電路所使用的技術於一由單晶矽或類似材料所組成的半導體區域中來整合構成該驅動控制器96的該等組件與該成像單元110，藉此便可構成一固態成像器件，其為半導體器件的其中一種範例。該成像單元110的該等單元像素103會被連接至接地(GND)，該GND係作為一用來定義整個器件之參考電壓的主參考電壓。

於該等單元像素103與該等個別行電路63之間的信號路

徑上會提供一含有複數個負載MOS電晶體171(171-1、171-2、...171-n)的負載電晶體單元172，該等電晶體的汲極會被連接至複數條垂直信號線158(158-1、158-2、...158-n)。另外還會提供一負載控制器(負載MOS控制器)174，用來控制該等負載MOS電晶體171的驅動作業。該負載控制器174會供應偏壓電壓給該等個別負載MOS電晶體171的閘極，以便讓該負載控制器174來驅動且控制該等負載MOS電晶體171。

舉例來說，該等單元像素103會透過複數條垂直掃描控制線115(115-1、115-2、...115-m)被連接至該垂直掃描器42V，用於選擇複數列，並且會透過該等垂直信號線158被連接至該等個別的行電路63。

該等垂直掃描控制線115通常係從該垂直掃描器42V延伸至該等單元像素103的線。舉例來說，就圖2B所示的單元像素103而言，該等垂直掃描控制線115包含一傳輸閘極線(TX)151與一重置線(R)153，以及一垂直選擇線(SV)155，其中該垂直選擇線(SV)155係延伸自該垂直掃描器42V。該水平掃描器42H與該垂直掃描器42V包含複數個解碼器，並且會響應時序信號產生器40所供應的驅動脈衝來開始進行移位作業(也就是掃描)。因此，該等垂直掃描控制線115包含複數條用來傳輸各種脈衝信號(例如重置脈衝R、傳輸控制脈衝TX、以及DRN控制脈衝SV)，以便驅動該等單元像素103。

該等放大電晶體142會透過該等垂直選擇電晶體140被連

接至該等垂直信號線158。該等垂直信號線158會以逐行的方式被連接至該等負載MOS電晶體171的汲極。該等負載MOS電晶體171的閘極會從該負載控制器174中共同接收一負載控制信號CTld，而且當信號被讀取時，透過該等垂直選擇電晶體140被連接至該等放大電晶體142的該等負載MOS電晶體171便會讓預設的恆定電流流過。

成像單元110所獲得的像素信號會透過該等垂直信號線158被傳輸至前置放大器61的該等行電路63(63-1、63-2、...63-n)。經過該等行電路63處理之後的電壓信號會透過依照源自該水平掃描器42H之水平選擇信號所選出的水平選擇電晶體(未顯示)被傳輸至該水平信號線118，接著便會被輸入至輸出放大器129，然後便會被供應至一外部電路300，作為成像信號S0。

也就是，於行式固態成像單元2中，會依照該等垂直信號線158、該等行電路63、該水平信號線118、以及該輸出放大器129的順序來傳輸單元像素103所輸出的電壓信號。更明確地說，其中一列的輸出像素信號會透過該等垂直信號線158以平行該等行電路63的方式傳輸，而CDS處理所獲得的信號則會透過該水平信號線118以序列的方式被輸出。該等垂直掃描控制線115係用來選擇列。

只要能夠個別驅動每一行與每一列，便可任意選擇用來施加脈衝信號的驅動時脈線的實體繞線方式，也就是，用來傳輸脈衝信號的線可沿著該等單元像素的列或行進行排列。

前置放大器61包含為該等個別垂直信號線158(也就是，行)所提供的複數個行處理器62。每個該等行處理器62均包含一像素信號偵測器210、一像素信號放大器230、一切換器250、以及一行電路63。該等行電路63係像素信號獲取單元的其中一種範例，其可陸續累積透過該等垂直信號線158被讀取之該等單元像素103的像素信號，並且可於特定時間處來讀取該等像素信號。舉例來說，每個該等行電路63均包含一取樣保持(S/H)電路作為一基本組件。可依照透過複數條控制線43從該水平掃描器42H被輸入的控制信號來控制該等行電路63的運作。

稍後將詳細說明，視結合位於其前級處之該等像素信號放大器230而定，該等行電路63較佳的係具有抑制該等像素信號放大器230所輸出之成像信號中內含的雜訊的功能。舉例來說，可利用已知的相關雙重取樣(CDS)配置來設計該等行電路63。也就是，該等行電路63較佳的係具有雜訊抑制器的功能。

再者，稍後將詳細說明，視結合該等像素信號放大器230而定，該等行電路63較佳的係具有抑制該等像素信號放大器230所輸出之成像信號的直流(DC)成份變異的功能。也就是，根據本發明，該等行電路63較佳的係具有輸出DC位準抑制器的功能。

除了該等行電路63之外，前置放大器61還包含一像素信號控制器200。像素信號控制器200包含複數個像素信號偵測器(C)210(210-1、210-2、...210-n)，用來偵測輸入信號的

信號位準；複數個像素信號放大器230(230-1、230-2、...230-n)，其可被設計成可程式化增益放大器(PGA)；以及複數個切換器250(250-1、250-2、...250-n)。該等像素信號偵測器210、像素信號放大器230、以及切換器250均為本具體實施例的特點。像素信號控制器200係本發明之增益控制器的其中一種範例。於本具體實施例中，除了該等像素信號偵測器210以及該等像素信號放大器230之外，像素信號控制器200還包含控制信號產生器46，該像素信號控制器200整體而言可當作一PGA電路。

第一與第二具體實施例的特徵如下：可針對該行區域單元(前置放大器61)中的每條像素行來個別偵測該等個別單元像素103的像素信號Vsig的位準；可以該等偵測結果為基礎來為該等個別像素行獨立設定增益；以及經過設定增益之後，可以類比信號的方式將像素信號Vout輸出至該行區域單元(前置放大器61)的外部。

該配置可使得能夠在前置放大器61之後級處偵測到該等單元像素103的信號位準。不過，於此情況中，卻必須提供該放大器的頻帶，因而亦會提高源自該偵測電路的雜訊。其中一種對策係，針對該等個別像素行來提供偵測電路，如此便可將最終級放大器的頻帶降為該等像素行數的倒數，進而便可降低雜訊。

可根據透過控制線211從控制信號產生器46處輸入的各種控制信號來控制該等像素信號偵測器210的運作情形。可根據透過控制線231從控制信號產生器46處輸入的各種控

制信號來控制該等像素信號放大器230的運作情形。可根據透過控制線251從控制信號產生器46處輸入的控制信號φs來控制該等切換器250的切換運作。

該等像素信號偵測器210會以逐線的方式從成像單元110中讀取像素信號Vsig，並且決定其電壓位準。該等像素信號偵測器210會傳送M位元分級信號Vsepa(其代表的係該行區域單元(前置放大器61)中該等像素信號放大器230或該控制信號產生器46的結果)至該行區域單元(前置放大器61)的外部。因此便可以自匹配的方式來控制增益。

該等像素信號偵測器210還會將該等分級信號Vsepa輸出至固態成像器件10的晶片外部，以便能夠找出該等像素信號Vsig的位準以及由該晶片外部設定給該等像素信號放大器230的增益。因此便允許從該晶片外部依照所偵測到的分級信號Vsepa來為該等個別像素設定增益，或是依照該等增益來實行信號處理。

可利用中央控制器92(如圖1所示，圖2A中並未顯示)來選擇究竟係要以該行區域單元(前置放大器61)中該等像素信號偵測器210的偵測結果為基礎來設定該等像素信號放大器230的增益，或是要由位於該行區域單元(前置放大器61)外部的控制信號產生器46來控制增益。

當由控制信號產生器46來控制增益時，該控制信號產生器46便會以該行區域單元(前置放大器61)中該等像素信號偵測器210的偵測結果為基礎來為該等像素信號放大器230設定正確的增益。或者，舉例來說，必要時，可由使用者

依照影像來設定增益，而不必參考該等像素信號偵測器210的偵測結果，就如同稍後參考圖22所述的配置一般。

於任一情況中，當參考該行區域單元(前置放大器61)中該等像素信號偵測器210的偵測結果時，該等像素信號偵測器210的偵測結果便會以自匹配的方式反映在位於該行區域單元中之該等像素信號放大器230的增益設定中，進而允許進行增益自動設定。

當未參考該等像素信號偵測器210的偵測結果時，則不會以自匹配的方式來調整增益，並且會由控制信號產生器46由外部來控制該等像素信號放大器230的增益。因此，明顯地，並不需要提供該等像素信號偵測器210。根據不會參考該等像素信號偵測器210之偵測結果的配置，該行區域單元會更為精簡，因此可藉由外部設定來提高設計彈性。再者，當不需要該控制信號產生器46時，當然不必提供該控制信號產生器46。

該等像素信號放大器230的輸入會透過該等切換器250被連接至該等垂直信號線158，而輸出則會被連接至該等行電路63。該等像素信號放大器230較佳的係被配置成能使得輸出信號Vout的DC位準即使在調整增益時亦不會發生變化。

可根據第一具體實施例來配置該等像素信號偵測器210，以便可偵測該等像素信號放大器230之輸出側上的信號位準，如圖2A所示；或是，可根據第二具體實施例來配置該等像素信號偵測器210，以便可偵測該等像素信號放大器230之輸入側上的信號位準，如圖3所示。當於該等像素

信號放大器230之輸出側上來偵測信號位準時，則可於該等像素信號放大器230與該等行電路63(或是稍後所述的行ADC電路280)之間來進行偵測；或是於該等行電路63(或是稍後所述的行ADC電路280)的輸出側上來進行偵測。稍後將詳細說明該些配置。

該等個別行的行區域包含該等像素信號偵測器210、該等像素信號放大器230、該等切換器250以及該等行電路63，而且該等個別行的行區域將統稱為行區域單元。該行區域單元實質上與該前置放大器61相同。

於上述的配置中，該像素信號控制器200會偵測經由該等垂直信號線158所讀取的像素信號的位準，並且輸出該等信號位準，同時控制該等單元像素103之該等像素信號的增益。該像素信號控制器200會適應性調整輸出增益，本文將其稱為適應增益行調整電路。稍後將詳細說明該像素信號控制器200。

於具上述構造的適應增益行調整電路中，該等像素信號偵測器210會透過輸出線212a(圖2A中未顯示)來控制該等像素信號放大器230的增益設定。再者，該等像素信號偵測器210會透過輸出線212b(圖2A中未顯示)將分級信號Vsepa傳送給控制信號產生器46。控制信號產生器46會響應該等分級信號Vsepa來控制該等像素信號放大器230的增益設定。

相較於經由該等輸出線212a直接供應分級信號Vsepa給該等像素信號放大器230的情況，可於控制信號產生器46

中實行額外的處理。因此，相較於僅於該行區域單元內來控制增益設定，此作法則可根據偵測結果從該行區域單元的外部來控制該等像素信號放大器230的增益設定，進而改良增益設定的彈性。

舉例來說，視該等分級信號Vsepa與作業時序而定，當透過該等輸出線212a來直接控制增益設定時，其控制結果便可侷限在2的乘冪中，例如1(2^0)、2(2^1)、4(2^2)、8(2^4)、(「^」表示2的乘冪)。相反地，透過控制線212b將分級信號Vsepa傳送給控制信號產生器46，則可以步階的方式來控制增益設定，其步階大小範圍介於x1至x8甚至更大之間。

舉例來說，可利用一外部電路300來偵測單一整個畫面的信號的平均位準，並且透過中央控制器92將偵測結果(其代表的係信號的平均位準)傳送至該控制信號產生器46。該控制信號產生器46可以接收自該等像素信號偵測器210的分級信號Vsepa為基礎，以2的乘冪的方式來決定欲設定給該等像素信號放大器230的增益。接著，便可以該中央控制器92所回報的平均信號位準為基礎來校正該等增益，並且將x1至x8範圍中的經校正增益設定給該等像素信號放大器230。

再者，該等像素信號偵測器210會透過輸出線212c將該等分級信號Vsepa輸出至該固態成像器件10的晶片外部。此時，會以該等單元像素103為基礎，搭配經過該等像素信號放大器230放大的乘像信號來輸出該等分級信號Vsepa。

「搭配輸出」的意思指的係像素信號以及和該等像素信

號有關的分級信號Vsepa會以像素位置為基準以彼此同步的方式被輸出，以便於和位於後級處之信號處理電路(也就是，信號擴大單元310)的輸入區段實質相同的時間處來輸入該些信號。舉例來說，並不受限於在和被該等像素信號放大器230放大之信號相同的時間處將該等分級信號Vsepa輸出至該晶片的外部，當類比成像信號於被傳送至該信號擴大單元310以前經過該A/D轉換器64數位化時，便必須考慮該數位化所造成的延遲。

於和該信號擴大單元310相同的時間處來輸入該等分級信號Vsepa與像素信號，便可精確地控制該信號擴大單元310中的信號處理，因而有助於進行該信號處理。

舉例來說，當可從該晶片外部發現像素信號Vsig的位準以及被設定給該等像素信號放大器230的增益數值時，便可利用以M位位元分級信號Vsepa(其代表的係該等像素信號偵測器210的偵測結果，致使可從外部發現該等像素信號位準或該等增益數值)為基礎的強度資訊或顏色資訊來代表於一監視器上被顯示的單一畫面。中央處理器92會從一使用者處接收指令，用來對單一整個畫面進行增益設定，並且將該等指令傳送給該控制信號產生器46。

相較於僅在該晶片內來控制增益的情況，允許使用者進行外部設定可提高增益設定彈性。再者，因為從該晶片外部仍可參考分級信號Vsepa，所以，相較於藉由從外部來控制增益以控制一影像的亮度而不管信號位準為何的情況，即使由使用者手動進行設定仍可進行精確控制。於此情況

中，該控制信號產生器46可能係位於該晶片外部，舉例來說，可將該控制信號產生器46與該中央控制器92整合在一起。如此則可縮小該晶片佔用的面積。

於該固態成像單元2(固態成像器件10)的後級處會提供一外部電路300，其包含一N位位元(例如12位位元或14位位元)的A/D轉換器64與一信號擴大單元310(該信號擴大單元310係本具體實施例的特點)。稍後將作詳細說明，該信號擴大單元310具有雜訊消除功能與增益失配校正功能。

信號擴大單元310可以從該等像素信號偵測器210所輸入的分級信號Vsepa與經該A/D轉換器64數位化的N位位元成像信號Vout2來擴大該等N位位元成像信號的數位動態範圍。於此同時，該信號擴大單元310會實施數位雜訊消除處理與增益失配校正處理，該增益失配校正處理係本發明的增益校正的其中一種範例。

增益失配校正的目的在於校正單一畫面上的增益設定變異(其係因針對該等像素信號放大器230中的該等個別像素設定不同的增益所導致)，以便可於整個畫面中還原原來的狀態，從而可擴大其中一個畫面的信號的動態範圍。

舉例來說，當以M位位元來表示被設定給該等像素信號放大器230的增益調整範圍時，便可以(N+M)位位元來表示資料。當該等分級信號Vsepa的位元數M與該增益調整範圍一致時，便可利用輸入信號V(i)與分級信號Vsepa來校正N位位元資料的位元解析度，致使可將該位元解析度從N位位元擴大成(M+N)位位元甚至更高。即使該等分級信號Vsepa

為1位元資料，當由該等分級信號Vsepa所代表的增益為x1與x8時，也就是當可設定給該等像素信號放大器230的增益為x1與x8時(3位位元的調整範圍)，該輸入N位位元資料便被擴大3位位元。此時，該等分級信號Vsepa會經由增益校正係數產生器316而與增益校正係數產生關聯。

該信號擴大單元310會構成經由DSP設計而成的影像處理器66(如圖1所示)的一部份。雖然該外部電路300的A/D轉換器64與信號擴大單元310係與該固態成像單元2(固態成像器件10)分離，不過，亦可利用製造半導體積體電路所使用的技術於一由單晶矽或類似材料所組成的半導體區域中來整合該外部電路300與該成像單元110，藉此便可設計出一固態成像器件，其為半導體器件的其中一種範例。

運作原理

接著將說明的係具上述構造的固態成像單元2的運作原理。首先，會有複數個信號電壓Vsig從該等垂直信號線158(158-1、158-2、...158-n)被輸出，並且被輸入至該等像素信號放大器230。該等信號電壓Vsig會被放大特定的放大倍數，而放大的結果信號則會被輸出，成為輸出信號Vout。該等像素信號偵測器210會將該等輸出信號Vout與該等像素信號放大器230之輸出側上的預設參考電壓作比較。或者，該等像素信號偵測器210會將該等信號電壓Vsig與該等像素信號放大器230之輸入側上的預設參考電壓作比較。接著，該等像素信號偵測器便會輸出複數個分級信號Vsepa。

作業時序與偵測電路的第一範例，其和第二具體實施例

有關

圖4為根據圖3所示之第二具體實施例的固態成像單元2的單一水平週期中的作業時序的時序圖。圖5為根據圖3所示之第二具體實施例中的一像素信號偵測器210的示範構造的示意圖。

如圖5所示，第二具體實施例中的像素信號偵測器210包含一像素信號位準偵測器213與一分級信號產生器224。該像素信號位準偵測器213會偵測經由該成像單元110之某條垂直信號線158被輸出的像素信號Vsig，並且將該位準與預設的臨界數值作比較。分級信號產生器224會產生一分級信號Vsepa，用於以該像素信號位準偵測器213的偵測結果為基礎來對該等像素信號Vsig的位準進行分級。

該像素信號位準偵測器213包含複數個切換器214、215、216、217與218；一電容器219；以及比較器220與222。該分級信號產生器224包含三個正反器(FF)電路226、227 與228。

於該像素信號位準偵測器213中，該像素信號偵測器210中的電壓產生器(未顯示)會施加一預設的參考電壓VR至該等個別比較器220與222的其中一個輸入節點220a與222a。該等個別切換器215至217的其中一個終端會接收預設位準的比較電壓Vrc1、Vrc2、與Vrc3，而該等個別切換器215至217的另一個終端則會被共同連接至切換器214的輸出與電容器219。

切換器218係位於輸入節點220b與該輸出之間，以便能夠

重置比較器220。切換器214會經由一垂直信號線158來接收一像素信號Vin。該像素信號Vin會透過該切換器214被傳送至電容器219，並且會由比較器220將其與一預設電壓作比較。比較器220的輸出會被輸入至比較器222的輸入節點222b。比較器222的輸出會被共同輸入至該等正反器電路226、227與228的資料輸入終端(D)。

該等切換器214至218會經由控制線211從該控制信號產生器46中接收同步時脈ϕrc1至ϕrc3、ϕ4、以及ϕ4'，作為控制信號。

於分級信號產生器224中，該等正反器電路226至228的時脈終端會經由控制線211從該控制信號產生器46中接收同步時脈/ϕrc1至/ϕrc3(圖4中以上橫線來表示)，該等時脈為同步時脈ϕrc1至ϕrc3的反向信號。該等正反器電路226至228的鎖存終端(R)會接收輸出脈衝Rc。

現在將參考圖4所示的時序圖來說明像素信號偵測器210的運作情形。首先，會於時脈ϕ1的「H」週期(t10至t23)中來重置該像素信號放大器230，其為控制該像素信號放大器230的控制信號。再者，於該ϕ1=「H」的週期中，會經由一重置線153輸入一重置脈衝R(i)來重置含有該單元像素103之浮動擴散區138在內的像素信號產生器105的重置電晶體136(t10至t11)。接著，便會取樣接收自該單元像素103的重置位準(t11至t12)。

接著，便會透過一傳輸閘極線151將一傳輸控制信號(也就是，讀取脈衝)TX(i)拉至「H」，藉此便可將由一光二極

體或類似元件設計而成的電荷產生器132的信號讀出至該浮動擴散區138(t12至t13)。於此同時，切換器250的控制信號φ2係位於「L」處，以便可讓該像素信號放大器230保持在重置狀態中。

接著，於φ1=「H」與φ2=「L」的週期中，會將切換器214的控制信號φ4拉至「H」，以便能夠啟動該像素信號偵測器210(t14至t15)。接著，便可陸續選擇控制信號φrc1至φrc3(t16至t21)，用以依照該等信號位準來決定增益(t22)。

舉例來說，經由該垂直信號線158透過切換器214被輸入的像素信號Vsig會被累積於比較器220的輸入節點220b的電容器219之中(t14至t15)。可藉由以同步時脈φrc1至φrc3為基礎來操作該等切換器215、216與217，以便由該等比較器220與222來比較該經累積的信號Vsig與該等比較電壓Vrc1、Vrc2與Vrc3。可以同步時脈/φrc1至/φrc3為基礎將三次比較的比較結果Vcopm寫入該等正反器電路226、227與228。接著完成和同步時脈φrc3相關的比較之後，便可從2的乘冪中(例如1、2、4與8)決定出該像素信號放大器230的增益。

此範例中係以和由2的乘冪所代表的增益設定相關的參考電壓為基礎來實施比較與分級，致使該等分級信號Vsepa會逐個和由2的乘冪所代表的該等像素信號放大器230的增益設定數值產生關聯。因此，便可以位元控制信號G1、G2與G4(或/G1、/G2與/G4)直接作為切換增益的控制信號，而該等分級信號Vsepa的位元數M則會等於增益調整範圍的

位元數。當僅使用單一個參考電壓或是參考電壓並非由2的乘冪來代表時，則不允許發生此關聯性。

舉例來說，當僅以和x8的增益相關的參考電壓為基礎來進行比較與分級時，分級信號Vsepa便係1位位元資料，但是根據x8的增益，增益的調整範圍則係三位位元，所以便出現失配的情形。不過，即使於此情況中，當配合可將增益設為x1或x8的像素信號放大器230來使用時，亦可直接使用該1位位元的分級信號Vsepa來進行增益設定。然而，於此情況中，當校正該信號擴大單元310中的增益時，針對該分級信號Vsepa的其中一位位元來實施校正並不足夠，而必須針對該分級信號Vsepa所代表的增益(也就是，針對3位位元)來實施校正，稍後將參考圖21A與21B作詳細說明。

因此，可將該垂直信號線158上的信號Vsig(更明確地說係介於重置位準Vrst與像素信號Vsig之間的差值ΔV)分級至某個範圍之中。代表分級結果的分級信號Vsepa可以輸出脈衝Rc為基礎由該等正反器電路226、227與228的非反向輸出終端Q以位元信號(下文中亦稱為位元控制信號)G1、G2與G4的形式來輸出，亦可由該等反向終端/Q(圖5中以上橫線來表示)以/G1、/G2與/G4(圖5中以上橫線來表示)的形式來輸出，作為正負兩側上的3位位元資料。

由3位位元資料所代表的分級信號Vsepa會被供應至該像素信號放大器230，並且可作為該像素信號放大器230的增益設定信號。也就是，根據本發明，含有該等正反器電路226、227與228的分級信號產生器224可充當一增益設定控

制器，其會根據分級信號Vsepa來控制該像素信號放大器230的增益設定。

代表針對每行所提供的像素信號位準偵測器213與分級信號產生器224的分級結果的分級信號Vsepa會被回授，用以供針對每行所提供的像素信號放大器230的增益設定來使用，從而可自動設定該像素信號放大器230的增益。也就是，由該分級信號產生器224送出該分級信號Vsepa給該像素信號放大器230用以設定該像素信號放大器230的增益的配置中，便必須針對每條像素行來提供一增益設定控制器。

再者，由3位位元資料所代表的分級信號Vsepa會被供應至該控制信號產生器46，或是連同被該像素信號放大器230放大的輸出信號一起被讀出至該固態成像器件10的晶片外部。亦可參考該分級信號Vsepa，並且由該控制信號產生器46或是由該晶片的外部來設定該像素信號放大器230的增益。再者，可藉由數位信號處理於該信號擴大單元310中來校正每個像素的增益設定，以便擴大數位動態範圍，同時又可校正單一畫面上增益設定中的變異。

於此具體實施例中，雖然分級信號Vsepa係從分級信號產生器224輸出至該行區域單元的外部，不過，亦可從該像素信號位準偵測器213中直接輸出偵測結果Vcomp，並且利用該結果來進行增益設定或增益校正。

再者，於完成決定像素信號放大器230之增益的作業之後，控制信號ϕ1便會被拉至「L」，而控制信號ϕ2則會被拉至「H」，致使像素信號放大器230會放大垂直信號線158上

的像素信號Vsig。該經放大的信號Vout會被讀出至該行區域單元(前置放大器61)的外部。因此，便可於類比域中放大該低位準的像素信號Vsig，以便取得較高位準的信號。

該經放大的信號Vout可能會直接被讀出至該固態成像器件10的外部，或是可利用位於該像素信號放大器230後級處的行電路63來取樣且保持該信號Vout以進行讀取，如圖2A與3所示。當行電路63被調適成具有CDS或其它雜訊抑制功能或DC變異抑制功能時，則可於類比域中將一低位準的信號放大至較高的位準，並且可抑制DC位準中因固定圖案雜訊或增益調整所導致的變異相關的雜訊，因而便可達到高S/N比的目的。

比較器的示範構造

圖6為圖5所示之比較器220與222的示範構造的示意圖。每個該等比較器220與222均包含一差動放大器。更明確地說，如圖6所示，於該等比較器220與222之中，用來實施差動放大作用的一對電晶體Q220與Q222的源極會共同被連接至一電晶體Q226(其係用來供應一恆定電流)，而該等電晶體Q220與Q222的汲極則會藉由串聯的方式被連接至一對電晶體Q227與Q228。該等電晶體Q227與Q228的汲極會接收一電源供應電壓(於本範例中為2.5 V)。

電晶體Q222的閘極對應的係圖5所示的輸出節點220a與222a，而且會接收到一參考電壓VR。電晶體Q220的閘極對應的係圖5所示的輸入節點220b與222b。電晶體Q226的閘極會從控制信號產生器46中接收一預設的控制信號，致使其

可作為一恆定電流源。電晶體Q227的閘極會從該等比較器220與222中的一電壓產生器(未顯示)中接收一預設的控制信號。或者，可從控制信號產生器46中施加一控制信號至電晶體Q227的閘極。

因為可利用上述的簡單差動放大器來設計該等比較器220與222，所以，可利用元件數量低且行區域面積小的電路來設計該等比較器220與222。

接著將利用特定的數值範例來說明第二具體實施例中的像素信號偵測器210的運作情形。舉例來說，於根據第二具體實施例的配置中，可將該信號電壓Vsig與該像素信號放大器230(參考圖3)輸入側上的預設參考電壓作比較，該等參考電壓為500 mV、250 mV、以及125 mV。該些數值係取決於垂直信號線158之信號飽和位準為1 V。更明確地說，1 V可分成八個125 mv的範圍。為與該些參考電壓作比較，必須供應具有分別對應於500 mV、250 mV、以及125 mV之預設位準的比較電壓Vrc1、Vrc2、以及Vrc3給該像素信號偵測器210。

代表該等個別像素信號偵測器210(210-1、 210-2、...210n)之比較結果的輸出代碼(也就是，分級信號Vsepa)如下面的公式(1)所示：

$$Vsig < 125\ mV \quad 代碼 \quad 000$$

$$125\ mV \leq Vsig < 250\ mV \quad 代碼 \quad 001$$

$$250\ mV \leq Vsig < 375\ mV \quad 代碼 \quad 002$$

$$375\ mV \leq Vsig < 500\ mV \quad 代碼 \quad 003$$

500 mV ≤ Vsig < 625 mV 代碼 004

625 mV ≤ Vsig < 750 mV 代碼 005

750 mV ≤ Vsig < 875 mV 代碼 006

875 mV ≤ Vsig < 1,000 mV 代碼 007 (1)

舉例來說，當Vsig = 300 mV時，便會從輸出線212c將由代碼「002」之3位位元數位信號所表示的比較輸出(也就是，分級信號Vsepa)輸出至該行區域單元(前置放大器61)的外部。當Vsig = 100 mV時，便會從輸出線212c將由代碼「000」之3位位元數位信號所表示的分級信號Vsepa輸出至該行區域單元的外部。

該等像素信號偵測器210(210-1、210-2、...210-n)亦會從輸出線212b將該等比較輸出(也就是，分級信號Vsepa)輸出至被設計成PGA電路的像素信號放大器230(230-1、230-2、...230-n)，並且還會從輸出線212c將該等比較輸出輸出至控制信號產生器46。

舉例來說，當Vsig = 300 mV時，便會根據源自像素信號偵測器210的代碼信號「002」來倍增該像素信號放大器230的增益。當Vsig = 100 mV時，該像素信號放大器230的增益則會乘以8。也就是，於此具體實施例中，像素信號放大器230會將該輸入信號電壓Vsig轉換成高電壓。舉例來說，x1的增益可套用至對應於正常發光度的高信號位準的像素，而x8的增益則可套用至對應於低發光度的低信號位準的像素。

作業時序與偵測電路的第二範例，其和第一具體實施例

有關

圖7為根據圖2A所示之第一具體實施例的固態成像單元2的水平週期中的作業時序的時序圖。圖8為圖2A所示之第一具體實施例中的像素信號偵測器210的示範構造的示意圖。

接著將利用特定的數值範例來說明第一具體實施例中的像素信號偵測器210的運作情形。舉例來說，於根據第一具體實施例的配置中，可將該信號電壓Vout與該像素信號放大器230輸出側上的預設參考電壓作比較，當以2的乘冪為基礎，利用三種位準x2、x4、以及x8來控制增益設定時，該等參考電壓則為500 mV、250 mV、以及125 mV。為與該些參考電壓作比較，像素信號偵測器210會接收具有分別對應於500 mV、250 mV、以及125 mV之預設位準的比較電壓Vrc1、Vrc2、以及Vrc3。

代表比較結果的該等像素信號偵測器210(210-1、210-2、...210n)的輸出可以下面公式(2)所示之規則為基礎的代碼(也就是，分級信號Vsepa)來表示：結合使用該等三個參考電壓500 mV、250 mV、以及125 mV(例如125 + 250 = 375 mV、125 + 500 = 675 mV、500 + 250 = 750 mV、以及500 + 125 + 250 = 875 mV)，那麼便可依照非2乘冪的方式來實施比較。

Vsig < 125 mV	代碼 000
125 mV ≤ Vsig < 250 mV	代碼 001
250 mV ≤ Vsig < 375 mV	代碼 002
375 mV ≤ Vsig < 500 mV	代碼 003

500 mV ≤ Vsig < 625 mV　　代碼　004

625 mV ≤ Vsig < 750 mV　　代碼　005

750 mV ≤ Vsig < 875 mV　　代碼　006

875 mV ≤ Vsig < 1,000 mV　代碼　007　(2)

當以像素信號偵測器210的偵射結果為基礎來設定像素信號放大器230的增益時，假使以預設增益為基礎所偵測到的信號位準落在該像素信號放大器230的線性範圍之外的話(落在可設定給該像素信號放大器230的增益以外)，那麼便會將最大增益(而非該預設增益)設定給該像素信號放大器230。因此，可控制增益設定，使其不會超過像素信號放大器230的動態範圍。

依慣例會直接使用小位準(本範例中為100 mV)的信號，因而S/N比相當低，而且所生成的影像會含有相當多的雜訊。相反地，根據第一與第二具體實施例，等效的輸入信號係800 mV，所以S/N比相當高，而且影像品質非常良好。

再者，雖然當A/D轉換器64的位元數為10且Vsig = 100 mV時，精確度依慣例為6或7位位元，不過，根據該等具體實施例，精確度已被改良成9或10位位元。此相當於將A/D轉換器64的能力從10位位元提高至13位位元。再者，因為能夠為每個像素信號來設定PGA增益，所以，該等具體實施例非常有利於在類比數位(A/D)轉換中達到大量位元數的目的。

再者，將該像素信號偵測器210的參考電壓的數量提高至以2的乘冪為基礎的四個電壓，便可達到4位位元的精確

度，因此便可進一步提高類比信號的S/N比。

相較於慣用技術中在具有高驅動頻率的最終級處來提高增益，因為該等具體實施例係於該電晶體的低驅動頻帶區中來提供增益，所以便可降低熱雜訊。當於極高的訊框速率處利用大量的像素來捕捉影像時，依慣例，雜訊會因為位於最終輸出級處之類比電路的高頻寬的關係而造成問題。相反地，該等具體實施例已經降低頻寬，所以雜訊便低於慣用技術中的雜訊，其可用來提高邊限值。

再者，介由於該像素信號放大器230中設定預設的步階增益數值，便可縮小電路規模。雖然亦允許增益連續地變化，不過，於此情況中，該電路將變得更為複雜。

此外，根據該等第一與第二具體實施例中，並未運用回授配置來讓輸出信號位準維持不變，而且該像素信號放大器230係運作於以規定的條件為基礎所決定的增益處。因此，並不會因回授增益的非無限值(由於試圖讓輸出維持不變，必然會出現此結果)的關係而造成輸出變異的問題。因此，便可取得具有適當S/N比的影像。

從圖2A與3的電路配置中將會瞭解，藉由提供該等像素信號偵測器210針對該等個別行來偵測該等垂直信號線158上的信號位準，便可針對該等個別像素來設定該等像素信號放大器230的增益。也就是，當為最佳化該等個別單元像素之信號的增益而為該等個別的單元像素103提供控制電路時，便會佔用相當大的面積而且成本也會提高。相反地，根據該等具體實施例則係針對每一行來提供一主要由一像

素信號偵測器210與一像素信號放大器230所組成的像素信號控制器200。因此，以逐列的方式來控制所有單元像素103的增益，便可實質控制所有單元像素103的增益且又不會增加晶片大小。

因為各器件間的信號飽和位準各不相同，所以當於整個畫面上以相同的增益來提高亮度時，該畫面中的亮區便會超過該信號飽和位準，因而會於所生成的影像中出現因飽和所造成的不均勻現象。相反地，根據該等第一與第二具體實施例，其係針對每一行來提供一像素信號偵測器210與一像素信號放大器230，所以便可針對每個該等單元像素103來個別控制像素信號。因此，便可控制該畫面中具有小信號的每個單元像素的增益。所以，便可控制讓該畫面中的亮區不會超過飽和。據此，便可針對每個器件來實施合宜的處理，致使不會受到信號飽和位準變異的影響。

再者，運用根據第一具體實施例的配置來比較信號電壓Vout與像素信號放大器230輸出側上的預設參考電壓，便可避免經過像素信號放大器230放大後的輸出信號Vout超過該電路的動態範圍。

當該垂直信號線158的輸出本身飽和時，該信號則會於後續的電路中維持飽和。因此，為正常發光度的區域設定x1的增益，並且於低發光度的區域中，將增益實質提高至該正常發光度的信號位準處，也就是，像素信號放大器230的輸出位準並不會超過該垂直信號線158的信號飽和位準。為反向運作，該像素信號放大器230的動態範圍可選擇

為實質等於或略大於該垂直信號線158的信號飽和位準。

舉例來說，於根據第二具體實施例的配置中，像素信號偵測器210會於該像素信號放大器230之輸入側上進行比較，用以控制該像素信號放大器230的增益，當固態成像器件10(尤其是成像單元110)的信號飽和位準為1 V而且於輸入側上偵測到0.2 V並且於該像素信號放大器230被放大10倍時，那麼，該像素信號放大器230的輸出電壓Vout便會假設為2 V。

根據第二具體實施例，因為並未監視像素信號放大器230的輸出，所以並無法發現該像素信號放大器230是否已經飽和。因此，當該像素信號放大器230未針對2 V具有足夠的動態範圍時，便會出現該成像器件的飽和問題。

為防止超過該信號飽和位準，設定放大器電路的增益並不足以使其不超過垂直信號線158的信號飽和位準。也就是，未不超過該像素信號放大器230的動態範圍，必須設定略低於該相關器件類型之標準動態範圍的增益，致使於考量和環境或變異有關的邊限值時，該像素信號放大器230的輸出不會落在高增益放大的線性範圍之外。即使設定增益使得不會超過該垂直信號線158的信號飽和位準，但是假使該像素信號放大器230不允許該信號飽和位準的話(雖然該像素信號放大器230經常被設計成允許該信號飽和位準)，此作法便毫無意義，從而便無法有效使用適合該像素信號放大器230的動態範圍。

相反地，根據第一具體實施例係在該像素信號放大器230

的後級處實施比較，同時切換該像素信號放大器230的增益設定。因此，藉由檢查增益設定切換與輸出信號變化間的線性關係，便可以逐個器件的方式發現該像素信號放大器230是否飽和。

因此，當某個經設定的增益發生飽和時，便可決定不會利用該增益設定來實行放大。因此，有利的係可將最大增益設在一個別器件的動態範圍的上限內，致使其將不會超過該成像器件的信號飽和位準。因此，便可獲得具有優於第二具體實施例之S/N比的影像。

第三與第四具體實施例

圖9與10為一主要由CMOS固態成像器件10所組成之固態成像單元2的第三與第四具體實施例及其週邊部件的概略示意圖。第三具體實施例和第一具體實施例有關，而第四具體實施例則和第二具體實施例有關。於圖9與10所示的具體實施例中，該固態成像單元2主要係由成像單元110與前置放大器61所組成的，而且該信號擴大單元310係形成於和該固態成像單元2(固態成像器件10)相同的晶片之上。

和上述的第一與第二具體實施例(該等兩個具體實施例係與輸出類比成像素信號的CMOS影像感測器的範例有關)相反的係，於該等第三與第四具體實施例會於該行區域單元中提供一AD轉換器，以便以逐行的方式來輸出數位成像信號。也就是，第三與第四具體實施例的特徵如下：可針對該行區域單元(前置放大器61)中的每一行來個別偵測個別像素信號Vsig的位準；可以為該等個別信號的位準來獨

立設定增益；以及經過設定增益之後，可以數位信號的方式將像素信號Vout輸出至該行區域單元(前置放大器61)的外部。下面的說明將主要針對和該等第一與第二具體實施例的差異。

於該等第三與第四具體實施例中，會針對和某一像素行有關的每個行區域來提供一像素信號偵測器210、一像素信號放大器230、以及一具有A/D轉換功能的行電路(下文中稱為行ADC電路)280，並且會於每個行區域中形成數位信號。也就是，利用行ADC電路280來置換該等第一與第二具體實施例中的該等行電路。像素信號偵測器210、像素信號放大器230、該等切換器250、以及行ADC電路280會構成每一行的行處理器62。

於上述的配置中，會由位於該像素信號放大器230之輸出側(第三具體實施例)或輸入側(第四具體實施例)上的像素信號偵測器210來偵測該垂直信號線158的信號位準。接著，便會將該結果反映在該像素信號放大器230的增益設定中，以便最佳化該像素信號放大器230的增益。該像素信號放大器230會以上述所設定的增益來放大輸入信號Vsig，並且將經放大的信號傳送至後級處的行ADC電路280。

行ADC電路280會降低該每一行有關的行區域的類比像素信號Vsig的雜訊或DC變異，並且將該信號轉換成一N位位元的數位信號Vout3。該行ADC電路280會臨時保持該經數位化的像素資料Vout3一段特定週期，並且於特定時間處依照透過該控制線43從該水平掃描器42H中輸入的水平選

擇信號CH(i)所進行的移位作業將該等個別單元像素的該等數位化N位位元像素信號Vout3輸出至該行區域單元(前置放大器61)的外部以及該固態成像器件10的晶片的外部。

和該等第一與第二具體實施例雷同的係，該像素信號偵測器210會透過輸出線212a與212b(圖10中並未顯示)將一分級信號Vsepa傳送至像素信號放大器230與該控制信號產生器46，另外亦可透過輸出線212c將該分級信號Vsepa傳送至該固態成像器件10的晶片的外部，形成M位位元的資料。

於上述的配置中，像素信號偵測器210會保持N位位元的資訊，而行ADC電路280則會保持M位位元的資訊。因此，根據該等第三與第四具體實施例，和該等第一與第二具體實施例雷同的係，便可由信號擴大單元310來取得等同於(N+M)位位元的資訊。也就是，和該等第一與第二具體實施例雷同的係，信號擴大單元310會以從像素信號偵測器210處輸入的M位位元分級信號Vsepa以及從行ADC電路280處輸入的N位位元為基礎將一N位位元的成像信號轉換成一(N+M)位位元的信號。

再者，因為利用行ADC電路280來置換該等行電路63，而該等像素信號偵測器210、該等像素信號放大器230、以及該控制信號產生器46均與該等第一與第二具體實施例中者相同，所以，和該等第一與第二具體實施例雷同的係，可獲得具有高S/N比的影像，提高雜訊邊限值，並且避免信號飽和位準中的變異效應。再者，和該第一具體實施例雷同的係，根據第三具體實施例並不會超過該成像器件的信號

飽和位準。

像素信號放大器的示範構造

圖11A與11B為用於解釋第一與第三具體實施例中的像素信號放大器230及複數個週邊部件的構造及其作業的示意圖。於第一示範構造中，會提供切換器242與246來設計一切換式電容器雜訊消除放大器(下文中亦稱為行放大器)。

更明確地說，如圖11A所示，源自一垂直信號線158的像素信號Vsig會透過一具有電容7C的電容器232以及一具有電容1C的電容器233被輸入至由一運算放大器設計而成的放大器電路235。於該放大器電路235的輸入與輸出之間，會提供一具有電容1C的電容器236來進行回授增益的設定。根據本發明，位於該放大器電路235的輸入側上以及輸入與輸出之間的該等電容器233、234與236、以及切換器242與246會構成一增益設定單元245。放大器電路235與增益設定單元245會構成該像素信號放大器230，其為可變增益放大器電路的其中一種範例。像素信號放大器230連同用於控制該增益設定單元245之增益設定的控制器會構成一PGA電路。

放大器電路235的輸出會被連接至行電路63，還會被連接至像素信號偵測器210的輸入。切換器246會接收控制信號ϕ1，而切換器242則會透過控制信號產生器46的控制線231接收控制信號ϕ2。

輸入側上的電容器232會透過切換器242被連接至放大器電路235。於該第一示範構造中，切換器242係位於具有電

容7C之電容器232的後級與該放大器電路235的輸入之間。

放大器電路235的輸出會被輸入至行電路63，還會被輸入至像素信號偵測器210。像素信號偵測器210會檢查放大器電路235的輸出信號的位準，並且將結果反映在該放大器電路235的最終增益設定中。

於上述的配置中，如圖11B所示，控制信號ϕ1會開啟切換器246並且重置電容器236，藉此便可重置該放大器(t60至t63)。再者，於此週期中，控制信號ϕ2會開啟切換器242並且重置電容器232(t61至t62)。

也就是，由一切換式電容器電路設計而成的雜訊消除放大器的電容器232與233所構成之具有電容8C(7C+1C)的電容器會取樣源自一單元像素103的重置位準(t61至t62)。接著，控制信號ϕ2便會關閉切換器242，以便讓輸入電容器232與垂直信號線158中斷連接(t62)。

接著，送至該成像單元110之傳輸閘極線151的傳輸控制脈衝TX便會被拉至「H」，致使由電荷產生器132所產生電荷會被傳輸至浮動擴散區138。因此，便會於該垂直信號線158上該成像單元110的輸出處出現對應於該電荷產生器132所收到之光量的像素信號Vsig(t64a至t64b)。

因此，於該放大器被重置之後(t63)，於該輸入側之上便會由該切換式電容器電路的電容器233與232來取樣源自該垂直信號線158的像素信號Vsig。因為該重置位準被事先取樣(t61至t62)，所以，放大器電路235便會輸出以一預設增益來放大該重置位準Vrst與該輸入像素信號Vsig之信號位

準Vsig0間的差值ΔV的結果。

此時，於位於該放大器235之輸入側上之具有電容1C的電容器233與具有電容7C的電容器232的並聯電路中，控制信號ϕ2會控制切換器242用以為該放大器電路235設定x8的增益(當該切換器242開啟時)或設定x1的增益(當該切換器242關閉時)。因此，根據控制信號ϕ2來控制切換器242用以調整電容，便可調整增益。

舉例來說，於控制信號ϕ2處於「L」且切換器242為關閉的週期(t63至t66)中的特定時間處，像素信號偵測器210會偵測到由該放大器電路235所輸出之具有x1增益的輸出信號(t65)。再者，於控制信號ϕ2處於「H」且切換器242為開啟的週期(t66至t68)中的特定時間處，像素信號偵測器210會偵測到由該放大器電路235所輸出之具有x8增益的輸出信號(t67)。

像素信號偵測器210會針對該等個別增益的輸出結果來實施比較，並且由一位位元資料來輸出代表該等結果的分級信號Vsepa。舉例來說，可將1位位元分級信號Vsepa直接供應至該像素信號放大器230，並且於該信號很高時使用x1的增益，並且於該信號很低時使用x8的增益。此時，僅有當與一不會超過該動態範圍的增益調整進行比較，甚至與高達該放大器電路235之輸出的高增益進行比較作出決定之後，才會輸出一具有高增益的信號。當發生飽和時，便不會設定高增益。因此，可於一個別成像器件的動態範圍的上限內選出最大的增益，而不會超過該信號飽和位準。

據此，相較於稍後敘述的第四範例中由該放大器電路235的輸入與輸出間的切換電容來切換增益，本範例的優點係，並不需要一受控於反向脈衝的切換器。

圖12為用於解釋第一與第三具體實施例中的像素信號放大器230及複數個週邊部件的另一示範構造(下文中稱為第二示範構造)及其作業的示意圖。於該第二示範構造中同樣會提供切換器242與246來設計一切換式電容器行放大器。

如圖12A所示，於第二示範構造中，會於具有電容7C的電容器232的前級與該垂直信號線158之間提供該切換器242。和第一示範構造雷同的係，根據本發明的增益設定單元245係由位於該放大器電路235的輸入側上以及輸入與輸出之間的該等電容器233、234與236、以及切換器242與246所構成。其作業時序和第一示範構造的作業時序相同，如圖12B所示。

據此，相較於第一示範構造中在具有電容7C的電容器232的後級處提供該切換器242，本構造的優點係切換該電容器232並不會對該垂直信號線158上的信號造成耦合效應。

圖13A與13B為用於解釋第一與第三具體實施例中的像素信號放大器230及複數個週邊部件的另一示範構造(下文稱為第三示範構造)及其作業的示意圖。第三示範構造同樣係利用一切換式電容器行放大器設計而成的，而且其特徵如下：允許切換位於該放大器電路235之輸入側上的兩個電容器232與233；切換器係位於每個該等兩個電容器232與233的兩端之上。

更明確地說，於該第三示範構造中，如圖13A所示，會在具有電容7C的電容器232的輸入側上提供一根據控制信號ϕ2_(實質上和控制信號ϕ2相同)來運作的切換器242a，並且會在該電容器232的輸出側(也就是，放大器電路235的輸入側)上提供一根據控制信號ϕ2來運作的切換器242b。

再者，會在具有電容1C的電容器233的輸入側上提供一根據控制信號ϕ3_(實質上和控制信號ϕ3相同)來運作的切換器243a，並且會在該電容器233的輸出側(也就是，放大器電路235的輸入側)上提供一根據控制信號ϕ3來運作的切換器243b。

根據本發明的增益設定單元245係由位於該放大器電路235的輸入側上以及輸入與輸出之間的該等電容器233、234與236以及切換器242a、242b、243a、243b、以及246所構成。

於上述的配置中，如圖13B所示，控制信號ϕ1會開啟切換器246並且重置電容器236，藉此便可重置該放大器(t80至t83)。再者，於此週期中會根據控制信號ϕ2、ϕ2_、ϕ3、以及ϕ3_來開啟切換器242a、242b、243a、以及243b，藉此便會重置電容器232與233。也就是，由一切換式電容器電路設計而成的雜訊消除放大器的電容器232與233所構成之具有電容8C(7C+1C)的電容器會取樣源自一單元像素103的重置位準(t81至t82)。接著，便會根據控制信號ϕ2與ϕ2_來關閉該等切換器242a與242b，藉此便可讓輸入電容器232與垂直信號線158中斷連接(t82)。

於該放大器被重置之後(t83)，假使該等切換器242a、242b、243a、以及243b為開啟的話，源自該垂直信號線158的像素信號Vsig便會充電該等輸入電容器232與233，致使該放大器電路235的輸出發生改變。

因此，於該放大器被重置之後(t83)，該像素信號放大器230便會保持控制信號φ3與φ3_被開啟(t83至t86)，並且利用由一切換式電容器電路設計而成的雜訊消除放大器的輸入電容器233來取樣源自該垂直信號線158的像素信號Vsig。因為該重置位準被事先取樣(t81至t82)，所以，放大器電路235便會輸出以x1增益來放大重置位準Vrst與該輸入像素信號Vsig之信號位準Vsig0間的差值ΔV的結果，也就是，輸出ΔV。於特定時間處，像素信號偵測器210會偵測到該像素信號放大器230的輸出信號Vout，將ΔV放大x1增益後所獲得的結果(t85)。

接著，便會根據控制信號φ3與φ3_來關閉該等切換器243a與243b，藉此便可讓輸入電容器233與垂直信號線158中斷連接(t86)。接著，便會根據控制信號φ1來開啟切換器246，用以重至該放大器(t86至t87)。接著，便會根據控制信號φ2與φ2_來開啟該等切換器242a與242b(t87至t89)，藉此便可由該切換式電容器電路設計而成的雜訊消除放大器的輸入電容器233來取樣源自該垂直信號線158的像素信號Vsig。因為該重置位準被事先取樣(t81至t82)，所以，放大器電路235便會輸出以x8增益來放大重置位準Vrst與該輸入像素信號Vsig之信號位準Vsig0間的差值ΔV的結果，也就是，輸出

8ΔV。於特定時間處，像素信號偵測器210會偵測到該像素信號放大器230的輸出信號Vout，將ΔV放大x8增益後所獲得的結果(t88)。

像素信號偵測器210會針對該等個別增益的輸出結果來實施比較，並且以一位位元資料來輸出代表該等結果的分級信號Vsepa。舉例來說，可將1位位元分級信號Vsepa直接供應至該像素信號放大器230，並且於該信號很高時使用x1的增益，並且於該信號很低時使用x8的增益。如果判斷出即使使用高增益(於本範例中為x8)亦不會超過高達該放大器235之輸出的動態範圍的話，則可利用高增益來輸出信號。如果發生飽和的話，則不會選擇高增益。因此便可輸出一最佳信號，而不會造成該放大器電路235飽和。

根據第三示範構造，與第二示範構造雷同的優點係，切換該等電容器232與233並不會對該垂直信號線158上的信號造成耦合效應。

圖14為用於解釋第二與第四具體實施例中的像素信號放大器230及複數個週邊部件的另一示範構造(下文中稱為第四示範構造)及其作業的示意圖。第四示範構造同樣係利用一切換式電容器行放大器設計而成。圖14中還顯示該單元像素103的示範構造。像素信號偵測器210具有用於控制該像素信號放大器230之增益設定的控制器的功能。該像素信號偵測器210、該像素信號放大器230、以及該增益設定單元245會構成一PGA電路。

該單元像素103係由一含有四個電晶體的4TR配置設計

而成，其會使用浮動擴散區138作為電荷累積器。於該4TR配置中，該浮動擴散區138會被連接至該放大電晶體142的閘極，致使讓該放大電晶體142透過一像素線157輸出一對應該浮動擴散區138之電位(下文稱為FD電位)的信號給該垂直信號線158(其為信號讀取線的其中一種範例)。再者，一負載MOS電晶體171會被連接至該垂直信號線158，以便達成一源極隨動電路的作業方式。

舉例來說，當讀取一像素信號時，重置電晶體136便會重至該浮動擴散區138。接著，讀取選擇電晶體(傳輸電晶體)134便會將由一光二極體或類似元件設計而成的電荷產生器132所產生的信號電荷傳輸至該浮動擴散區138。為從被連接至該等垂直信號線158的複數個像素中選擇某個像素，必須開啟該欲被選擇之像素的垂直選擇電晶體140。接著，僅有被選出的像素會被連接至一垂直信號線158，而且該被選出的像素的信號會被輸出至該垂直信號線158。

藉由上述的作業，由於自舉效應的關係，該浮動擴散區138的電位會提高，因此便會提高輸出電壓的振幅。因為該單元像素103具備該放大電晶體142，所以該固態成像單元2(或是該固態成像器件10)係被設計成一放大固態成像單元。

該單元像素103並不限於上述的4TR配置，亦可能係另一種4TR配置，其中該垂直選擇電晶體140係被連接至該放大電晶體142的汲極。再者，並不僅限為4TR配置，亦可利用三個電晶體(下文稱為3TR配置)來設計該單元像素103，致

使像素尺寸將會變小，舉例來說，如日本專利公開案第2708455號中所揭示者。

於第四示範構造中，該垂直信號線158會連接至該像素信號偵測器210，並且會透過受控於控制信號φ2之切換器250與具有電容8C的電容器233被連接至該放大器電路235。

於該放大器電路235的輸入與輸出之間，會提供一具有電容1C的電容器236來進行回授增益的設定。與電容器236並聯的係，透過一受控於源自該像素信號偵測器210之位元控制信號G4的切換器247P來提供一具有電容1C的電容器237，透過一受控於位元控制信號G2的切換器248P來提供一具有電容2C的電容器238，以及透過一受控於位元控制信號G1的切換器249P來提供一具有電容4C的電容器239。

介於切換器247P與電容器237之間的節點會透過受控於位元控制信號/G4的切換器247N從控制信號產生器46的控制線231中接收一參考電壓Vref2。介於切換器248P與電容器238之間的節點會透過受控於位元控制信號/G2的切換器248N接收該參考電壓Vref2。介於切換器249P與電容器239之間的節點會透過受控於位元控制信號/G1的切換器249N接收該參考電壓Vref2。因此，藉由控制該等切換器247P、248P、以及249P便可於C至8C的範圍中來改變該電容。

因此，於該行放大器像素信號放大器230中，藉由電容器233之電容8C與一位於C至8C範圍中的電容(其係相依於該等電容器237、238與239的連接狀態)的比例便可於x1至x8的範圍中來改變該增益。

一像素信號Vsig會從該垂直信號線158的切換器250的輸入側輸入至該像素信號偵測器210。該像素信號偵測器210會檢查該放大器電路235的輸入信號位準，並且據此設定該放大器235的最終增益。該像素信號偵測器210與該放大器電路235，連同用於控制增益設定的控制器，會共同構成一可程式化增益控制(PGA)放大器電路。

於上述的配置中，如圖4所示，會先根據控制信號φ1與φ2來開啟切換器250與246(t10至t12)，並且由位於利用一切換式電容器電路設計而成的雜訊消除放大器之輸入側上具有電容8C的電容器233來取樣該單元像素103的重置位準(t11至t12)。接著，控制信號φ2便會關閉切換器250，藉此便可讓輸入電容器233與垂直信號線158中斷連接(t12)。

接著，送至該成像單元110之傳輸閘極線151的傳輸控制脈衝TX便會被拉至「H」，藉此便可將電荷產生器132所產生的電荷傳輸至浮動擴散區138。因此，便會於攜載該成像單元110之輸出的垂直信號線158上出現對應於該電荷產生器132所收到之光量的像素信號Vsig(t12至t13)。

因此，由該成像單元110輸出的像素信號Vsig便會被輸入至該像素信號偵測器210，用於偵測該垂直信號線158上該信號的位準。也就是，該像素信號偵測器210會比較該垂直信號線158上該像素信號Vsig的位準與預設的臨界值，同時藉由該等位元控制信號G4、G2與G1來控制該等切換器247P、248P與249P(t14至t21)。

以該等比較結果為基礎，該像素信號偵測器210會在該像

素信號放大器230的輸出信號Vout不會超過該垂直信號線158的信號飽和位準的範圍中決定一最大增益，並且設定該像素信號放大器230中的增益。或者，該像素信號偵測器210會將比較結果輸出至該控制信號產生器46或該晶片的外部。

如果該增益未被設在不超過該垂直信號線158之信號飽和位準的範圍內的話，該像素信號放大器230便會試圖放大該信號，使其高於該信號飽和位準。因此，輸出便會超過該信號飽和位準，致使所生成的圖像失真。藉由設定增益，讓經放大的信號範圍不會超過該垂直信號線158的信號飽和位準，便可避免發生此問題。

運用上述的方法便可最小化可能出現於該像素信號放大器230中輸入歸因雜訊的量。再者，可針對每個單元像素103來個別放大輸出信號Vout，使其更靠近該信號飽和位準。如此會有利於抑制後面可能發生的雜訊效應。

雖然上面已經說明像素信號放大器230的數種示範構造，不過上述的構造均僅為範例，吾人仍可對其進行各種修改。舉例來說，於第一至第三範例中雖然僅提供單一條增益切換線，不過並不僅限於此，亦可提供三條增益切換線或是三條以上的增益切換線，如同第四示範構造般。

再者，雖然係利用由一切換式電容器電路設計而成的雜訊消除放大器來設計第一至第四示範構造，並且利用電容比來改變增益，不過並不僅限於此，亦可利用電阻比來改變增益。

如上相關於第一至第四示範構造所述者，當利用一切換式電容器雜訊消除放大器來設計該像素信號放大器230時，從上面的說明中將會瞭解，該像素信號放大器230會運作用以於重置之後立即放大重置位準Vrst與像素信號Vsig之信號位準Vsig0之間的差值ΔV。因此，藉由相關雙重取樣的效應，便可消除該成像單元110的固定圖案雜訊(FPN)或是被稱為重置雜訊的雜訊信號成份，並且可降低該成像單元110的源極隨動電路的雜訊的1/f。再者，具上述構造的像素信號放大器230的優點係，即使於調整增益時，DC輸出位準不容易隨著改變。也就是，根據第一至第四示範構造的可變增益放大電路(像素信號放大器230)，包含放大器電路235與增益設定單元245在內，具有根據本發明之輸出DC位準抑制單元的功能。

增益設定方法的第一範例

圖15為圖14所示之像素信號放大器230中之增益設定的第一示範方法的示意圖。於該第一範例中，會以2的乘冪為基礎，例如1(2^0)、2(2^1)、4(2^2)、8(2^4)、(「^」表示2的乘冪)，來控制該像素信號放大器230的增益。因此，可藉由移動位元來控制該信號擴大單元310中之信號處理的數位動態範圍，因而可簡化該電路構造。

於該第一範例中，吾人假設信號飽和位準為1V，所以必須加以控制，使得最大增益為1V。舉例來說，當垂直信號線158上的輸出信號為0至125 mV時，增益便會設為x8。接著，即使輸入信號為最大值125 mV，該放大器電路235的輸

出信號亦僅為1 V。也就是，當該信號被輸出至該行區域單元(前置放大器61)的外部時，該輸出信號為1 V。當輸入信號大於125 mV且小於等於250 mV時，則可將x4的增益設定給該像素信號放大器230。同樣地，當輸入信號大於250 mV且小於等於500 mV時，則可將x2的增益設定給該像素信號放大器230。當輸入信號大於500 mV且小於等於1 V時，則可將x1的增益設定給該像素信號放大器230。

於第一範例中會以2的乘冪為基礎來控制增益設定，致使該像素信號放大器230的最大輸出將會等於該垂直信號線158的信號飽和位準。不過並不僅限於該範例，亦可根據所使用的固態成像單元的規格來正確地決定該像素信號放大器230的最大輸出。不過，顯而易見的係，最大輸出必須設在該像素信號放大器230(尤其是放大器電路235)的動態範圍內。

如上述，於第一範例中係根據成像單元110所輸出的像素信號Vsig的位準來設定該像素信號放大器230的增益，當該信號位準非常小時，則會設定一非常高的增益。因此，可輸出非常大的像素信號至外部，並且就出現在該像素信號放大器230中的雜訊來說，可達成最大的S/N比。再者，當該信號位準非常小時可最大化S/N比。當設計一具有高敏感度的固態成像單元時，此結果非常重要。

增益設定的第二示範方法

圖16為用於解釋圖14所示之像素信號放大器230中之增益設定的第二示範方法的示意圖。該第二範例中同樣係利

用2的乘冪來控制該像素信號放大器230的增益。

於第二範例中，信號飽和位準為1 V，和第一範例雷同，不過，於本範例中卻會進行控制使得最大增益所達成的最大信號位準將為800 mV。當未為該像素信號放大器230的動態範圍提供足夠的邊限值時便會使用本範例。

舉例來說，當垂直信號線158上的輸出信號為0至100 mV時，增益便會設為x8。接著，即使輸入信號為最大值100 mV，該放大器電路235的輸出信號亦僅為800 mV。也就是，當該信號被輸出至該行區域單元(前置放大器61)的外部時，該信號的位準僅為800 mV。當輸入信號大於100 mV且小於等於200 mV時，則可將x4的增益設定給該像素信號放大器230。同樣地，當輸入信號大於200 mV且小於等於400 mV時，則可將x2的增益設定給該像素信號放大器230。當輸入信號大於400 mV且小於等於800 mV時，則可將x1的增益設定給該像素信號放大器230。

如上述，於第二範例中同樣係根據成像單元110所輸出的像素信號Vsig的位準來設定該像素信號放大器230的增益，以便當該信號位準非常小時可最大化S/N比。也就是，該像素信號Vsig比較不會受到該像素信號放大器230的效應的影響。

於該等增益控制的第一與第二範例中，會從包含x1、x2、x4、以及x8在內的2的乘冪中選出該像素信號放大器230的增益。或者，舉例來說，透過控制信號產生器46來控制該等作為位元資料的位元控制信號G1、G2與G4，便可以較小

的步階大小(舉例來說，步階大小為1)於x1至x8的範圍中來設定該增益。於此情況中則無法藉由位元移動來控制該信號擴大單元310的動態範圍，因此需要特定的計算處理，而電路構造則會變得比較複雜。再者，亦可設定大於x8的增益。可根據應用或其它因素來適當地決定增益設定的範圍。

行電路與週邊電路的示範電路構造

圖17為位於一行區域單元(前置放大器61)之像素信號放大器後級處的行電路63與其複數個週邊部件的第一示範電路構造的方塊圖。該第一範例和第一與第三具體實施例有關，其中像素信號偵測器210會比較信號電壓Vout與像素信號放大器230之輸出側上的預設參考電壓。

其會針對該等個別的垂直信號線158(行)來提供該等行電路63。該等行電路63係充當取樣與保持電路。也就是，該等行電路63會透過該等像素信號放大器230來接收經由該垂直信號線158被讀取的其中一條線的單元像素103的像素信號Vsig，陸續累積於該等像素信號放大器230中放大該等像素信號Vsig所獲得的輸出信號Vout，並且於特定的時間處將該等輸出信號Vout輸出至該輸出放大器129。

舉例來說，該等行電路63(63-1、63-2、...63-n)包含切換器272(272-1、272-2、...272-n)、用於累積信號電荷的電容器274(274-1、274-2、...274-n)、以及讀取電路276(276-1、276-2、...276-n)。

每一讀取電路276(276-1、276-2、...276-n)均包含電晶體277與278。電晶體277的汲極會與其它的行被共同連接至該

輸出放大器129的信號回授線298，而源極則會被連接至該像素信號偵測器210的輸入。該像素信號偵測器210的輸出會與其它的行被共同連接至該輸出信號線291。該像素信號偵測器210的偵測結果會透過輸出線212b被輸出至該控制信號產生器46，並且透過輸出線212c被輸出至該晶片的外部。於第一示範構造中，並未提供透過輸出線212a來設定該像素信號放大器230之增益的功能。

會有複數個水平取樣脈衝φs透過該等控制線43(43-1、43-2、...43-n)從該水平掃描器42H被輸入至該等切換器272(272-1、272-2、...272-n)，以及有一水平選擇信號CH(i)會被輸入至一脈衝讀取電路286的電晶體288的閘極。

位於該行電路63之後級處的輸出放大器129包含兩個電晶體292與293，兩者會於源極與汲極間進行串接；以及兩個電晶體294與295，兩者會於源極與汲極間進行串接。

於一電源與一輸出信號線291之間會提供該等電晶體292與293間的汲極-源極連接。電晶體294的閘極會被連接至該輸出信號線291，而該等電晶體294與295之間的節點則會被連接至一信號回授線298。該等電晶體292與293的閘極會分別接收控制信號Vbp2與Vbp3。電晶體295的閘極會接收控制信號Vbn5。

於上述的配置中，當該等水平取樣脈衝φs於特定時間處被輸入至切換器272(參考圖7)時，該像素信號放大器230的輸出信號Vout會暫時被累積於電容器274之中。接著，源自該水平掃描器42H的複數個水平選擇信號CH(i)會被套用至

該等電晶體278，用以連續選擇欲被讀取的複數條線，致使可利用讀取電路276以及作為外部放大器電路的輸出放大器129經由該等輸出信號線291來讀取源自該等電容器274的像素信號，作為輸出信號Vout1。

此時，位於該輸出信號線291之上的像素信號Vout1會被輸入至電晶體294的閘極，並且會透過該信號回授線298被供應至電晶體277的汲極。藉由上述的作業，由於自舉效應的關係，輸出電壓的振幅便會提高。因為像素信號放大器230經由該取樣與保持構造而與該行電路63中斷連接的關係，所以該像素信號放大器230並不會受到該自舉功能的影響。

圖18為位於該行區域單元(前置放大器61)之像素信號放大器230的後級處的行電路63與其複數個週邊部件的第二示範電路構造的方塊圖。該第二範例和第一與第三具體實施例有關，其中像素信號偵測器210會比較信號電壓Vout與像素信號放大器230之輸出側上的預設參考電壓。

該第二範例的特徵為，該像素信號偵測器210的偵測結果會透過輸出線212a被供應至該像素信號放大器230，致使可以該偵測結果為基礎來設定該像素信號放大器230的增益。舉例來說，當被一增益放大後的像素信號Vout超過該像素信號放大器230的信號飽和位準時，便會進行控制以降低增益。

圖19為位於該行區域單元(前置放大器61)之像素信號放大器230的後級處的行電路63與其複數個週邊部件的第三

示範電路構造的方塊圖。該第三範例和第二與第四具體實施例有關，其中像素信號偵測器210會比較信號電壓Vsig與像素信號放大器230之輸入側上的預設參考電壓。

第三範例和第一範例的不同僅在於移除該像素信號偵測器210。電晶體278的源極會與其它行被共同連接至該輸出信號線291。其基本作業與第一範例中相同，所以將省略其詳細說明。

雖然圖17至19中所示之第一與第三範例中的行電路63的體積相當精簡，不過，當調整該像素信號放大器230的增益時，假使於其輸出中出現DC位準變異的話，該DC變異便會累積於電容器274與該信號成份之中。因此，該DC變異便會被輸出疊置於該成像信號之上，致使該DC變異可能會造成雜訊。所以，該等第一至第三具體實施例中的該等行電路63較佳的係配合於調整增益時輸出DC位準不容易產生變化的電路(例如圖11至14所示的切換式電容器電路)來使用。

該配置可能係從被連接於該行電路63後級處的A/D轉換器64以及該輸出放大器129中的數位資料中移除DC位準變異。或者，該行電路63可能會具有抑制從該像素信號放大器230輸出的成像信號的DC成份中的變異的功能。

藉由於行電路63中抑制輸出DC位準中的變異，便可在位於後級處的A/D轉換器64中提供寬廣的輸入動態範圍。也就是，當在位於後級處的A/D轉換器64中移除輸出DC位準中的變異時，則可對包含輸出DC位準中之變異在內的信號實

行A/D轉換器，因而會因輸出DC位準中的變異量而窄化該輸入動態範圍。

圖20A為位於該行區域單元(前置放大器61)中之像素信號放大器230後級處之具有A/D轉換功能的行電路(即行ADC電路280)與其複數個週邊部件的示範電路構造的方塊圖。下文中將稱為行電路的第四範例。該第四範例係和第三與第四具體實施例有關。

該行ADC電路280會利用處理源自該等並聯的垂直信號線158(行)的信號的A/D轉換器將類比信號轉換成數位信號，同時抑制固定的圖案雜訊。該行ADC電路280的特徵為鉗止一參考信號以抑制固定的圖案雜訊的方法。

如圖20A所示，為於其中鉗止該像素信號Vsig中的重置位準，可利用雙重鉗止電路來設計該行ADC電路280，其包含一第一鉗止電路，其係由一電容器281、一放大器282、以及一切換器283所構成；以及一第二鉗止電路，其係由一電容器284、一放大器285、以及一切換器286所構成。

於該雙重鉗止電路的輸入側上會提供切換器287與288以及一電容器289，用來控制出現在該等垂直信號線158上的像素信號Vsig的取樣。該第二鉗止電路的輸出會被輸入至能夠保持資料的鎖存電路290中。

該等切換器283、286、287、以及288會透過該等控制線43來接收源自該水平掃描器42H的控制脈衝S1、S2、S3、以及S4。切換器288的其中一個輸入會從一信號產生器(未顯示)中接收一具有上升波形的參考信號，用於進行A/D轉

換(下文稱為ADC參考信號)。鎖存電路290會接收一N位位元計數器(未顯示)的計數輸出值。

於該行ADC電路280的配置中，於一對應於一水平空白週期的像素信號讀取週期(t90至t99)中，一單元像素103的重置信號Vrst會響應一重置脈衝R被輸出至該垂直信號線158(t91至t92)。因此，該行ADC電路280的該等兩個鉗止電路便會於圖20B所示的作業時間處根據控制脈衝S1與S2來實施粗略鉗止與精確鉗止。

更明確地說，首先會開啟切換器287(t93)，該等放大器282與286的切換器283與286會同時被關閉(t94)，而切換器283則會被打開(t95)。接著，該像素信號Vsig會被鉗止至將切換器283的切換變異加入放大器282的臨界電壓中之後所獲得的電壓處。此時，切換器286會維持關閉，因而該電壓可作為放大器285的輸入臨界電壓。

當切換器286被打開之後(t96)，包含切換變異在內的電壓便會被鉗止。此時，切換器286經過放大器285的增益除化後的切換變異成份會降至輸入信號Vin的變異，因而，從輸入信號Vin看去，鉗止精確度已經獲得改善。

因此，便可充份地抑制可能出現在該鉗止電路中的固定圖案雜訊的發生率。也就是，可完成重置信號Vrst的鉗止作用，同時又可充份地抑制該鉗止電路的變異情形。

接著，傳輸控制脈衝TX會上升，使得像素信號Vsig0會出現在該垂直信號線158之上(t97a至t97b)。接著，切換器288會被關閉，以便實施取樣(t98至t99)。當完成取樣時，切換

器287會被打開，從而會透過切換器288來供應該上升波形的ADC參考信號(t99)。

因此，輸入信號Vin最後便會因該上升波形而超過該鉗止電路的臨界電壓，致使放大器285的輸出會被倒置。該N位位元計數器於此時的計數值可作為一被儲存於該鎖存電路290之中的像素信號，並且完成該A/D轉換作業。接著，根據於特定時間處透過該等控制線43從水平掃描器42H中輸入的水平選擇信號CH(i)來進行移位作業，便可將被儲存於該鎖存電路290之中的像素資料Vout3陸續輸出至該行區域單元(前置放大器61)的外部或是輸出至該固態成像器件10的外部。

利用具有上述構造的行ADC電路，便可充份地抑制固定圖案雜訊的發生率，同時亦可抑制像素信號放大器230所輸出的成像信號的DC成份中的變異情形。也就是，根據本發明，該等行ADC電路280同樣具有輸出DC位準抑制單元的功能。

信號擴大單元的示範構造

圖21A為信號擴大單元310的示範構造的示意圖。該信號擴大單元310包含一雜訊抑制單元311及一增益校正單元315。雜訊抑制單元311會抑制內含於一輸入N位位元信號V(j)之中的雜訊。增益校正單元315會校正被設定給該像素信號放大器230的增益，並且於該雜訊抑制單元311進行雜訊抑制之後根據從像素信號偵測器210所獲得的M位位元分級信號Vsepa來擴大信號的動態範圍。

該雜訊抑制單元311包含一1H記憶體，用以於一水平週期中來保持一N位位元像素信號V(j)；以及一加法器314，用來將該像素信號V(j)與該1H記憶體312的輸出信號U(j)相加在一起(通常會實施減法，因為被輸入的係-U(j))。

該增益校正單元315包含一增益校正係數產生器316、一乘法器318、以及一加法器320。增益校正係數產生器316會將由該像素信號偵測器210輸入的M位位元分級信號Vsepa轉換成一增益校正係數。乘法器318會將增益校正係數產生器316所輸出的增益校正係數E(j)乘以加法器314所輸出的(V(j)-U(j))。加法器320會將加法器314所輸出的(V(j)-U(j))與乘法器318的輸出值Ek(j)相加在一起(通常會實施減法，因為被輸入的係-Ek(j))。

於上述的配置中，當於和固態成像器件10相同的晶片上提供該信號擴大單元310時，便可如同第三與第四具體實施例中般地為每一行提供一行ADC電路280，或是於同一晶片上的非行區域中安裝一A/D轉換器64。源自該像素信號放大器230的輸出信號Vout會被晶片上的A/D轉換電路轉換成一N位位元數位信號，而且該N位位元數位信號會被輸入至該信號擴大單元310。

於第一或第二具體實施例中，輸出放大器129的輸出信號Vout1會被A/D轉換器64轉換成一N位位元數位信號Vout2，該信號會被輸入至信號擴大單元310作為數位資料V(j)。或者，於第三或第四具體實施例中，行ADC電路280的輸出資料Vout3會被輸入至信號擴大單元310作為數位資料V(j)。再

者，源自該像素信號偵測器210的M位位元分級信號(對應於一N位位元像素信號)會於相同時間處被輸入至該增益校正係數產生器316。

含有該IH記憶體312與加法器314的雜訊抑制單元311可於數位域中消除固定圖案雜訊。該固定圖案雜訊可能係肇因於包含該等像素信號偵測器210、該等像素信號放大器230、以及針對該等個別行所提供的該等行電路63在內的行區域(尤其是該等放大器電路235)中之放大特徵的變異。此時，當結合一具有高解析度的A/D轉換器64時，具有高增益的行放大器便會達到非常高的輸入歸因解析度。因此，可以極高的精確度來消除雜訊，從而可大幅地抑制固定圖案雜訊。

於該增益校正單元315中，增益校正係數產生器316會將分級信號Vsepa轉換成一增益校正係數E(i)。舉例來說，假使該分級信號Vsepa指示x8的增益的話，那麼所選擇的增益校正係數E(i)便會係「8」。

接著，乘法器318會將該N位位元數位信號(V(j)-U(j))除以該增益校正係數E(i)，用以校正該N位位元數位信號(V(j)-U(j))。該加法器會利用增益校正係數Ek(i)來校正該(V(j)-U(j))，用以獲得一(N+M) 位位元數位信號。

據此，源自該像素信號放大器230的該等N位位元放大信號Vout2與Vout3便會被擴大由該分級信號Vsepa所代表之增益設定的位元數。於本範例中，該分級信號Vsepa會以一對一的方式對應於該像素信號放大器230中的增益值。因

此，位元數便會提高至該分級信號Vsepa的位元數M加上信號V(i)的位元數N。

舉例來說，於信號擴大單元310中，當以2的乘冪為基礎來控制增益且最大增益為x8時，假使像素信號放大器230的增益設定為x1的話，便會以x8的增益來放大一N位位元(例如14位位元)信號，而當增益設定為x8時，該N位位元信號便會以原來的形式被輸出。也就是，當增益設定為x8時，該N位位元信號會朝較低側移動三位位元，當增益設定為x1時，該N位位元信號則會朝較高側移動三位位元，藉此便可以整體擴大該數位動態範圍。

當於該像素信號放大器230中維持高增益設定而為校正增益時，舉例來說，利用x8的增益來放大低發光區的信號，那麼，該畫面上各區域間不同的增益(也就是，發生增益失配的現象)以及信號振幅便都會被倒置。因此，舉例來說，可將被x8增益放大後的區域的信號位準降至1/8來校正該像素信號放大器230的增益。當增益設定如同本範例中般係以2的乘冪為基礎時，便可藉由位元移動作業來校正增益失配現象，因而可簡化電路構造。

利用上述的電路架構，可以設計一CMOS影像感測器，利用該感測器可改良小位準信號的S/N比以及達到(N+M)位位元的大數位動態範圍。相較於僅允許於N位位元內進行信號改變的情況，本範例允許於(N+M)位位元內進行數位信號處理，因而可以降低量化雜訊並且提高動態範圍。

因此，當在信號擴大單元310的後級處於數位域中實施類

似自動曝光(AE)、閃爍校正、γ校正、陰影校正、或是彩色平衡等處理時，S/N比並不會變差，如此便可輕易地獲得高品質的影像。

第五具體實施例

圖22為一主要由CMOS固態成像器件10所組成之固態成像單元2的第五具體實施例及其週邊部件的概略示意圖。雖然圖22顯示的係含有行ADC電路280在內之第三與第四具體實施例的修改例，不過，亦可對含有行電路63(而非行ADC電路280)在內之第一與第二具體實施例進行雷同的修改。於圖22所示的具體實施例中，該固態成像單元2主要係由成像單元110與前置放大器61所組成的，而且會於和該固態成像單元2(固態成像器件10)相同的晶片之上形成一位於該前置放大器61後級處的信號處理器330。

根據第一至第四具體實施例，可針對該行區域單元(前置放大器61)來獨立地偵測一像素信號Vsig的強度，並且將該偵測結果直接回授至為每一行所提供的像素信號放大器230，或是透過該控制信號產生器46或一位於該晶片外部的控制器將其間接回授，因而可針對該像素信號Vsig的強度來獨立設定增益。

相反地，根據第五具體實施例，並不會為各行提供該像素信號偵測器210，而增益則係從該晶片的外部設定給該像素信號放大器230。於此情況中，便可能會於該晶片的外部處來偵測一像素信號的強度，或是以和一像素信號的強度不相依的方式來設定增益，而未偵測該像素信號的強度。

下面的說明將主要針對和該等第一至第四具體實施例的差異。

如圖22所示，於第五具體實施例中已經移除第一至第四具體實施例中所提供的像素信號偵測器210。切換器250的切換則係透過源自該時序信號產生器40的控制線251來加以控制，而非由源自該控制信號產生器46的控制線251來加以控制。

該前置放大器包含該等像素信號放大器230與為該等個別行所提供的該等行ADC電路280。該等像素信號放大器230具有以指定增益來放大一輸入信號的功能。該等像素信號放大器230可根據透過該等控制線231從控制信號產生器46處輸入的各種控制信號來運作。該等ADC電路280具有抑制雜訊或抑制DC變異的功能，以及保持資料的功能。該等像素信號放大器230與該等行ADC電路280的配置、功能、以及運作方式均與第一至第四具體實施例相關的說明中相同。雖然圖中未顯示，不過，於第一或第二具體實施例之修改例的情況中，亦可以行電路63來取代該等行ADC電路280，並且提供該等像素信號放大器230。

該等個別行的該等像素信號放大器230係受控於位在該行區域單元(前置放大器61)外部的控制信號產生器46，使得其中一條線可使用相同的放大係數(也就是，增益)。也就是，其中一條線的各像素信號的強度均會使用相同的增益設定，而不同於第一至第四具體實施例中針對該等個別像素來獨立設定最佳的放大係數。

於前置放大器61的後級處會提供一信號處理器330，用來對從該等行ADC電路280所輸入的成像信號Vout3實施雜訊消除、增益失配校正、數位動態範圍擴大...等處理。

信號擴大單元的示範構造

圖23A與23B為該第五具體實施例中之信號處理器330的示範構造的示意圖。圖23A所示之該信號處理器330的第一範例會於該晶片的外部偵測一像素信號的強度，並且依照該偵測結果來控制增益設定。也就是，第一範例的信號處理器330包含一像素信號位準偵測器333及一分級信號產生器334。像素信號位準偵測器333會偵測其中一條線或其中一個畫面的信號強度，並且將該等強度與預設的臨界值作比較。分級信號產生器334會產生複數個分級信號Vsepa，用於以該等像素信號位準偵測器333的偵測結果為基礎來對該等像素信號Vsig的強度進行分級。

像素信號位準偵測器333包含一記憶體335，用來保持其中一條線或其中一個畫面(其中一個訊框)的輸入像素信號V(i)。像素信號位準偵測器333會將該等像素信號V(i)暫時保持在記憶體335之中，並且計算其中一條線或其中一個畫面之像素資料的代表值Vrep。舉例來說，該代表值可能係平均值、中位數、最大值與最小值的平均值、或是類似的數值。較佳的係，允許相依於該系統的用途來改變該些數值，用以作為代表值。

不需要精確地偵測每個該等單元像素103的信號位準，只要找出其中一條線或其中一個畫面之近似信號位準便已經

足夠。所以，並不必提高該偵測放大器的頻率頻寬。因為該偵測電路係位於該行區域單元的外部，所以該偵測電路並不會於該像素信號放大器230中造成雜訊，並且可提高電路設計的彈性。也就是，當該像素信號偵測器210位於和該固態成像器件10相同的晶片上時，於設計時便必須考慮晶片大小以及雜訊。相反地，當該像素信號位準偵測器333係位於該晶片的外部時，則不需要考慮該些問題，因而可提高設計的彈性。

該像素信號位準偵測器333會比較上述所獲得的代表值Vrep和預設的臨界值。分級信號產生器334會產生一分級信號，用於以該像素信號位準偵測器333的偵測結果為基礎來為代表值Vrep(也就是，其中一條線或其中一個畫面的該等像素信號Vsig)的強度進行分級。

接著，分級信號產生器334會依照該分級信號Vsepa，透過該控制信號產生器46來控制該像素信號放大器230的增益設定。也就是，分級信號產生器334具有本發明之增益設定單元的功能，其可從該晶片的外部來控制該像素信號放大器230的增益設定。於圖5與8所示的電路配置中，可利用該代表值Vrep取代該像素信號Vsig來達成此目的。或者，可於該分級信號產生器334的後級處提供一增益設定控制器338，並且透過該增益設定控制器338來控制該控制信號產生器46。

當該代表值Vrep代表其中一條線時，則會以逐線的方式來改變該增益。舉例來說，當其中一條線的信號位準小於

一特定臨界值時，便可於一水平空白週期期間來改變該增益。

當該代表值Vrep代表其中一個畫面時，則會以逐個訊框(逐個畫面)的方式來改變該增益。舉例來說，當整個畫面的信號位準小於一特定臨界值時，便可於一垂直空白週期期間來改變該增益。

再者，第一範例的信號處理器330包含一雜訊抑制單元341與一增益校正單元345。雜訊抑制單元341會抑制內含於一輸入N位位元信號V(j)之中的雜訊。增益校正單元345會校正被設定給該像素信號放大器230的增益，並且根據從像素信號位準偵測器333所獲得的M位位元分級信號Vsepa來擴大由該雜訊抑制單元所供應的像素信號的動態範圍。該些部件的配置均與圖21A所示的信號擴大單元310的配置相同。

當以逐線的方式來控制增益設定時，便可以逐線的方式來校正增益。當以逐個畫面(逐個訊框)的方式來控制增益設定時，則可以逐個畫面(逐個訊框)的方式來校正增益。

圖23B為該信號處理器330的第二範例，其並不包含該像素信號位準偵測器333及該分級信號產生器334，用以於該晶片的外部處偵測像素信號的強度。取而代之的係，該第二範例的信號處理器330包含一增益設定控制器338，用於透過該控制信號產生器46從該行區域單元的外部來控制該像素信號放大器230的增益設定。

再者，第二範例的信號處理器330包含一雜訊抑制單元

341與一增益校正單元345。雜訊抑制單元341會抑制內含於一輸入N位位元信號V(i)之中的雜訊。增益校正單元345會根據該增益設定控制器338所設定的增益設定資訊的校正增益。可以省略該增益校正單元345。該雜訊抑制單元341與該增益校正處理器345的配置均與圖21A所示的信號擴大單元310中的配置相同。

於上述的第二範例中，使用者會透過一使用者介面(未顯示)來指示預期的亮度或是該增益設定控制器的增益，同時會檢查一影像的亮度。增益設定控制器338會以所接收到的指示為基礎來控制該使用者所預期的增益設定。據此，從外部來控制增益便可控制該影像的亮度，而不必理會信號位準。

於此情況中，基本上係以逐個訊框(逐個畫面)的方式來控制增益。不過，實際上，使用者鮮少會以訊框速率來改變增益設定，從而可將該處理視為和在一普通相機中提高或降低增益的處理雷同。因此，於此情況中並不需要該增益校正單元345。

如上述，根據第五具體實施例，可減少位於該行區域單元中的元件數量。此有利於於縮小晶片尺寸。再者，該像素信號偵測器亦不會於該像素信號放大器230中造成雜訊。

雜訊分析

圖24至26為用來解釋由切換式電容器設計而成之雜訊消除放大器(行放大器或像素信號放大器230)中的雜訊分析示意圖。圖24為用來計算像素之源極隨動器熱雜訊的等效電

路中的雜訊分析示意圖。圖25為用來計算可能由一行放大器所造成之雜訊的等效電路中的雜訊分析示意圖。圖26為一實驗結果示意圖。

於分析雜訊中，除了該行放大器所造成的雜訊之外，尚必須考慮位於前級處的成像單元110所造成的雜訊，以及由該行電路63、該行ADC電路280以及位於後級處的輸出電路129所造成的雜訊。

舉例來說，當於該等行放大器中以高增益來進行放大時，隨後疊加的隨機雜訊(例如輸出放大器129所造成的雜訊或A/D轉換器64的量化雜訊)便會降低。不過，除非可充份地降低成像單元110之該等源極隨動電路或該等行放大器所造成的雜訊，否則整體而言並無法大幅地降低雜訊。

現在將在雜訊源係該成像單元110之該等源極隨動電路、該等行放大器、以及該等後續行電路63與行ADC電路280之熱雜訊的情況中來計算放大器輸出中的雜訊。

包含該等單元像素103的源極隨動電路、該等切換式電容器行放大器、以及該等行電路63與行ADC電路280之取樣電容在內的電路系統中的雜訊成份包含下面五種成份：

(1)該等像素源極隨動電路所造成且被該行放大器於重置取樣處進行取樣的雜訊

(2)該等行放大器中的該等共同源極放大器所造成且被該等行放大器於重置取樣處進行取樣的雜訊

(3)該等像素源極隨動電路所造成且被該等行電路63或該等ADC電路280於信號取樣處直接取樣的雜訊

(4)該等行放大器中的該等共同源極放大器所造成且被該等行電路63或該等行ADC電路280於信號取樣處直接取樣的雜訊

(5)由重置該等行放大器的該等回授電容器的切換器所造成的雜訊

於圖24與25A所示的等效電路中，於成份(1)與(2)的情況中，會決定和供應至該等放大器之輸入中的雜訊有關的傳輸函數，而且進行計算時會假設該等雜訊電荷會被傳輸至輸出處。於成份(2)與(3)的情況中，則會決定和供應至該放大器輸出(也就是，該等行電路63或該等行ADC電路280的輸入)中的雜訊有關的傳輸函數。於計算該等回授電容器的重置雜訊時會考量該等放大器之輸入與輸出間的關聯性。

舉例來說，就該等像素源極隨動(SF)電路所造成的雜訊來說，提高增益(G=C1/C2)便可降低雜訊。可於該放大器的前面或後面來設定用於調整增益的電容C2，從下面的公式(3)中便可獲得輸入歸因雜訊功率的近似表示值(平方平均值)。這係因為提高增益G可提高限制雜訊頻寬的效果。

$$\overline{v_n^2}=\frac{2}{3}kT\beta_A\frac{(1+(1/G)+C_i/C_1)^2}{C_1+C_i+(1+G+GC_i/C_1)C_3} \qquad (3)$$

就可能由行放大器所造成的雜訊來說，提高增益(G=C1/C2)則會提高該雜訊。如圖25所示，可以下面的公式(4)來表示該輸入歸因雜訊功率(平方平均值)。提高增益G，便會提高限制雜訊的效果。再者，雖然會因C1與C2的比例而提高雜訊，不過，提高增益G卻會降低該輸入歸因雜訊。

$$\overline{v_n^2} = \frac{2}{3} kT\beta_{SF} \frac{1}{G\{C_{SH}(1+C_s/C_1)+(1+GC_{SH}/C_1)(C_S+C_i+C_iC_s/C_1)\}} \quad (4)$$

如上述，藉由如同上述具體實施例中調整該行放大器中的增益，便可降低可能由該等像素源極隨動電路及用於調整增益的該等行放大器所造成的輸入歸因熱雜訊。

也就是，利用適應性放大像素信號的行電路來提高增益，便可降低輸入歸因雜訊。利用一具有狹窄的雜訊頻寬的行電路於高增益處放大信號，便可降低可能由主要雜訊源(例如該成像單元110的該等源極隨動電路或是該等行放大器)所造成的輸入歸因雜訊。

圖26為於根據第一具體實施例建構而成的實驗影像感測器中其中一個訊框中的其中一條線的隨機雜訊分佈圖。該分佈結果係先計算某條特定線的固定圖案雜訊成份，然後再從該條線的輸出資料中扣除該固定圖案成份之後所獲得的結果。隨機雜訊σ為785 μVrms時增益設定為x1，2.1 mVrms時增益設定為x8，而輸入歸因雜訊則為263 μVrms。也就是，隨機雜訊會大幅地降低。雖然圖中未顯示，不過，校正前的固定圖案雜訊為1.7 mVrms，校正後則為50 μVrms。也就是，如同CCD器件中般，雜訊已經順利地下降。

如上述，本文針對該等個別像素行提供用於獨立偵測像素信號之強度且獨立設定該等強度之增益的電路，使得被降低之隨機雜訊的倍數優於相關技術。再者，源自該固態成像單元2(固態成像器件10)的電壓振幅相當大，所以可提高動態範圍。舉例來說，當A/D轉換器64係15(17)位位元寬

且增益設定被控制在x1至x8的範圍中的時，那麼便可達到15(17)位位元的精確度。如此便可改良每個像素的S/N比，並且利用簡單的電路構造與少量的像素來提高動態範圍。

如上述，根據本具體實施例可達成下面的主要優點：

(1)雖然該配置係行式配置，不過，卻可以最佳的放大增益的讀取該等個別像素的信號，並且可為該等個別像素獨立地設定增益。

(2)可大幅地改良小位準信號的S/N比，使得該固態成像單元具有極高的敏感度。

(3)藉由實施12(14)位位元A/D轉換且於該等行電路中以2的乘冪為基礎依據正常增益(x1)來實施增益設定(x2、x4、或x8)，便可達到15(17)位位元以上的寬動態範圍。

(4)即使在數位域中實施類似自動曝光、閃爍校正、γ校正、陰影校正、或是彩色平衡等處理時，S/N比並不會變差，而且可輕易地獲得高品質的影像。

雖然已經以CMOS影像感測器為背景作上面的說明，不過，本發明亦可應用於含有成像器件的其它各種電子裝置中，例如照相機、可攜式終端機、以及含有固態成像器件的個人電腦，用於改良該等成像器件的功能。

再者，本發明亦可應用於，具有其它配置的高敏感度CMOS影像感測器中，或是應用於結合CCD的CCD-MOS組合式感測器中。

再者，亦可採用和其它部件相關的各種修改例，而不會脫離本發明的範疇。

於本發明之該等具體實施例的說明中，「列」與「行」表示的係分別代表一矩陣之水平方向與垂直方向的像素配置或線方向。不過，本發明並不受限於上述的組件配置方式。舉例來說，可經由延伸於水平方向中的複數條信號線從複數個像素中將複數個信號讀取至一成像區域的外部。再者，「列」與「行」的方向係視「列」與「行」的定義而定。舉例來說，當「列」表示的係垂直方向時，那麼將「列」與「行」彼此互換便可解釋本發明。

再者，即使像素未完全被配置成矩陣的形式(舉例來說，以半個間距移位的方式來配置像素)，熟習本技術的人士仍然能夠正確地設定「列」與「行」並且運用本發明。

【圖式簡單說明】

圖1為一相機系統之構造的概略示意圖，其為根據本發明一具體實施例的電子裝置，該相機系統包含一根據本發明一具體實施例的半導體器件；

圖2A與2B為根據本發明第一具體實施例之一主要由一CMOS成像器件所組成之固態成像單元及其週邊部件的概略示意圖；

圖3為根據本發明第二具體實施例之一主要由一CMOS成像器件所組成之固態成像單元及其週邊部件的概略示意圖；

圖4為根據圖3所示之第二具體實施例的固態成像單元的一水平週期中的作業時序的時序圖；

圖5為根據圖3所示之第二具體實施例中的一像素信號偵

測器的示範構造的示意圖；

圖6為圖5所示之比較器的示範構造的示意圖；

圖7為根據圖2A所示之第一具體實施例的固態成像單元的水平週期中的作業時序的時序圖；

圖8為圖2A所示之第一具體實施例中的一像素信號偵測器的示範構造的示意圖；

圖9為根據本發明第三具體實施例之一主要由一CMOS成像器件所組成之固態成像單元及其週邊部件的概略示意圖；

圖10為根據本發明第四具體實施例之一主要由一CMOS成像器件所組成之固態成像單元及其週邊部件的概略示意圖；

圖11A與11B為第一與第三具體實施例中的一像素信號放大器及複數個週邊部件的構造與作業之第一範例的示意圖；

圖12A與12B為第一與第三具體實施例中的一像素信號放大器及複數個週邊部件的構造與作業之第二範例的示意圖；

圖13A與13B為第一與第三具體實施例中的一像素信號放大器及複數個週邊部件的構造與作業之第二範例的示意圖；

圖14為第二與第四具體實施例中該像素信號放大器及複數個週邊部件的構造與作業之範例的示意圖；

圖15為圖14所示之像素信號放大器中之增益設定的第一

示範方法的示意圖；

圖16為圖14所示之像素信號放大器中之增益設定的第二示範方法的示意圖；

圖17為位於一行區域單元中之一像素信號放大器後級處的一行電路與複數個週邊部件的電路構造的第一範例的方塊圖；

圖18為位於一行區域單元中之一像素信號放大器後級處的一行電路與複數個週邊部件的電路構造的第二範例的方塊圖；

圖19為位於一行區域單元中之一像素信號放大器後級處的一行電路與複數個週邊部件的電路構造的第三範例的方塊圖；

圖20A至20C為位於一行區域單元中之一像素信號放大器後級處的一行ADC電路與複數個週邊部件的示範電路構造的示意圖；

圖21A與21B為一信號擴大單元的示範構造的示意圖；

圖22為根據本發明第五具體實施例之一主要由一CMOS成像器件所組成之固態成像單元及其週邊部件的概略示意圖；

圖23A與23B為該第五具體實施例中之一信號處理器的示範構造的示意圖；

圖24為用來計算像素源極隨動電路所造成之熱雜訊的等效電路中的雜訊分析示意圖；

圖25A與25B為用來計算可能由行放大器所造成之雜訊

的等效電路中的雜訊分析示意圖；

圖26為一實驗結果示意圖；以及

圖27為根據相關技術的行式CMOS影像感測器的示意圖。

【主要元件符號說明】

1	數位相機
2	固態成像單元
3	成像模組
4	主單元
5	光學系統
6	信號處理系統
7	記錄系統
8	顯示系統
9	控制系統
10	固態成像器件
40	時序信號產生器
42	掃描器
42V	垂直掃描器
42H	水平掃描器
43	控制線
43-1~43-n	控制線
46	控制信號產生器
50	成像透鏡
52	快門
54	透鏡

56	光圈
61	前置放大器
62	行處理器
63	行電路
63-1~63-n	行電路
64	類比數位(A/D)轉換器
66	影像處理器
72	記憶體
74	編解碼器
82	數位類比(D/A)轉換器
84	視訊監視器
86	視訊編碼器
92	中央控制器
94	曝光控制器
96	驅動控制器
98	運算單元
99	匯流排
103	單元像素
103-1-1~103-m-n	單元像素
105	像素信號產生器
110	成像單元
115-1~115-m	垂直掃描控制線
118	水平信號線
129	輸出放大器

132	電荷產生器
134	讀取選擇電晶體
136	重置電晶體
138	浮動擴散(FD)區
140	垂直選擇電晶體
142	放大電晶體
150	傳輸驅動緩衝器
151	傳輸閘極線(TX)
152	重置驅動緩衝器
153	重置線(R)
154	選擇驅動緩衝器
155	垂直選擇線(SV)
157	像素線
158	垂直信號線
158-1~158-n	垂直信號線
171-1~171-n	負載MOS電晶體
172	負載電晶體單元
174	負載控制器
200	像素信號控制器
210	像素信號偵測器
210-1~210-n	像素信號偵測器
211	控制線
212a	輸出線
212b	輸出線

212c	輸出線
213	像素信號位準偵測器
214	切換器
215	切換器
216	切換器
217	切換器
218	切換器
219	電容器
220	比較器
220a	輸入節點
220b	輸入節點
222	比較器
222a	輸入節點
222b	輸入節點
224	分級信號產生器
226	正反器(FF)電路
227	正反器(FF)電路
228	正反器(FF)電路
230	像素信號放大器
230-1~230-n	像素信號放大器
231	控制線
232	電容器
233	電容器
234	電容器

235	放大器電路
236	電容器
237	電容器
238	電容器
239	電容器
242	切換器
242a	切換器
242b	切換器
243a	切換器
243b	切換器
245	增益設定單元
246	切換器
247P	切換器
247N	切換器
248P	切換器
248N	切換器
249P	切換器
249N	切換器
250	切換器
250-1~250-n	切換器
251	控制線
272-1~272-n	切換器
274-1~274-n	電容器
276-1~276-n	讀取電路

277	電晶體
278	電晶體
280	行ADC電路
281	電容器
282	放大器
283	切換器
284	電容器
285	放大器
286	切換器
287	切換器
288	電晶體
289	電容器
290	鎖存電路
291	輸出信號線
292	電晶體
293	電晶體
294	電晶體
295	電晶體
298	信號回授線
300	外部電路
310	信號擴大單元
311	雜訊抑制單元
312	1H記憶體
314	加法器

315	增益校正單元
316	增益校正係數產生器
318	乘法器
320	加法器
330	信號處理器
333	像素信號位準偵測器
334	分級信號產生器
335	記憶體
338	增益設定控制器
341	雜訊抑制單元
345	增益校正單元
920	行區域單元
930	行處理器
932	電容器
934	行選擇切換器
950	輸出放大器
960	可變增益放大器
970	類比數位(A/D)轉換器

五、中文發明摘要：

本發明係提供一種固態成像器件的一前置放大器(行區域單元)，其包含一像素信號控制器。該像素信號控制器會針對每條垂直信號線利用一像素信號放大器之輸出側上的該像素信號偵測器來獨立偵測每個像素信號的位準，並且依照該信號的位準來獨立設定該像素信號放大器的增益。於該固態成像器件的後級處會提供一類比數位(A/D)轉換器以及一信號擴大單元。該A/D轉換器可數位化一像素信號，而該經數位化的像素信號則可以源自該像素信號偵測器的分級信號為基準，由被設定給該像素信號放大器的增益來進行校正，如此便可擴大其中一個畫面之信號的動態範圍。

六、英文發明摘要：

十一、圖式：

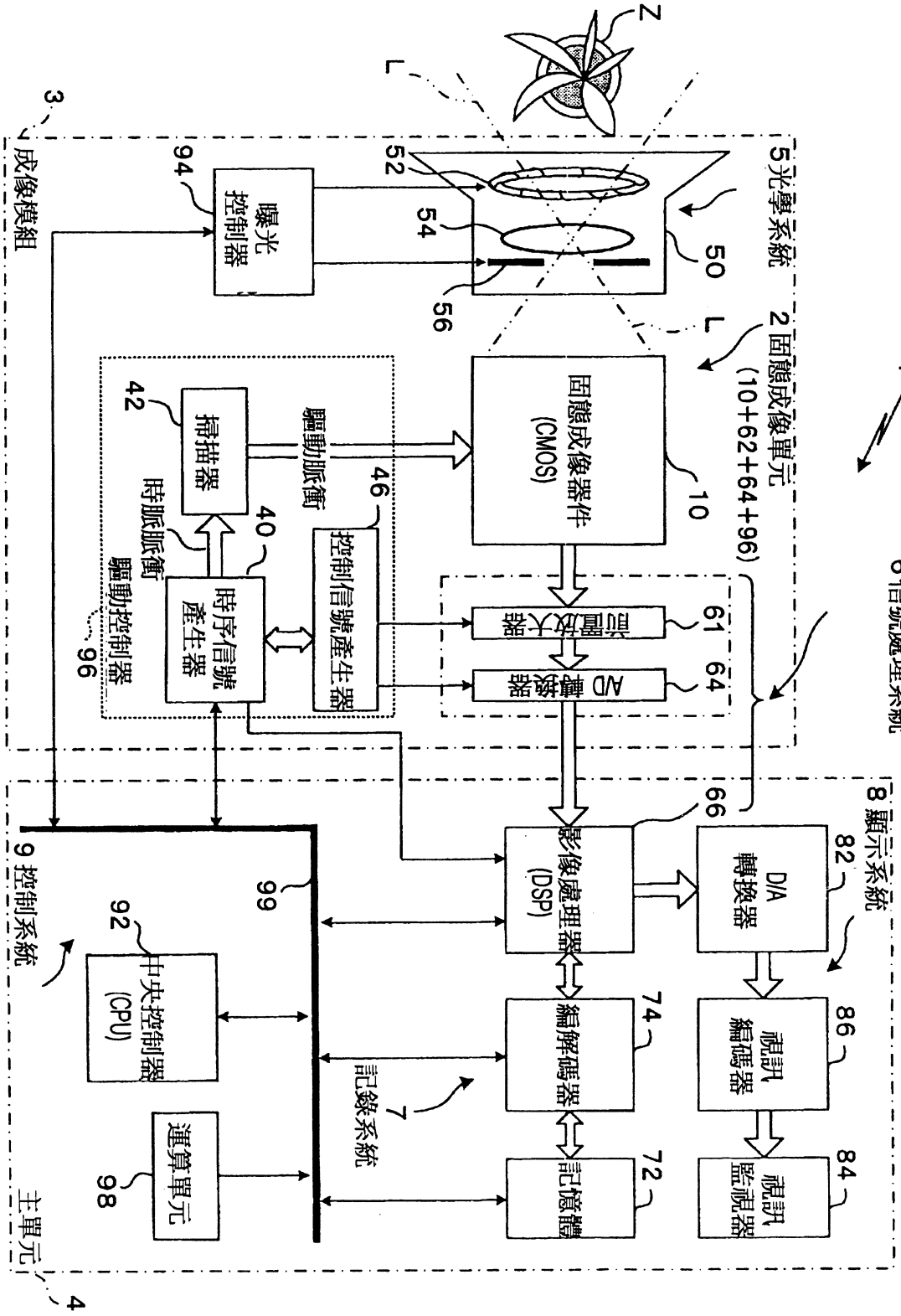

1
6 信號處理系統
Z
L
3
成像模組
5 光學系統
50
52
54
56
94
曝光控制器
2 固態成像單元
(10+62+64+96)
L
固態成像器件
(CMOS)
10
61
62
64
42
掃描器
驅動脈衝
46
控制信號產生器
40
時序信號產生器
時脈脈衝
驅動控制器
96
8 顯示系統
66
影像處理器
(DSP)
82
D/A
轉換器
86
視訊
編碼器
84
視訊
監視器
74
編解碼器
72
記憶體
7
記錄系統
9 控制系統
99
92
中央控制器
(CPU)
98
運算單元
主單元
4

圖 1

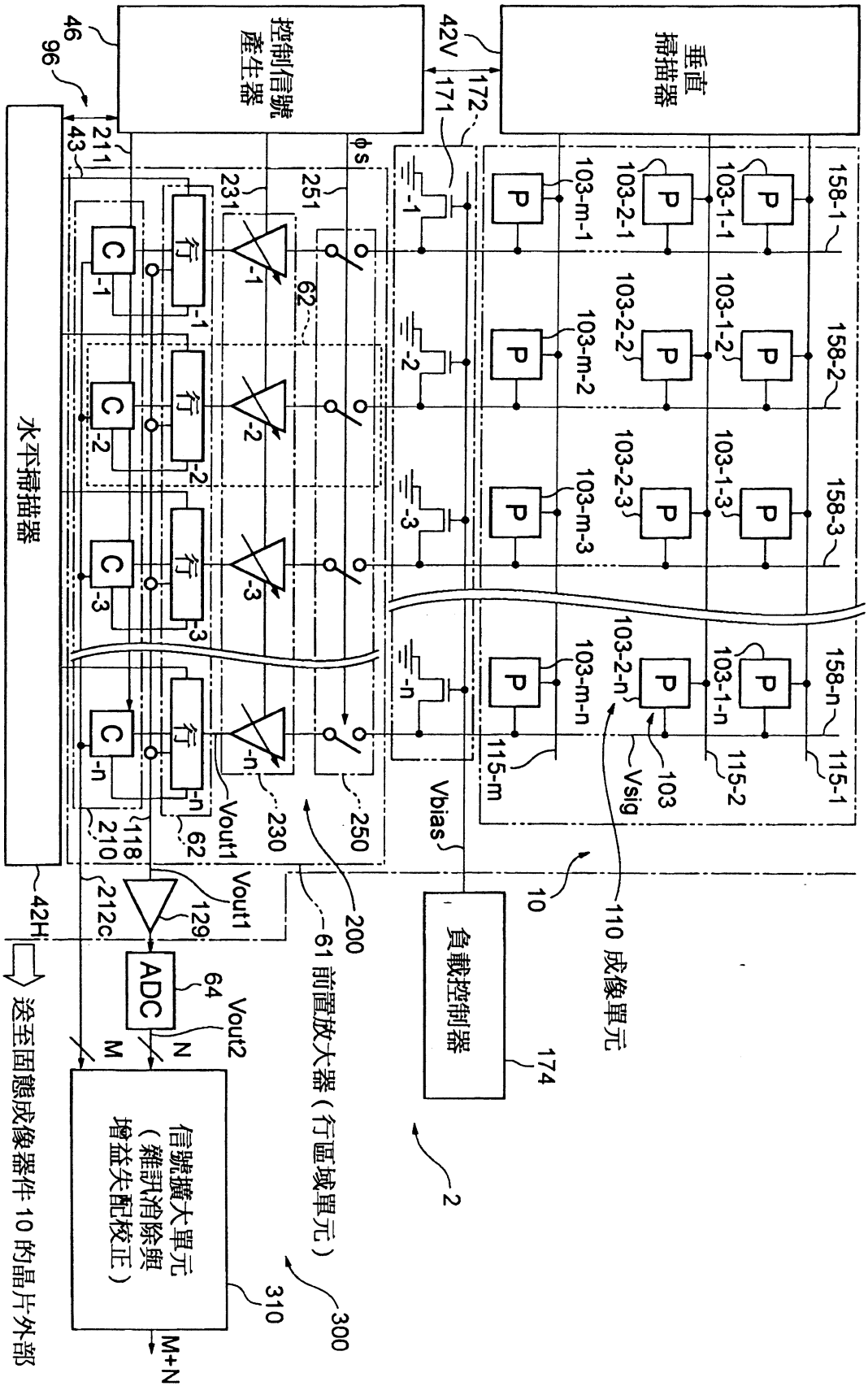

垂直掃描器
控制信號產生器
水平掃描器
負載控制器
信號擴大單元（雜訊消除與增益失配校正）
前置放大器（行區域單元）
成像單元
送至固態成像器件 10 的晶片外部
ADC
Vbias
Vsig
Vout1
Vout2
φs
行
C
P

圖 2A

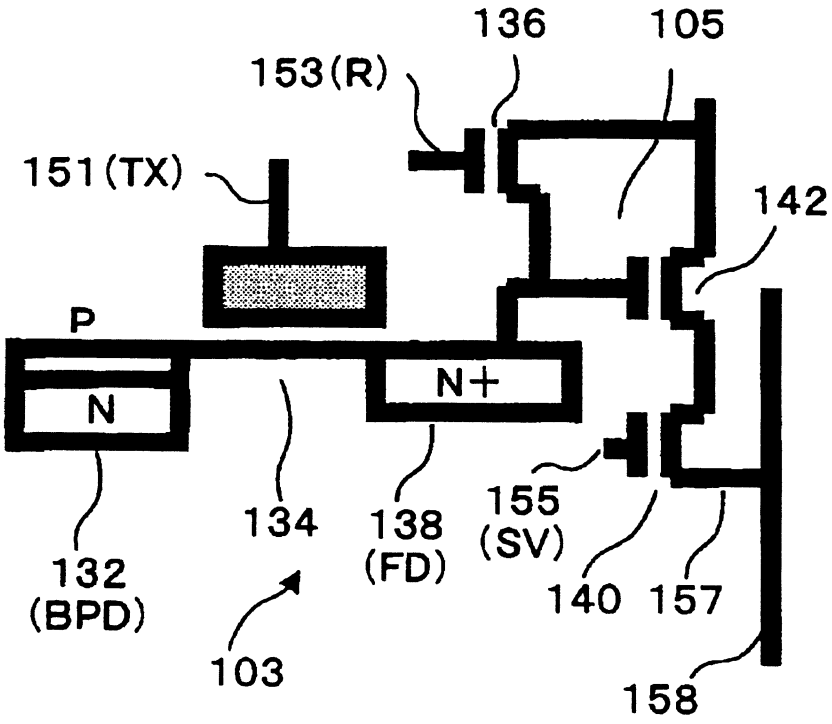

136
105
153(R)
151(TX)
142
P
N
N+
132
(BPD)
134
138
(FD)
155
(SV)
140
157
103
158

圖 2B

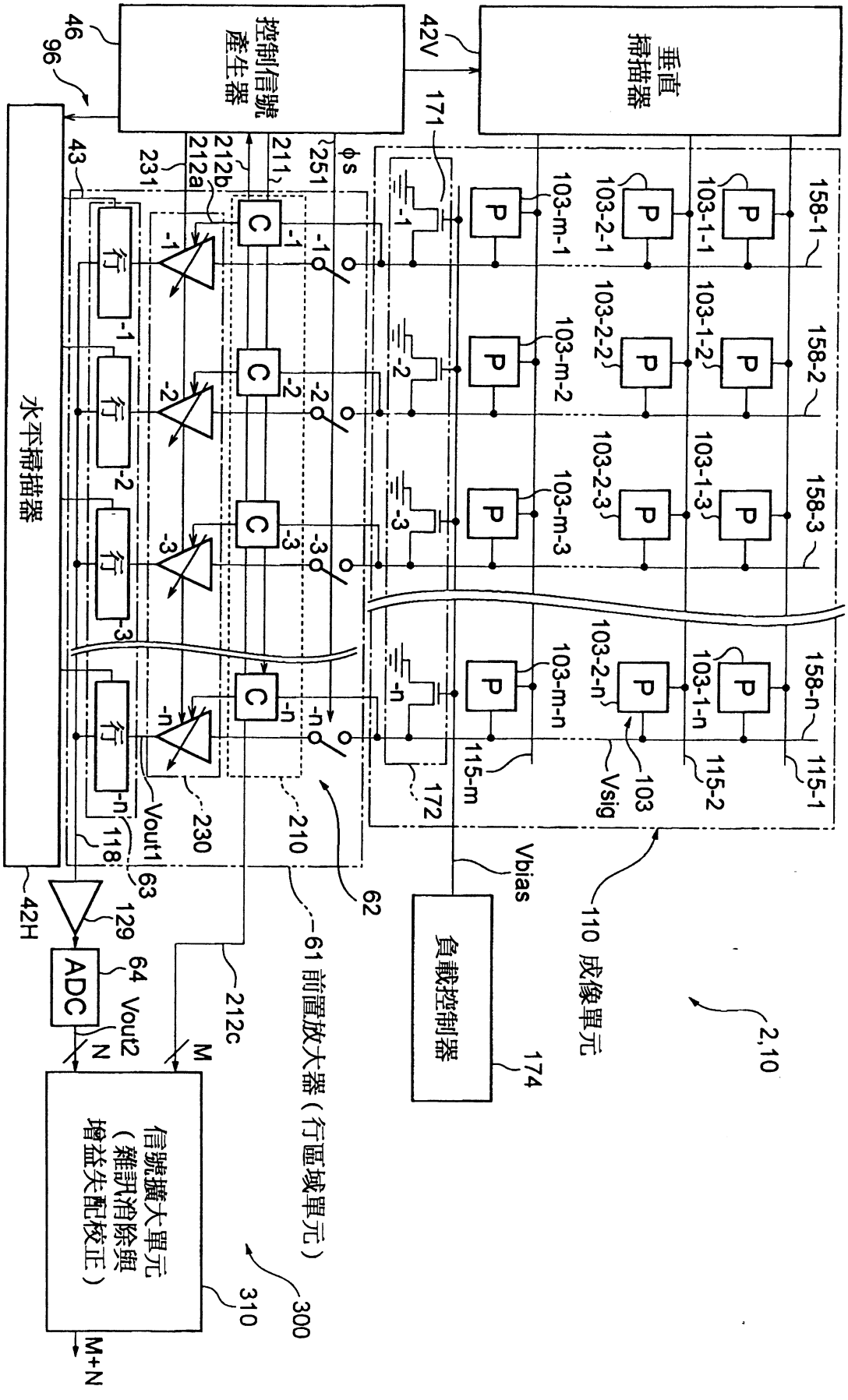

垂直掃描器
控制信號產生器
水平掃描器
負載控制器
前置放大器（行區域單元）
信號擴大單元（雜訊消除與增益失配校正）
ADC
成像單元
2,10
110
174
300
310
42V
46
96
43
62
63
64
129
42H
Vbias
Vsig
Vout1
Vout2
M
N
M+N
158-1
158-2
158-3
158-n
103-1-1
103-1-2
103-1-3
103-1-n
103-2-1
103-2-2
103-2-3
103-2-n
103-m-1
103-m-2
103-m-3
103-m-n
115-1
115-2
115-m
171
172
231
212a
212b
211
251
212c
210
230
118
φs

圖 3

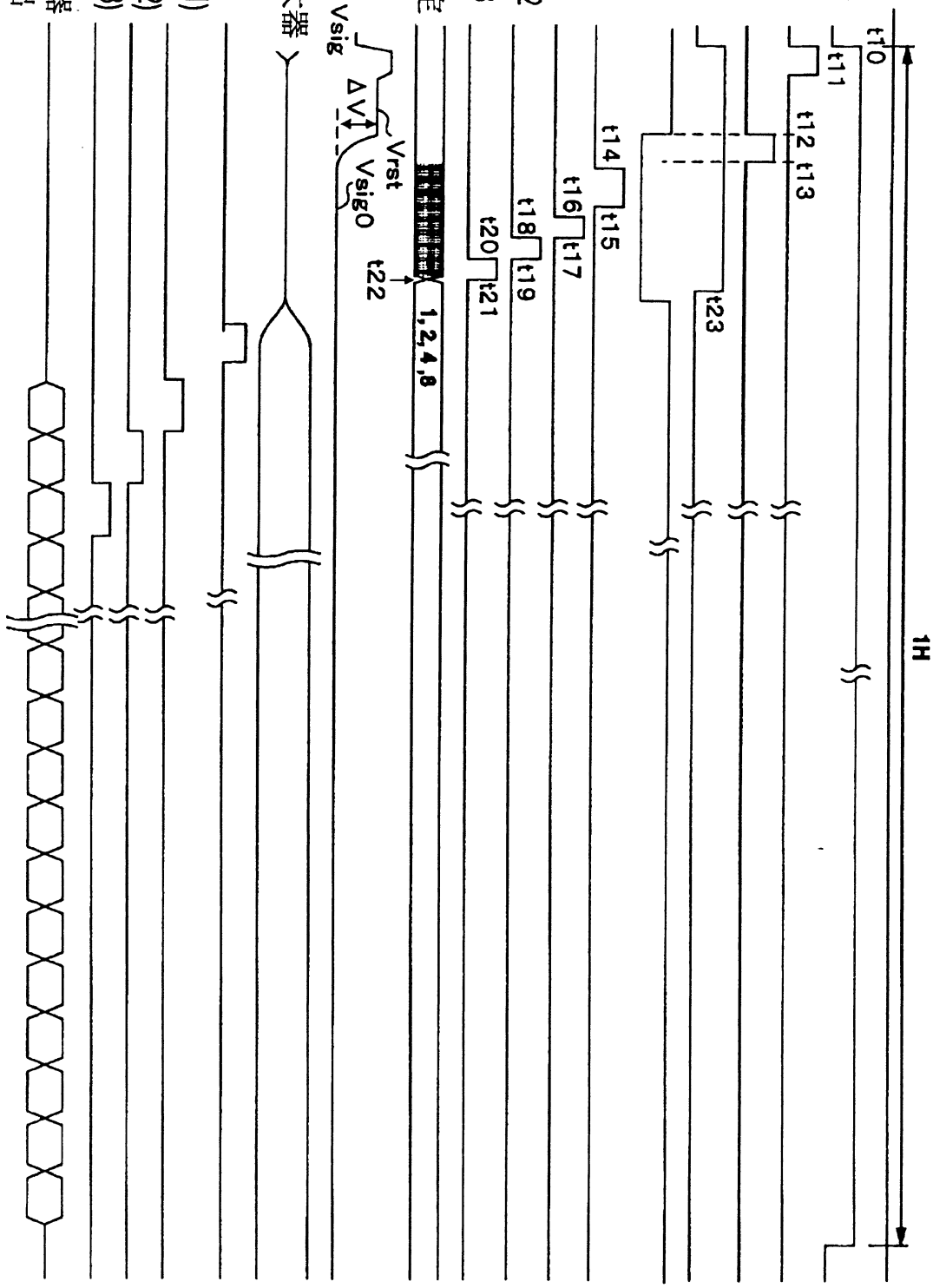

SV(i)
R(i)
TX(i)
φ1
φ2
φ4
φrc1
φrc2
φrc3
增益設定
垂直信號線
158 的輸出 Vsig
像素信號放大器
230 的輸出
CH(1)
CH(2)
CH(3)
輸出放大器
129 的輸出
t0
t11
t12
t13
t14
t15
t16
t17
t18
t19
t20
t21
t22
t23
1H
1,2,4,8
Vrst
Vsig
ΔV

圖 4

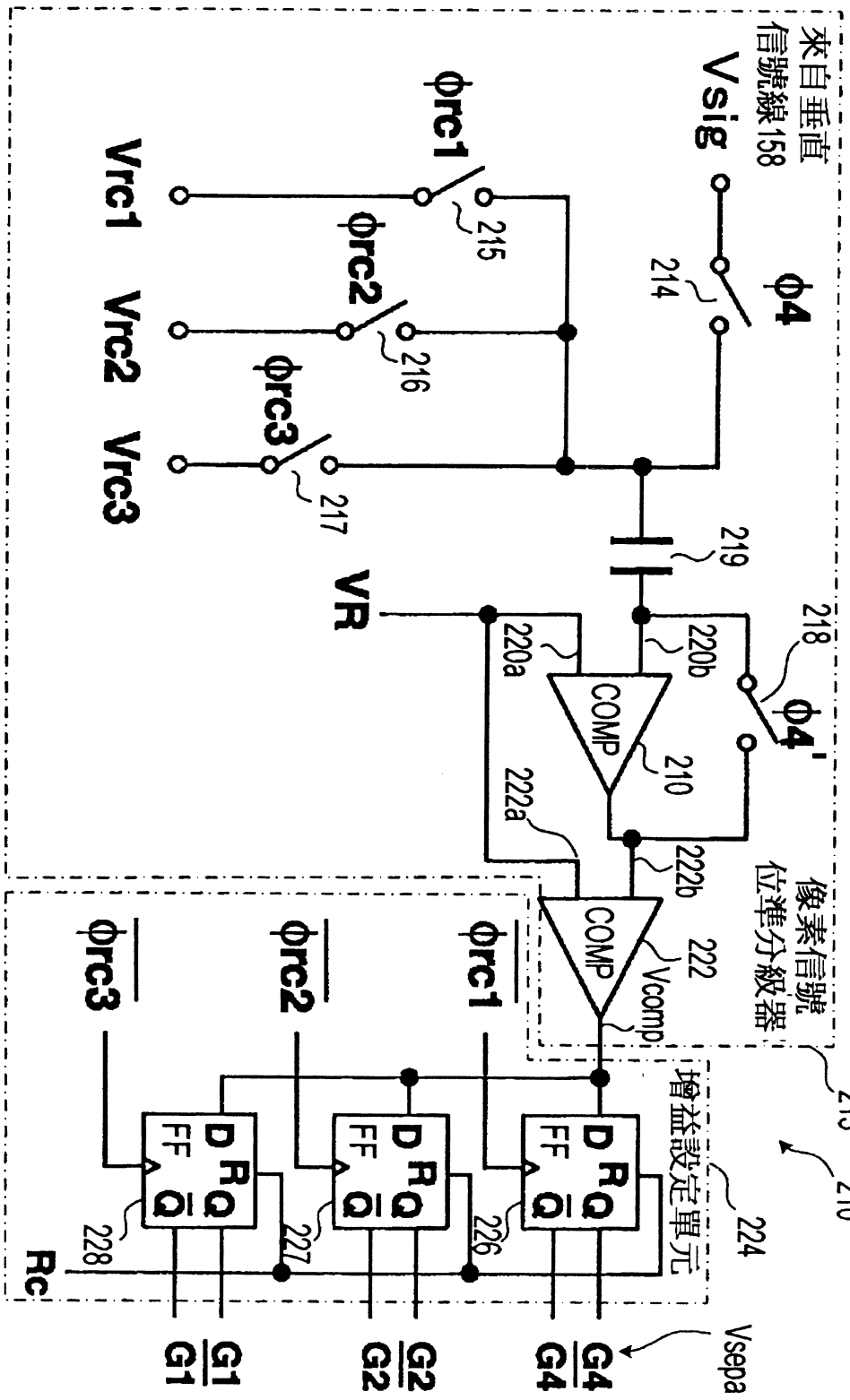

來自垂直
信號線158
Vsig
φ4
214
φrc1
φrc2
φrc3
215
216
217
Vrc1
Vrc2
Vrc3
VR
219
218
φ4'
220a
220b
COMP
210
222a
222b
222
COMP
Vcomp
像素信號
位準分級器
213
210
增益設定單元
224
D
R
Q
FF
226
227
228
Rc
G4
G2
G1
Vsepa

圖 5

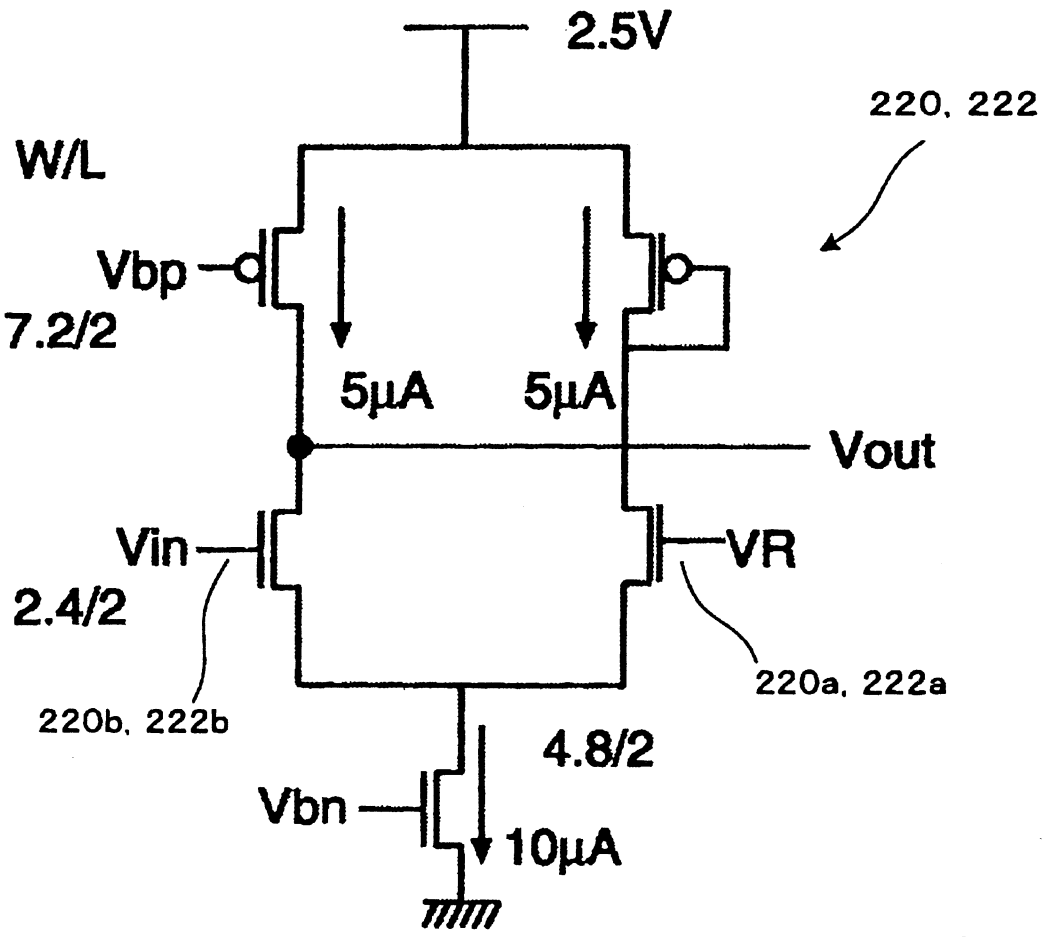

2.5V
220, 222
W/L
Vbp
7.2/2
5μA
5μA
Vout
Vin
2.4/2
VR
220b, 222b
220a, 222a
4.8/2
Vbn
10μA

圖 6

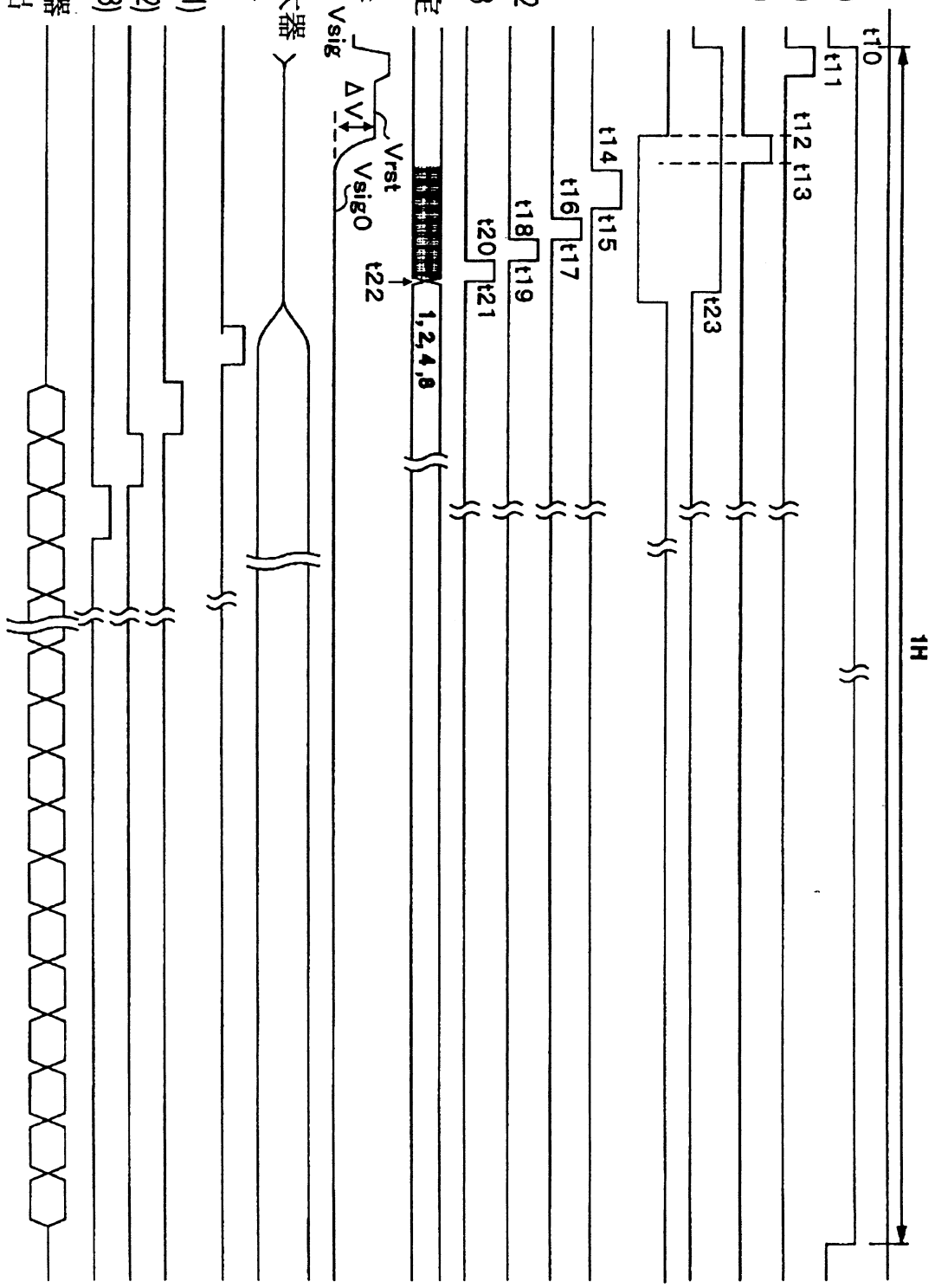

SV(i)
R(i)
TX(i)
φ1
φ2
φ4
φrc1
φrc2
φrc3
增益設定
垂直信號線
158 的輸出 Vsig
像素信號放大器
230 的輸出
CH(1)
CH(2)
CH(3)
輸出放大器
129 的輸出
t10
t11
t12
t13
t14
t15
t16
t17
t18
t19
t20
t21
t22
t23
1H
1,2,4,8
Vrst
Vsig
ΔV

圖 7

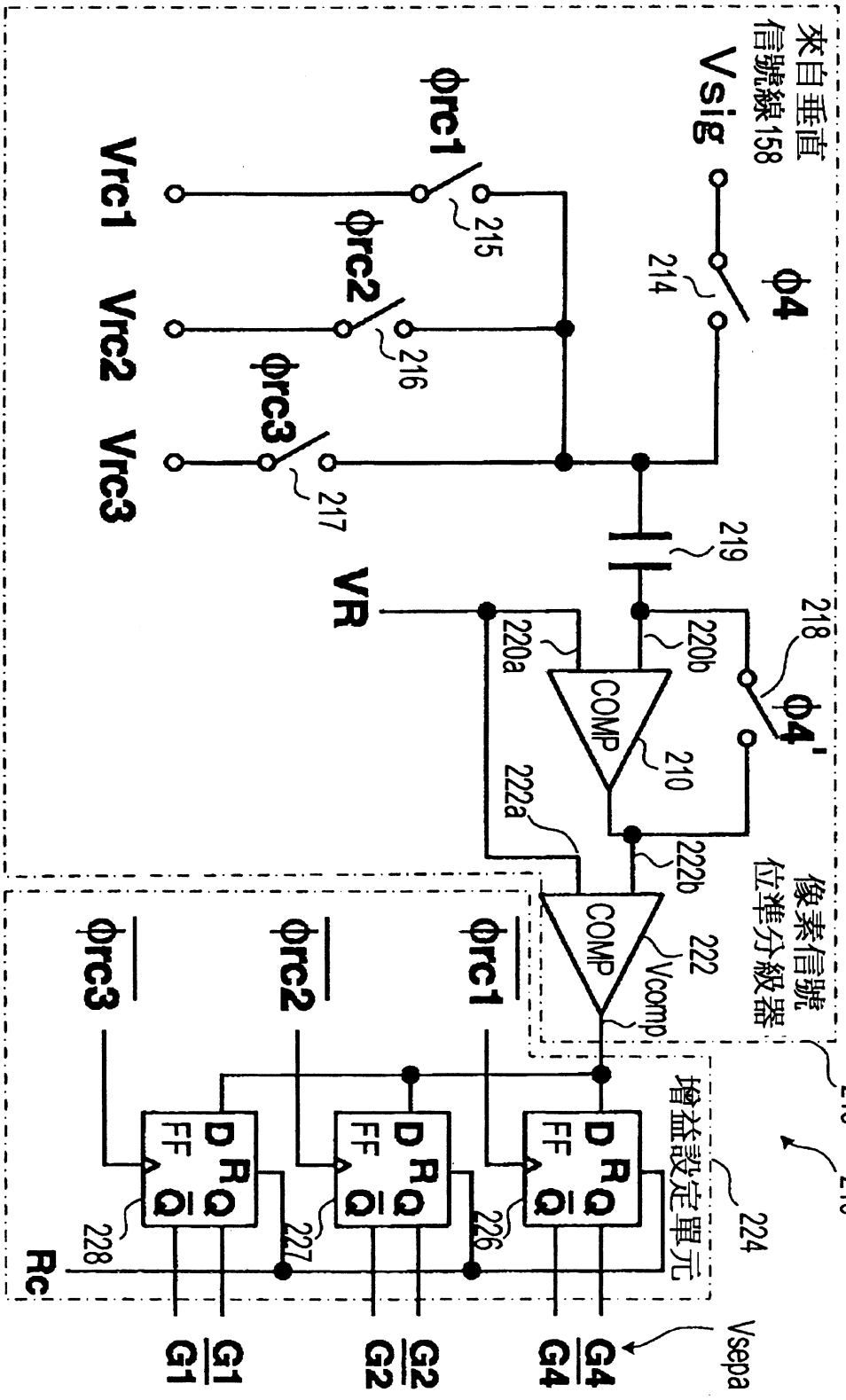

來自垂直
信號線158
Vsig
φ4
214
φrc1
φrc2
φrc3
215
216
217
Vrc1
Vrc2
Vrc3
VR
219
218
φ4'
220a
220b
222a
222b
COMP
210
222
Vcomp
像素信號
位準分級器
213
210
增益設定單元
224
D
R
Q
FF
226
227
228
Rc
G4
G2
G1
Vsepa

圖8

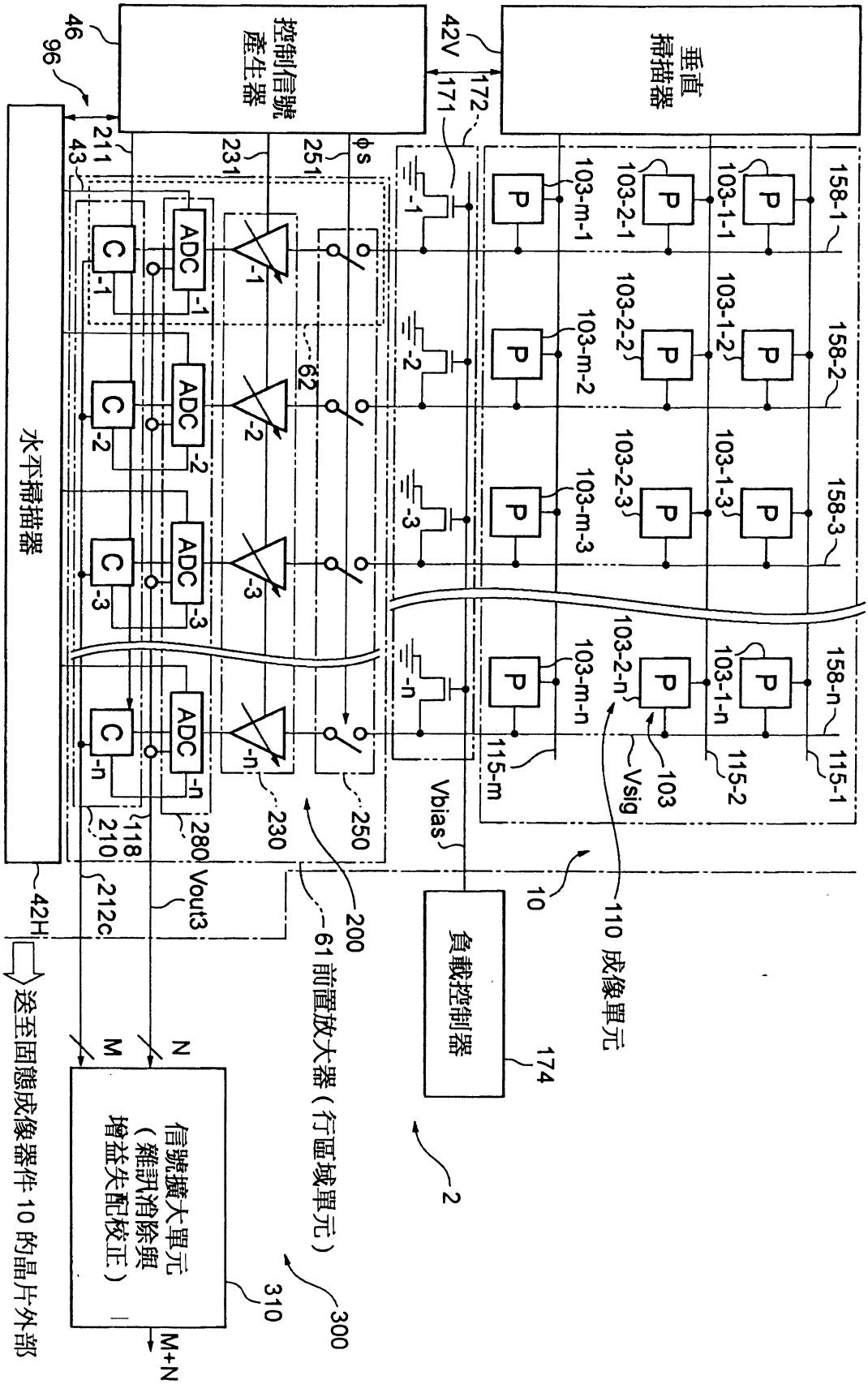

垂直掃描器
158-1
158-2
158-3
158-n
115-1
115-2
115-m
103-1-1
103-1-2
103-1-3
103-1-n
103-2-1
103-2-2
103-2-3
103-2-n
103-m-1
103-m-2
103-m-3
103-m-n
P
103
Vsig
42V
172
171
-1
-2
-3
-n
Vbias
10
110 成像單元
負載控制器
174
2
控制信號產生器
46
96
211
43
231
251
φs
ADC
C
水平掃描器
42H
送至固態成像器件 10 的晶片外部
250
230
280
Vout3
118
210
212c
200
61 前置放大器（行區域單元）
300
信號擴大單元
（雜訊消除與
增益失配校正）
310
N
M
M+N

圖 9

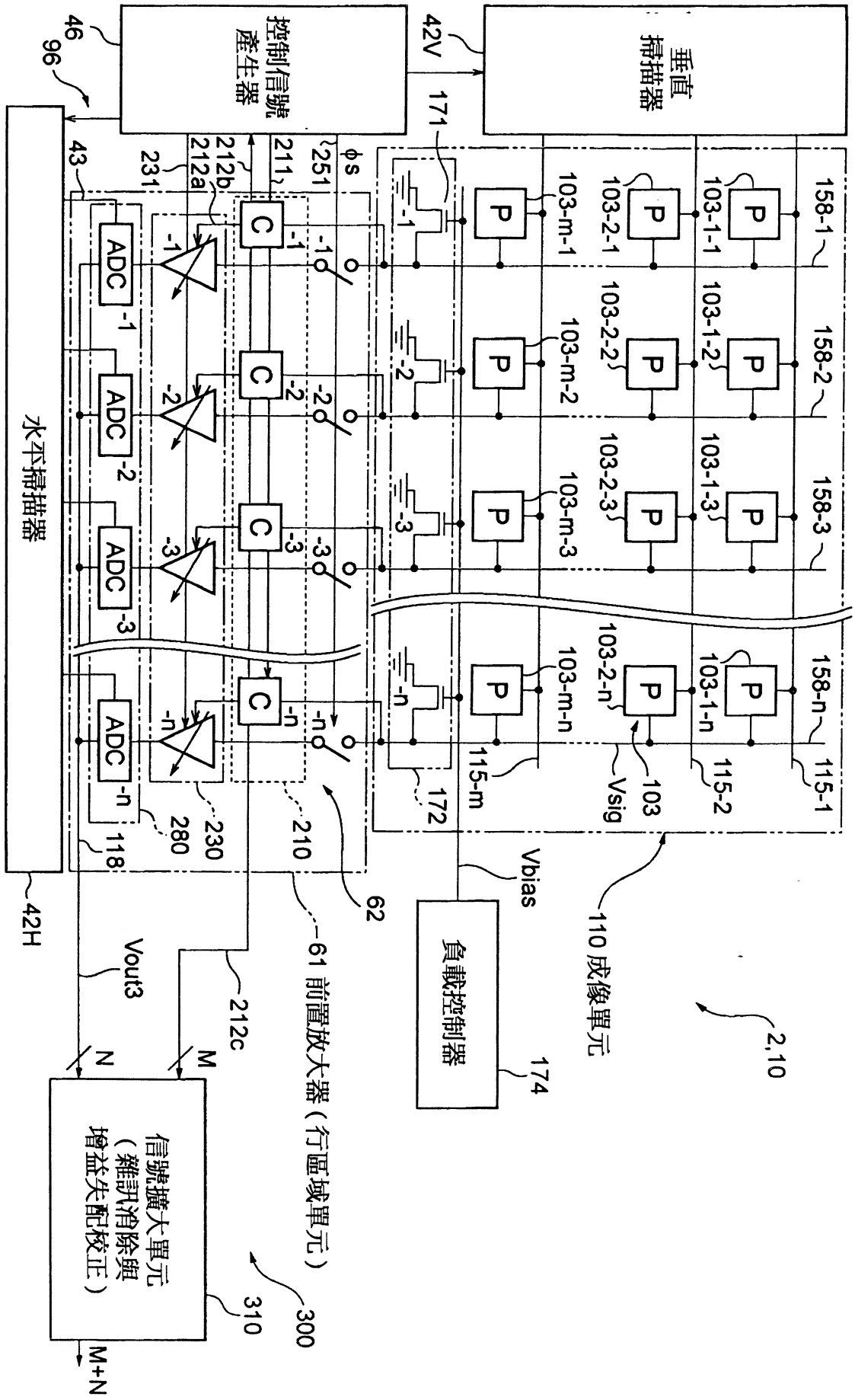

垂直掃描器
控制信號產生器
水平掃描器
負載控制器
成像單元
前置放大器（行區域單元）
信號擴大單元（雜訊消除與增益失配校正）
158-1
158-2
158-3
158-n
103-1-1
103-1-2
103-1-3
103-1-n
103-2-1
103-2-2
103-2-3
103-2-n
103-m-1
103-m-2
103-m-3
103-m-n
115-1
115-2
115-m
Vsig
Vbias
42V
171
172
46
96
43
231
212b
212a
211
251
φs
ADC
C
P
62
210
212c
230
280
118
42H
Vout3
N
M
M+N
174
2,10
300
310

圖 10

圖11A

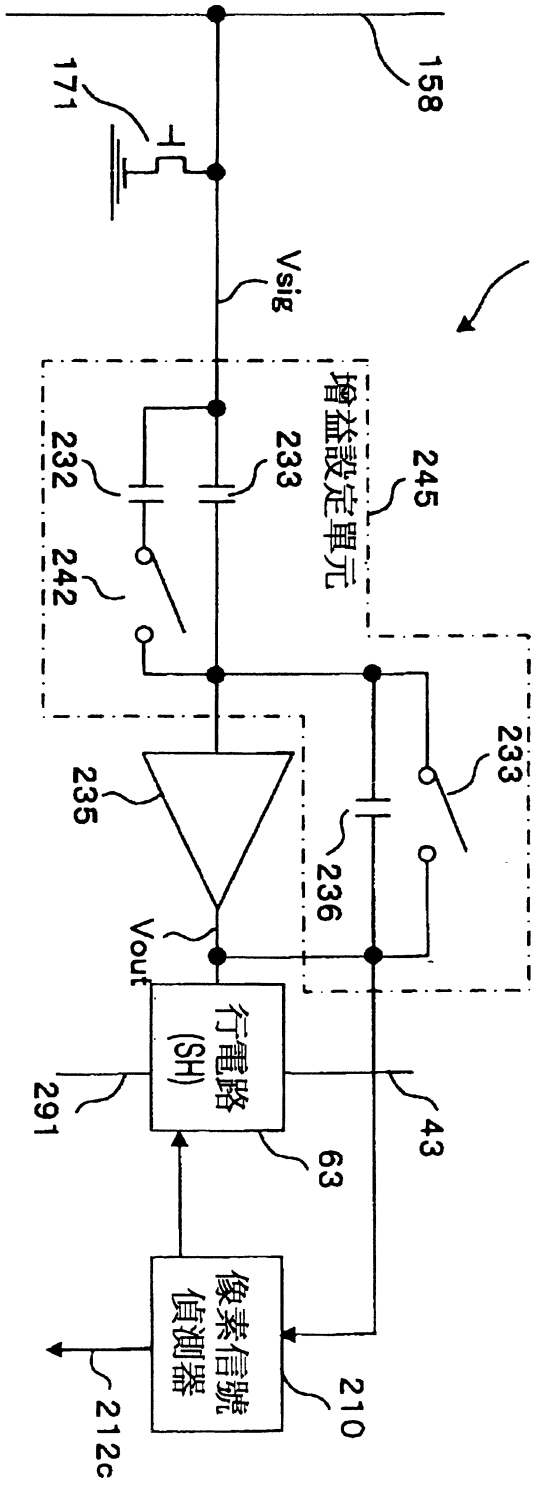

158
171
230
Vsig
增益設定單元
245
232
233
242
233
235
236
Vout
行電路
(SH)
291
43
63
像素信號
偵測器
210
212c

圖11B

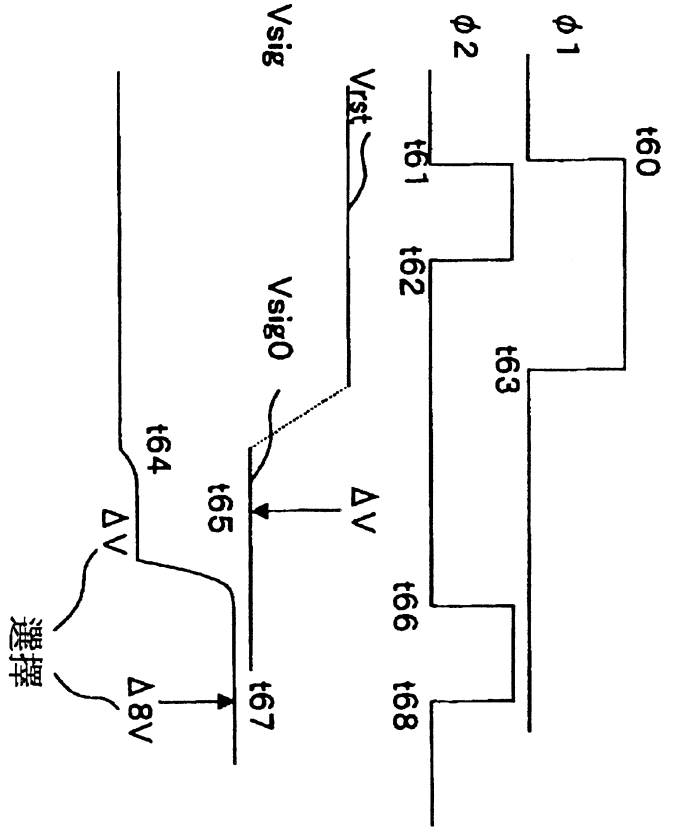

Vsig
Vrst
Vsig0
ΔV
ΔV
選擇
Δ8V
φ1
φ2
t60
t61
t62
t63
t64
t65
t66
t67
t68

圖 12A

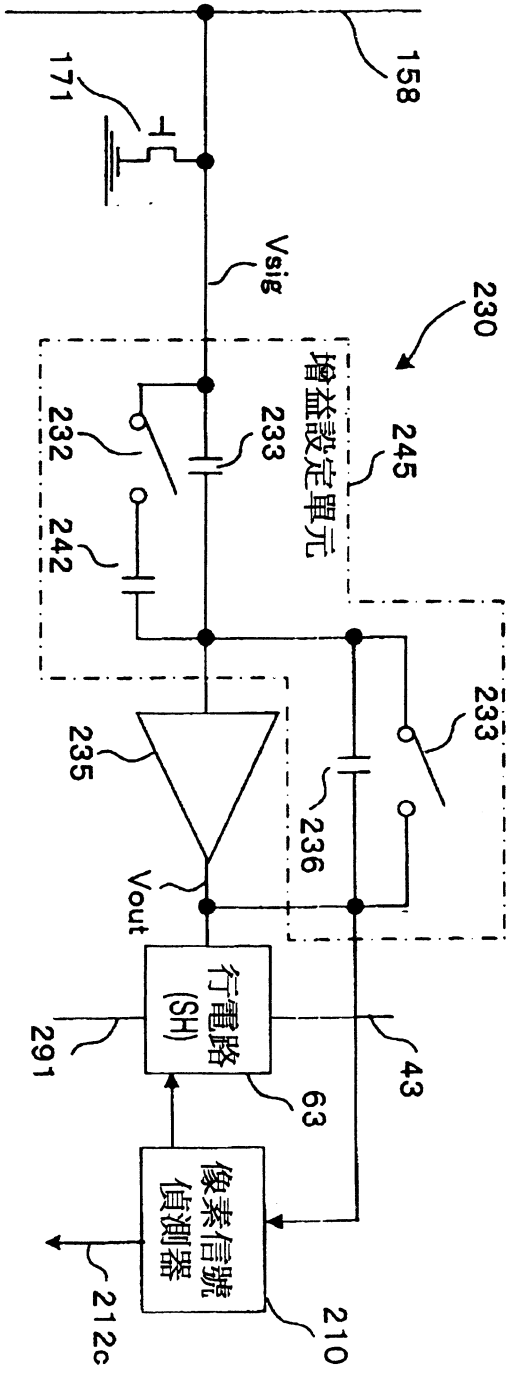

158
171
Vsig
230
增益設定單元
245
232
233
242
233
235
236
Vout
行電路
(SH)
291
43
63
像素信號
偵測器
212c
210

圖 12B

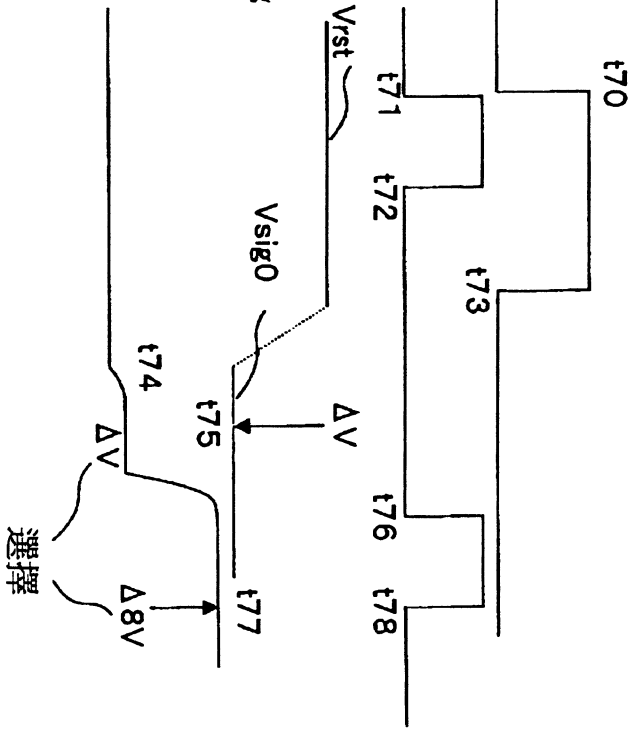

Vsig
Vrst
Vsig0
ΔV
ΔV
選擇
Δ8V
φ1
φ2
t70
t71
t72
t73
t74
t75
t76
t77
t78

圖 13A

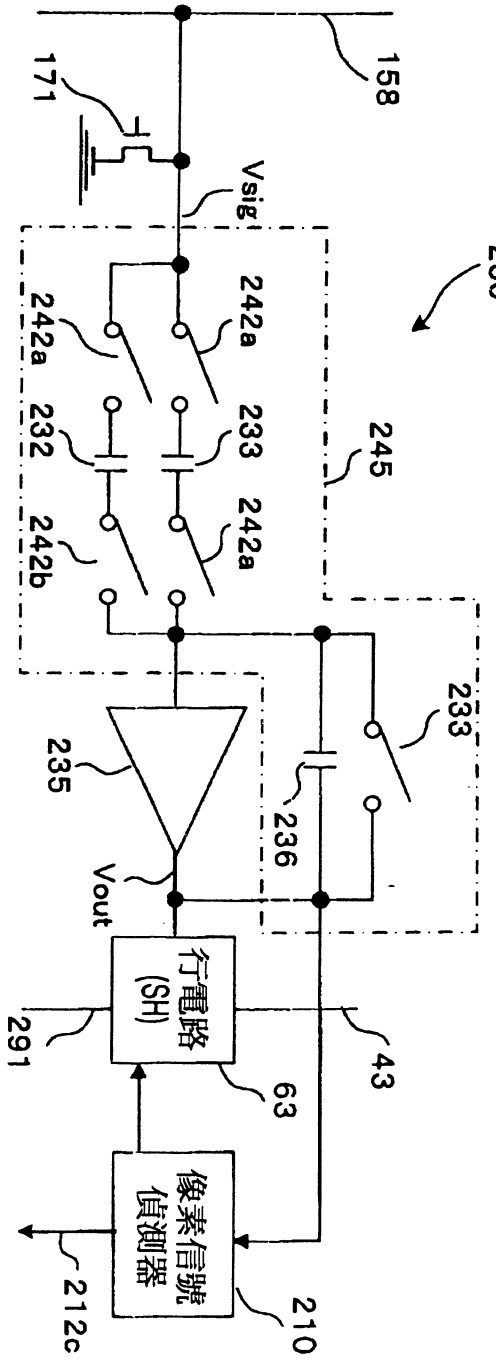
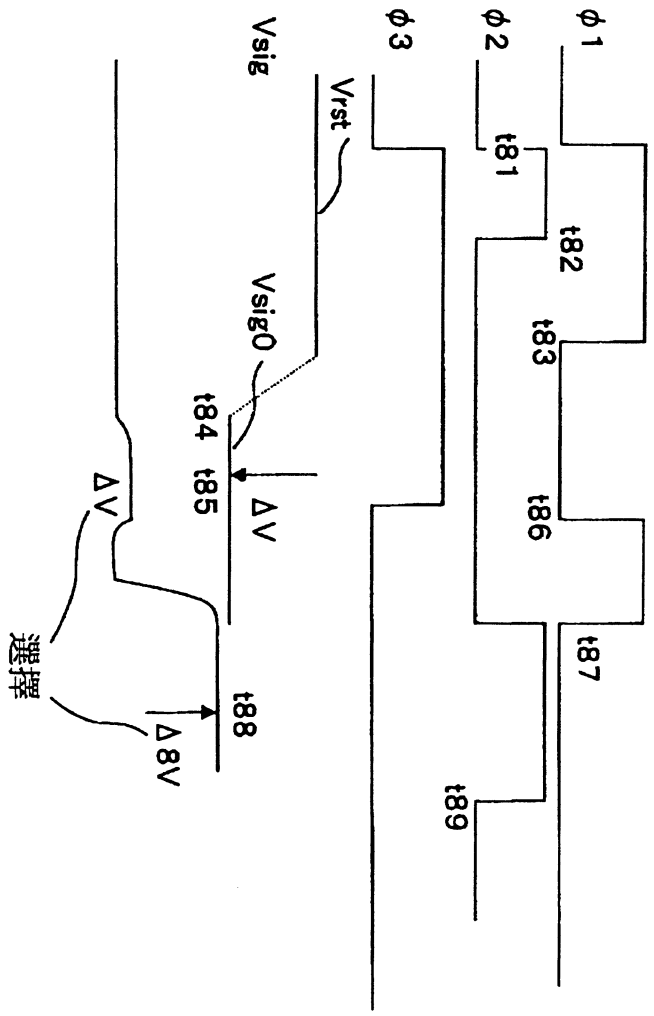

230
158
171
Vsig
242a
242a
233
242b
245
232
233
235
236
Vout
行電路
(SH)
291
63
43
像素信號
偵測器
210
212c

圖 13B


Vsig
Vrst
Vsig0
ΔV
ΔV
選擇
Δ8V
φ3
φ2
φ1
t80
t81
t82
t83
t84
t85
t86
t87
t88
t89

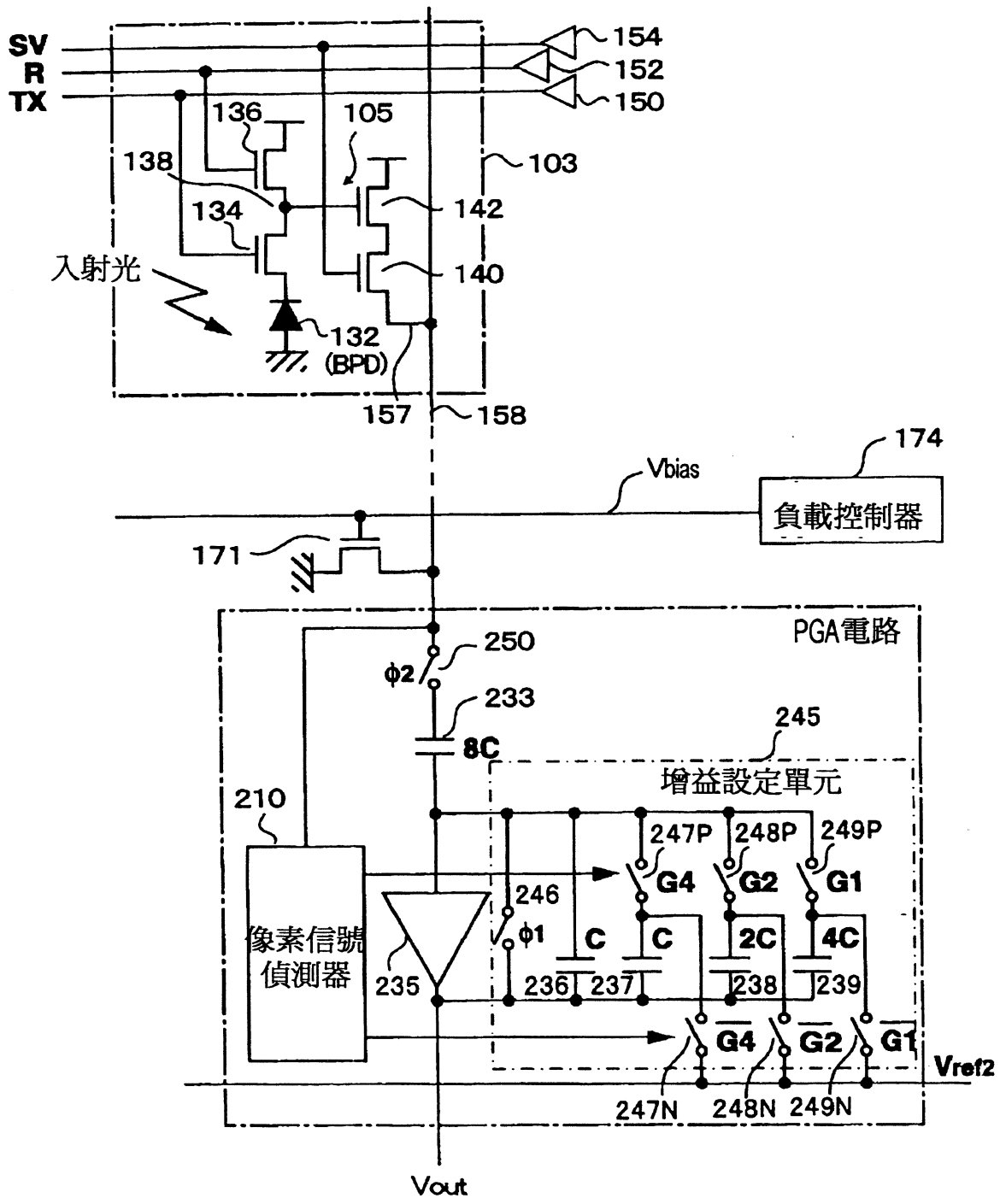

SV
R
TX
154
152
150
136
105
138
103
134
142
140
入射光
132
(BPD)
157
158
174
Vbias
負載控制器
171
PGA電路
250
φ2
233
8C
245
增益設定單元
210
247P
248P
249P
G4
G2
G1
246
φ1
C
C
2C
4C
像素信號
偵測器
235
236
237
238
239
G4
G2
G1
Vref2
247N
248N
249N
Vout

圖14

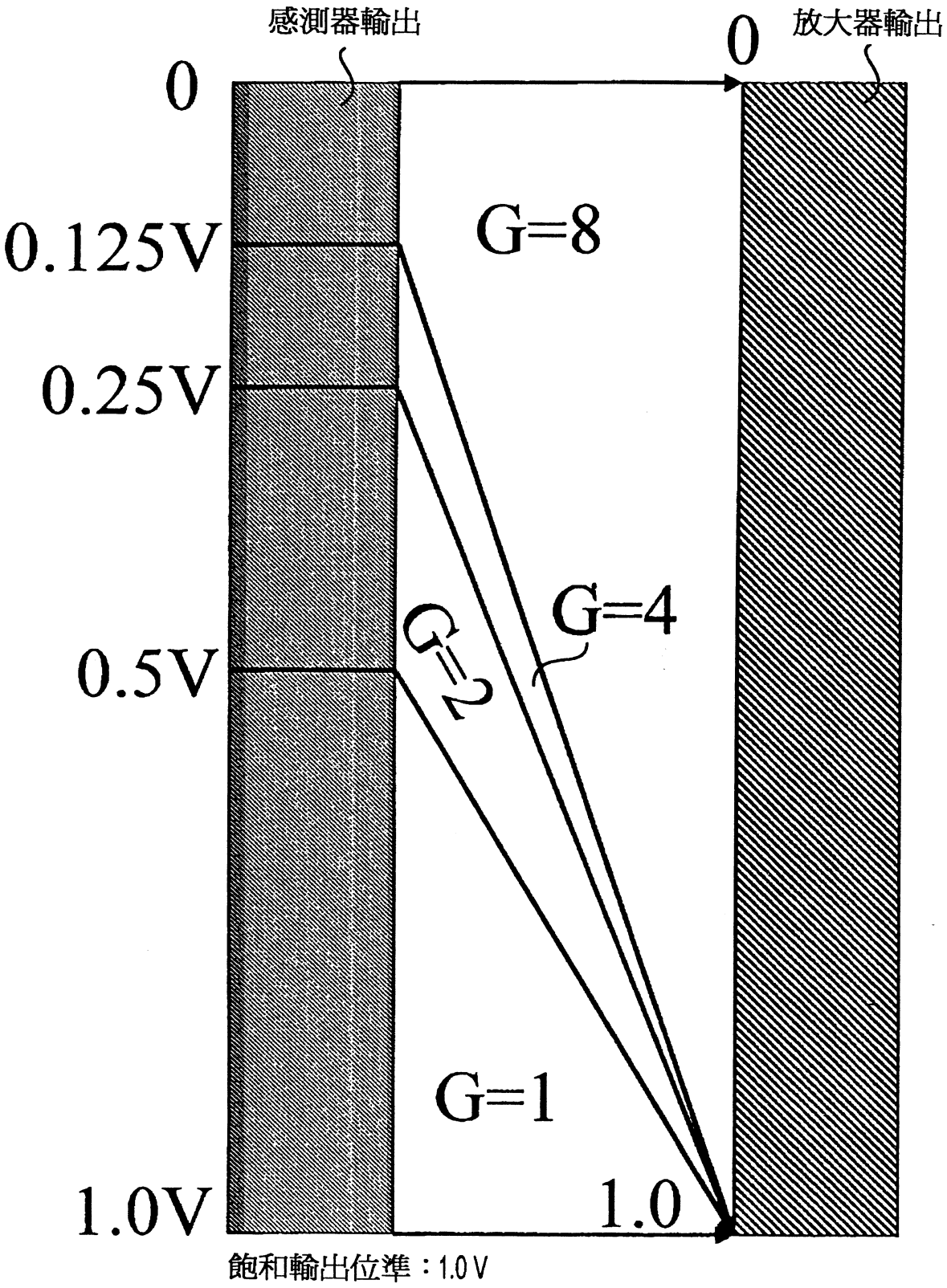


圖15

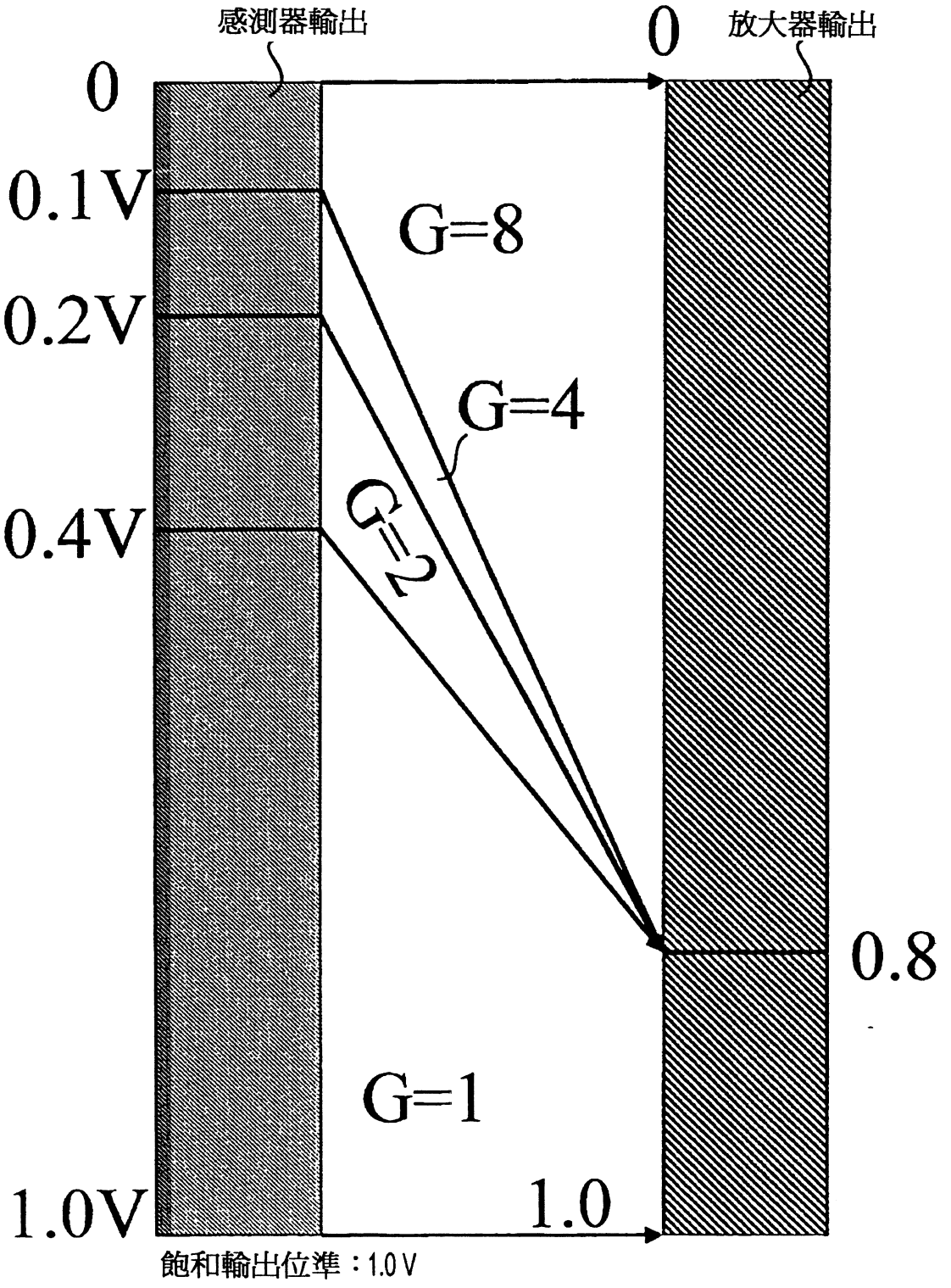


圖16

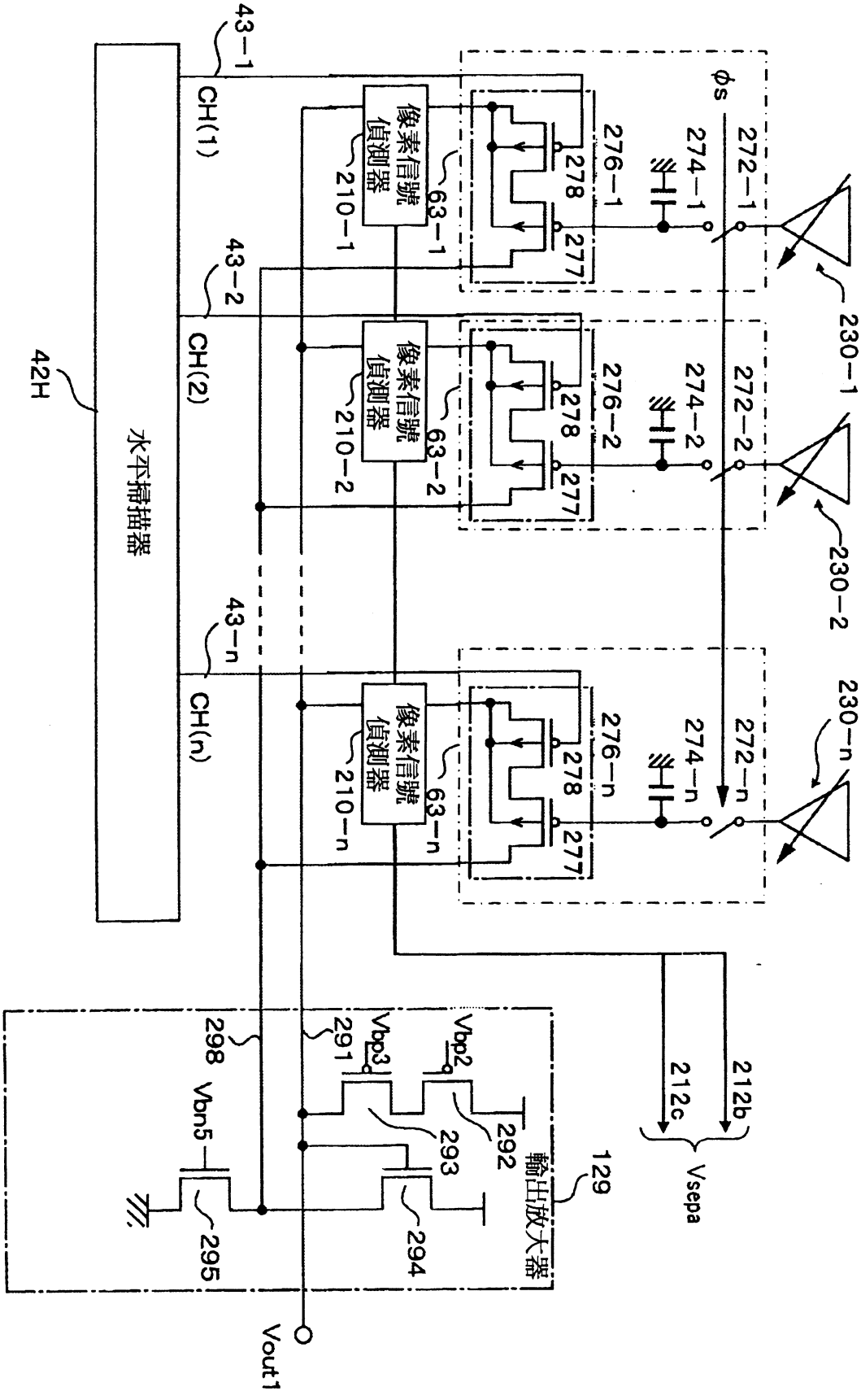

43-1
CH(1)
43-2
CH(2)
43-n
CH(n)
42H
水平掃描器
像素信號偵測器
210-1
210-2
210-n
63-1
63-2
63-n
276-1
276-2
276-n
278
277
272-1
272-2
272-n
274-1
274-2
274-n
φs
230-1
230-2
230-n
212b
212c
Vsepa
129
輸出放大器
292
293
294
295
298
291
Vbp2
Vbp3
Vbn5
Vout1

圖 17

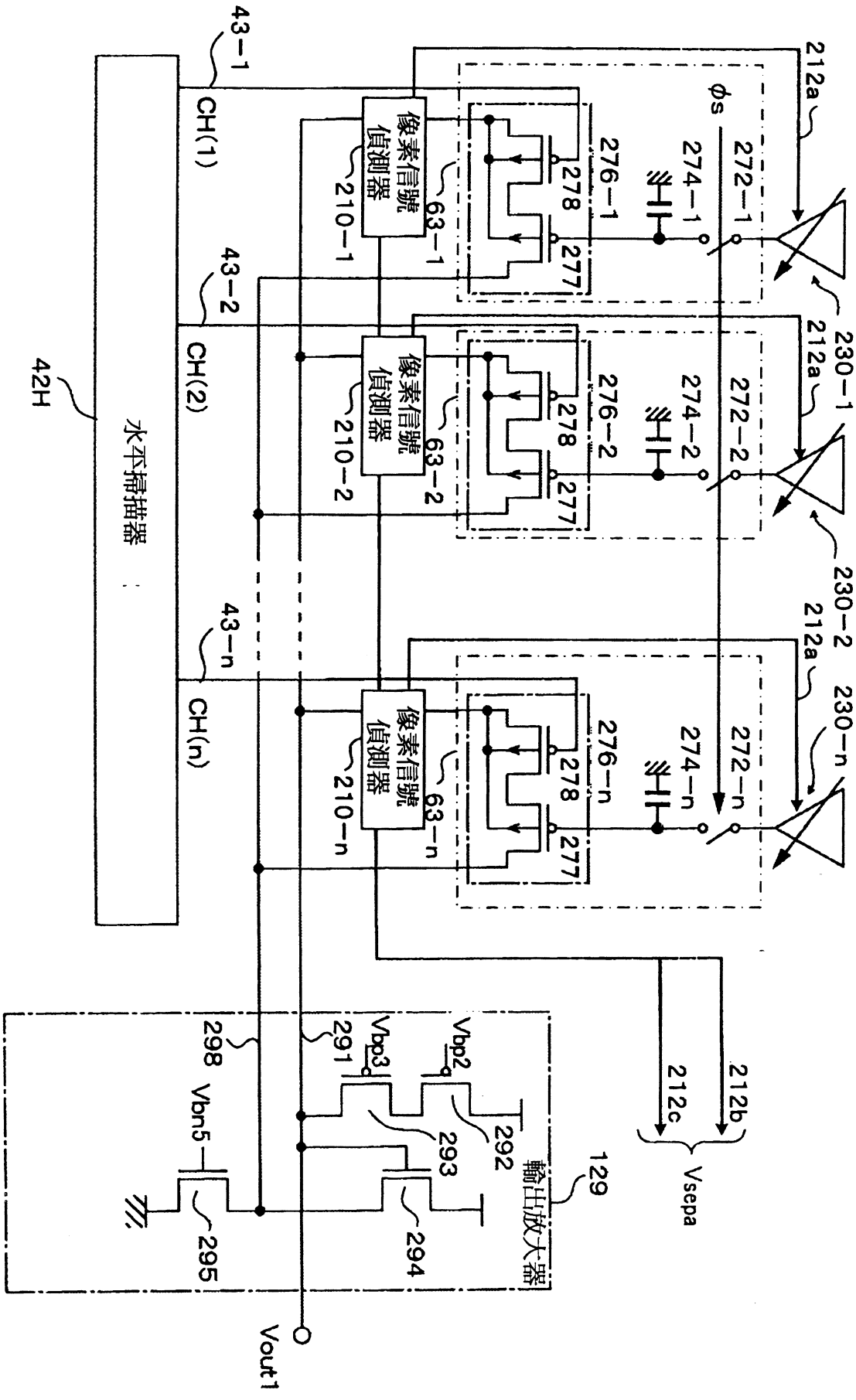

212a
φs
272-1
274-1
276-1
278
277
像素信號偵測器
210-1
63-1
43-1
CH(1)
230-1
212a
272-2
274-2
276-2
210-2
63-2
43-2
CH(2)
42H
水平掃描器
230-2
212a
272-n
274-n
276-n
210-n
63-n
43-n
CH(n)
230-n
212b
212c
Vsepa
129
輸出放大器
Vbp2
Vbp3
291
292
293
294
298
Vbn5
295
Vout1

圖18

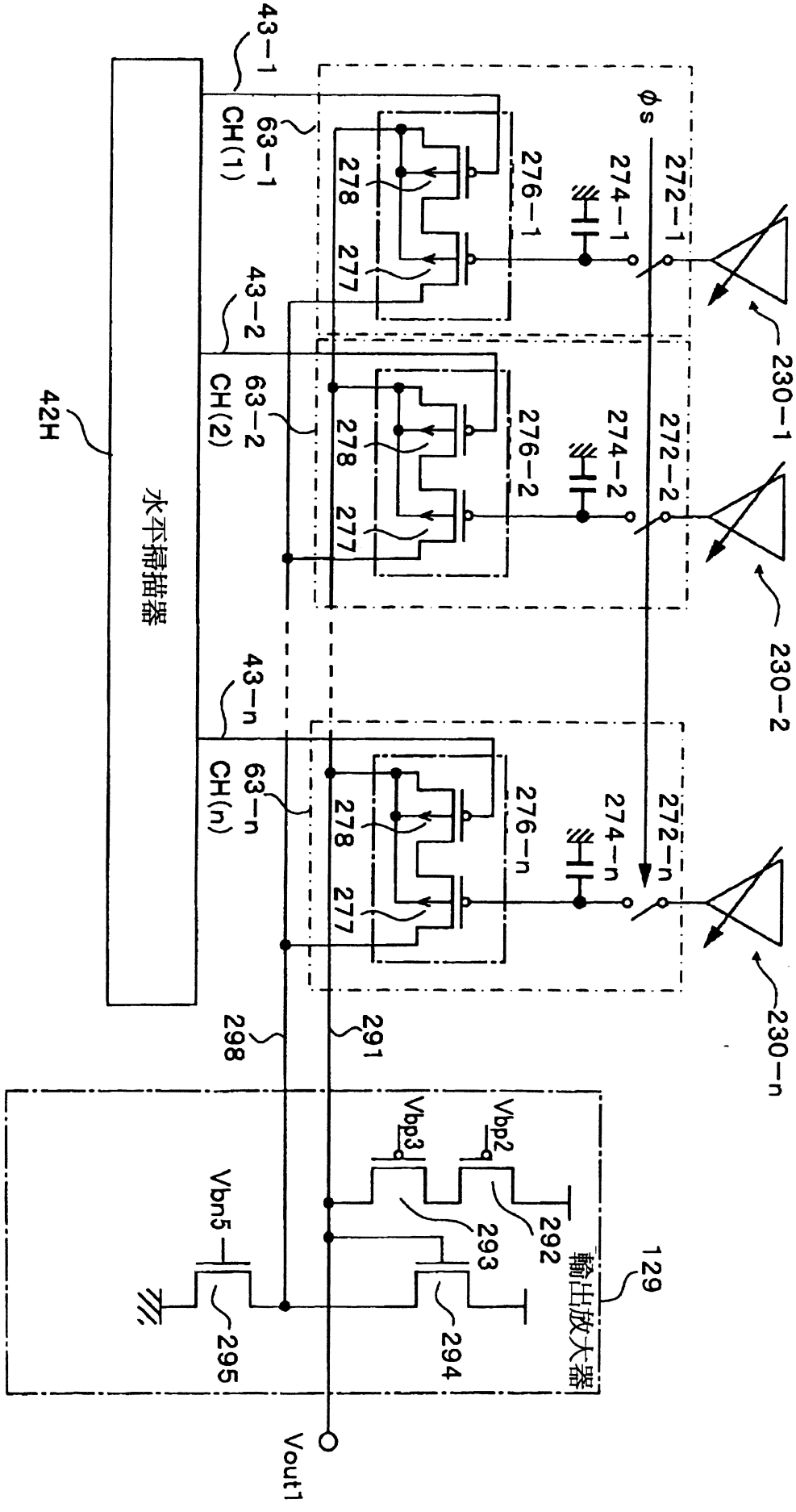

43-1
CH(1)
63-1
43-2
CH(2)
63-2
43-n
CH(n)
63-n
42H
水平掃描器
φs
272-1
274-1
276-1
278
277
272-2
274-2
276-2
272-n
274-n
276-n
230-1
230-2
230-n
298
291
Vbp3
Vbp2
Vbn5
292
293
294
295
129
輸出放大器
Vout1

圖19

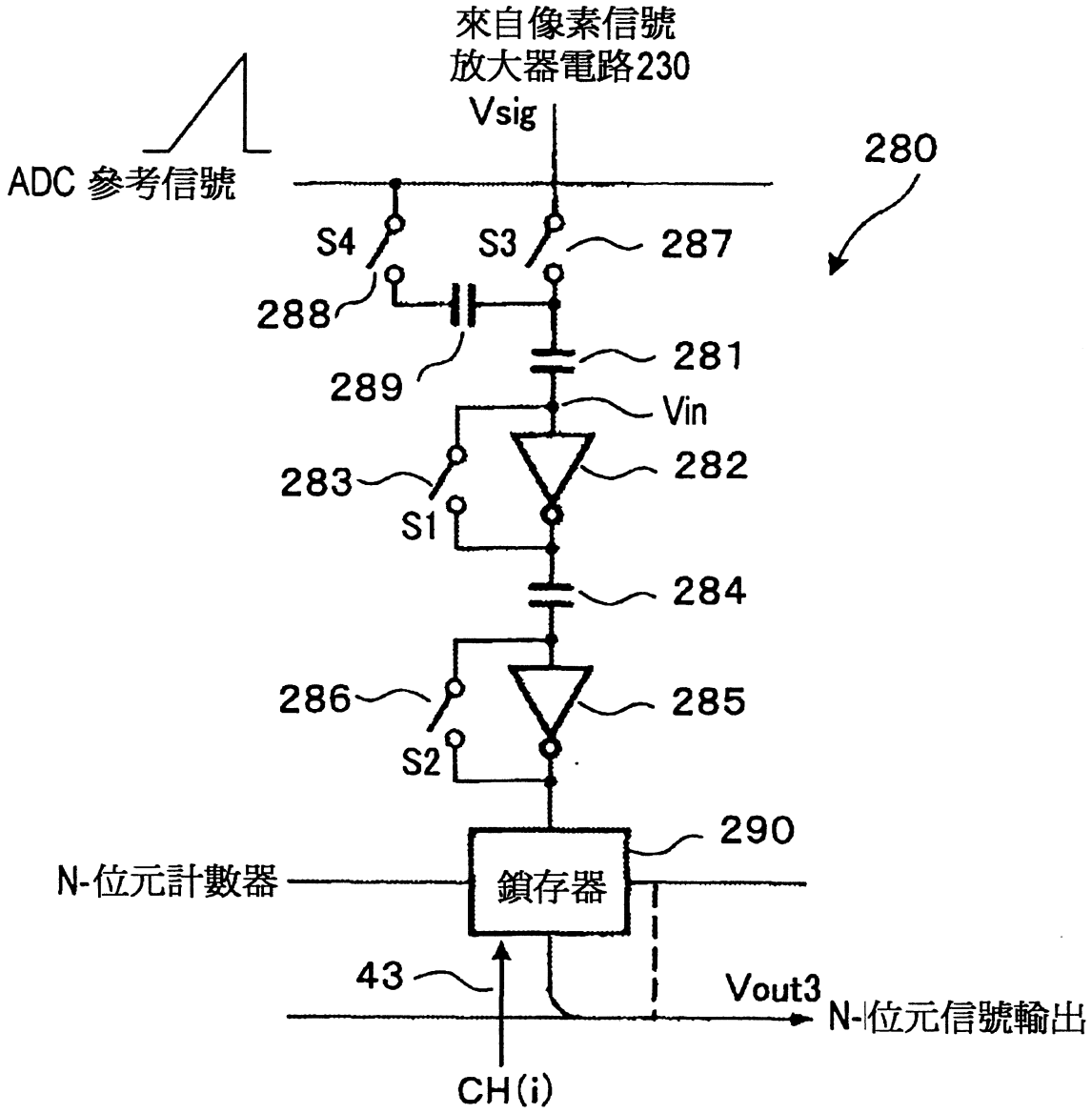

來自像素信號
放大器電路230
Vsig
ADC 參考信號
280
S4
S3
287
288
289
281
Vin
283
S1
282
284
286
S2
285
290
N-位元計數器
鎖存器
43
Vout3
N-位元信號輸出
CH(i)

圖20A

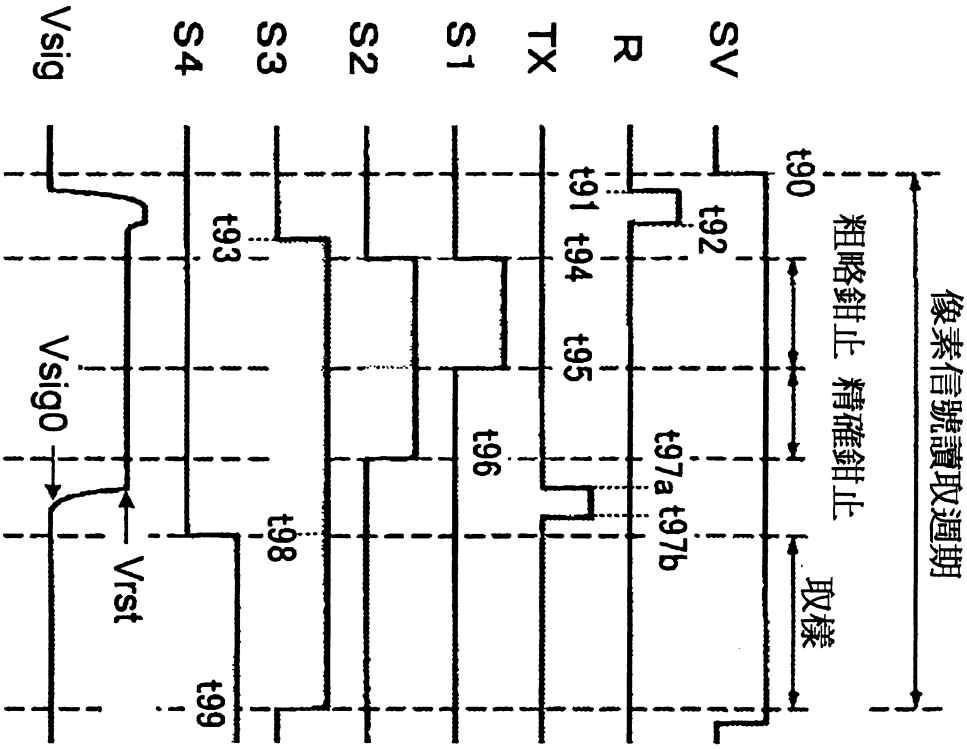

像素信號讀取週期
粗略鉗止
精確鉗止
取樣
SV
R
TX
S1
S2
S3
S4
Vsig
t90
t91
t92
t93
t94
t95
t96
t97a
t97b
t98
t99
Vsig0
Vrst

圖 20B

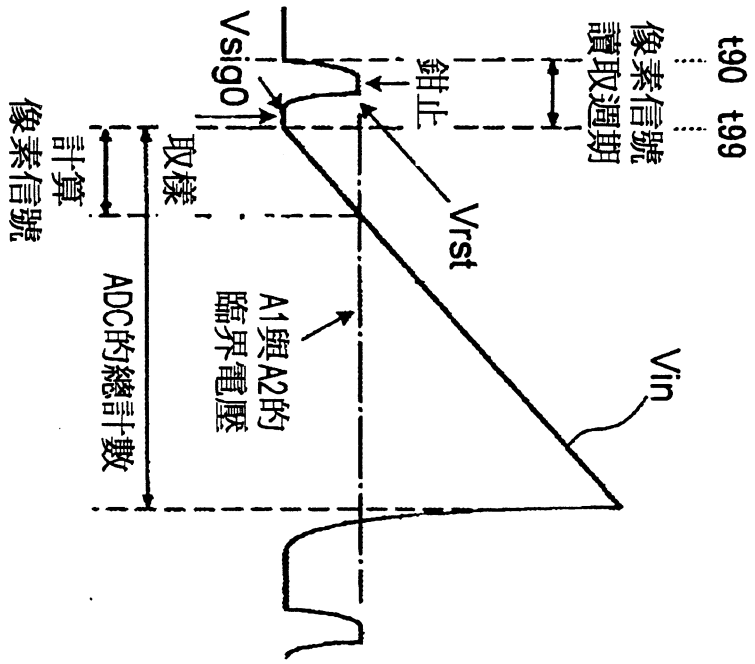

t90 t99
像素信號
讀取週期
鉗止
Vsig0
Vrst
Vin
取樣
A1與A2的
臨界電壓
計算
像素信號
ADC的總計數

圖 20C

圖 21A

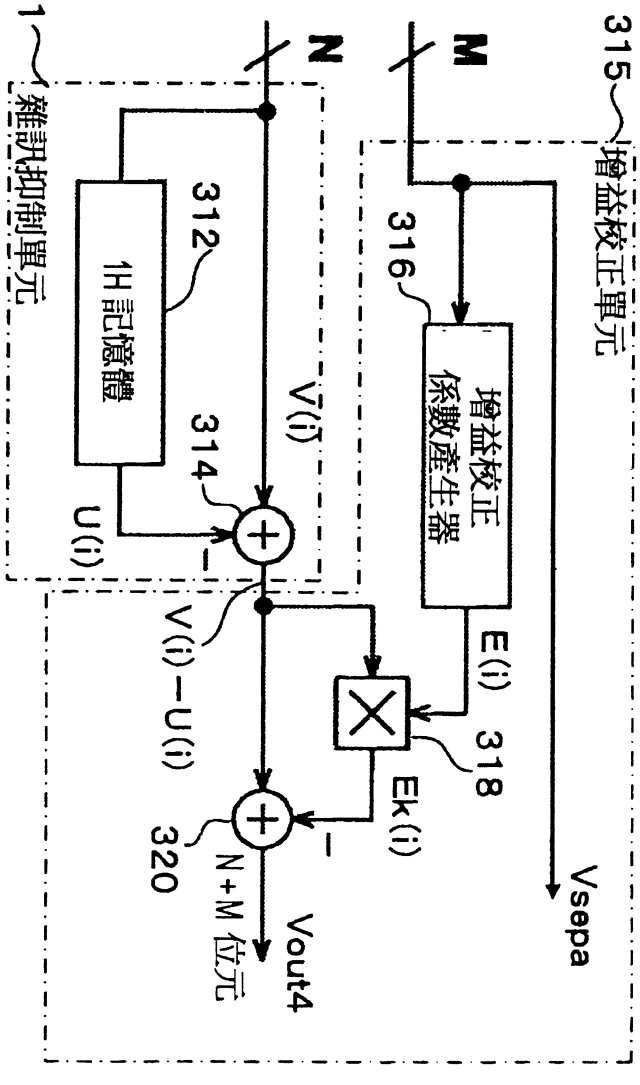
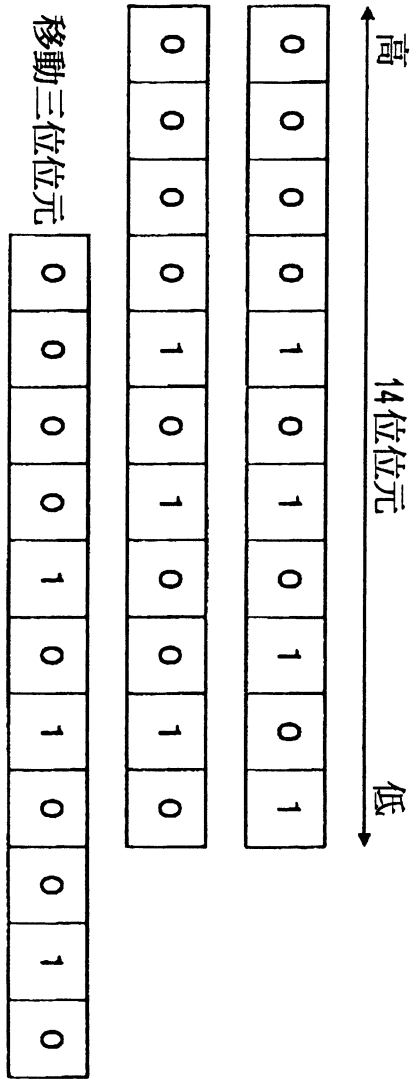

315
增益校正單元
Vsepa
M
316
增益校正
係數產生器
E(i)
318
Ek(i)
Vsepa
Vout2
或
Vout3
N
311
雜訊抑制單元
312
1H 記憶體
314
V(i)
U(i)
V(i)－U(i)
320
N+M 位元
Vout4

圖 21B


高
14 位位元
低
V(i)
V(i)－U(i)
當E(i) = 8
Ek(i)
移動三位位元

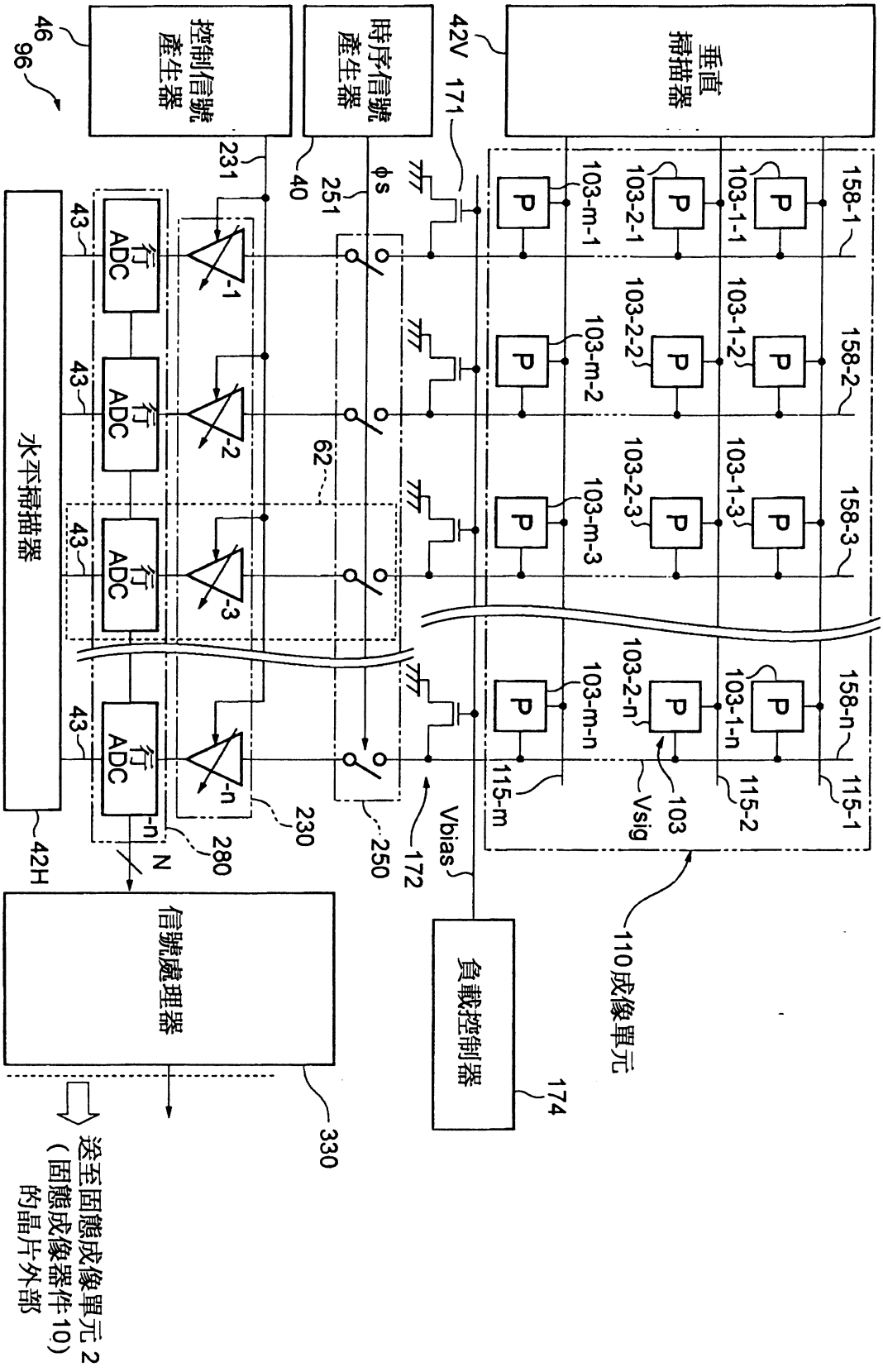

垂直掃描器
42V
171
158-1
158-2
158-3
158-n
103-1-1
103-1-2
103-1-3
103-1-n
103-2-1
103-2-2
103-2-3
103-2-n
103-m-1
103-m-2
103-m-3
103-m-n
P
115-1
115-2
115-m
Vsig
103
110 成像單元
負載控制器
174
Vbias
172
時序信號產生器
40
φs
251
62
250
控制信號產生器
46
96
231
230
280
行ADC
-1
-2
-3
-n
43
N
水平掃描器
42H
信號處理器
330
送至固態成像單元 2
(固態成像器件 10)
的晶片外部

圖 22

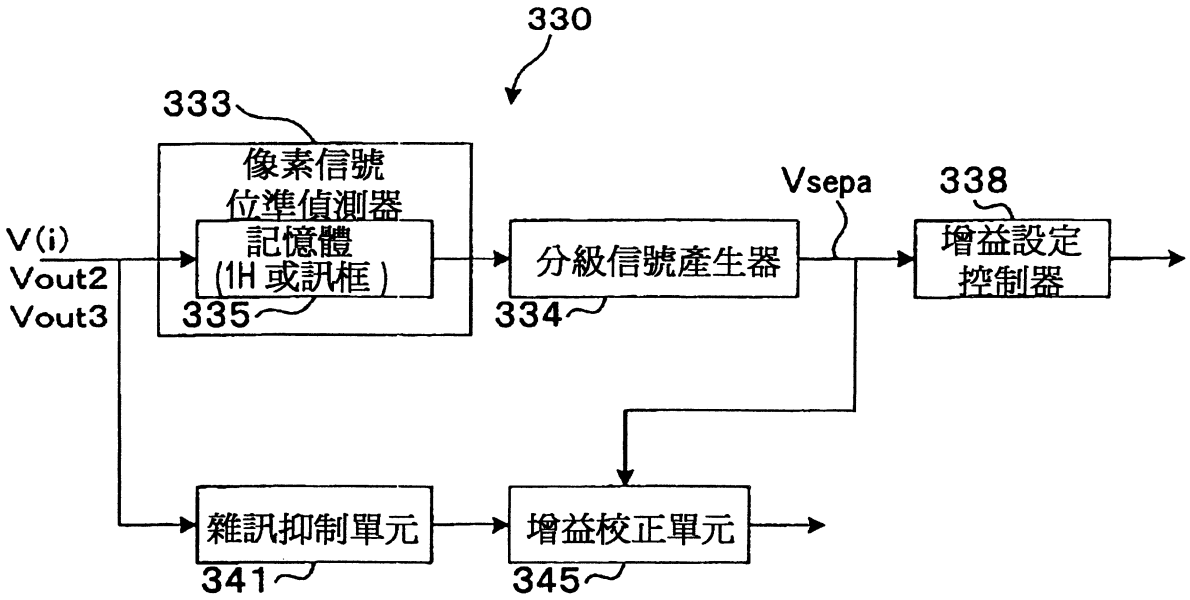

330
333
像素信號
位準偵測器
記憶體
(1H 或訊框)
335
V(i)
Vout2
Vout3
分級信號產生器
334
Vsepa
338
增益設定
控制器
雜訊抑制單元
341
增益校正單元
345

圖 23A

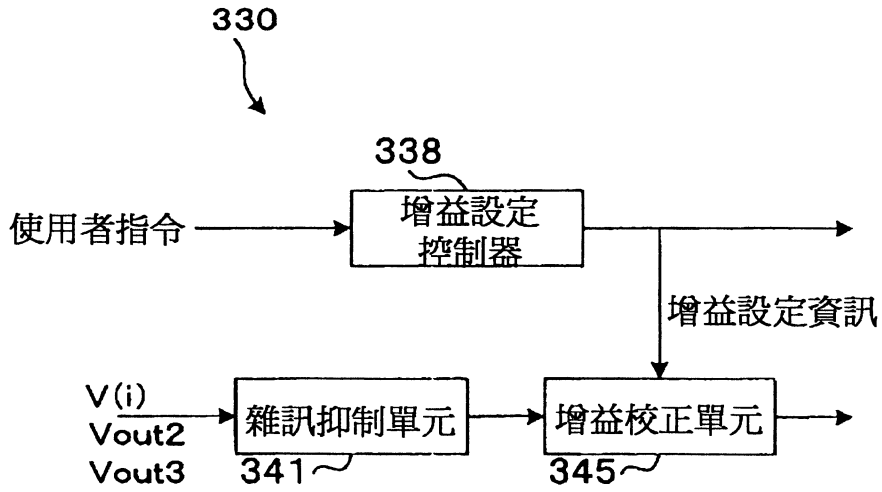

330
338
使用者指令
增益設定
控制器
增益設定資訊
V(i)
Vout2
Vout3
雜訊抑制單元
341
增益校正單元
345

圖 23B

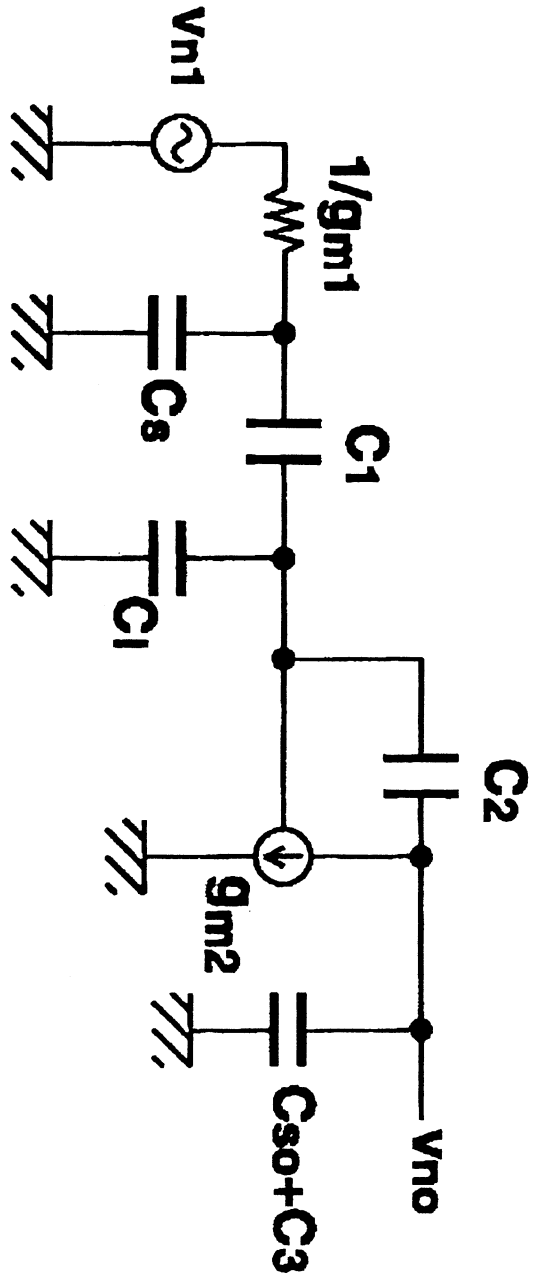


圖 24

圖 25A

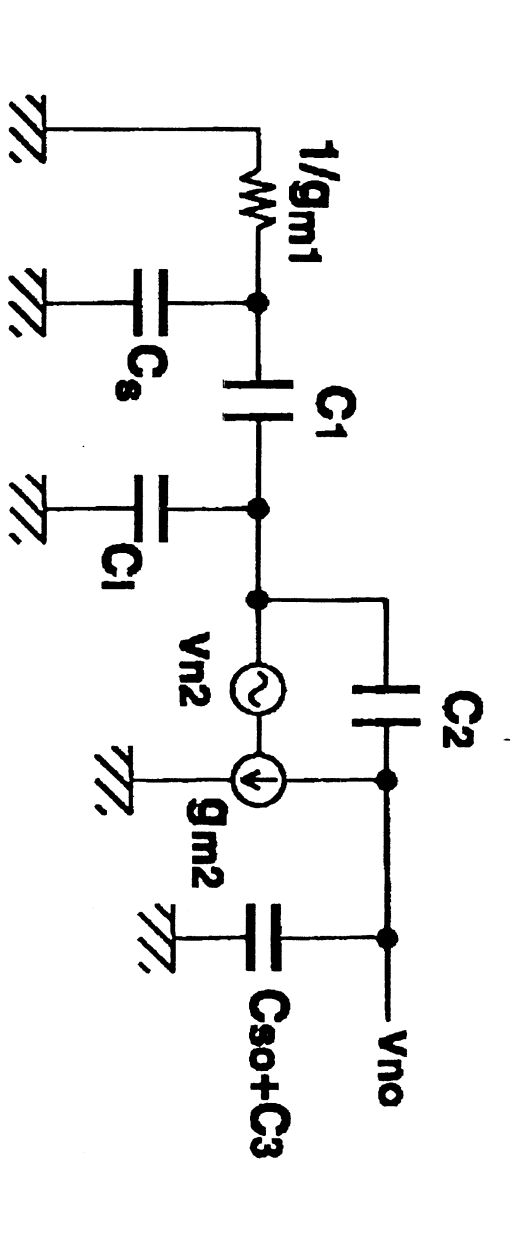
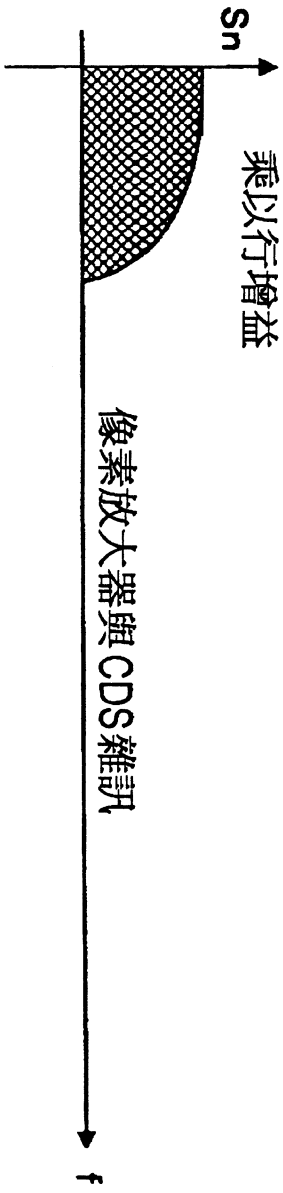

1/gm1
Cs
C1
C1
Vn2
C2
gm2
Cso+C3
Vno
Vn2～A*1/G

圖 25B


Sn
乘以行增益
像素放大器與CDS雜訊
f

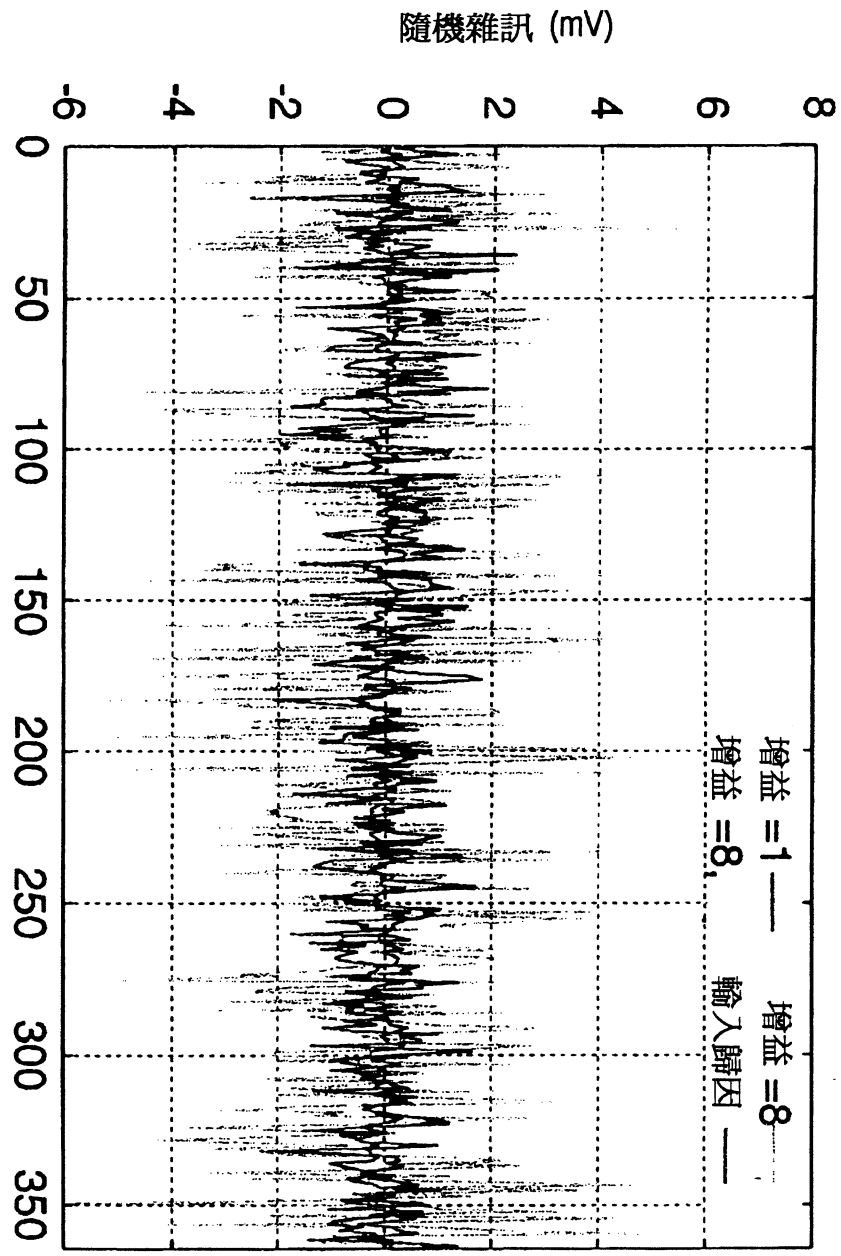

隨機雜訊 (mV)
8
6
4
2
0
-2
-4
-6
0
50
100
150
200
250
300
350
訊框 1 線處的行數
增益 =1 —— 增益 =8
增益 =8 —— 輸入歸因 ——
增益 =1
σ=785 μ Vrms
增益 =8
σ=2.1mVrms
輸入歸因
σ=263 μ Vrms

圖 26

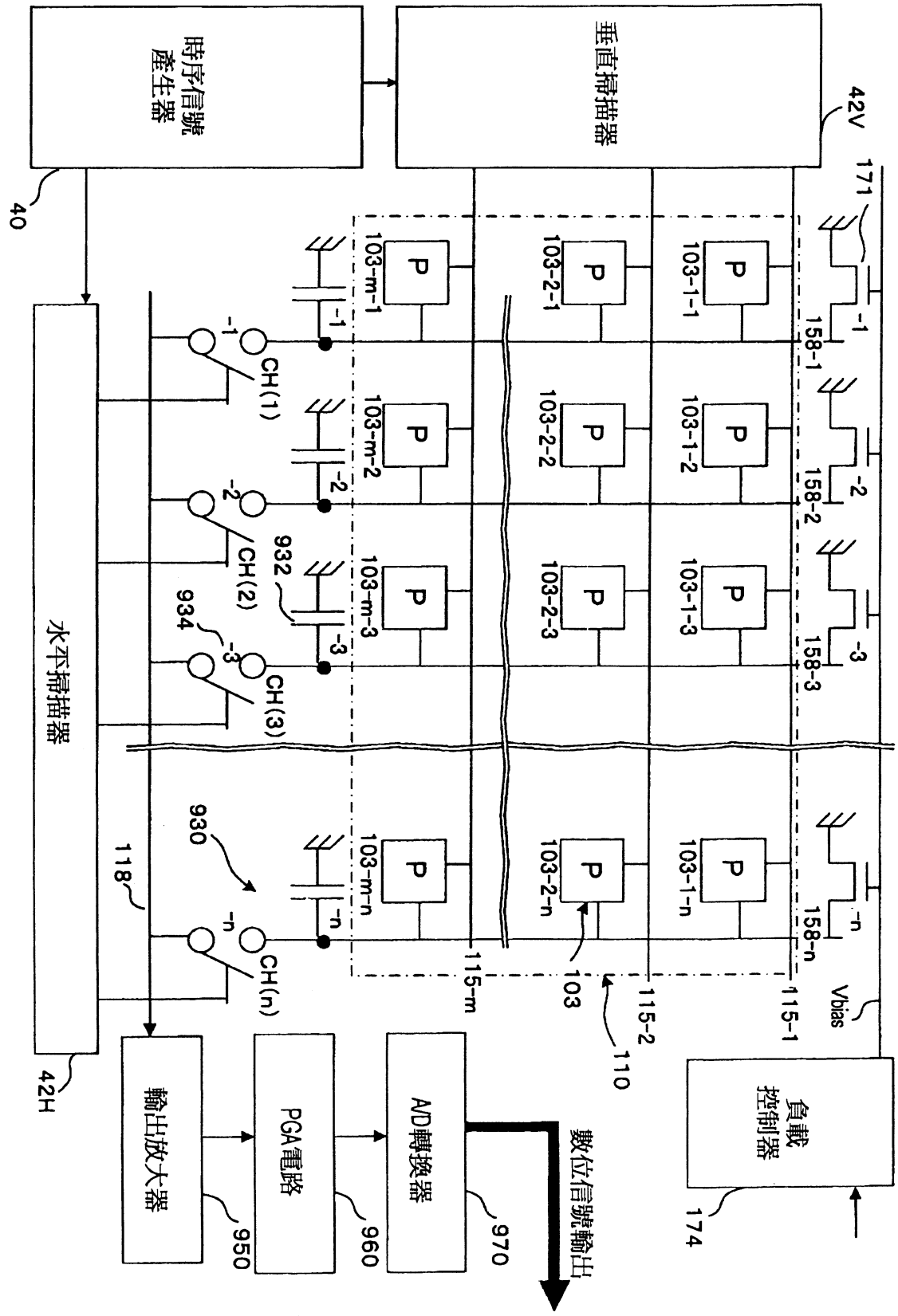

42V
171
垂直掃描器
時序信號產生器
40
負載控制器
174
Vbias
158-1
158-2
158-3
158-n
-1
-2
-3
-n
103-1-1
103-1-2
103-1-3
103-1-n
103-2-1
103-2-2
103-2-3
103-2-n
103-m-1
103-m-2
103-m-3
103-m-n
P
115-1
115-2
115-m
103
110
CH(1)
CH(2)
CH(3)
CH(n)
932
934
930
118
水平掃描器
42H
輸出放大器
950
PGA電路
960
A/D轉換器
970
數位信號輸出

圖 27

七、指定代表圖：

(一)本案指定代表圖為：第（ 1 ）圖。

(二)本代表圖之元件符號簡單說明:

1	數位相機
2	固態成像單元
3	成像模組
4	主單元
5	光學系統
6	信號處理系統
7	記錄系統
8	顯示系統
9	控制系統
10	固態成像器件
40	時序信號產生器
42	掃描器
46	控制信號產生器
50	成像透鏡
52	快門
54	透鏡
56	光圈
61	前置放大器
64	類比數位(A/D)轉換器
66	影像處理器
72	記憶體

74	編解碼器
82	數位類比(D/A)轉換器
84	視訊監視器
86	視訊編碼器
92	中央控制器
94	曝光控制器
96	驅動控制器
98	運算單元
99	匯流排

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

年 月 日修(更)正替換頁

十、申請專利範圍：

1. 一種控制一半導體器件之方法，該半導體器件包含一信號獲取單元與複數個行處理器，該信號獲取單元包含以行列配置的單元元件，該等單元元件各包含一電荷產生器，其係用以產生對應於入射電磁波的信號電荷，以及一信號產生器，其係用以產生對應於該電荷產生器所產生之該等信號電荷的信號；該等行處理器係供該等個別行以逐列的方式來讀取該等信號，其係用以利用特定的增益來放大該等信號，並且陸續輸出經放大的信號，該等行處理器分別包含複數個放大器電路，其係用以利用設定給該等放大器電路的增益來放大讀取自該等單元元件的信號；該方法包括一增益決定控制步驟，其係用以利用被設定給該等個別放大器電路的不同增益來偵測該等放大器電路或其後級之輸出信號的信號位準，以該等所偵測到的信號位準為基礎來決定欲設定給該等放大器電路的增益，以及讓該等放大器電路配合該等經決定的增益來進行運作。

2. 如請求項1之方法，其中會針對每一列之每個該等單元元件來個別執行該增益決定控制步驟。

3. 如請求項1之方法，其中會以該等行處理器所輸出的輸出信號為基礎來決定每一列的代表信號位準，以所決定的代表信號位準為基礎來決定欲針對該列共同設定給該等放大器電路的增益，以及讓該等放大器電路配合為該列所決定的增益來進行運作。

年 月 日修(更)正替換頁

4. 如請求項1之方法，其中會以該等行處理器所輸出的輸出信號為基礎來決定整個信號獲取單元之每個畫面的代表信號位準，以所決定的代表信號位準為基礎來決定欲針對該畫面共同設定給該整個信號獲取單元之該等放大器電路的增益，以及讓該等放大器電路配合為該畫面所決定的增益來進行運作。

5. 如請求項1之方法，其中會抑制因被設定給該等個別放大器電路的不同增益的關係而於為該等個別行所提供的該等放大器電路間所出現的輸出直流位準的變異情形。

6. 一種信號處理方法，其係用以對一半導體器件所輸出的信號執行預設的信號處理，該半導體器件包含一信號獲取單元與複數個行處理器，該信號獲取單元包含以行列配置的單元元件，該等單元元件各包含一電荷產生器，其係用以產生對應於入射電磁波的信號電荷，以及一信號產生器，其係用以產生對應於該電荷產生器所產生之該等信號電荷的信號，該等行處理器係供該等個別行以逐列的方式來讀取該等信號，其係用以利用特定的增益來放大該等信號並且陸續輸出經放大的信號，該等行處理器分別包含複數個放大器電路，其係用以利用設定給該等放大器電路的增益來放大讀取自該等單元元件的信號，該方法包括：

一增益決定控制步驟，其會利用被設定給該等個別放大器電路的不同增益來偵測該等放大器電路或其後級之輸出信號的信號位準，以該等所偵測到的信號位準為基

94.11.10
年 月 日修(更)正替換頁

礎來決定欲設定給該等放大器電路的增益，以及讓該等放大器電路配合該等經決定的增益來進行運作；以及

一增益校正步驟，其會於該增益決定控制步驟之後以被設定給該等個別放大器電路的增益為基礎來校正該等行處理器所輸出的輸出信號。

7. 如請求項6之信號處理方法，其中會針對該信號獲取單元的其中一個畫面來執行該增益校正步驟，其係用以產生該畫面的影像。

8. 如請求項6之信號處理方法，其中會針對每一列之每個該等單元元件來個別執行該增益決定控制步驟，並且針對從該等個別行處理器中輸出的每一列之該等單元元件的每個該等輸出信號來個別執行該增益校正步驟。

9. 如請求項6之信號處理方法，其中會以該等行處理器所輸出的輸出信號為基礎來決定每一列的代表信號位準，以所決定的代表信號位準為基礎來決定欲針對該列共同設定給該等放大器電路的增益，讓該等放大器電路配合為該列所決定的增益來進行運作，以及針對每一列來個別執行該增益校正步驟。

10. 如請求項6之信號處理方法，其中會以該等行處理器所輸出的輸出信號為基礎來決定整個信號獲取單元之每個畫面的代表信號位準，以所決定的代表信號位準為基礎來決定欲針對該畫面共同設定給該整個信號獲取單元之該等放大器電路的增益，讓該等放大器電路配合為該畫面所決定的增益來進行運作，以及針對每個畫面來個別執

行該增益校正步驟。

11. 如請求項6之信號處理方法，其中欲設定給該等放大器電路的增益係2的乘冪，而且該增益校正步驟係藉由移動代表該等行處理器所輸出的輸出信號的數位信號的位元來執行。

12. 如請求項6之信號處理方法，其中會抑制因被設定給該等個別放大器電路的不同增益的關係而於為該等個別行所提供的該等放大器電路間所出現的輸出直流位準的變異情形。

13. 一種半導體器件，其包括：

一信號獲取單元，其包含以行列配置的單元元件，該等單元元件各包含一電荷產生器，其係用以產生對應於入射電磁波的信號電荷，以及一信號產生器，其係用以產生對應於該電荷產生器所產生之該等信號電荷的信號；

複數個行處理器，其提供為該等個別行用以逐列的方式來讀取該等信號，其係用以利用特定的增益來放大該等信號，並且陸續輸出經放大的信號，該等行處理器分別包含複數個放大器電路，其係用以利用設定給該等放大器電路的增益來放大讀取自該等單元元件的信號；以及

一增益決定控制器，其會利用被設定給定該等個別放大器電路的不同增益來偵測該等放大器電路或其後級之輸出信號的信號位準，以該等所偵測到的信號位準為基礎來決定欲設定給該等放大器電路的增益，以及讓該等放大器電路配合該等經決定的增益來進行運作。

年 月 日修(更)正替換頁

14. 如請求項13之半導體器件，其中該增益決定控制器包括：

複數個增益設定單元，其係用於設定該等放大器電路的增益，該等增益設定單元係位於該等行處理器之中；

複數個信號位準偵測器，其係用於利用設定給該等個別放大器電路的不同增益來偵測該等放大器電路或其後級的輸出信號；以及

複數個增益設定控制器，其係用於以該等信號位準偵測器所偵測到的信號位準為基礎來決定欲設定給該等個別放大器電路的增益，並且控制該等增益設定單元，進而用於將經決定的增益設定給該等個別的放大器電路。

15. 如請求項14之半導體器件，其進一步包括複數個分級信號產生器，其係用於比較該等信號位準偵測器所偵測到的信號位準與複數個臨界值，以便為該等信號位準進行分級，並且產生且輸出代表分級結果的複數個分級信號，其中該等增益設定控制器會以該等分級信號產生器所輸出的該等分級信號為基礎來控制該等增益設定單元。

16. 如請求項15之半導體器件，其中該等分級信號產生器係位於為該等個別行所提供的行處理器之中，而且該等分級信號產生器還可充當該等增益設定控制器。

17. 如請求項15之半導體器件，其中該等分級信號產生器會將該等分級信號輸出至含有該信號獲取單元與該等行處理器在內的半導體晶片的外部。

18. 如請求項15之半導體器件，其中該等分級信號產生器會配合由該等行處理器輸出被該等放大器電路放大之後的

信號來輸出分級信號，該配合方式係以該等個別的單元元件為基礎。

19. 如請求項13之半導體器件，其中該等信號位準偵測器係位於為該等個別行所提供的該等行處理器之中。

20. 如請求項13之半導體器件，其中係由一含有該信號獲取單元與該等行處理器在內的半導體晶片來分別地提供該等信號位準偵測器，而且該等信號位準偵測器會以該等放大器電路所輸出的輸出信號為基礎來為每一列決定一代表信號位準。

21. 如請求項13之半導體器件，其中係由一含有該信號獲取單元與該等行處理器在內的半導體晶片來分別地提供該等信號位準偵測器，而且該等信號位準偵測器會以該等行處理器所輸出的輸出信號為基礎來為整個信號獲取單元的每一個畫面決定一代表信號位準。

22. 如請求項14之半導體器件，其中該等增益設定控制器係位於為該等個別行所提供的該等行處理器之中。

23. 如請求項14之半導體器件，其中該等增益設定控制器係位於該等行處理器的外部。

24. 如請求項14之半導體器件，其中當該等信號位準偵測器偵測到源自具有預設增益的放大器電路的輸出信號的信號位準落在該等放大器電路的線性範圍外面時，該等增益設定控制器便會執行控制，以便將允許設定給該等放大器電路的最大增益設定給該等放大器電路，而非將該預設增益設定給該等放大器電路。

94 11 10
年 月 日修(更)正替換頁

25. 如請求項13之半導體器件，其進一步包括複數個輸出直流位準抑制單元，用來抑制因被設定給該等個別放大器電路的不同增益的關係而在位於該等個別行處理器中的該等放大器電路間所出現的輸出直流位準變異。

26. 如請求項25之半導體器件，其中由該等增益設定單元所構成的複數個可變增益放大器電路以及該等放大器電路可充當該等輸出直流位準抑制單元。

27. 如請求項13之半導體器件，其中為該等個別行所提供的該等行處理器包括複數個轉換器，其係用於將該等放大器電路所輸出的類比信號轉換成數位信號。

28. 如請求項27之半導體器件，其中該等轉換器可充當輸出直流位準抑制單元，用來抑制因被設定給該等放大器電路的不同增益的關係而在位於該等個別行處理器中的該等放大器電路間所出現的輸出直流位準變異。

29. 一種電子裝置，其係用以對一半導體器件所輸出的信號執行預設的信號處理，該半導體器件包含一信號獲取單元與複數個行處理器，該信號獲取單元包含以行列配置的單元元件，該等單元元件各包含一電荷產生器，其係用以產生對應於入射電磁波的信號電荷，以及一信號產生器，其係用以產生對應於該電荷產生器所產生之該等信號電荷的信號，該等行處理器係供該等個別行以逐列的方式來讀取該等信號，其係用以利用特定的增益來放大該等信號並且陸續輸出經放大的信號，該等行處理器分別包含複數個放大器電路，其係用以利用設定給該等

放大器電路的增益來放大讀取自該等單元元件的信號，該電子裝置包括：

一增益決定控制器，其會利用被設定給該等個別放大器電路的不同增益來偵測該等放大器電路或其後級之輸出信號的信號位準，以該等所偵測到的信號位準為基礎來決定欲設定給該等放大器電路的增益，以及讓該等放大器電路配合該等經決定的增益來進行運作；以及

一信號擴大單元，其係用於以被設定給該等個別放大器電路的增益為基礎來對該等行處理器的輸出信號執行增益校正，從而擴大該信號獲取單元之其中一個畫面的信號的動態範圍。

30. 如請求項29之電子裝置，其中該信號擴大單元會為該信號獲取單元的其中一個畫面來執行該增益校正，其係用以產生該畫面的影像。

31. 如請求項29之電子裝置，其中該增益決定控制器會針對每一列的每個該等單元元件來個別執行增益決定控制，而且該信號擴大單元會針對由該等行處理器輸出之每一列的該等單元元件的每個該等信號來個別執行該增益校正。

32. 如請求項29之電子裝置，其中該增益決定控制器會以該等放大器電路所輸出的輸出信號為基礎來為每一列決定一代表信號位準，以所決定的代表信號位準為基礎來決定欲針對該列共同設定給該放大器的增益，讓該等放大器電路配合為該列所決定的增益來進行運作，而且該信

年 月 日修(更)正替換頁

號擴大單元會針對每一列來個別執行該增益校正。

33. 如請求項29之電子裝置，其中該增益決定控制器會以該等放大器電路所輸出的輸出信號為基礎來為整個信號獲取單元的每一個畫面決定一代表信號位準，以所決定的代表信號位準為基礎來決定欲針對該畫面共同設定給該等放大器電路的增益，讓該等放大器電路配合為該畫面所決定的增益來進行運作，而且該信號擴大單元會針對每一個畫面來個別執行該增益校正。

34. 如請求項29之電子裝置，其中該增益決定控制器會以2的乘冪為基礎來控制欲設定給該等放大器電路的增益，而且該信號擴大單元會藉由移動代表該等行處理器所輸出的輸出信號的數位數值的位元來執行該增益校正。

35. 如請求項29之電子裝置，其進一步包括複數個分級信號產生器，用於比較該等信號位準偵測器所偵測到的信號位準與複數個臨界值，以便為該等信號位準進行分級，並且產生且輸出代表分級結果的複數個分級信號，其中該等增益設定控制器會以該等分級信號產生器所輸出的該等分級信號為基礎來控制該等增益設定單元。

36. 如請求項35之電子裝置，其中該等分級信號產生器會將該等分級信號輸出至含有該信號獲取單元與該等行處理器在內的半導體晶片的外部，而且該信號擴大單元會根據該等分級信號產生器所輸出的該等分級信號來執行該增益校正。

37. 如請求項35之電子裝置，其中該等分級信號產生器會配

94 11 10

合由該等行處理器輸出被該等放大器電路放大之後的信號來輸出分級信號，該配合方式係以該等個別的單元元件為基礎。

38. 一種控制一半導體器件之方法，該半導體器件包含一信號獲取單元與複數個行處理器，該信號獲取單元包含以行列配置的單元元件，該等單元元件各包含一電荷產生器，其係用以產生對應於入射電磁波的信號電荷，以及一信號產生器，其係用以產生對應於該電荷產生器所產生之該等信號電荷的信號，該等行處理器係供該等個別行以逐列的方式來讀取該等信號，其係用以利用特定的增益來放大該等信號並且陸續輸出經放大的信號，該等行處理器分別包含複數個放大器電路，其係用以利用設定給該等放大器電路的增益來放大讀取自該等單元元件的信號，該方法包括：

一增益決定控制步驟，其會偵測該信號獲取單元所輸出之信號的信號位準，以該偵測結果為基礎來決定欲設定給該等放大器電路的增益，以及讓該等放大器電路配合該等經決定的增益來進行運作；以及

一增益校正步驟，其會依照比較結果，配合該等放大器電路所輸出的信號將比較結果或分級信號輸出至該等行處理器的外部，其係用以對信號位準進行分級，該配合方式係以該等個別的單元元件為基礎，並且參照該等比較結果或該等分級信號，以被設定給該等個別放大器電路的增益為基礎來校正該等行處理器所輸出的輸出信

年 月 日修(更)正替換頁

號。

39. 一種控制一半導體器件之方法，該半導體器件包含一信號獲取單元與複數個行處理器，該信號獲取單元包含以行列配置的單元元件，該等單元元件各包含一電荷產生器，其係用以產生對應於入射電磁波的信號電荷，以及一信號產生器，其係用以產生對應於該電荷產生器所產生之該等信號電荷的信號，該等行處理器係供該等個別行以逐列的方式來讀取該等信號，其係用以利用特定的增益來放大該等信號並且陸續輸出經放大的信號，該等行處理器分別包含複數個放大器電路，其係用以利用設定給該等放大器電路的增益來放大讀取自該等單元元件的信號，該方法包括：

一增益決定控制步驟，其會偵測該信號獲取單元所輸出之信號的位準，以該偵測結果為基礎來決定欲設定給該等放大器電路的增益，以及讓該等放大器電路配合該等經決定的增益來進行運作；以及

一轉換步驟，其會將該等放大器電路所輸出的類比信號轉換成數位信號。

40. 一種控制一半導體器件之方法，該半導體器件包含一信號獲取單元與複數個行處理器，該信號獲取單元包含以行列配置的單元元件，該等單元元件各包含一電荷產生器，其係用以產生對應於入射電磁波的信號電荷，以及一信號產生器，其係用以產生對應於該電荷產生器所產生之該等信號電荷的信號，該等行處理器係供該等個別

修正替換頁
年 月 日修(更)正

行以逐列的方式來讀取該等信號，其係用以利用特定的增益來放大該等信號並且陸續輸出經放大的信號，該等行處理器分別包含複數個放大器電路，其係用以利用設定給該等放大器電路的增益來放大讀取自該等單元元件的信號，該方法包括：

一增益決定控制步驟，其會偵測該信號獲取單元所輸出之信號的位準，以該偵測結果為基礎來決定欲設定給該等放大器電路的增益，以及讓該等放大器電路配合該等經決定的增益來進行運作；以及

一抑制步驟，其會抑制因欲設定給該等個別放大器電路之不同增益的關係而於該等放大器電路間所出現的輸出直流位準的變異情形。

41. 一種成像器件，其包括：

一成像區域，其包含複數個像素，每個像素各包含一電荷產生器，其係用以產生信號電荷；

一放大器電路區域，其係用以放大該等像素所輸出的信號，並且輸出經放大的信號，該放大器電路區域係位於該成像區域的旁邊；以及

一輸出部，其係位於該放大器電路區域的後級處；

其中，該放大器電路區域包括複數個放大器，該等放大器的增益係以該輸出部所輸出的信號的位準為基礎來設定。