



(12) 发明专利申请

(10) 申请公布号 CN 118974944 A

(43) 申请公布日 2024. 11. 15

(21) 申请号 202380032222.9

(22) 申请日 2023.02.24

(30) 优先权数据

2022-061147 2022.03.31 JP

(85) PCT国际申请进入国家阶段日

2024.09.30

(86) PCT国际申请的申请数据

PCT/JP2023/006636 2023.02.24

(87) PCT国际申请的公布数据

W02023/189057 JA 2023.10.05

(71) 申请人 罗姆股份有限公司

地址 日本

(72) 发明人 长屋圭祐 中野佑纪 山本兼司

森诚悟

(74) 专利代理机构 北京银龙知识产权代理有限公司 11243

专利代理师 许静 范胜杰

(51) Int.Cl.

H01L 29/78 (2006.01)

H01L 29/06 (2006.01)

H01L 29/12 (2006.01)

H01L 29/739 (2006.01)

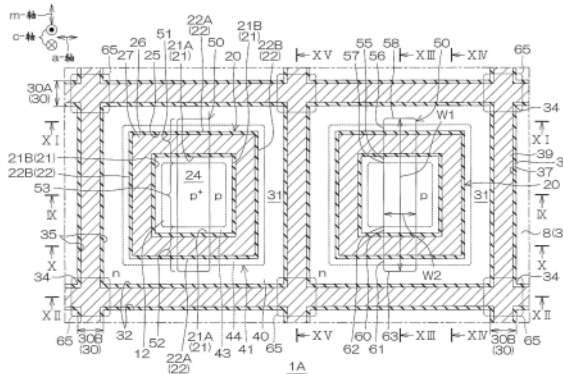
权利要求书2页 说明书24页 附图29页

(54) 发明名称

SiC半导体装置

(57) 摘要

一种半导体装置(1A),包含:芯片(2),其包含SiC单晶,并具有主面(3);沟槽构造(20),其具有第一侧壁(22A)和第二侧壁(22B),并形成于所述主面,其中,所述第一侧壁在所述SiC单晶的a轴方向上延伸,所述第二侧壁在所述SiC单晶的m轴方向上延伸;第一导电型的接触区(50),其在所述芯片内从所述第二侧壁在所述a轴方向上隔开间隔地形成于沿着所述沟槽构造的区域。



1. 一种SiC半导体装置,包含:
芯片,其包含SiC单晶,并具有主面;
沟槽构造,其具有第一侧壁和第二侧壁,并形成于所述主面,其中,所述第一侧壁在所述SiC单晶的a轴方向上延伸,所述第二侧壁在所述SiC单晶的m轴方向上延伸;以及
第一导电型的接触区,其在所述芯片内从所述第二侧壁在所述a轴方向上隔开间隔地形成于沿着所述沟槽构造的区域。
2. 根据权利要求1所述的SiC半导体装置,其中,
所述沟槽构造具有将所述第一侧壁和所述第二侧壁连接的底壁,
所述接触区在所述芯片内形成于沿着所述沟槽构造的所述底壁的区域。
3. 根据权利要求1或2所述的SiC半导体装置,其中,
所述接触区在所述芯片内形成于沿着所述沟槽构造的所述第一侧壁的区域。
4. 根据权利要求1~3中任一项所述的SiC半导体装置,其中,
所述接触区形成为在所述m轴方向上延伸的带状。
5. 根据权利要求1~4中任一项所述的SiC半导体装置,其中,
所述接触区在所述m轴方向上具有第一宽度,并在所述a轴方向上具有小于所述第一宽度的第二宽度。
6. 根据权利要求5所述的SiC半导体装置,其中,
所述第二宽度小于所述第一侧壁的宽度。
7. 根据权利要求5或6所述的SiC半导体装置,其中,
所述第一宽度为所述第二侧壁的宽度以上。
8. 根据权利要求1~7中任一项所述的SiC半导体装置,其中,
所述SiC半导体装置还包含:第一导电型的阱区,其在所述芯片内形成于沿着所述第二侧壁的区域,
所述接触区具有比所述阱区高的杂质浓度。
9. 根据权利要求8所述的SiC半导体装置,其中,
所述阱区在所述芯片内形成于沿着所述沟槽构造的区域,
所述接触区形成于所述阱区内。
10. 根据权利要求1~9中任一项所述的SiC半导体装置,其中,
所述SiC半导体装置还包含:第一导电型的体区,其形成于所述主面的表层部,
所述沟槽构造以贯穿所述体区的方式形成于所述主面,
所述接触区具有比所述体区高的杂质浓度。
11. 根据权利要求1~10中任一项所述的SiC半导体装置,其中,
所述沟槽构造在俯视时形成为环状。
12. 根据权利要求11所述的SiC半导体装置,其中,
所述SiC半导体装置还包含:台面部,其是由所述沟槽构造在所述主面划分而得的,
所述接触区具有:在所述台面部位位于所述主面的表层部的部分。
13. 根据权利要求1~12中任一项所述的SiC半导体装置,其中,
所述沟槽构造在俯视时形成为四边形状。
14. 根据权利要求1~13中任一项所述的SiC半导体装置,其中,

对所述沟槽构造施加源极电位。

15. 根据权利要求1~14中任一项所述的SiC半导体装置,其中,
所述SiC半导体装置还包含:第二沟槽构造,其从所述沟槽构造隔开间隔地形成于所述主面,并被施加栅极电位。

16. 根据权利要求15所述的SiC半导体装置,其中,
所述第二沟槽构造从所述沟槽构造的所述第二侧壁在所述a轴方向上隔开间隔地形成于所述主面,并在所述m轴方向上延伸。

17. 根据权利要求15或16所述的SiC半导体装置,其中,
所述第二沟槽构造从所述沟槽构造的所述第一侧壁在所述m轴方向上隔开间隔地形成于所述主面,并在所述a轴方向上延伸。

18. 根据权利要求15~17中任一项所述的SiC半导体装置,其中,
所述第二沟槽构造在俯视时形成为包围所述沟槽构造的环状。

19. 根据权利要求15~18中任一项所述的SiC半导体装置,其中,
所述SiC半导体装置还包含:第二导电型的源极区,其在所述主面的表层部形成于沿着所述第二沟槽构造的区域。

20. 一种SiC半导体装置,包含:

芯片,其包含SiC单晶,并具有主面;

第一导电型的半导体区,其形成于所述主面的表层部;

第二导电型的体区,其形成于所述半导体区的表层部;

沟槽源极构造,其具有第一侧壁和第二侧壁,并以贯穿所述体区的方式形成于所述主面,其中,所述第一侧壁在所述SiC单晶的a轴方向上延伸,所述第二侧壁在所述SiC单晶的m轴方向上延伸;

沟槽栅极构造,其以贯穿所述体区的方式从所述沟槽源极构造的第二侧壁在所述a轴方向上隔开间隔地形成于所述主面;

第一导电型的源极区,其在所述体区的表层部形成于沿着所述沟槽栅极构造的区域;
以及

第二导电型的接触区,其在所述芯片内从所述沟槽源极构造的第二侧壁在所述a轴方向上隔开间隔地形成于沿着所述沟槽源极构造的区域。

SiC半导体装置

技术领域

[0001] 本申请主张基于2022年3月31日提交的日本专利申请2022-061147号的优先权,本申请的全部内容通过引用并入其中。本发明涉及SiC半导体装置。

背景技术

[0002] 专利文献1的图8公开了包含n型漂移层、形成于n型漂移层的沟槽构造、以及在n型漂移层内形成于沿着沟槽构造的底壁的区域的高浓度p基区的SiC纵型功率MOSFET。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:美国专利申请公开第2014/0145209号说明书

发明内容

[0006] 发明要解决的课题

[0007] 一实施方式提供一种能够提高电气特性的半导体装置。

[0008] 用于解决课题的手段

[0009] 一实施方式提供一种SiC半导体装置,包含:芯片,其包含SiC单晶,并具有主面;沟槽构造,其具有第一侧壁和第二侧壁,并形成于所述主面,其中,所述第一侧壁在所述SiC单晶的a轴方向上延伸,所述第二侧壁在所述SiC单晶的m轴方向上延伸;以及第一导电型的接触区,其在所述芯片内从所述第二侧壁在所述a轴方向上隔开间隔地形成于沿着所述沟槽构造的区域。

[0010] 一实施方式提供一种SiC半导体装置,包含:芯片,其包含SiC单晶,并具有主面;第一导电型的半导体区,其形成于所述主面的表层部;第二导电型的体区,其形成于所述半导体区的表层部;沟槽源极构造,其具有第一侧壁和第二侧壁,并以贯穿所述体区的方式形成于所述主面,其中,所述第一侧壁在所述SiC单晶的a轴方向上延伸,所述第二侧壁在所述SiC单晶的m轴方向上延伸;沟槽栅极构造,其以贯穿所述体区的方式从所述沟槽源极构造的所述第二侧壁在所述a轴方向上隔开间隔地形成于所述主面;第一导电型的源极区,其在所述体区的表层部形成于沿着所述沟槽栅极构造的区域;以及第二导电型的接触区,其在所述芯片内从所述沟槽源极构造的所述第二侧壁在所述a轴方向上隔开间隔地形成于沿着所述沟槽源极构造的区域。

[0011] 上述的或者其他目的、特征以及效果通过参照附图说明的实施方式而得以清楚。

附图说明

[0012] 图1是表示第一实施方式的SiC半导体装置的俯视图。

[0013] 图2是表示第一主面的布局的俯视图。

[0014] 图3是沿着图2所示的III-III线的剖视图。

[0015] 图4是表示第一主面的主要部分的放大俯视图。

- [0016] 图5是表示第一主面的其他主要部分的放大俯视图。
- [0017] 图6是沿着图4所示的VI-VI线的剖视图。
- [0018] 图7是沿着图5所示的VII-VII线的剖视图。
- [0019] 图8是表示包含第二沟槽构造和第三沟槽构造的区域的放大俯视图。
- [0020] 图9是沿着图8所示的IX-IX线的剖视图。
- [0021] 图10是沿着图8所示的X-X线的剖视图。
- [0022] 图11是沿着图8所示的XI-XI线的剖视图。
- [0023] 图12是沿着图8所示的XII-XII线的剖视图。
- [0024] 图13是沿着图8所示的XIII-XIII线的剖视图。
- [0025] 图14是沿着图8所示的XIV-XIV线的剖视图。
- [0026] 图15是沿着图8所示的XV-XV线的剖视图。
- [0027] 图16是表示芯片的周缘部的剖视图。
- [0028] 图17是表示第二实施方式的SiC半导体装置的俯视图。
- [0029] 图18是沿着图17所示的XVIII-XVIII线的剖视图。
- [0030] 图19是表示第三实施方式的SiC半导体装置的俯视图。
- [0031] 图20是表示第四实施方式的SiC半导体装置的俯视图。
- [0032] 图21是表示第五实施方式的SiC半导体装置的俯视图。
- [0033] 图22是表示第六实施方式的SiC半导体装置的俯视图。
- [0034] 图23是沿着图22所示的XXIII-XXIII线的剖视图。
- [0035] 图24是沿着图22所示的XXIV-XXIV线的剖视图。
- [0036] 图25是表示第七实施方式的SiC半导体装置的俯视图。
- [0037] 图26是表示第八实施方式的SiC半导体装置的俯视图。
- [0038] 图27是表示第九实施方式的SiC半导体装置的俯视图。
- [0039] 图28是表示第十实施方式的SiC半导体装置的俯视图。
- [0040] 图29是表示第二沟槽构造的变形例的剖视图。

具体实施方式

[0041] 以下,参照附图对实施方式进行详细说明。附图是示意图,并非严格地图示,比例尺等未必一致。另外,对附图之间对应的构造标注相同的附图标记,省略或简化重复的说明。对于省略或简化了说明的构造,应用在省略或简化之前进行的说明。

[0042] 在存在比较对象 (comparison target) 的说明中使用“大致 (substantially) 相等”的语句时,该语句除了包含与比较对象的数值 (方式) 相等的数值 (方式) 以外,还包含以比较对象的数值 (方式) 为基准的 $\pm 10\%$ 的范围的数值误差 (方式误差)。在实施方式中,使用“第一”、“第二”、“第三”等语句,但它们是为了明确说明顺序而对各构造的名称标注的记号,并不是为了限定各构造的名称而标注的。

[0043] 图1是表示第一实施方式的SiC半导体装置1A的俯视图。图2是表示第一主面3的布局的俯视图。图3是沿着图2所示的III-III线的剖视图。图4是表示第一主面3的主要部分的放大俯视图。图5是表示第一主面3的其他主要部分的放大俯视图。图6是沿着图4所示的VI-VI线的剖视图。图7是沿着图5所示的VII-VII线的剖视图。

[0044] 图8是表示包含第二沟槽构造20和第三沟槽构造30的区域的放大俯视图。图9是沿着图8所示的IX-IX线的剖视图。图10是沿着图8所示的X-X线的剖视图。图11是沿着图8所示的XI-XI线的剖视图。图12是沿着图8所示的XII-XII线的剖视图。图13是沿着图8所示的XIII-XIII线的剖视图。图14是沿着图8所示的XIV-XIV线的剖视图。图15是沿着图8所示的XV-XV线的剖视图。图16是表示芯片2的周缘部的剖视图。

[0045] 参照图1~图16, SiC半导体装置1A是包含SiC-MISFET (Metal Insulator Semiconductor Field Effect Transistor) 的SiC半导体开关装置。在本方式 (this embodiment) 中, SiC半导体装置1A包含芯片2, 芯片2包含六方晶的SiC单晶并形成六面体形状 (具体而言为长方体形状)。六方晶的SiC单晶具有包含2H (Hexagonal) -SiC单晶、4H-SiC单晶、6H-SiC单晶等多种多型 (polytype)。在本方式中, 表示了芯片2包含4H-SiC单晶的例子, 但芯片2也可以包含其他多型。

[0046] 芯片2具有: 一侧的第一主面3、另一侧的第二主面4、以及连接第一主面3和第二主面4的第一~第四侧面5A~5D。第一主面3和第二主面4由SiC单晶的c面形成。具体而言, 第一主面3由SiC单晶的硅面 ((0001) 面) 形成, 第二主面4由SiC单晶的碳面 ((000-1) 面) 形成。

[0047] 第一主面3和第二主面4在从SiC单晶的c轴方向 ([0001] 方向) 观察的俯视时 (以下, 简称为“俯视时”) 形成为四边形状。c轴方向是c面的法线方向。c轴方向也是芯片2的厚度方向。第一主面3和第二主面4可以具有相对于c面在规定的偏离方向上以规定角度倾斜的偏离角。

[0048] 优选的是, 偏离方向为SiC单晶的a轴方向 ([11-20] 方向)。偏离角可以超过 0° 且 10° 以下。优选的是, 偏离角为 5° 以下。在第一主面3 (第二主面4) 具有偏离角的情况下, c轴相对于第一主面3 (第二主面4) 的法线向偏离方向倾斜偏离角的量。在附图中, 为了方便, 图示了沿着第一主面3 (第二主面4) 的法线延伸的c轴。第二主面4可以由具有磨削痕的磨削面构成, 也可以由不具有磨削痕的平滑面构成。

[0049] 第一侧面5A和第二侧面5B在SiC单晶的a轴方向上延伸, 并在SiC单晶的m轴方向 ([1-100] 方向) 上对置。即, 第一侧面5A和第二侧面5B由SiC单晶的m面 ((1-100) 面) 形成。第三侧面5C和第四侧面5D在SiC单晶的m轴方向上延伸, 并在SiC单晶的a轴方向上对置。

[0050] 即, 第三侧面5C和第四侧面5D由SiC单晶的a面 ((11-20) 面) 形成。第一~第四侧面5A~5D可以由具有磨削痕的磨削面构成, 也可以由不具有磨削痕的平滑面构成。可以将c轴方向称为“厚度方向”, 将a轴方向称为“第一方向”, 将m轴方向称为“第二方向”。

[0051] 芯片2可以具有 $5\mu\text{m}$ 以上且 $350\mu\text{m}$ 以下的厚度。芯片2的厚度可以设定为属于 $5\mu\text{m}$ 以上且 $50\mu\text{m}$ 以下、 $50\mu\text{m}$ 以上且 $100\mu\text{m}$ 以下、 $100\mu\text{m}$ 以上且 $150\mu\text{m}$ 以下、 $150\mu\text{m}$ 以上且 $200\mu\text{m}$ 以下、 $200\mu\text{m}$ 以上且 $250\mu\text{m}$ 以下、 $250\mu\text{m}$ 以上且 $300\mu\text{m}$ 以下、以及 $300\mu\text{m}$ 以上且 $350\mu\text{m}$ 以下中的任一范围的值。优选的是, 芯片2的厚度为 $150\mu\text{m}$ 以下。

[0052] 第一~第四侧面5A~5D在俯视时可以具有 0.5mm 以上且 20mm 以下的长度。第一~第四侧面5A~5D的长度可以设定为属于 0.5mm 以上且 5mm 以下、 5mm 以上且 10mm 以下、 10mm 以上且 15mm 以下、以及 15mm 以上且 20mm 以下中的任一范围的值。优选的是, 第一~第四侧面5A~5D的长度为 5mm 以上。

[0053] SiC半导体装置1A包含: 在芯片2内形成于第一主面3侧的区域 (表层部) 的n型的第一半导体区6。第一半导体区6可以具有 $1.0 \times 10^{15} \text{cm}^{-3}$ 以上且 $1.0 \times 10^{17} \text{cm}^{-3}$ 以下的n型杂质浓

度(峰值)。第一半导体区6形成成为沿着第一主面3延伸的层状,并从第一主面3以及第一~第四侧面5A~5D露出。

[0054] 在本方式中,第一半导体区6由SiC外延层构成。第一半导体区6可以具有 $1\mu\text{m}$ 以上且 $50\mu\text{m}$ 以下的厚度。优选的是,第一半导体区6的厚度为 $5\mu\text{m}$ 以上且 $30\mu\text{m}$ 以下。特别优选的是,第一半导体区6的厚度为 $25\mu\text{m}$ 以下。

[0055] SiC半导体装置1A包含:在芯片2内形成于第二主面4侧的区域(表层部)的n型的第二半导体区7。第二半导体区7形成成为沿着第二主面4延伸的层状,并从第二主面4和第一~第四侧面5A~5D露出。第二半导体区7具有比第一半导体区6高的n型杂质浓度,并与第一半导体区6电连接。

[0056] 第二半导体区7可以具有 $1.0\times 10^{18}\text{cm}^{-3}$ 以上且 $1.0\times 10^{21}\text{cm}^{-3}$ 以下的n型杂质浓度(峰值)。在本方式中,第二半导体区7由SiC基板构成。即,芯片2具有:包含SiC基板以及SiC外延层的层叠构造。

[0057] 第二半导体区7可以具有 $1\mu\text{m}$ 以上且 $350\mu\text{m}$ 以下的厚度。优选的是,第二半导体区7的厚度为 $5\mu\text{m}$ 以上且 $50\mu\text{m}$ 以下。特别优选的是,第二半导体区7的厚度为 $5\mu\text{m}$ 以上且 $20\mu\text{m}$ 以下。优选的是,第二半导体区7的厚度为 $10\mu\text{m}$ 以上。第二半导体区7的厚度可以超过第一半导体区6的厚度。第二半导体区7的厚度也可以小于第一半导体区6的厚度。

[0058] SiC半导体装置1A包含:形成于第一主面3的活性面8(active surface)、外侧面9(outer surface)以及第一~第四连接面10A~10D(connecting surface)。活性面8、外侧面9以及第一~第四连接面10A~10D在第一主面3上划分活性台地11。可以将活性面8称为“第一面部”,将外侧面9称为“第二面部”,将第一~第四连接面10A~10D称为“连接面部”。活性面8、外侧面9和第一~第四连接面10A~10D(即活性台地11)可以视为芯片2(第一主面3)的构成要素。

[0059] 活性面8形成成为从第一主面3的周缘(第一~第四侧面5A~5D)向内侧隔开间隔。活性面8具有由c面(Si面)形成的平坦面。在本方式中,活性面8在俯视时形成成为具有与第一~第四侧面5A~5D平行的四边的四边形状。

[0060] 外侧面9位于活性面8外,从活性面8向芯片2的厚度方向(第二主面4侧)凹陷。具体而言,外侧面9以小于第一半导体区6的厚度的深度凹陷,以使第一半导体区6露出。外侧面9在俯视时沿着活性面8呈带状延伸,形成成为包围活性面8的环状(具体而言为四边环状)。外侧面9具有由c面(Si面)形成的平坦面,形成成为相对于活性面8大致平行。外侧面9与第一~第四侧面5A~5D相连。

[0061] 第一~第四连接面10A~10D沿c轴方向延伸,连接活性面8和外侧面9。第一连接面10A位于第一侧面5A侧,第二连接面10B位于第二侧面5B侧,第三连接面10C位于第三侧面5C侧,第四连接面10D位于第四侧面5D侧。

[0062] 第一连接面10A和第二连接面10B在俯视时沿a轴方向延伸,在m轴方向上对置。即,第一侧面5A和第二侧面5B由m面形成。第三连接面10C以及第四连接面10D在俯视时沿m轴方向延伸,在a轴方向上对置。即,第三侧面5C及第四侧面5D由a面形成。

[0063] 第一~第四连接面10A~10D可以以划分四棱柱状的活性台地11的方式在活性面8和外侧面9之间大致垂直地延伸。第一~第四连接面10A~10D可以以划分四棱锥台状的活性台地11的方式从活性面8朝向外侧面9斜向下倾斜。这样,SiC半导体装置1A包含:在第一

主面3上在第一半导体区6中被划分为突状的活性台地11。活性台地11仅形成于第一半导体区6,而不形成于第二半导体区7。

[0064] SiC半导体装置1A包含:形成于活性面8的表层部的p型的体区12。体区12可以具有 $1.0 \times 10^{16} \text{cm}^{-3}$ 以上且 $1.0 \times 10^{19} \text{cm}^{-3}$ 以下的p型杂质浓度(峰值)。体区12从第一半导体区6的底部向活性面8侧隔开间隔地形成于第一半导体区6的表层部,隔着第一半导体区6的一部分与第二半导体区7对置。体区12形成为沿着活性面8延伸的层状。体区12可以从第一~第四连接面10A~10D露出。

[0065] SiC半导体装置1A包含:形成于活性面8的第一沟槽构造15。对第一沟槽构造15施加栅极电位。第一沟槽构造15可以称为“沟槽栅极布线构造”。第一沟槽构造15贯穿体区12,到达第一半导体区6。第一沟槽构造15形成为从第一半导体区6的底部向活性面8侧隔开间隔,隔着第一半导体区6的一部分与第二半导体区7对置。优选的是,第一沟槽构造15具有与外侧面9的深度大致相等的深度。

[0066] 第一沟槽构造15从活性面8的周缘(第一~第四连接面10A~10D)隔开间隔地形成于活性面8的周缘部,并以包围活性面8的内部的方式呈带状延伸。在本方式中,第一沟槽构造15形成为沿着第一~第四连接面10A~10D延伸的环状(具体而言为四边环状)。

[0067] 第一沟槽构造15包含焊盘部15a和线部15b。焊盘部15a从第三连接面10C的中央部隔开间隔地配置于活性面8的周缘部,在俯视时形成为四边形状。线部15b从焊盘部15a呈带状引出,并以包围活性面8的内部的方式沿着活性面8的周缘延伸。线部15b形成为比焊盘部15a宽度窄。

[0068] 第一沟槽构造15包含:第一沟槽16、第一绝缘膜17以及第一埋设电极18。可以将第一沟槽16称为“布线沟槽”,将第一绝缘膜17称为“布线绝缘膜”,将第一埋设电极18称为“布线埋设电极”。第一沟槽16形成于活性面8,并划分第一沟槽构造15的壁面。

[0069] 第一绝缘膜17呈膜状覆盖第一沟槽16的壁面。第一绝缘膜17可以包含氧化硅膜、氮化硅膜以及氮氧化硅膜中的至少一个。在本方式中,第一绝缘膜17具有由氧化硅膜构成的单层构造。特别优选的是,第一绝缘膜17包含:由芯片2的氧化物构成的氧化硅膜。

[0070] 第一埋设电极18隔着第一绝缘膜17埋设于第一沟槽16。第一埋设电极18可以从第一主面3向上突出。第一埋设电极18可以具有从第一沟槽16引出到第一主面3之上的部分。第一埋设电极18可以包含导电性多晶硅。

[0071] SiC半导体装置1A包含:形成于活性面8的多个第二沟槽构造20。对多个第二沟槽构造20施加源极电位。第二沟槽构造20可以称为“沟槽源极构造”。多个第二沟槽构造20从第一沟槽构造15隔开间隔地形成于活性面8的内部。多个第二沟槽构造20贯穿体区12,并到达第一半导体区6。

[0072] 多个第二沟槽构造20形成为从第一半导体区6的底部向活性面8侧隔开间隔,并隔着第一半导体区6的一部分与第二半导体区7对置。优选的是,多个第二沟槽构造20具有与第一沟槽构造15的深度大致相等的深度。优选的是,多个第二沟槽构造20具有与外侧面9的深度大致相等的深度。优选的是,第二沟槽构造20形成为比第一沟槽构造15宽度窄。

[0073] 多个第二沟槽构造20在俯视时在a轴方向及m轴方向上隔开间隔地排列。多个第二沟槽构造20在俯视时可以呈矩阵状排列。此时,SiC半导体装置1A包含:以在a轴方向以及m轴方向上相互对置的方式隔开间隔地排列的多个第二沟槽构造20。

[0074] 多个第二沟槽构造20在俯视时也可以呈交错状排列。此时,SiC半导体装置1A可以分别包含在a轴方向上隔开间隔地排列成一列的多个第二沟槽构造20,并包含在m轴方向上隔开间隔地排列的多个组。此时,属于一组的多个第二沟槽构造20以在m轴方向上与属于另一组的多个第二沟槽构造20之间的区域(例如中间部)对置的方式在a轴方向上错开地配置。

[0075] 当然,SiC半导体装置1A也可以分别包含在m轴方向上隔开间隔地排列成一列的多个第二沟槽构造20,并包含在a轴方向上隔开间隔地排列的多个组。此时,属于一组的多个第二沟槽构造20以在a轴方向上与属于另一组的多个第二沟槽构造20之间的区域(例如中间部)对置的方式在m轴方向上错开地配置。

[0076] 以下,对一个第二沟槽构造20的结构进行说明。参照图8~图15,在本方式中,第二沟槽构造20在俯视时形成为沿a轴方向及m轴方向延伸的环状(具体而言为四边环状)。第二沟槽构造20包含:内侧壁21、外侧壁22和底壁23。

[0077] 内侧壁21形成第二沟槽构造20的内缘,在俯视时形成为沿a轴方向及m轴方向延伸的四边形状。具体而言,内侧壁21包含一对第一内侧壁21A和一对第二内侧壁21B。

[0078] 一对第一内侧壁21A沿a轴方向延伸,并在m轴方向上对置。即,一对第一内侧壁21A由m面划分。一对第二内侧壁21B以与一对第一内侧壁21A连接的方式沿m轴方向延伸,并在a轴方向上对置。即,一对第二内侧壁21B由a面划分。内侧壁21在活性面8上划分四边形状的第一台面部24。

[0079] 外侧壁22形成第二沟槽构造20的外缘,在俯视时包围内侧壁21。外侧壁22形成为沿a轴方向以及m轴方向延伸的四边形状。具体而言,外侧壁22包含一对第一外侧壁22A和一对第二外侧壁22B。

[0080] 一对第一外侧壁22A沿a轴方向延伸,在m轴方向上对置。即,一对第一外侧壁22A由m面划分。一对第二外侧壁22B以与一对第一外侧壁22A连接的方式沿m轴方向延伸,在a轴方向上对置。即,一对第二外侧壁22B由a面划分。

[0081] 底壁23将内侧壁21和外侧壁22连接,在俯视时形成为沿a轴方向及m轴方向延伸的环状(具体而言为四边环状)。具体而言,底壁23包含一对第一底壁23A和一对第二底壁23B。

[0082] 一对第一底壁23A沿a轴方向呈带状延伸。一对第二底壁23B以与一对第一底壁23A连接的方式沿m轴方向呈带状延伸。底壁23由c面形成。在活性面8(第一主面3)具有相对于c面在规定的偏离方向上以规定角度倾斜的偏离角时,底壁23可以与活性面8(第一主面3)一样,具有偏离方向和偏离角。

[0083] 第二沟槽构造20包含:第二沟槽25、第二绝缘膜26和第二埋设电极27。可以将第二沟槽25称为“源极沟槽”,将第二绝缘膜26称为“源极绝缘膜”,将第二埋设电极27称为“源极埋设电极”。第二沟槽25形成于活性面8,划分第二沟槽构造20的壁面(内侧壁21、外侧壁22及底壁23)。

[0084] 第二绝缘膜26呈膜状覆盖第二沟槽25的壁面。第二绝缘膜26可以包含氧化硅膜、氮化硅膜以及氮氧化硅膜中的至少一个。在本方式中,第二绝缘膜26具有由氧化硅膜构成的单层构造。特别优选的是,第二绝缘膜26包含由芯片2的氧化物构成的氧化硅膜。第二埋设电极27隔着第二绝缘膜26埋设于第二沟槽25。第二埋设电极27可以包含导电性多晶硅。

[0085] SiC半导体装置1A包含:从多个第二沟槽构造20隔开间隔地形成于活性面8的第三

沟槽构造30。对第三沟槽构造30施加栅极电位。第三沟槽构造30可以称为“沟槽栅极构造”。第三沟槽构造30贯穿体区12,到达第一半导体区6。

[0086] 第三沟槽构造30形成为从第一半导体区6的底部向活性面8侧隔开间隔,并隔着第一半导体区6的一部分与第二半导体区7对置。优选的是,第三沟槽构造30具有与第一沟槽构造15(第二沟槽构造20)的深度大致相等的深度。优选的是,第三沟槽构造30具有与外侧面9的深度大致相等的深度。优选的是,第三沟槽构造30形成为比第一沟槽构造15宽度窄。优选的是,第三沟槽构造30的宽度与第二沟槽构造20的宽度大致相等。

[0087] 第三沟槽构造30在俯视时以包围多个第二沟槽构造20的方式在多个第二沟槽构造20之间的区域形成为沿a轴方向及m轴方向延伸的格子状。换言之,第三沟槽构造30在俯视时形成为包围各第二沟槽构造20的环状(具体而言为四边环状)。第三沟槽构造30在与多个第二沟槽构造20的外侧壁22之间划分呈环状(具体而言为四边环状)延伸的多个第二台面部31。第三沟槽构造30在活性面8的周缘部与第一沟槽构造15电连接及机械连接。

[0088] 具体而言,第三沟槽构造30包含:沿a轴方向延伸的多个第三沟槽构造30A及沿m轴方向延伸的多个第三沟槽构造30B。多个第三沟槽构造30A以在m轴方向上与多个第一外侧壁22A对置的方式形成为在m轴方向上从多个第一外侧壁22A隔开间隔,并在多个第一外侧壁22A之间的区域沿a轴方向呈带状延伸。多个第三沟槽构造30A在活性面8的周缘部与第一沟槽构造15电连接及机械连接。

[0089] 各第三沟槽构造30A具有:沿a轴方向延伸的一对第一栅极侧壁32以及沿a轴方向延伸的第一栅极底壁33。一对第一浇口侧壁32由m面形成,第一栅极底壁33由c面形成。在活性面8(第一主面3)具有相对于c面在规定的偏离方向上以规定角度倾斜的偏离角时,第一栅极底壁33可以与活性面8(第一主面3)一样,具有偏离方向和偏离角。

[0090] 多个第三沟槽构造30B以在a轴方向上与多个第二外侧壁22B对置的方式形成为在a轴方向上从多个第二外侧壁22B隔开间隔,并在多个第二外侧壁22B之间的区域沿m轴方向呈带状延伸。多个第三沟槽构造30B在活性面8的内部与多个第三沟槽构造30A交叉(具体而言正交),并与多个第三沟槽构造30A一起形成多个沟槽交叉部34。

[0091] 在本方式中,多个沟槽交叉部34在俯视时分别形成十字路。在多个第二沟槽构造20在俯视时呈交错状排列时,多个沟槽交叉部34在俯视时分别形成T字路。多个第三沟槽构造30B在活性面8的周缘部与第一沟槽构造15电连接及机械连接。

[0092] 各第三沟槽构造30B具有:沿m轴方向延伸的一对第二栅极侧壁35以及沿m轴方向延伸的第二栅极底壁36。一对第二栅极侧壁35由a面形成,第二栅极底壁36由c面形成。在活性面8(第一主面3)具有相对于c面在规定的偏离方向上以规定角度倾斜的偏离角时,第二栅极底壁36可以与活性面8(第一主面3)一样,具有偏离方向和偏离角。沟槽交叉部34由第一栅极底壁33与第二栅极底壁36的交叉部形成。

[0093] 第三沟槽构造30包含:第三沟槽37、第三绝缘膜38以及第三埋设电极39。可以将第三沟槽37称为“栅极沟槽”,将第三绝缘膜38称为“栅极绝缘膜”,将第三埋设电极39称为“栅极埋设电极”。第三沟槽37形成于活性面8,并划分第三沟槽构造30的壁面。第三沟槽37在活性面8的周缘部与第一沟槽16连通。

[0094] 第三绝缘膜38呈膜状覆盖第三沟槽37的壁面。第三绝缘膜38在第一沟槽16及第三沟槽37的连通部与第一绝缘膜17连接。第三绝缘膜38可以包含氧化硅膜、氮化硅膜以及氮

氧化硅膜中的至少一个。在本方式中,第三绝缘膜38具有由氧化硅膜构成的单层构造。特别优选的是,第三绝缘膜38包含由芯片2的氧化物构成的氧化硅膜。

[0095] 第三埋设电极39隔着第三绝缘膜38而埋设在第三沟槽37中。第三埋设电极39在第一沟槽16和第三沟槽37的连通部与第一埋设电极18电连接和机械连接。第三埋设电极39可以包含导电性多晶硅。

[0096] SiC半导体装置1A包含:在体区12的表层部形成于沿着第三沟槽构造30的区域的n型的多个源极区40。具体而言,多个源极区40在多个第二台面部31中形成于体区12的表层部。各源极区40具有比第一半导体区6高的n型杂质浓度。源极区40的n型杂质浓度(峰值)可以为 $1.0 \times 10^{18} \text{cm}^{-3}$ 以上且 $1.0 \times 10^{21} \text{cm}^{-3}$ 以下。多个源极区40形成为从体区12的底部向活性面8侧隔开间隔,形成为沿着活性面8延伸的层状。

[0097] 在本方式中,各源极区40在俯视时以包围各第二沟槽构造20的方式形成为沿着第二台面部31延伸的环状(具体而言为四边环状),并与第二沟槽构造20及第三沟槽构造30连接。各源极区40从第二沟槽构造20的第一外侧壁22A及第二外侧壁22B露出,从第三沟槽构造30的第一栅极侧壁32及第二栅极侧壁35露出。各源极区40与第一半导体区6一起在体区12内形成沟道。

[0098] 参照图8~图15,SiC半导体装置1A包含:在芯片2内分别形成于沿着各第二沟槽构造20的区域的多个p型的阱区41。在本方式中,多个阱区41具有比体区12高的p型杂质浓度。当然,多个阱区41也可以具有比体区12低的p型杂质浓度。阱区41的p型杂质浓度(峰值)也可以为 $1.0 \times 10^{16} \text{cm}^{-3}$ 以上且 $1.0 \times 10^{18} \text{cm}^{-3}$ 以下。

[0099] 以下,对一个阱区41的结构进行具体说明。在本方式中,阱区41包含:阱底壁部42、阱内壁部43以及阱外壁部44。可以将阱底壁部42称为“第一阱部”,将阱内壁部43称为“第二阱部”,将阱外壁部44称为“第三阱部”。

[0100] 阱底壁部42形成于沿着第二沟槽构造20的底壁23的区域。具体而言,阱底壁部42形成于沿着一对第一底壁23A和一对第二底壁23B的区域。阱底壁部42在俯视时形成为沿着第二沟槽构造20的底壁23延伸的环状(具体而言为四边环状),覆盖第二沟槽构造20的底壁23的整个区域。阱底壁部42形成为从第一半导体区6的底部向活性面8侧隔开间隔,隔着第一半导体区6的一部分与第二半导体区7对置。

[0101] 阱内壁部43从阱底壁部42向第二沟槽构造20的内侧壁21侧引出,并形成于沿着内侧壁21的区域。具体而言,阱内壁部43在第一台面部24内形成于沿着一对第一内侧壁21A以及一对第二内侧壁21B的区域。

[0102] 阱内壁部43在俯视时形成为以包围体区12的内部的方式沿着内侧壁21延伸的环状(具体而言为四边环状)。阱内壁部43在第一台面部24的表层部与体区12连接。以内侧壁21为基准的阱内壁部43的厚度,比以底壁23为基准的阱底壁部42的厚度小。

[0103] 阱外壁部44从第二沟槽构造20的底壁23侧向第二沟槽构造20的外侧壁22侧引出,并形成于沿着外侧壁22的区域。具体而言,阱外壁部44在第二台面部31形成于沿着一对第一外侧壁22A以及一对第二外侧壁22B的区域。

[0104] 阱外壁部44在第二台面部31从第三沟槽构造30隔开间隔地形成为包围第二沟槽构造20的环状(具体而言为四边环状)。阱外壁部44在第二台面部31的表层部与体区12连接。以外侧壁22为基准的阱外壁部44的厚度,比以底壁23为基准的阱底壁部42的厚度小。

[0105] 参照图8~图15, SiC半导体装置1A包含:在芯片2内分别形成于沿着各第二沟槽构造20的区域的p型的多个接触区50。具体而言,多个接触区50在对应的阱区41内分别形成于沿着对应的第二沟槽构造20的区域。

[0106] 多个接触区50具有比体区12高的p型杂质浓度。多个接触区50具有比阱区41高的p型杂质浓度。接触区50的p型杂质浓度(峰值)也可以为 $1.0 \times 10^{17} \text{cm}^{-3}$ 以上且 $1.0 \times 10^{21} \text{cm}^{-3}$ 以下。优选的是,接触区50包含作为p型杂质的铝(Al)。

[0107] 以下,对一个接触区50的结构进行具体说明。接触区50形成为在阱区41内从第二沟槽构造20的一对第二外侧壁22B在a轴方向上隔开间隔。在本方式中,接触区50包含:第一接触区51、第二接触区52以及第三接触区53。第一~第三接触区51~53在由第三沟槽构造30包围的单元区域内,相对于1个第二沟槽构造20以相互不同的位置关系(相对位置)形成。

[0108] 第一接触区51从第二沟槽构造20的一对第二外侧壁22B在a轴方向上隔开间隔地形成于阱区41内,而不形成于沿着一对第二外侧壁22B的区域。第一接触区51从第二沟槽构造20的一对第二内侧壁21B在a轴方向上隔开间隔地形成于阱区41内,而不形成于沿着一对第二内侧壁21B的区域。

[0109] 第一接触区51在阱区41内从第二沟槽构造20的一对第二底壁23B在a轴方向上隔开间隔地形成于沿着一方的第一底壁23A的区域,而不形成于沿着一对第二底壁23B的区域。优选的是,第一接触区51在俯视时形成于沿着一个第一底壁23A的宽度方向中间部的区域。

[0110] 在本方式中,第一接触区51包含:第一底壁部54、第一内壁部55以及第一外壁部56。可以将第一底壁部54称为“第一接触部”,将第一内壁部55称为“第二接触部”,将第一外壁部56称为“第三接触部”。

[0111] 第一底壁部54在阱区41(阱底壁部42)内从一对第二底壁23B隔开间隔地形成于沿着一方的第一底壁23A的区域。优选的是,第一底壁部54形成于沿着第一底壁23A的中央部的区域。第一底壁部54形成为从阱区41的底部向第一底壁23A侧隔开间隔,隔着阱区41的一部分与第一半导体区6对置。

[0112] 第一内壁部55在阱区41(阱内壁部43)内沿着m轴方向从第一底壁部54向第二沟槽构造20的一方的第一内侧壁21A侧引出,并形成于沿着一方的第一内侧壁21A的区域。第一内壁部55在a轴方向上从一对第二内侧壁21B隔开间隔地形成于沿着第一内侧壁21A的内部区域。优选的是,第一内壁部55形成于沿着第一内侧壁21A的中央部的区域。第一内壁部55在第一台面部24从阱区41内向体区12内引出。

[0113] 第一内壁部55具有:在第一台面部24从活性面8露出的第一露出部57。第一露出部57从体区12的底部向活性面8侧隔开间隔地沿着活性面8呈层状延伸,隔着体区12的一部分与第一半导体区6对置。以第一内侧壁21A为基准的第一内壁部55的厚度,比以第一底壁23A为基准的第一底壁部54的厚度小。

[0114] 第一外壁部56在阱区41(阱外壁部44)内从第一底壁部54沿着m轴方向向第二沟槽构造20的一方的第一外侧壁22A侧引出,并形成于沿着一方的第一外侧壁22A的区域。第一外壁部56在a轴方向上从一对第二外侧壁22B隔开间隔地形成于沿着第一外侧壁22A的内部区域。优选的是,第一外壁部56形成于沿着第一外侧壁22A的中央部的区域。第一外壁部56在第二台面部31从阱区41内向体区12内引出。

[0115] 第一外壁部56具有：在第二台面部31从活性面8露出的第二露出部58。第二露出部58从体区12的底部向活性面8侧隔开间隔地沿着活性面8呈层状延伸，隔着体区12的一部分与第一半导体区6对置。第二露出部58形成为从第三沟槽构造30向第二沟槽构造20侧隔开间隔，并与源极区40连接。以第一外侧壁22A为基准的第一外壁部56的厚度，比以第一底壁23A为基准的第一底壁部54的厚度小。

[0116] 第二接触区52在阱区41内，从第二沟槽构造20的一对第二外侧壁22B在a轴方向上隔开间隔地形成于与第一接触区51不同的区域，而不形成于沿着一对第二外侧壁22B的区域。第二接触区52从第二沟槽构造20的一对第二内侧壁21B在a轴方向上隔开间隔地形成于阱区41内，而不形成于沿着一对第二内侧壁21B的区域。

[0117] 第二接触区52在阱区41内从第二沟槽构造20的一对第二底壁23B在a轴方向上隔开间隔地形成于沿着第二沟槽构造20的另一方的第一底壁23A的区域，而不形成于沿着一对第二底壁23B的区域。优选的是，第二接触区52在俯视时形成于在m轴方向上与第一接触区51对置的区域。优选的是，第二接触区52在俯视时形成于沿着另一个第一底壁23A的宽度方向中间部的区域。

[0118] 在本方式中，第二接触区52包含：第二底壁部59、第二内壁部60以及第二外壁部61。可以将第二底壁部59称为“第一接触部”，将第二内壁部60称为“第二接触部”，将第二外壁部61称为“第三接触部”。

[0119] 第二底壁部59在阱区41（阱底壁部42）内从一对第二底壁23B隔开间隔地形成于沿着另一方的第一底壁23A的区域。优选的是，第二底壁部59形成于沿着第一底壁23A的中央部的区域。第二底壁部59隔着阱区41的一部分而与第一半导体区6对置。

[0120] 第二内壁部60在阱区41（阱内壁部43）内从第二底壁部59沿着m轴方向向第二沟槽构造20的另一方的第一内侧壁21A侧引出，并形成于沿着另一方的第一内侧壁21A的区域。第二内壁部60在a轴方向上从一对第二内侧壁21B隔开间隔地形成于沿着第一内侧壁21A的内部的区域。优选的是，第二内壁部60形成于沿着第一内侧壁21A的中央部的区域。第二内壁部60在第一台面部24从阱区41内向体区12内引出。

[0121] 第二内壁部60具有：在第一台面部24从活性面8露出的第三露出部62。第三露出部62从体区12的底部向活性面8侧隔开间隔地沿着活性面8呈层状延伸，隔着体区12的一部分而与第一半导体区6对置。以第一内侧壁21A为基准的第二内壁部60的厚度，比以第一底壁23A为基准的第二底壁部59的厚度小。

[0122] 第二外壁部61在阱区41（阱外壁部44）内从第二底壁部59沿着m轴方向向第二沟槽构造20的另一方的第一外侧壁22A侧引出，并形成于沿着另一方的第一外侧壁22A的区域。第二外壁部61在a轴方向上从一对第二外侧壁22B隔开间隔地形成于沿着第一外侧壁22A的内部的区域。优选的是，第二外壁部61形成于沿着第一外侧壁22A的中央部的区域。第二外壁部61在第二台面部31从阱区41内向体区12内引出。

[0123] 第二外壁部61具有：在第二台面部31从活性面8露出的第四露出部63。第四露出部63从体区12的底部向活性面8侧隔开间隔地沿着活性面8呈层状延伸，隔着体区12的一部分而与第一半导体区6对置。第四露出部63形成为从第三沟槽构造30向第二沟槽构造20侧隔开间隔，并与源极区40连接。以第一外侧壁22A为基准的第二外壁部61的厚度，比以第一底壁23A为基准的第二底壁部59的厚度小。

[0124] 第三接触区53在第一台面部24形成于体区12的表层部。第三接触区53从体区12的底部向活性面8侧隔开间隔沿着活性面8呈层状延伸,隔着体区12的一部分与第一半导体区6对置。优选的是,第三接触区53从第二沟槽构造20的一对第二内侧壁21B在a轴方向上隔开间隔地形成于体区12内。

[0125] 即,优选的是,第三接触区53不形成于沿着一对第二内侧壁21B的区域。第三接触区53在第一台面部24形成为沿m轴方向延伸的带状,并与第一接触区51的第一露出部57和第二接触区52的第三露出部62连接。

[0126] 即,在本方式中,接触区50一体地包含第一~第三接触区51~53,在俯视时形成为沿m轴方向延伸的带状。在本方式中,接触区50在m轴方向上具有第一宽度W1,并在a轴方向上具有小于第一宽度W1的第二宽度W2。

[0127] 第一宽度W1比第二沟槽构造20的宽度大。第二沟槽构造20的宽度是与第二沟槽构造20延伸的方向正交的方向的宽度。第一宽度W1比第二沟槽构造20的第二内侧壁21B的宽度大。第一宽度W1比第二沟槽构造20的第二外侧壁22B的宽度大。

[0128] 第二宽度W2比第二沟槽构造20的第一外侧壁22A的宽度小。第二宽度W2比第二沟槽构造20的第一内侧壁21A的宽度小。优选的是,第二宽度W2比第二沟槽构造20的宽度小。当然,第二宽度W2也可以比第二沟槽构造20的宽度大。

[0129] 参照图8~图15,SiC半导体装置1A包含:在芯片2内形成于沿着多个沟槽交叉部34的区域的p型的多个栅极阱区65。多个栅极阱区65具有比接触区50低的p型杂质浓度。在本方式中,多个栅极阱区65具有比体区12高的p型杂质浓度。当然,多个栅极阱区65也可以具有比体区12低的p型杂质浓度。

[0130] 优选的是,多个栅极阱区65具有与阱区41大致相等的p型杂质浓度。栅极阱区65的p型杂质浓度(峰值)可以为 $1.0 \times 10^{16} \text{cm}^{-3}$ 以上且 $1.0 \times 10^{18} \text{cm}^{-3}$ 以下。多个栅极阱区65在a轴方向以及m轴方向上隔开间隔地形成于沿着多个沟槽交叉部34的区域,使第三沟槽构造30的底壁(第一栅极底壁33以及第二栅极底壁36)中的多个沟槽交叉部34外的区域露出。

[0131] 各栅极阱区65在各第二台面部31的角部覆盖第三沟槽构造30A的第一栅极侧壁32和第三沟槽构造30B的第二栅极侧壁35,在各第二台面部31的表层部与体区12连接。多个栅极阱区65形成为从第一半导体区6的底部向活性面8侧隔开间隔,隔着第一半导体区6的一部分与第二半导体区7对置。优选的是,多个栅极阱区65的底部形成于与阱区41的底部大致相等的深度位置。

[0132] 参照图6以及图7,SiC半导体装置1A包含:在芯片2内形成于沿着第一沟槽构造15的壁面的区域的布线阱区66。布线阱区66具有比接触区50低的p型杂质浓度。在本方式中,布线阱区66具有比体区12高的p型杂质浓度。

[0133] 当然,布线阱区66也可以具有比体区12低的p型杂质浓度。优选的是,布线阱区66具有与阱区41大致相等的p型杂质浓度。布线阱区66的p型杂质浓度(峰值)可以为 $1.0 \times 10^{16} \text{cm}^{-3}$ 以上且 $1.0 \times 10^{18} \text{cm}^{-3}$ 以下。

[0134] 布线阱区66在第一沟槽构造15的焊盘部15a以及线部15b,形成于沿着第一沟槽构造15的内壁、外壁以及底壁的区域,在活性面8的表层部与体区12连接。布线阱区66形成为从第一半导体区6的底部向活性面8侧隔开间隔,隔着第一半导体区6的一部分与第二半导体区7对置。优选的是,布线阱区66的底部形成于与阱区41的底部大致相等的深度位置。

[0135] 参照图16, SiC半导体装置1A包含形成于外侧面9的表层部的p型的外阱区67。外阱区67具有比接触区50低的p型杂质浓度。在本方式中, 外阱区67具有比体区12高的p型杂质浓度。

[0136] 当然, 外阱区67也可以具有比体区12低的p型杂质浓度。优选的是, 外阱区67具有与阱区41大致相等的p型杂质浓度。外阱区67的p型杂质浓度(峰值)也可以为 $1.0 \times 10^{16} \text{cm}^{-3}$ 以上且 $1.0 \times 10^{18} \text{cm}^{-3}$ 以下。

[0137] 外阱区67形成为在俯视时从外侧面9的周缘(第一~第四侧面5A~5D)向活性面8侧隔开间隔, 并沿着活性面8呈带状延伸。在本方式中, 外阱区67在俯视时形成为包围活性面8的环状(具体而言为四边环状)。外阱区67从外侧面9的表层部向第一~第四连接面10A~10D的表层部延伸, 覆盖第一~第四连接面10A~10D。外阱区67在活性面8的表层部与体区12电连接。

[0138] 外阱区67形成为从第一半导体区6的底部向外侧面9侧隔开间隔, 隔着第一半导体区6的一部分与第二半导体区7对置。外阱区67位于比多个第二沟槽构造20的底壁23靠第一半导体区6的底部侧的位置。外阱区67的底部位于比接触区50(第一底壁部54以及第二底壁部59)的底部靠第一半导体区6的底部侧的位置。优选的是, 外阱区67的底部形成于与阱区41的底部大致相等的深度位置。

[0139] SiC半导体装置1A包含形成于外阱区67的表层部的p型的外接触区68。外接触区68具有比体区12高的p型杂质浓度。外接触区68具有比外阱区67高的p型杂质浓度。

[0140] 优选的是, 外接触区68具有与接触区50大致相等的p型杂质浓度。外接触区68的p型杂质浓度(峰值)也可以为 $1.0 \times 10^{17} \text{cm}^{-3}$ 以上且 $1.0 \times 10^{21} \text{cm}^{-3}$ 以下。优选的是, 外接触区68包含作为p型杂质的铝(Al)。

[0141] 外接触区68在俯视时从活性面8的周缘(第一~第四连接面10A~10D)及外侧面9的周缘(第一~第四侧面5A~5D)隔开间隔地形成于外阱区67的表层部, 形成为沿着活性面8延伸的带状。在本方式中, 外接触区68在俯视时形成为包围活性面8的环状(具体而言为四边环状)。

[0142] 外接触区68形成为从外阱区67的底部向外侧面9侧隔开间隔, 隔着外阱区67的一部分与第一半导体区6对置。外接触区68位于比多个第二沟槽构造20的底壁23靠第一半导体区6的底部侧的位置。优选的是, 外接触区68的底部形成于与接触区50(第一底壁部54以及第二底壁部59)的底部大致相等的深度位置。

[0143] SiC半导体装置1A包含: 在外侧面9的表层部形成于外侧面9的周缘与外阱区67之间的区域的至少一个(优选为2个以上且20个以下)p型的场区域69。在本方式中, SiC半导体装置1A包含四个场区域69。多个场区域69形成为电浮空状态, 在外侧面9缓和芯片2内的电场。

[0144] 场区域69的个数、宽度、深度、p型杂质浓度等是任意的, 可以根据应缓和的电场而取各种值。多个场区域69可以具有比外接触区68低的p型杂质浓度。多个场区域69也可以具有比外阱区67高的p型杂质浓度。多个场区域69可以具有比外阱区67低的p型杂质浓度。场区域69的p型杂质浓度(峰值)也可以为 $1.0 \times 10^{16} \text{cm}^{-3}$ 以上且 $1.0 \times 10^{21} \text{cm}^{-3}$ 以下。

[0145] 多个场区域69从外接触区68侧向外侧面9的周缘侧隔开间隔地排列。多个场区域69在俯视时形成为沿着活性面8延伸的带状。在本方式中, 多个场区域69在俯视时形成为包

围活性面8的环状(具体而言为四边环状)。

[0146] 多个场区域69从第一半导体区6的底部向外侧面9侧隔开间隔地形成,隔着第一半导体区6的一部分与第二半导体区7对置。多个场区域69位于比多个第二沟槽构造20的底壁23靠第一半导体区6的底部侧的位置。多个场区域69的底部位于比接触区50(第一底壁部54以及第二底壁部59)的底部靠第一半导体区6的底部侧的位置。多个场区域69的底部也可以形成于与阱区41的底部大致相等的深度位置。

[0147] SiC半导体装置1A包含覆盖第一主面3的主面绝缘膜70。主面绝缘膜70具有:包含第一主面绝缘膜71以及第二主面绝缘膜72的层叠构造。第一主面绝缘膜71覆盖活性面8、外侧面9和第一~第四连接面10A~10D。

[0148] 第一主面绝缘膜71在活性面8与第一绝缘膜17以及第三绝缘膜38相连,并使第一埋设电极18、第二埋设电极27以及第三埋设电极39露出。主面绝缘膜70在外侧面9和第一~第四连接面10A~10D覆盖外接触区68、外阱区67和多个场区域69。

[0149] 第一主面绝缘膜71可以与第一~第四侧面5A~5D相连。此时,第一主面绝缘膜71的外壁可以由具有磨削痕的磨削面构成。第一主面绝缘膜71的外壁也可以与第一~第四侧面5A~5D形成一个磨削面。当然,第一主面绝缘膜71的外壁也可以由不具有磨削痕的平滑面构成。另外,第一主面绝缘膜71的外壁也可以形成为从外侧面9的周缘向内侧隔开间隔,并使第一半导体区6从外侧面9的周缘部露出。

[0150] 第一主面绝缘膜71可以包含氧化硅膜、氮化硅膜以及氮氧化硅膜中的至少一个。在本方式中,第一主面绝缘膜71具有由氧化硅膜构成的单层构造。特别优选的是,第一主面绝缘膜71包含由芯片2的氧化物构成的氧化硅膜。

[0151] 第二主面绝缘膜72隔着第一主面绝缘膜71覆盖活性面8、外侧面9和第一~第四连接面10A~10D。第二主面绝缘膜72在活性面8覆盖第一沟槽构造15及第三沟槽构造30。第二主面绝缘膜72在外侧面9和第一~第四连接面10A~10D覆盖外接触区68、外阱区67和多个场区域69。

[0152] 在本方式中,第二主面绝缘膜72与第一~第四侧面5A~5D相连。第二主面绝缘膜72的外壁可以由具有磨削痕的磨削面构成。第二主面绝缘膜72的外壁可以与第一~第四侧面5A~5D形成1个磨削面。当然,第二主面绝缘膜72的外壁也可以由不具有磨削痕的平滑面构成。另外,第二主面绝缘膜72的外壁可以形成为从外侧面9的周缘向内侧隔开间隔,并使第一半导体区6从外侧面9的周缘部露出。

[0153] 第二主面绝缘膜72可以包含氧化硅膜、氮化硅膜以及氮氧化硅膜中的至少一个。在本方式中,第二主面绝缘膜72具有由氧化硅膜构成的单层构造。

[0154] SiC半导体装置1A包含:在外侧面9以覆盖第一~第四连接面10A~10D中的至少一个的方式配置在主面绝缘膜70内的侧壁构造73。具体而言,侧壁构造73配置在第一主面绝缘膜71之上,由第二主面绝缘膜72覆盖。在本方式中,侧壁构造73在俯视时形成为包围活性面8的环状(具体而言为四边环状)。侧壁构造73可以包含无机绝缘体或多晶硅。

[0155] SiC半导体装置1A包含:形成于主面绝缘膜70的一个或多个(在本方式中一个)第一栅极开口74。第一栅极开口74使第一沟槽构造15的焊盘部15a露出。SiC半导体装置1A包含:形成于主面绝缘膜70的一个或多个(在本方式中一个)第二栅极开口75。第二栅极开口75沿着第一沟槽构造15的线部15b呈带状延伸,并使线部15b的第一埋设电极18露出。

[0156] SiC半导体装置1A包含:在主面绝缘膜70隔开间隔地形成的多个源极开口76。多个源极开口76使对应的第二沟槽构造20、对应的第一台面部24以及对应的第二台面部31分别露出。多个源极开口76使体区12以及接触区50从对应的第一台面部24露出,并使源极区40以及接触区50从对应的第二台面部31露出。在本方式中,各源极开口76在俯视时形成为四边形状。

[0157] SiC半导体装置1A包含:形成于主面绝缘膜70的一个或多个(在本方式中一个)外开口77。外开口77沿着外接触区68呈带状或环状延伸,并使外接触区68露出。

[0158] SiC半导体装置1A包含:配置在主面绝缘膜70之上的栅极电极80。栅极电极80可以称为“栅极主面电极”。栅极电极80包含栅极焊盘电极81和栅极线电极82。栅极焊盘电极81从活性面8的周缘隔开间隔地配置在第一沟槽构造15的焊盘部15a之上。在本方式中,栅极焊盘电极81在俯视时形成为四边形状。栅极焊盘电极81从主面绝缘膜70之上进入到第一栅极开口74,并与焊盘部15a的第一埋设电极18电连接。

[0159] 栅极线电极82从栅极焊盘电极81向第一沟槽构造15的线部15b之上引出。在本方式中,栅极线电极82从活性面8的周缘隔开间隔地覆盖线部15b。栅极线电极82在俯视时形成为沿着线部15b延伸的带状。

[0160] 在本方式中,栅极线电极82沿着第一~第三侧面5A~5C(第一~第三连接面10A~10C)延伸,并在沿着第四侧面5D(第四连接面10D)的部分具有一对开放端83。栅极线电极82从主面绝缘膜70之上进入到第二栅极开口75,并与线部15b的第一埋设电极18电连接。

[0161] 栅极电极80可以包含Ti膜、TiN膜、W膜、Al膜、Cu膜、Al合金膜、Cu合金膜及导电性多晶硅膜中的至少一种。栅极电极80可以包含纯Cu膜(纯度为99%以上的Cu膜)、纯Al膜(纯度为99%以上的Al膜)、AlCu合金膜、AlSi合金膜以及AlSiCu合金膜中的至少一个。在本方式中,栅极电极80具有:包含从芯片2侧起依次层叠的Ti膜、TiN膜以及Al合金膜(在本方式中AlCu合金膜)的层叠构造。

[0162] SiC半导体装置1A包含:从栅极电极80隔开间隔地配置在主面绝缘膜70之上的源极电极85。源极电极85可以称为“源极主面电极”。源极电极85包含源极焊盘电极86和源极线电极87。

[0163] 源极焊盘电极86在主面绝缘膜70之上配置于由栅极焊盘电极81以及栅极线电极82划分的区域,并覆盖多个第二沟槽构造20以及第三沟槽构造30。源极焊盘电极86在俯视时形成为具有沿着栅极焊盘电极81呈凹状凹陷的凹部的多边形形状。

[0164] 源极焊盘电极86隔着主面绝缘膜70覆盖多个第三沟槽构造30,并从主面绝缘膜70之上进入到多个源极开口76。源极焊盘电极86在对应的源极开口76内与对应的第二沟槽构造20的第二埋设电极27、对应的第一台面部24以及对应的第二台面部31电连接。源极焊盘电极86在对应的第一台面部24与体区12及接触区50电连接,在对应的第二台面部31与源极区40及接触区50电连接。

[0165] 源极线电极87从源极焊盘电极86向外侧面9呈带状引出。具体而言,源极线电极87从源极焊盘电极86通过栅极线电极82的一对开放端83之间的区域向外侧面9之上引出。源极线电极87具有在活性面8和外侧面9之间的区域隔着第二主面绝缘膜72与侧壁构造73对置的部分。

[0166] 源极线电极87在俯视时沿着外接触区68呈带状延伸。在本方式中,源极线电极87

在俯视时形成为包围栅极焊盘电极81、栅极线电极82以及源极焊盘电极86的环状(具体而言为四边环状)。源极线电极87从主面绝缘膜70之上进入到外开口77,并与外接触区68电连接。

[0167] 源极电极85可以包含Ti膜、TiN膜、W膜、Al膜、Cu膜、Al合金膜、Cu合金膜以及导电性多晶硅膜中的至少一种。源极电极85可以包含纯Cu膜(纯度为99%以上的Cu膜)、纯Al膜(纯度为99%以上的Al膜)、AlCu合金膜、AlSi合金膜以及AlSiCu合金膜中的至少一个。在本方式中,源极电极85具有:包含从芯片2侧依次层叠的Ti膜和Al合金膜(在本方式中AlSiCu合金膜)的层叠构造。即,源极电极85包含与栅极电极80相同的导电材料。

[0168] SiC半导体装置1A包含:覆盖第二主面4的漏极电极88。漏极电极88与第二主面4电连接。漏极电极88与从第二主面4露出的第二半导体区7形成欧姆接触。漏极电极88可以与芯片2的周缘(第一~第四侧面5A~5D)相连的方式覆盖第二主面4的整个区域。能够施加于源极电极85与漏极电极88之间的击穿电压可以为500V以上且3000V以下。

[0169] 以上,SiC半导体装置1A包含:芯片2、第二沟槽构造20(沟槽构造)及p型的接触区50。芯片2包含SiC单晶,并具有第一主面3。第二沟槽构造20具有第一外侧壁22A(第一侧壁)和第二外侧壁22B(第二侧壁),并形成于第一主面3。

[0170] 第一外侧壁22A沿SiC单晶的a轴方向延伸。第二外侧壁22B沿SiC单晶的m轴方向延伸。即,第一外侧壁22A由SiC单晶的m面形成,第二外侧壁22B由SiC单晶的a面形成。接触区50在芯片2内从第二外侧壁22B在a轴方向上隔开间隔地形成于沿着第二沟槽构造20的区域。

[0171] 在沿着第二外侧壁22B的接触区50形成于芯片2内时,伴随着接触区50的导入而导致SiC单晶的改性,所以在沿着第二外侧壁22B的区域,有时以接触区50为起点产生沿着SiC单晶的a面的晶体缺陷(所谓的a面缺陷)。SiC半导体装置的电气特性因这种晶体缺陷而降低。

[0172] 对此,在SiC半导体装置1A中,接触区50形成为在芯片2内从第二外侧壁22B在a轴方向上隔开间隔。因此,能够在芯片2内的沿着第二外侧壁22B的区域抑制以接触区50为起点的a面缺陷(晶体缺陷)。

[0173] 由此,可以提供一种能够提高电气特性的SiC半导体装置1A。例如,通过抑制以接触区50为起点的a面缺陷,能够抑制由该a面缺陷引起的电阻值增加。例如,抑制a面缺陷在抑制由该a面缺陷引起的导通电阻 R_{on} 的增加方面是有效的。

[0174] 优选的是,第二沟槽构造20具有连接第一外侧壁22A和第二外侧壁22B的底壁23,接触区50形成于在芯片2沿着底壁23和第二外侧壁22B中的至少一个的区域。此时,根据沿着底壁23以及第二外侧壁22B两者的接触区50,能够抑制a面缺陷并且使接触区50的形成区增加。由此,能够削减由接触区50引起的电阻值,因此,能够提高电气特性。

[0175] 优选的是,接触区50形成为沿m轴方向延伸的带状。通过这样的构造,也能够抑制a面缺陷,并且使接触区50的形成区增加。优选的是,接触区50在m轴方向上具有第一宽度 W_1 ,并在a轴方向上具有小于第一宽度 W_1 的第二宽度 W_2 。

[0176] 根据该构造,能够使第二外侧壁22B与接触区50之间的距离增加。由此,能够抑制对准偏差的影响,并且抑制芯片2内的沿着第二外侧壁22B的区域中的a面缺陷。此时优选的是,第二宽度 W_2 小于第二沟槽构造20的第一外侧壁22A的宽度。另外,第一宽度 W_1 也可以为

第二沟槽构造20的第二外侧壁22B的宽度以上。

[0177] 优选的是, SiC半导体装置1A包含: 在芯片2内形成于沿着第二外侧壁22B的区域的p型的阱区41。此时优选的是, 接触区50具有比阱区41高的p型杂质浓度。根据该构造, 能够抑制以接触区50为起点的a面缺陷, 并且利用以阱区41为起点而扩展的耗尽层来提高击穿电压。

[0178] 优选的是, 阱区41在芯片2内形成于沿着第二沟槽构造20的区域。此时优选的是, 接触区50形成于阱区41内。优选的是, 阱区41在芯片2形成于沿着底壁23和第二外侧壁22B中的至少一个的区域。根据沿着底壁23和第二外侧壁22B双方的阱区41, 能够适当地提高击穿电压。

[0179] 优选的是, SiC半导体装置1A包含: 形成于第一主面3的表层部的p型的体区12。此时优选的是, 第二沟槽构造20以贯穿体区12的方式形成于第一主面3。另外, 优选的是, 接触区50具有比体区12高的杂质浓度。

[0180] 第二沟槽构造20在俯视时可以形成为环状。优选的是, 第二沟槽构造20具有在a轴方向上呈带状延伸的第一底壁23A及在m轴方向上呈带状延伸的第二底壁23B。此时优选的是, 接触区50从第二底壁23B在a轴方向上隔开间隔地形成于沿着第一底壁23A的区域。根据该构造, 能够在芯片2内的沿着第二底壁23B的区域抑制以接触区50为起点的a面缺陷。

[0181] SiC半导体装置1A可以包含: 由第二沟槽构造20在第一主面3划分出的第一台面部24。此时优选的是, 接触区50具有在第一台面部24位于第一主面3的表层部的部分。根据该构造, 能够抑制沿着第二外侧壁22B的区域中的a面缺陷, 并且利用第一台面部24来扩张接触区50的形成区。

[0182] 优选的是, SiC半导体装置1A包含: 从第二沟槽构造20隔开间隔地形成于第一主面3的第三沟槽构造30。此时优选的是, SiC半导体装置1A包含: 在第一主面3的表层部形成于沿着第三沟槽构造30的区域的n型的源极区40。

[0183] 第三沟槽构造30可以以沿m轴方向延伸的方式从第二沟槽构造20的第二外侧壁22B在a轴方向上隔开间隔地形成于第一主面3。根据该构造, 能够在第二沟槽构造20以及第三沟槽构造30之间的区域抑制以接触区50为起点的a面缺陷。第三沟槽构造30可以以沿a轴方向延伸的方式从第二沟槽构造20的第一外侧壁22A在m轴方向上隔开间隔地形成于第一主面3。第三沟槽构造30在俯视时可以形成为包围第二沟槽构造20的环状。

[0184] 在其他视点中, SiC半导体装置1A可以包含: 芯片2、n型的第一半导体区6、p型的体区12、作为沟槽源极构造的第二沟槽构造20、作为沟槽栅极构造的第三沟槽构造30、n型的源极区40及p型的接触区50。芯片2包含SiC单晶, 并具有第一主面3。第一半导体区6形成于第一主面3的表层部。体区12形成于第一半导体区6的表层部。

[0185] 第二沟槽构造20具有第一外侧壁22A(第一侧壁) 和第二外侧壁22B(第二侧壁), 并形成于第一主面3。第一外侧壁22A沿SiC单晶的a轴方向延伸。第二外侧壁22B沿SiC单晶的m轴方向延伸。即, 第一外侧壁22A由SiC单晶的m面形成, 第二外侧壁22B由SiC单晶的a面形成。

[0186] 第三沟槽构造30以贯穿体区12的方式从第二沟槽构造20的第二外侧壁22B在a轴方向上隔开间隔地形成于第一主面3。源极区40在体区12的表层部形成于沿着第三沟槽构造30的区域。接触区50在芯片2内从第二沟槽构造20的第二外侧壁22B在a轴方向上隔开间

隔地形成于沿着第二沟槽构造20的区域。

[0187] 根据该构造,能够在第二沟槽构造20以及第三沟槽构造30之间的区域抑制以接触区50为起点的a面缺陷(晶体缺陷)。由此,可以提供一种能够提高电气特性的SiC半导体装置1A。例如,通过抑制以接触区50为起点的a面缺陷,能够抑制由该a面缺陷引起的电阻值的增加。例如,抑制a面缺陷在抑制由该a面缺陷引起的导通电阻 R_{on} 的增加方面是有效的。

[0188] 图17与图8对应,是表示第二实施方式的SiC半导体装置1B的俯视图。图18是沿着图17所示的XVIII-XVIII线的剖视图。SiC半导体装置1B是起到与SiC半导体装置1A一样效果的器件。上述的SiC半导体装置1A包含由第一~第三接触区51~53构成的接触区50。

[0189] 对此,SiC半导体装置1B的接触区50不包含第三接触区53,而仅包含第一接触区51以及第二接触区52。当然,接触区50也可以仅由第一接触区51以及第二接触区52中的某一方构成。

[0190] 第一接触区51和第二接触区52在m轴方向上具有第一宽度 W_a ,并在a轴方向上具有第二宽度 W_b 。第一宽度 W_a 小于第二沟槽构造20的第二外侧壁22B的宽度。第一宽度 W_a 小于第二沟槽构造20的第二内侧壁21B的宽度。第一宽度 W_a 比第二沟槽构造20的宽度大。

[0191] 第二宽度 W_b 小于第二沟槽构造20的第一外侧壁22A的宽度。第二宽度 W_b 小于第二沟槽构造20的第一内侧壁21A的宽度。第二宽度 W_b 小于第一宽度 W_a 。优选的是,第二宽度 W_b 比第二沟槽构造20的宽度小。当然,第二宽度 W_b 也可以比第二沟槽构造20的宽度大。另外,第二宽度 W_b 只要小于第一内侧壁21A的宽度即可,也可以比第一宽度 W_a 大。

[0192] 图19与图8对应,是表示第三实施方式的SiC半导体装置1C的俯视图。SiC半导体装置1C是起到与SiC半导体装置1A一样效果的器件。上述的SiC半导体装置1A包含:由在a轴方向上具有一样的第二宽度 W_2 的第一~第三接触区51~53构成的接触区50。

[0193] 对此,SiC半导体装置1C的接触区50由在a轴方向上具有第二宽度 W_2 的第一接触区51、在a轴方向上具有第二宽度 W_2 的第二接触区52、以及在a轴方向上具有与第二宽度 W_2 不同的第三宽度 W_3 的第三接触区53构成。具体而言,第三宽度 W_3 比第二宽度 W_2 大且为第一内侧壁21A的宽度以下。优选的是,第三宽度 W_3 小于第一内侧壁21A的宽度。

[0194] 第三接触区53可以形成为从一对第一内侧壁21A隔开间隔地与一对第二内侧壁21B相接。第三接触区53也可以形成为从一对第二内侧壁21B隔开间隔地与一对第一内侧壁21A相接。第三接触区53也可以在第一台面部24内形成于体区12的表层部的整个区域。此时,第三接触区53可以与第二沟槽构造20的一对第一内侧壁21A以及一对第二内侧壁21B相接。

[0195] 图20与图8对应,是表示第四实施方式的SiC半导体装置1D的俯视图。SiC半导体装置1D是起到与SiC半导体装置1A一样效果的器件。上述的SiC半导体装置1A包含:由在a轴方向上具有一样的第二宽度 W_2 的第一~第三接触区51~53构成的接触区50。

[0196] 对此,SiC半导体装置1D的接触区50由在a轴方向上具有第二宽度 W_2 的第一接触区51、在a轴方向上具有第二宽度 W_2 的第二接触区52、以及在a轴方向上具有与第二宽度 W_2 不同的第三宽度 W_3 的第三接触区53构成。具体而言,第三宽度 W_3 小于第二宽度 W_2 。

[0197] 图21与图8对应,是表示第五实施方式的SiC半导体装置1E的俯视图。SiC半导体装置1E是起到与SiC半导体装置1A一样效果的器件。上述的SiC半导体装置1A包含:具有与第一接触区51和第二接触区52连接的第三接触区53的接触区50。

[0198] 对此,SiC半导体装置1E的接触区50在第一台面部24具有从第一接触区51以及第二接触区52隔开间隔地形成于体区12的表层部的第三接触区53。第三接触区53在a轴方向上可以形成为比第一接触区51(第二接触区52)宽度宽,也可以形成为比第一接触区51(第二接触区52)宽度窄。

[0199] 图22与图8对应,是表示第六实施方式的SiC半导体装置1F的俯视图。图23是沿着图22所示的XXIII-XXIII线的剖视图。图24是沿着图22所示的XXIV-XXIV线的剖视图。SiC半导体装置1F是起到与SiC半导体装置1A一样效果的器件。上述的SiC半导体装置1A包含:在俯视时形成为沿a轴方向及m轴方向延伸的环状的第二沟槽构造20。

[0200] 对此,SiC半导体装置1F包含:在俯视时形成为具有在a轴方向以及m轴方向上延伸的4边的四边形状的第二沟槽构造20。与第一实施方式的情况一样,第二沟槽构造20包含:第二沟槽25、第二绝缘膜26和第二埋设电极27。

[0201] 在本方式中,第二沟槽构造20包含侧壁90和底壁91。侧壁90在俯视时形成为在a轴方向以及m轴方向上延伸的四边形状。具体而言,侧壁90包含一对第一侧壁90A和一对第二侧壁90B。一对第一侧壁90A沿a轴方向延伸,在m轴方向上对置。即,一对第一侧壁90A由m面划分。一对第二侧壁90B以与一对第一侧壁90A连接的方式沿m轴方向延伸,在a轴方向上对置。即,一对第二侧壁90B由a面划分。

[0202] 底壁91在俯视时形成为沿着a轴方向以及m轴方向平坦地延伸的四边形状,将一对第一侧壁90A以及一对第二侧壁90B连接。底壁91由c面形成。在活性面8(第一主面3)具有相对于c面在规定的偏离方向上以规定角度倾斜的偏离角时,底壁91可以与活性面8(第一主面3)一样,具有偏离方向和偏离角。

[0203] 第三沟槽构造30与第一实施方式的情况一样,在俯视时以包围多个第二沟槽构造20的方式在多个第二沟槽构造20之间的区域形成为沿a轴方向及m轴方向延伸的格子状(环状)。在本方式中,第三沟槽构造30在与多个第二沟槽构造20的侧壁90之间划分呈环状(具体而言为四边环状)延伸的多个台面部92。

[0204] 第三沟槽构造30与第一实施方式的情况一样,包含多个第三沟槽构造30A及多个第三沟槽构造30B。在本方式中,多个第三沟槽构造30A以在m轴方向上与多个第一侧壁90A对置的方式形成为从多个第一侧壁90A在m轴方向上隔开间隔,并在多个第一侧壁90A之间的区域沿a轴方向呈带状延伸。在本方式中,多个第三沟槽构造30B以在a轴方向上与多个第二侧壁90B对置的方式形成为从多个第二侧壁90B在a轴方向上隔开间隔,并在多个第二侧壁90B之间的区域沿m轴方向呈带状延伸。

[0205] 在本方式中,阱区41包含阱底壁部93和阱侧壁部94。可以将阱底壁部93称为“第一阱部”,将阱侧壁部94称为“第二阱部”。阱底壁部93形成于沿着第二沟槽构造20的底壁91的区域。具体而言,阱底壁部93覆盖底壁91的整个区域。阱底壁部93形成为从第一半导体区6的底部向活性面8侧隔开间隔,隔着第一半导体区6的一部分与第二半导体区7对置。

[0206] 阱侧壁部94从阱底壁部93侧向第二沟槽构造20的侧壁90侧引出,并形成于沿着侧壁90的区域。具体而言,阱侧壁部94在台面部92形成于沿着一对第一侧壁90A以及一对第二侧壁90B的区域。

[0207] 阱侧壁部94在台面部92从第三沟槽构造30隔开间隔地形成包围第二沟槽构造20的环状(具体而言为四边环状)。阱侧壁部94在台面部92的表层部与体区12连接。以侧壁

90为基准的阱侧壁部94的厚度,比以底壁91为基准的阱底壁部93的厚度小。

[0208] 在本方式中,接触区50在阱区41内,从第二沟槽构造20的一对第二侧壁90B在a轴方向上隔开间隔地形成于沿着第二沟槽构造20的区域,而不形成于沿着一对第二侧壁90B的区域。优选的是,接触区50在俯视时形成于沿着底壁91的中央部的区域。

[0209] 在本方式中,接触区50包含:底壁部95、第一侧壁部96以及第二侧壁部97。可以将底壁部95称为“第一接触部”,将第一侧壁部96称为“第二接触部”,将第二侧壁部97称为“第三接触部”。

[0210] 底壁部95在阱区41(阱底壁部93)内从一对第二侧壁90B在a轴方向上隔开间隔地形成于沿着底壁91的内部的区域。底壁部95在俯视时形成为沿着底壁91在m轴方向上延伸的带状。优选的是,底壁部95在俯视时覆盖底壁91的中央部。

[0211] 第一侧壁部96在阱区41(阱侧壁部94)内从底壁部95沿着m轴方向向第二沟槽构造20的一方的第一侧壁90A侧引出,并形成于沿着一方的第一侧壁90A的区域。第一侧壁部96在a轴方向上从一对第二侧壁90B隔开间隔地形成于沿着第一侧壁90A的内部的区域。优选的是,第一侧壁部96在俯视时覆盖第二侧壁90B的中央部。第一侧壁部96在台面部92从阱区41内向体区12内引出。

[0212] 第一侧壁部96在台面部92具有从活性面8露出的第一露出部98。第一露出部98从体区12的底部向活性面8侧隔开间隔地沿着活性面8呈层状延伸,隔着体区12的一部分与第一半导体区6对置。第一露出部98形成为从第三沟槽构造30向第二沟槽构造20侧隔开间隔,并与源极区40连接。以第一侧壁部96为基准的第一侧壁部96的厚度,比以底壁91为基准的底壁部95的厚度小。

[0213] 第二侧壁部97在阱区41(阱侧壁部94)内从底壁部95沿着m轴方向向第二沟槽构造20的另一方的第一侧壁90A侧引出,并形成于沿着另一方的第一侧壁90A的区域。第二侧壁部97从一对第二侧壁90B在a轴方向上隔开间隔地形成于沿着第一侧壁90A的内部的区域。第二侧壁部97在台面部92从阱区41内向体区12内引出。

[0214] 第二侧壁部97具有:在台面部92从活性面8露出的第二露出部99。第二露出部99从体区12的底部向活性面8侧隔开间隔地沿着活性面8呈层状延伸,隔着体区12的一部分与第一半导体区6对置。第二露出部99形成为从第三沟槽构造30向第二沟槽构造20侧隔开间隔,并与源极区40连接。以第一侧壁部96为基准的第二侧壁部97的厚度,比以底壁91为基准的底壁部95的厚度小。

[0215] 在本方式中,接触区50在俯视时形成为沿m轴方向延伸的带状。在本方式中,接触区50在m轴方向上具有第一宽度W1,在a轴方向上具有小于第一宽度W1的第二宽度W2。第一宽度W1比第二沟槽构造20的宽度大。第一宽度W1比第二沟槽构造20的第二侧壁90B的宽度大。第二宽度W2比第二沟槽构造20的第一侧壁90A的宽度小。

[0216] 以上,SiC半导体装置1F包含:芯片2、第二沟槽构造20(沟槽构造)以及p型的接触区50。芯片2包含SiC单晶,并具有第一主面3。第二沟槽构造20具有第一侧壁90A和第二侧壁90B,并形成于第一主面3。

[0217] 第一侧壁90A沿SiC单晶的a轴方向延伸。第二侧壁90B沿SiC单晶的m轴方向延伸。即,第一侧壁90A由SiC单晶的m面形成,第二侧壁90B由SiC单晶的a面形成。接触区50在芯片2内从第二侧壁90B在a轴方向上隔开间隔地形成于沿着第二沟槽构造20的区域。

[0218] 根据本构造,在芯片2内的沿着第二侧壁90B的区域,能够抑制以接触区50为起点的a面缺陷(晶体缺陷)。由此,可以提供一种能够提高电气特性的SiC半导体装置1F。例如,通过抑制以接触区50为起点的a面缺陷,能够抑制由该a面缺陷引起的电阻值的增加。例如,抑制a面缺陷在抑制由该a面缺陷引起的导通电阻 R_{on} 的增加方面是有效的。

[0219] 在另一视点中,SiC半导体装置1F可以包含:芯片2、n型的第一半导体区6、p型的体区12、作为沟槽源极构造的第二沟槽构造20、作为沟槽栅极构造的第三沟槽构造30、n型的源极区40及p型的接触区50。芯片2包含SiC单晶,并具有第一主面3。第一半导体区6形成于第一主面3的表层部。体区12形成于第一半导体区6的表层部。

[0220] 第二沟槽构造20具有第一侧壁90A和第二侧壁90B,并形成于第一主面3。第一侧壁90A沿SiC单晶的a轴方向延伸。第二侧壁90B沿SiC单晶的m轴方向延伸。即,第一侧壁90A由SiC单晶的m面形成,第二侧壁90B由SiC单晶的a面形成。

[0221] 第三沟槽构造30以贯穿体区12的方式从第二沟槽构造20的第二侧壁90B在a轴方向上隔开间隔地形成于第一主面3。源极区40在体区12的表层部形成于沿着第三沟槽构造30的区域。接触区50在芯片2内从第二沟槽构造20的第二侧壁90B在a轴方向上隔开间隔地形成于沿着第二沟槽构造20的区域。

[0222] 根据该构造,能够在第二沟槽构造20与第三沟槽构造30之间的区域抑制以接触区50为起点的a面缺陷(晶体缺陷)。由此,可以提供一种能够提高电气特性的SiC半导体装置1F。例如,通过抑制以接触区50为起点的a面缺陷,能够抑制由该a面缺陷引起的电阻值的增加。例如,抑制a面缺陷在抑制由该a面缺陷引起的导通电阻 R_{on} 的增加方面是有效的。

[0223] 图25与图22对应,是表示第七实施方式的SiC半导体装置1G的俯视图。SiC半导体装置1G是起到与SiC半导体装置1F一样效果的器件。SiC半导体装置1F的接触区50包含:在俯视时沿着底壁91在m轴方向上呈带状延伸的底壁部95。

[0224] 另一方面,SiC半导体装置1G具有:将SiC半导体装置1F的底壁部95中的沿着底壁91的中央部的部分去除的构造。即,SiC半导体装置1G的底壁部95具有:在底壁91的中央部使阱区41残存的开放部。在SiC半导体装置1G中,通过开放部削减了底壁部95的形成区。当然,也可以采用不具有底壁部95的接触区50。

[0225] 图26与图22对应,是表示第八实施方式的SiC半导体装置1H的俯视图。SiC半导体装置1H具有使SiC半导体装置1G的接触区50变形的方式,是起到与SiC半导体装置1H一样效果的器件。

[0226] 具体而言,SiC半导体装置1H的底壁部95具有多个开放部。在本方式中,多个开放部形成为在m轴方向上隔开间隔。当然,多个开放部也可以形成为在a轴方向上隔开间隔。另外,3个以上的开放部也可以形成为在m轴方向和a轴方向上隔开间隔。

[0227] 图27与图22对应,是表示第九实施方式的SiC半导体装置1I的俯视图。SiC半导体装置1I是起到与SiC半导体装置1F一样效果的器件。上述的SiC半导体装置1F包含:在a轴方向上具有一样的第二宽度 W_2 的接触区50。

[0228] 对此,在SiC半导体装置1I的接触区50中,底壁部95在俯视时具有朝向一对第二侧壁90B中的某一方或双方(在本方式中双方)伸出的宽幅部。宽幅部从一对第二侧壁90B在a轴方向上隔开间隔地覆盖底壁91。另外,宽幅部从一对第一侧壁90A在m轴方向上隔开间隔地覆盖底壁91。即,宽幅部的宽度超过第二宽度 W_2 且小于第一侧壁90A的宽度。宽幅部的宽

度也可以为第一侧壁90A的宽度的1/2以上。

[0229] 优选的是,底壁部95在俯视时覆盖底壁91的50%以上且小于100%的区域。上述的比例(底壁部95的平面面积相对于底壁91的平面面积的比例)也可以设定为属于50%以上且60%以下、60%以上且70%以下、70%以上且80%以下、80%以上且90%以下、以及90%以上且小于100%的任一范围的值。

[0230] 图28与图22对应,是表示第十实施方式的SiC半导体装置1J的俯视图。SiC半导体装置1J是起到与SiC半导体装置1F一样效果的器件。上述的SiC半导体装置1F包含:在a轴方向上具有一样的第二宽度W2的接触区50。

[0231] 对此,在SiC半导体装置1J的接触区50中,底壁部95在俯视时具有朝向一对第二侧壁90B中的某一方或双方(在本方式中双方)凹陷的窄幅部。窄幅部的宽度小于第二宽度W2。窄幅部的宽度可以为第二宽度W2的1/2以下。窄幅部的宽度也可以为第二宽度W2的1/10以上。

[0232] 图29是表示第二沟槽构造20的变形例的剖视图。在图29中,表示了在第一实施方式的SiC半导体装置1A中应用了变形例的第二沟槽构造20的例子,但变形例的第二沟槽构造20也可以应用于第二~第六实施方式的SiC半导体装置1B~1F。

[0233] 上述的各实施方式的第二沟槽构造20包含:第二沟槽25、第二绝缘膜26以及第二埋设电极27。对此,变形例的第二沟槽构造20不包含第二绝缘膜26。第二埋设电极27直接埋设在第二沟槽25中,并在第二沟槽25中与芯片2电连接和机械连接。

[0234] 上述的源极区40、阱区41以及接触区50在沿着第二沟槽构造20的壁面(内侧壁21、外侧壁22以及底壁23)的部分与第二埋设电极27电连接及机械连接。

[0235] 第二埋设电极27可以形成为利用源极电极85(源极焊盘电极86)的一部分。即,源极电极85(源极焊盘电极86)可以形成为从主面绝缘膜70(活性面8)之上进入到多个第二沟槽25内。此时,源极电极85(源极焊盘电极86)包含:在多个第二沟槽25中与芯片2电连接和机械连接的多个第二埋设电极27。

[0236] 上述的各实施方式还能够以其他方式实施。在上述的各实施方式中,表示了芯片2内形成有第二半导体区7的例子。但是,也可以采用不具有第二半导体区7的构造。此时,第一半导体区6从芯片2的第一主面3、第二主面4和第一~第四侧面5A~5D露出。即,芯片2可以不具有SiC基板,而具有由SiC外延层构成的单层构造。

[0237] 在上述的各实施方式中,可以在将“n型”的区域替换为“p型”的区域的同时,将“p型”的区域替换为“n型”的区域。此时的具体结构通过上述的说明以及附图中将“n型”替换为“p型”的同时将“p型”替换为“n型”而得到。在“p型”被称为“第一导电型”时,“n型”也可以被称为“第二导电型”。在“n型”被称为“第一导电型”时,“p型”也可以被称为“第二导电型”。

[0238] 在上述的各实施方式中,表示了“n型”的第二半导体区7。但是,也可以采用“p型”的第二半导体区7。此时,代替SiC-MISFET而形成SiC-IGBT(Insulated Gate Bipolar Transistor)。此时,在上述说明中,MISFET的“源极”被替换为IGBT的“发射极”,MISFET的“漏极”被替换为IGBT的“集电极”。“p型”的第二半导体区7可以由“p型”的SiC基板构成,可以通过离子注入法在芯片2(外延层)的第二主面4的表层部导入p型杂质来形成。

[0239] 以下,表示从本说明书以及附图提取的特征例。以下,括号内的字母数字等表示上

述实施方式中的对应构成要素等,但并非旨在将各项目的范围限定于实施方式。以下项目的“SiC半导体装置”可以根据需要替换为“半导体装置”、“SiC半导体开关装置”或“SiC-MISFET”。

[0240] [A1]一种SiC半导体装置(1A~1J),包含:芯片(2),其包含SiC单晶,并具有主面(3);沟槽构造(20),其具有第一侧壁(22A、90A)和第二侧壁(22B、90B),并形成于所述主面(3),其中,所述第一侧壁(22A、90A)在所述SiC单晶的a轴方向上延伸,所述第二侧壁(22B、90B)在所述SiC单晶的m轴方向上延伸;第一导电型(p型)的接触区(50),其在所述芯片(2)内从所述第二侧壁(22B、90B)在所述a轴方向上隔开间隔地形成于沿着所述沟槽构造(20)的区域。

[0241] [A2]根据A1所述的SiC半导体装置(1A~1J),其中,所述沟槽构造具有将所述第一侧壁(22A、90A)和所述第二侧壁(22B、90B)连接的底壁(23、91),所述接触区(50)在所述芯片(2)内形成于沿着所述沟槽构造(20)的所述底壁(23、91)的区域。

[0242] [A3]根据A1或A2所述的SiC半导体装置(1A~1J),其中,所述接触区(50)在所述芯片(2)内形成于沿着所述沟槽构造(20)的所述第一侧壁(22A、90A)的区域。

[0243] [A4]根据A1~A3中任一项所述的SiC半导体装置(1A~1J),其中,所述接触区(50)形成为在所述m轴方向上延伸的带状。

[0244] [A5]根据A1~A4中任一项所述的SiC半导体装置(1A~1J),其中,所述接触区(50)在所述m轴方向上具有第一宽度(W1、Wa),并在所述a轴方向上具有小于所述第一宽度(W1、Wa)的第二宽度(W2、Wb)。

[0245] [A6]根据A5所述的SiC半导体装置(1A~1J),其中,所述第二宽度(W2、Wb)小于所述第一侧壁(22A、90A)的宽度。

[0246] [A7]根据A5或A6所述的SiC半导体装置(1A~1J),其中,所述第一宽度(W1、Wa)为所述第二侧壁(22B、90B)的宽度以上。

[0247] [A8]根据A1~A7中任一项所述的SiC半导体装置(1A~1J),其中,所述SiC半导体装置还包含:第一导电型(p型)的阱区(41),其在所述芯片(2)内形成于沿着所述第二侧壁(22B、90B)的区域,所述接触区(50)具有比所述阱区(41)高的杂质浓度。

[0248] [A9]根据A8所述的SiC半导体装置(1A~1J),其中,所述阱区(41)在所述芯片(2)内形成于沿着所述沟槽构造(20)的区域,所述接触区(50)形成于所述阱区(41)内。

[0249] [A10]根据A1~A9中任一项所述的SiC半导体装置(1A~1J),其中,所述SiC半导体装置还包含:第一导电型(p型)的体区(12),其形成于所述主面(3)的表层部,所述沟槽构造(20)以贯穿所述体区(12)的方式形成于所述主面(3),所述接触区(50)具有比所述体区(12)高的杂质浓度。

[0250] [A11]根据A1~A10中任一项所述的SiC半导体装置(1A~1J),其中,所述沟槽构造(20)在俯视时形成为环状。

[0251] [A12]根据A11所述的SiC半导体装置(1A~1J),其中,所述SiC半导体装置还包含:台面部(24),其是由所述沟槽构造(20)在所述主面(3)划分而得的,所述接触区(50)具有:在所述台面部(24)位于所述主面(3)的表层部的部分。

[0252] [A13]根据A1~A12中任一项所述的SiC半导体装置(1A~1J),其中,所述沟槽构造(20)在俯视时形成为四边形状。

[0253] [A14]根据A1~A13中任一项所述的SiC半导体装置(1A~1J),其中,对所述沟槽构造(20)施加源极电位。

[0254] [A15]根据A1~A14中任一项所述的SiC半导体装置(1A~1J),其中,所述SiC半导体装置还包含:第二沟槽构造(30),其从所述沟槽构造(20)隔开间隔地形成于所述主面(3),并被施加栅极电位。

[0255] [A16]根据A15所述的SiC半导体装置(1A~1J),其中,所述第二沟槽构造(30)从所述沟槽构造(20)的所述第二侧壁(22B、90B)在所述a轴方向上隔开间隔地形成于所述主面(3),并在所述m轴方向上延伸。

[0256] [A17]根据A15或A16所述的SiC半导体装置(1A~1J),其中,所述第二沟槽构造(30)从所述沟槽构造(20)的所述第一侧壁(22A、90A)在所述m轴方向上隔开间隔地形成于所述主面(3),并在所述a轴方向上延伸。

[0257] [A18]根据A15~A17中任一项所述的SiC半导体装置(1A~1J),其中,所述第二沟槽构造(30)在俯视时形成为包围所述沟槽构造(20)的环状。

[0258] [A19]根据A15~A18中任一项所述的SiC半导体装置(1A~1J),其中,所述SiC半导体装置还包含:第二导电型(n型)的源极区(40),其在所述主面(3)的表层部形成于沿着所述第二沟槽构造(30)的区域。

[0259] [A20]一种SiC半导体装置(1A~1J),包含:芯片(2),其包含SiC单晶,并具有主面(3);第一导电型(n型)的半导体区(6),其形成于所述主面(3)的表层部;第二导电型(p型)的体区(12),其形成于所述半导体区(6)的表层部;沟槽源极构造(20),其具有第一侧壁(22A、90A)和第二侧壁(22B、90B),并以贯穿所述体区(12)的方式形成于所述主面(3),其中,所述第一侧壁(22A、90A)在所述SiC单晶的a轴方向上延伸,所述第二侧壁(22B、90B)在所述SiC单晶的m轴方向上延伸;沟槽栅极构造(30),其以贯穿所述体区(12)的方式从所述沟槽源极构造(20)的所述第二侧壁(22B、90B)在所述a轴方向上隔开间隔地形成于所述主面(3);第一导电型(n型)的源极区(40),其在所述体区(12)的表层部形成于沿着所述沟槽栅极构造(30)的区域;第二导电型(p型)的接触区(50),其在所述芯片(2)内从所述沟槽源极构造(20)的所述第二侧壁(22B、90B)在所述a轴方向上隔开间隔地形成于沿着所述沟槽源极构造(20)的区域。

[0260] 以上,详细地说明了实施方式,但它们仅是明示技术内容的具体例。从本说明书提取的各种技术思想不限于说明书内的说明顺序、实施方式的顺序等,可以在它们之间适当组合。

[0261] 符号说明

[0262] 1A SiC半导体装置

[0263] 1B SiC半导体装置

[0264] 1C SiC半导体装置

[0265] 1D SiC半导体装置

[0266] 1E SiC半导体装置

[0267] 1F SiC半导体装置

[0268] 1G SiC半导体装置

[0269] 1H SiC半导体装置

- [0270] 1I SiC半导体装置
- [0271] 1J SiC半导体装置
- [0272] 2 芯片
- [0273] 3 第一主面
- [0274] 6 第一半导体区
- [0275] 12 体区
- [0276] 20第二沟槽构造(沟槽源极构造)
- [0277] 22A第一侧壁
- [0278] 22B 第二侧壁
- [0279] 23 底壁
- [0280] 24 第一台面部
- [0281] 30第三沟槽构造(沟槽栅极构造)
- [0282] 40 源极区
- [0283] 41 阱区
- [0284] 50 接触区
- [0285] 90A第一侧壁
- [0286] 90B 第二侧壁
- [0287] 91 底壁
- [0288] W1 第一宽度
- [0289] W2 第二宽度
- [0290] Wa 第一宽度
- [0291] Wb第二宽度。

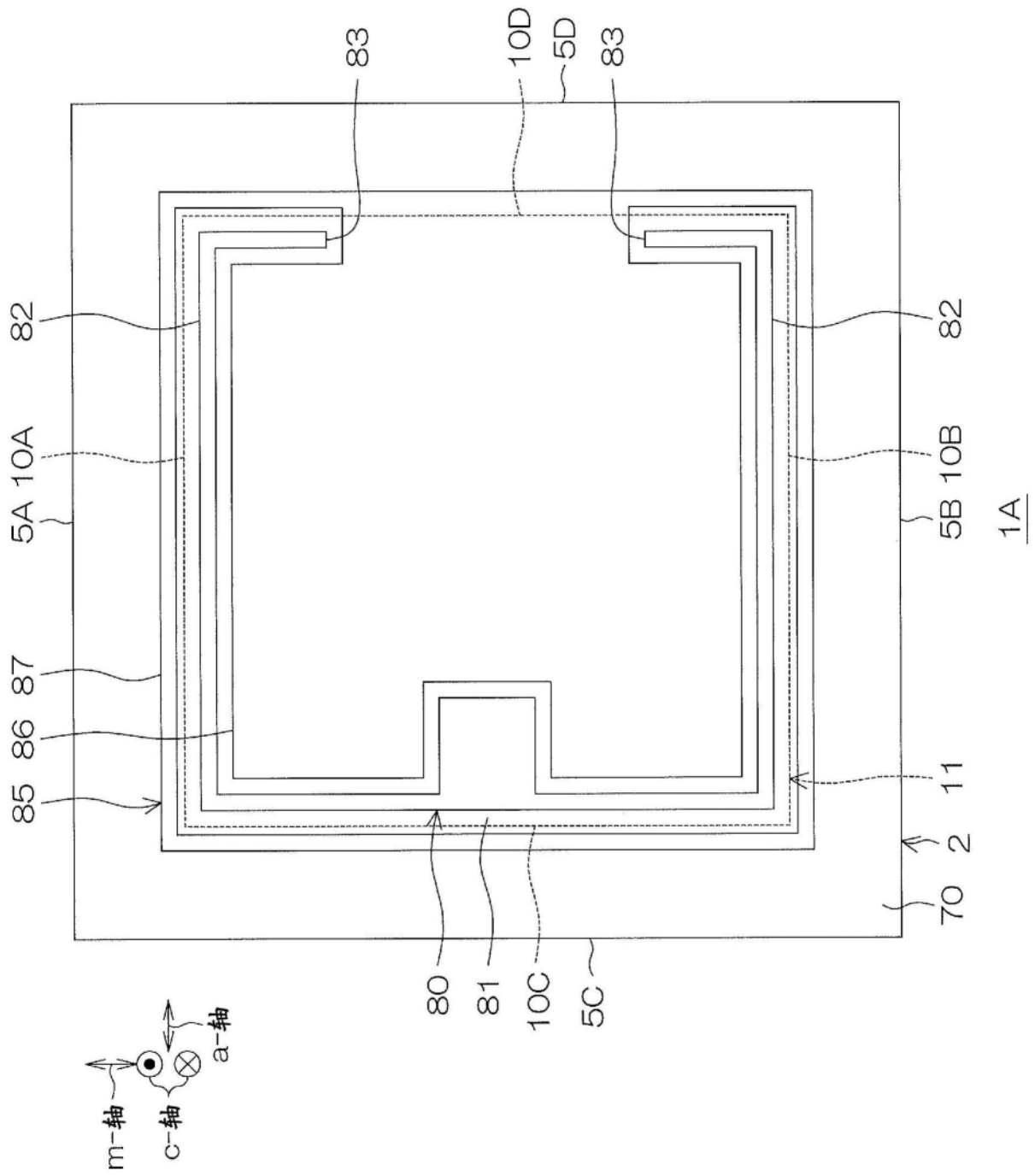


图1

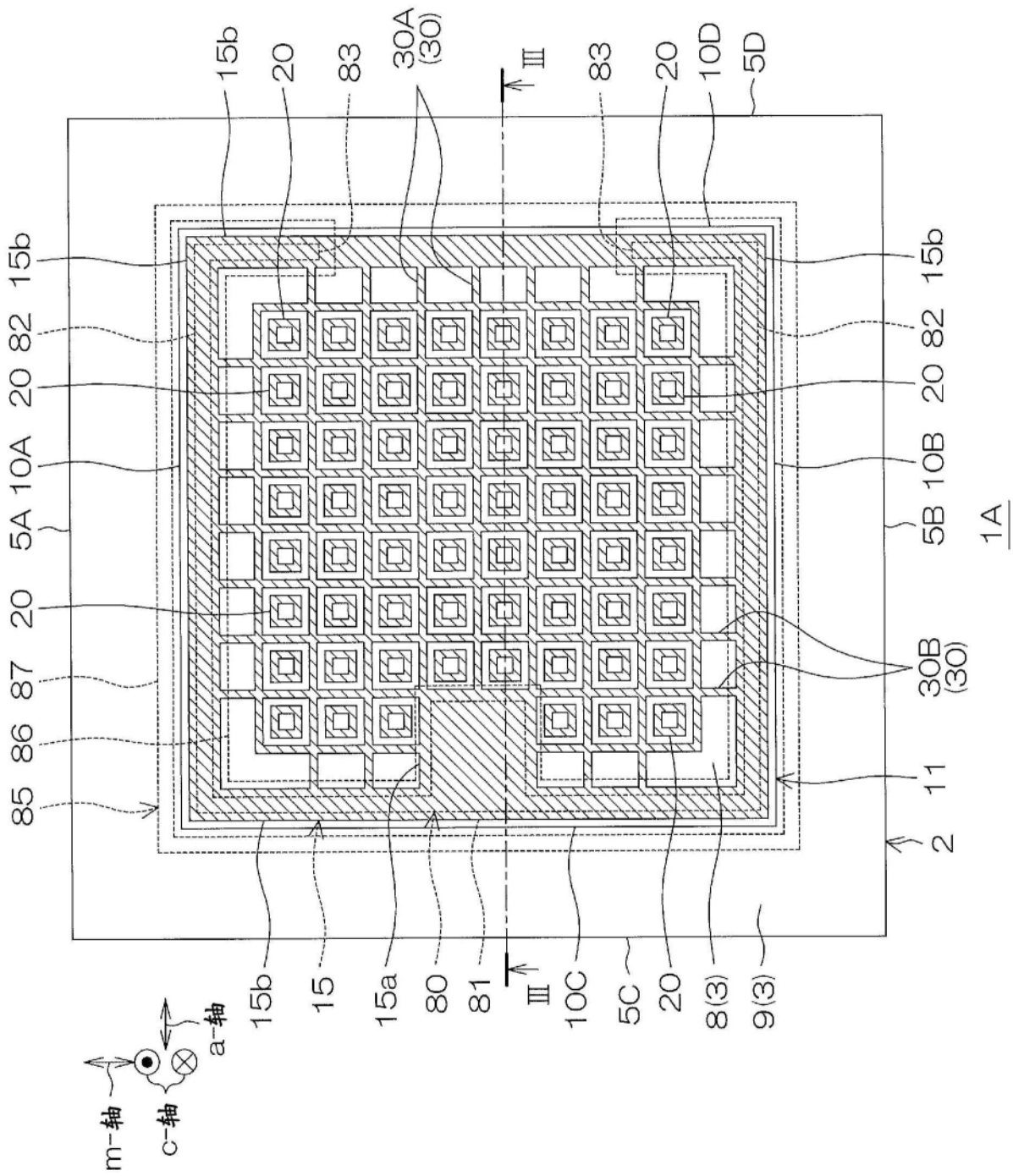


图2

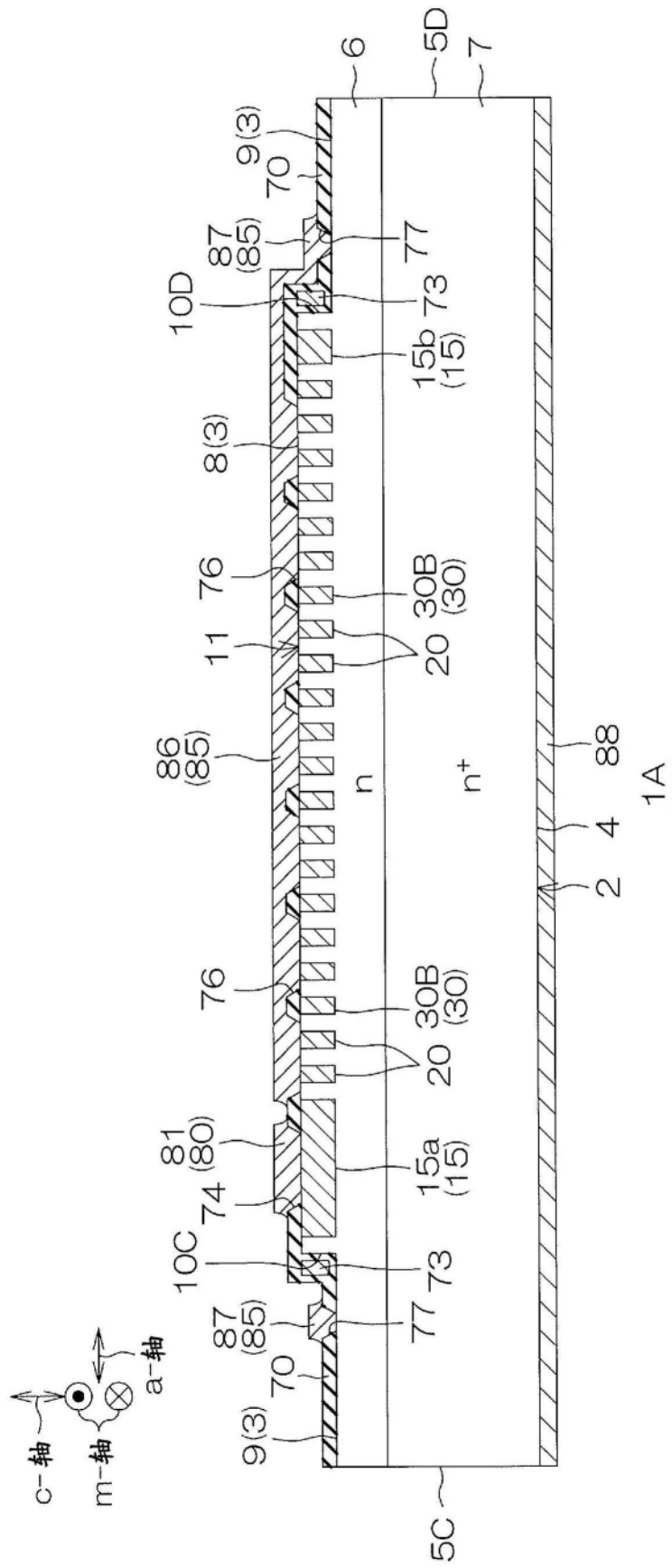


图3

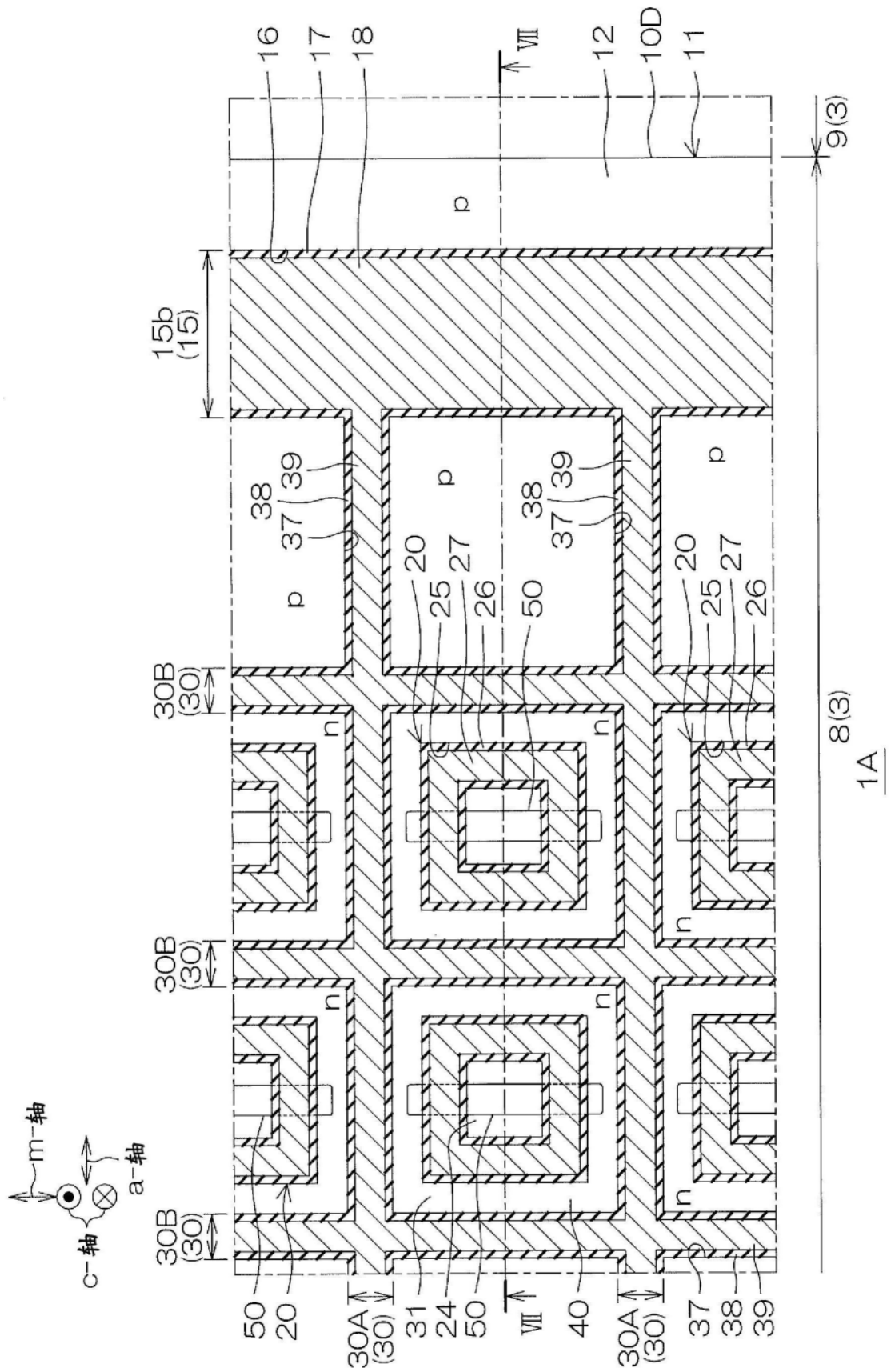


图5

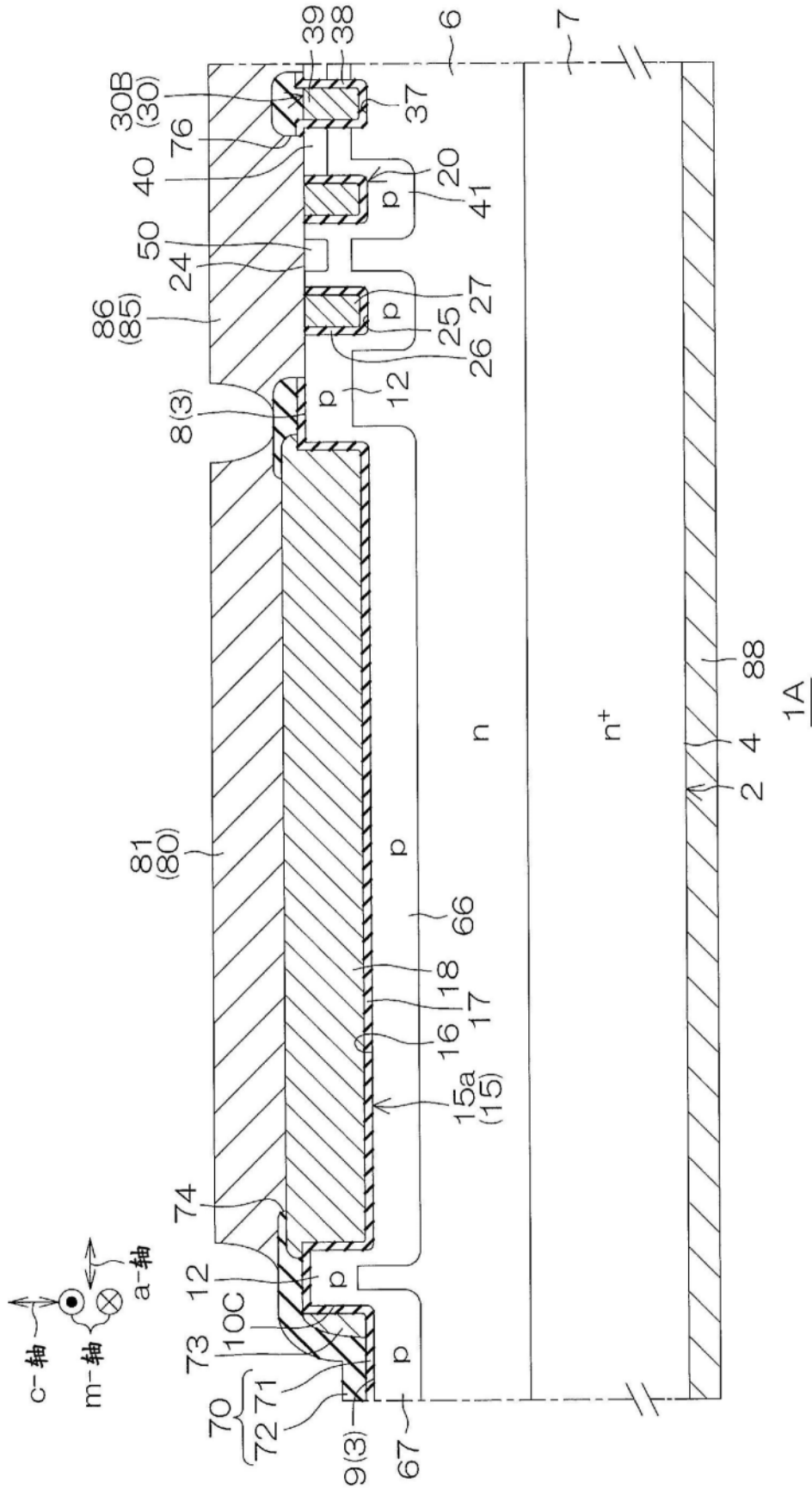


图6

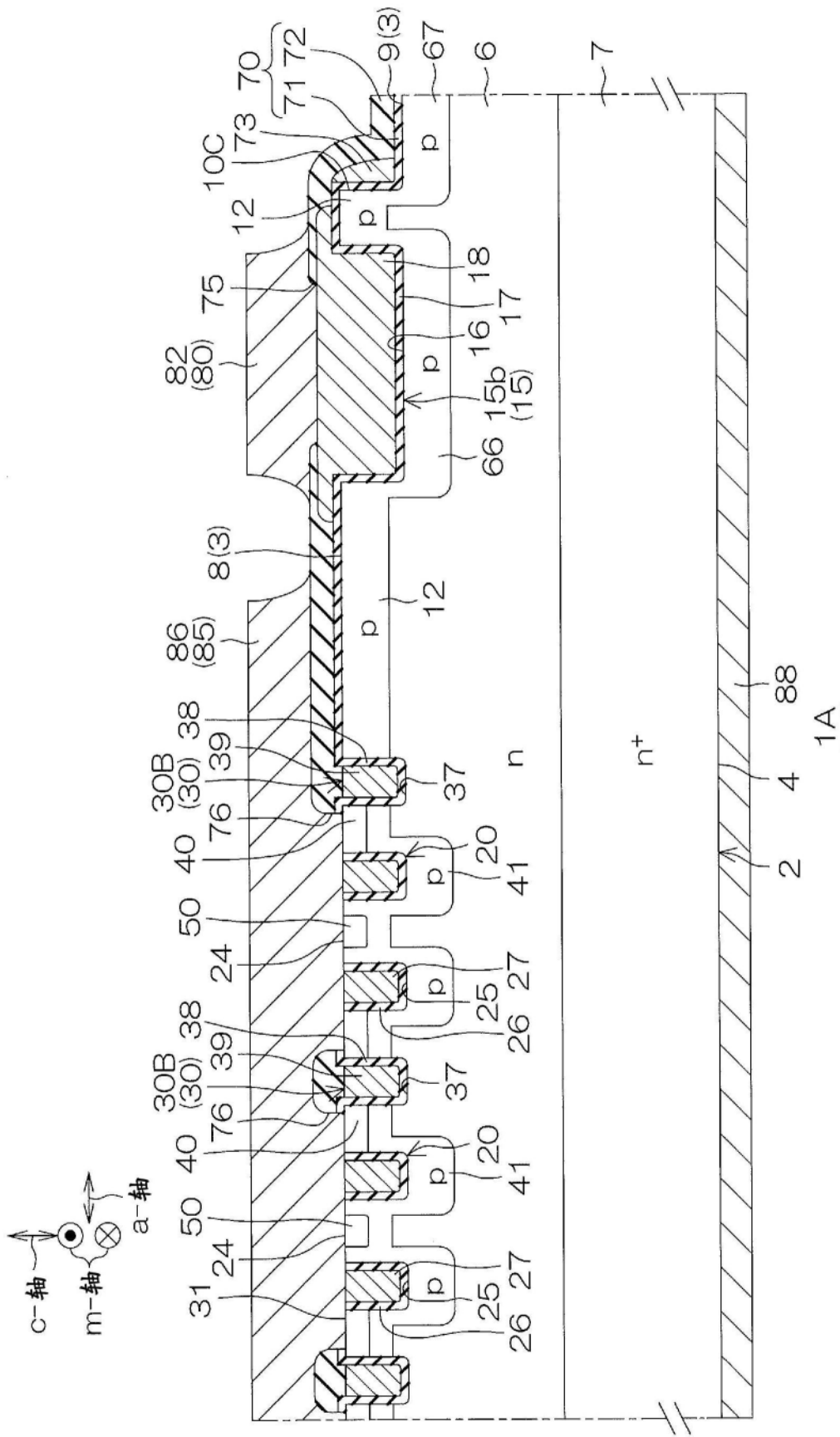


图7

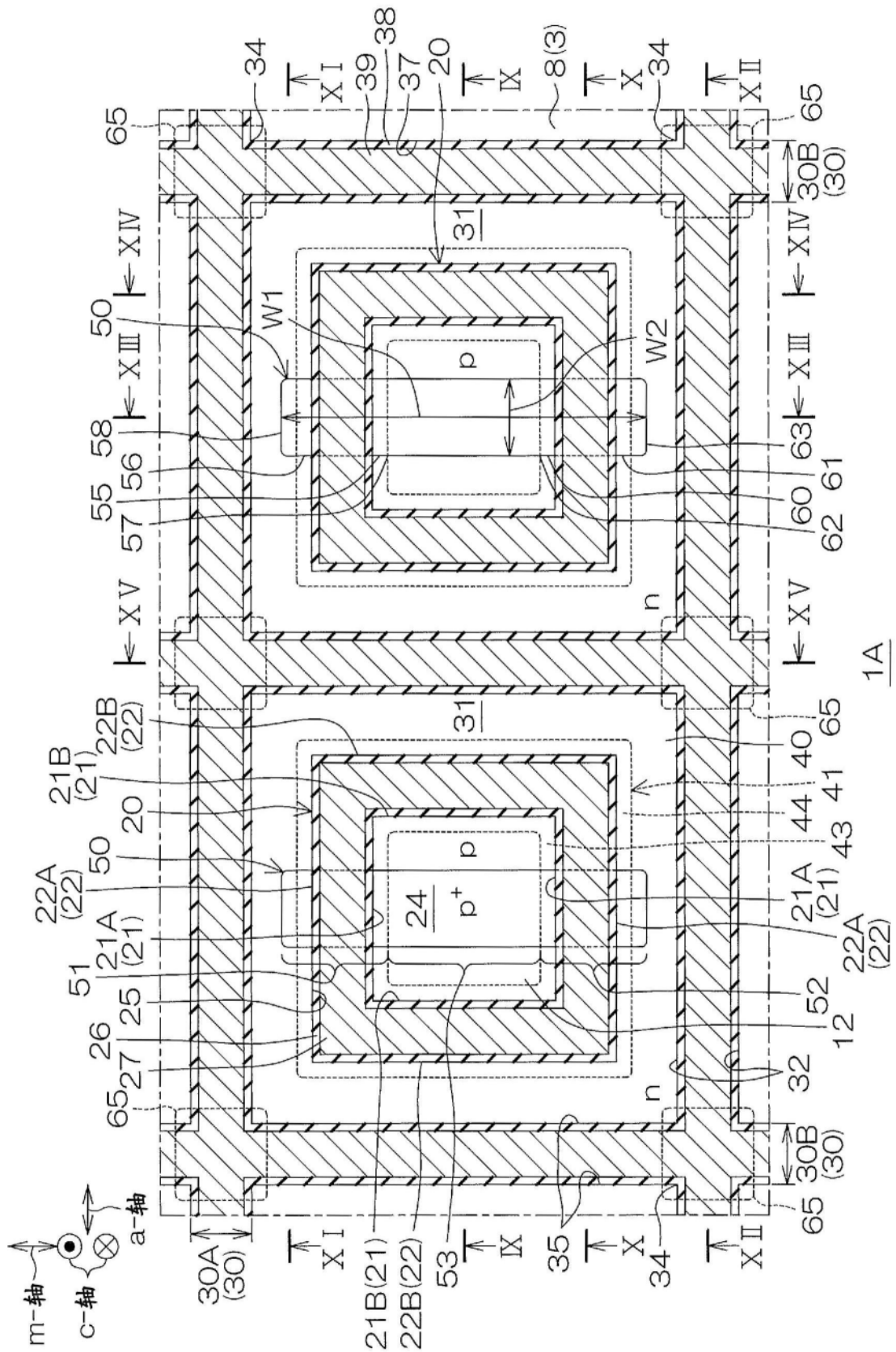


图8

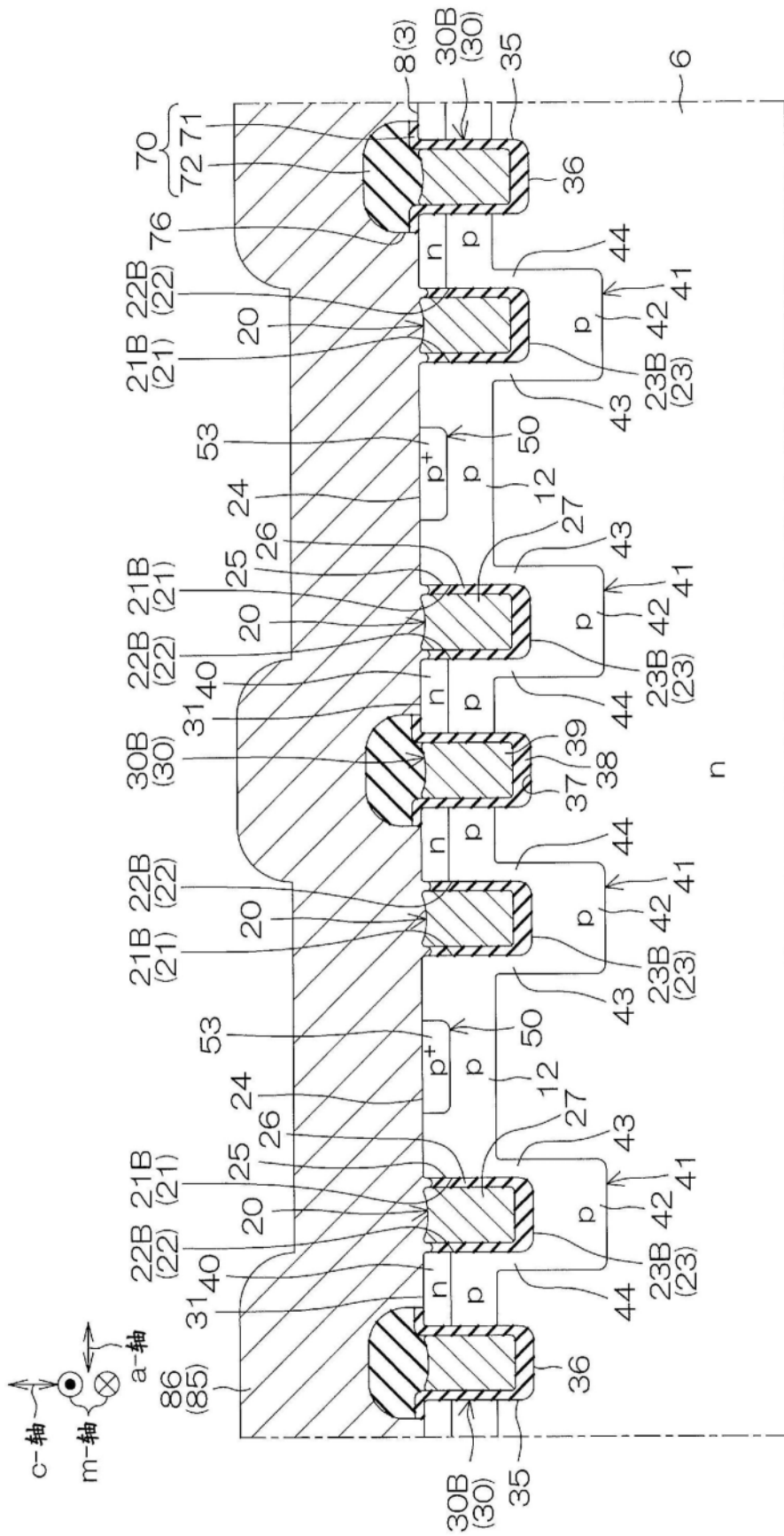


图9

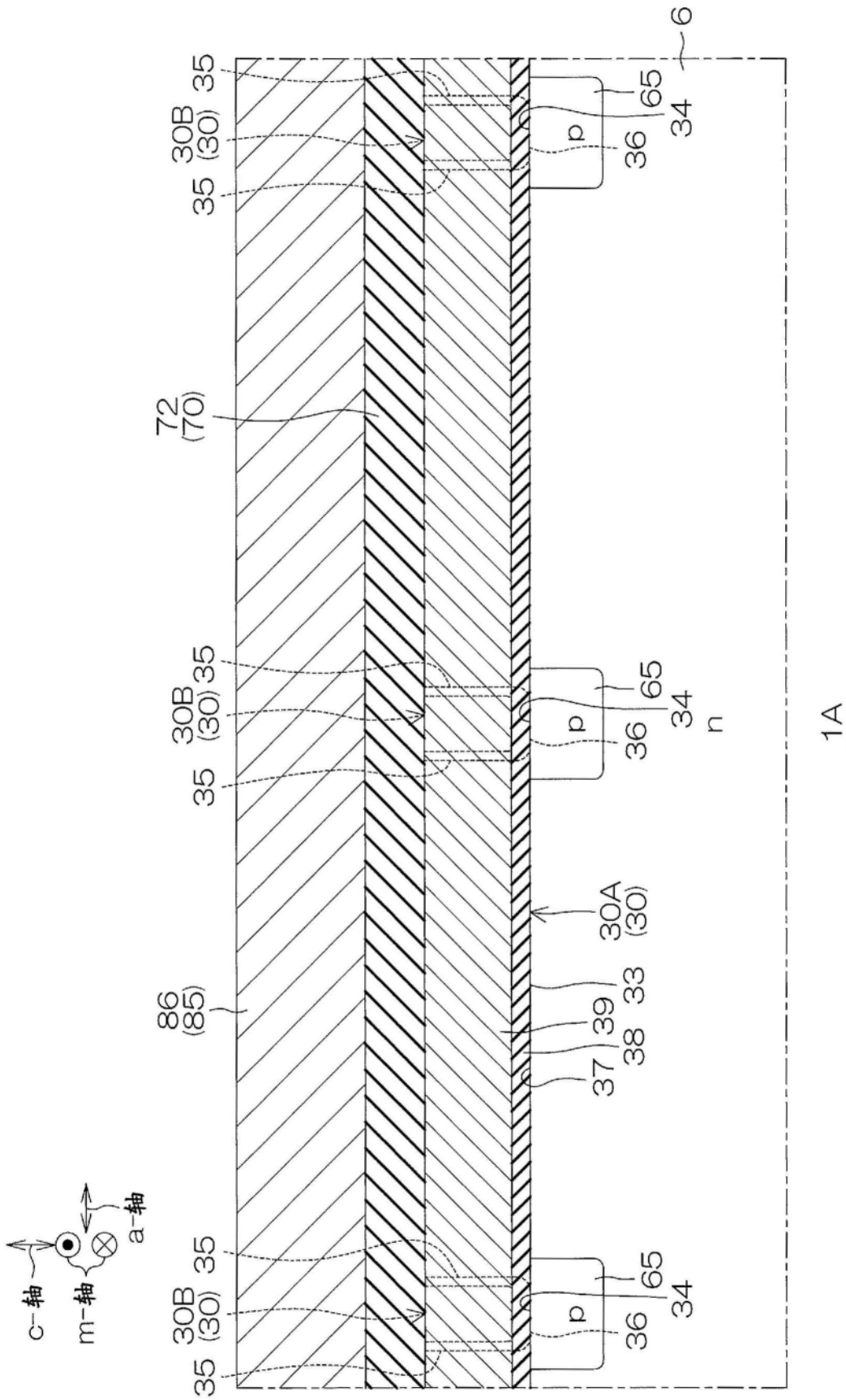


图12

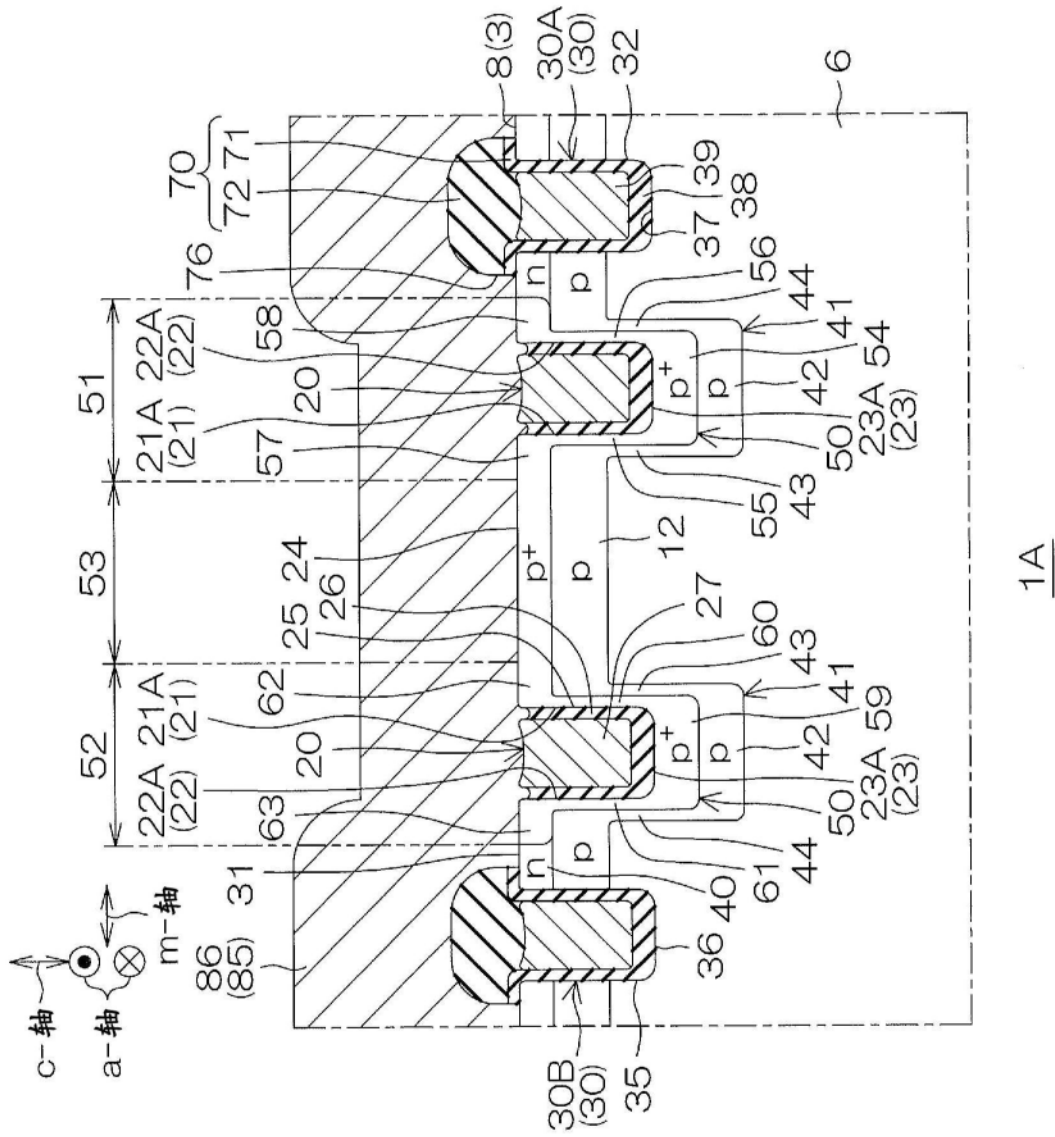


图13

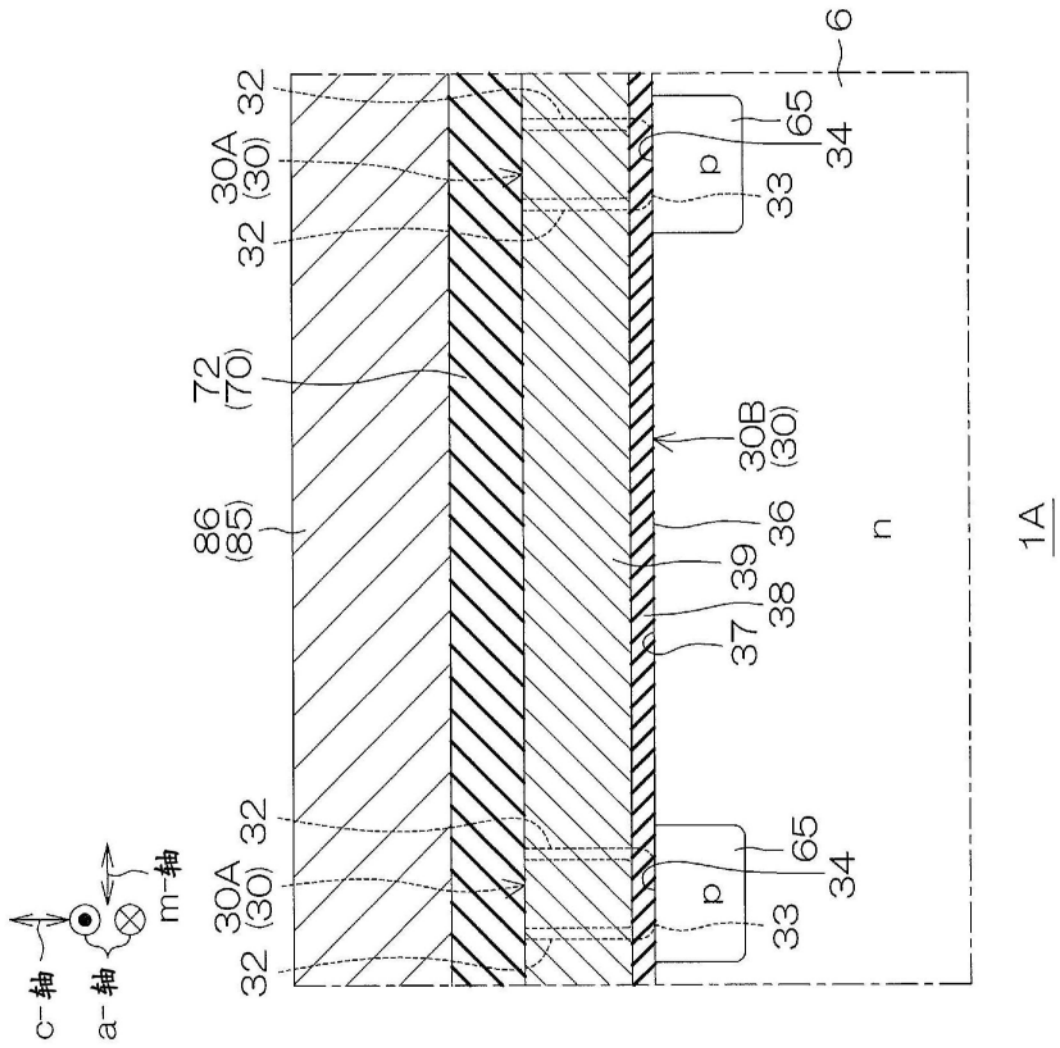


图15

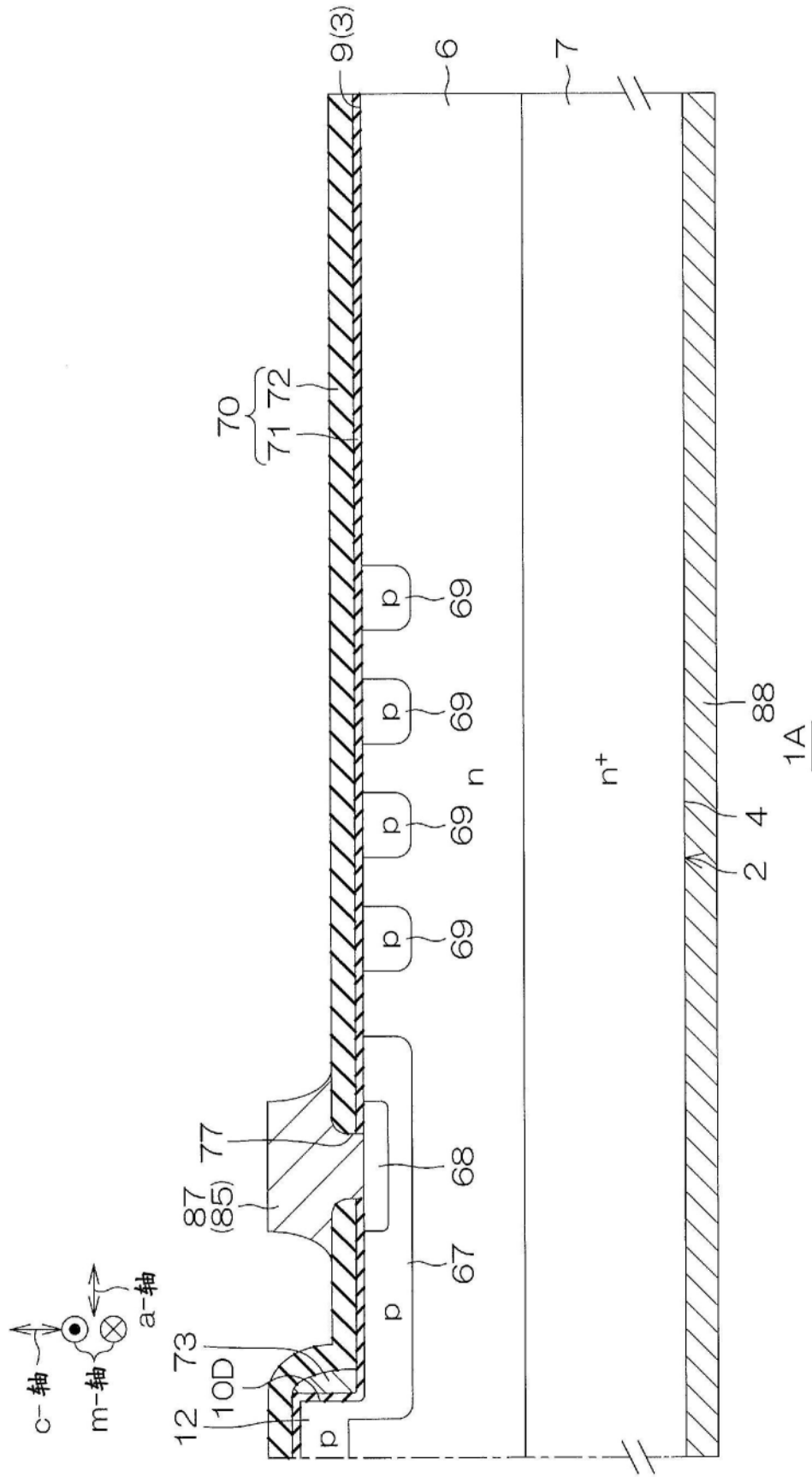


图16

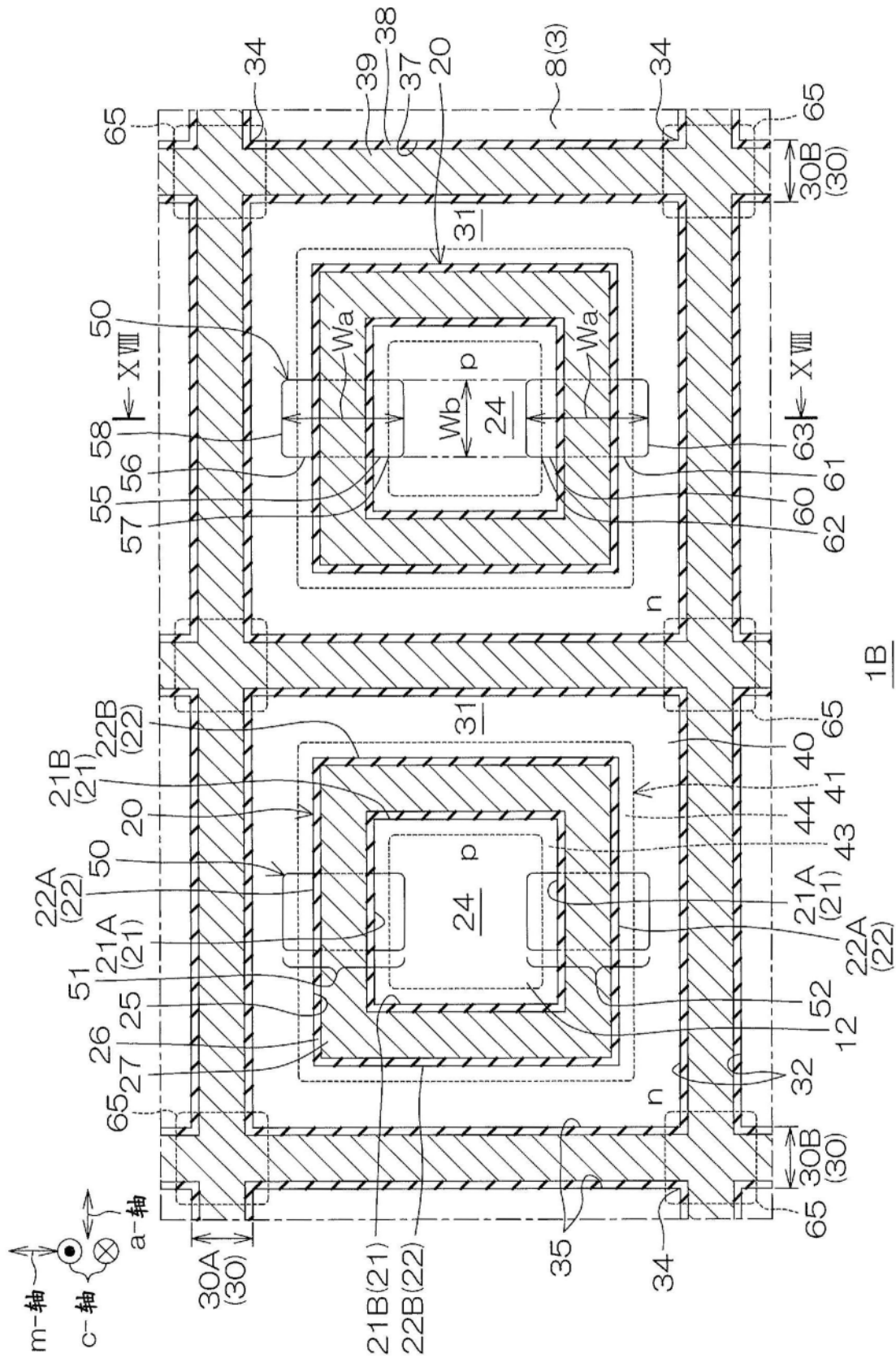


图17

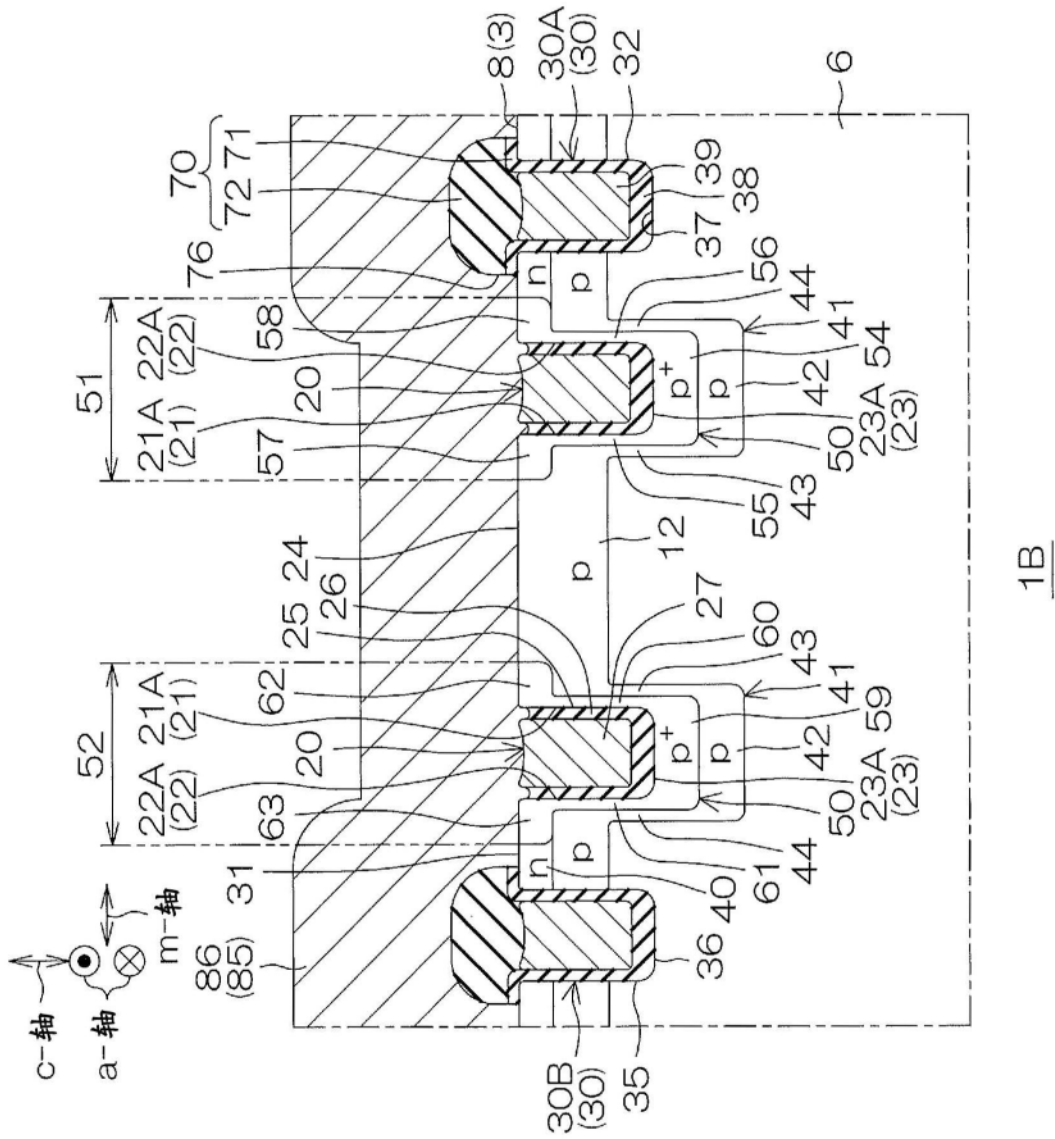


图18

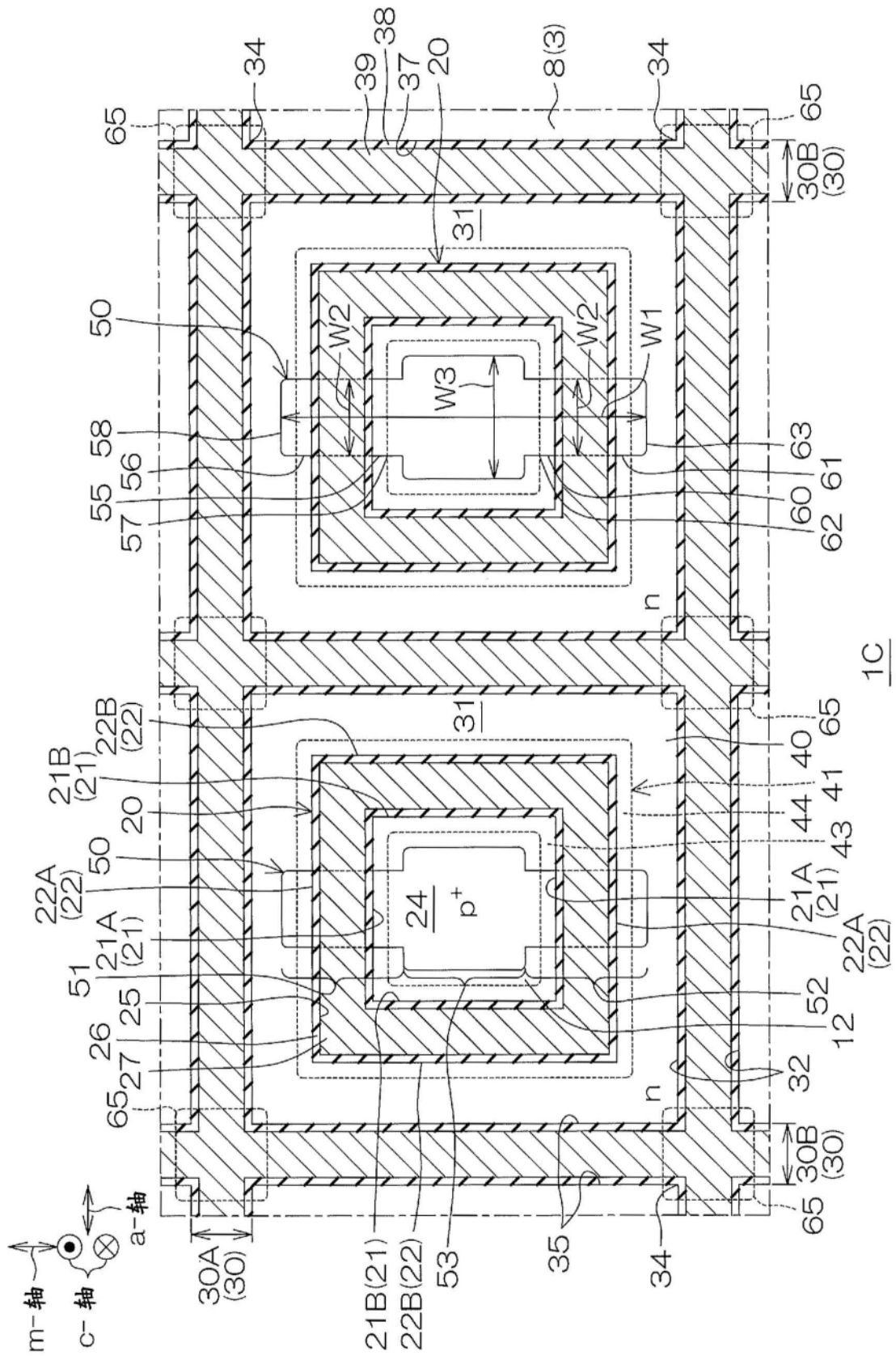


图19

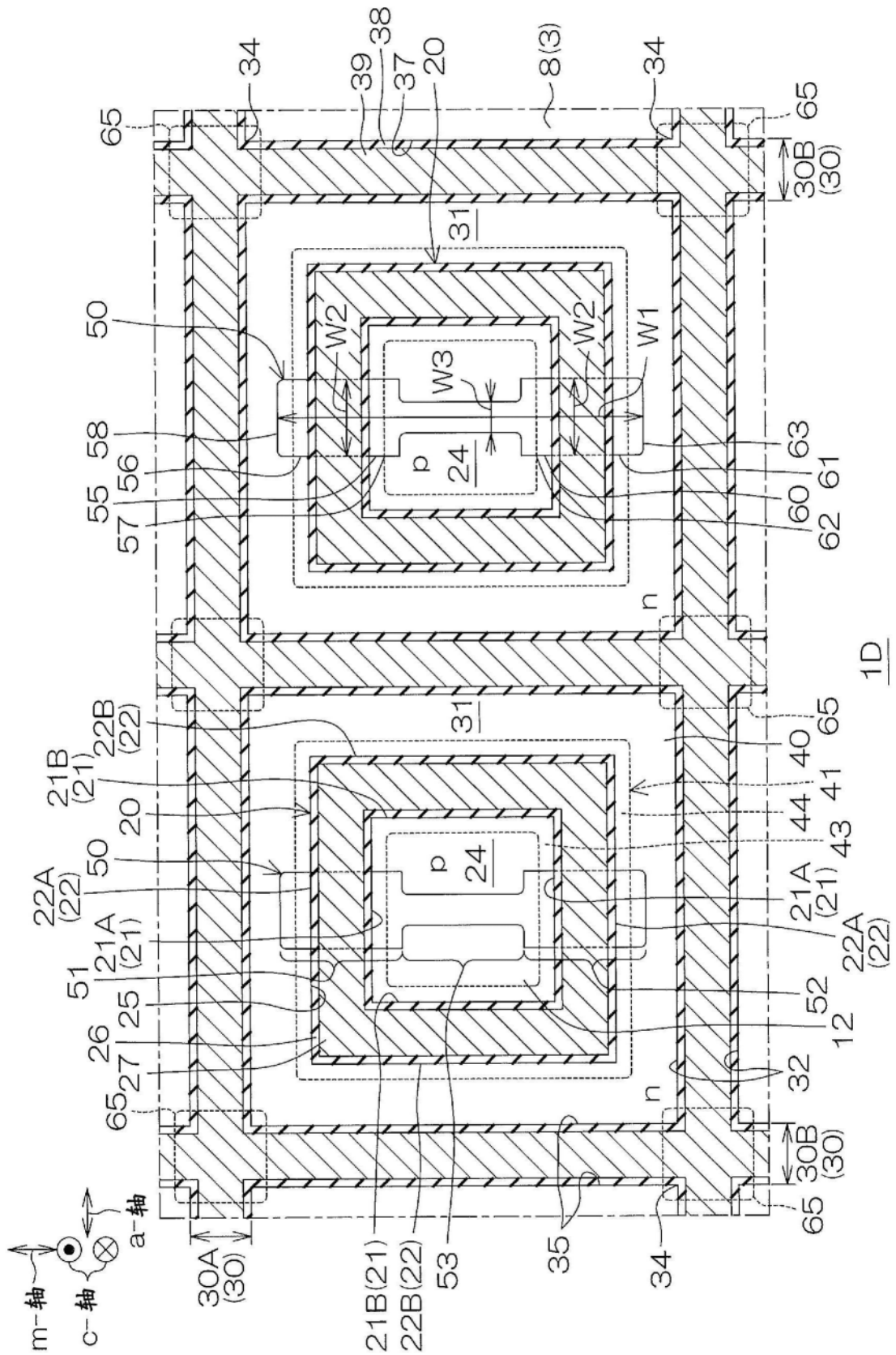


图20

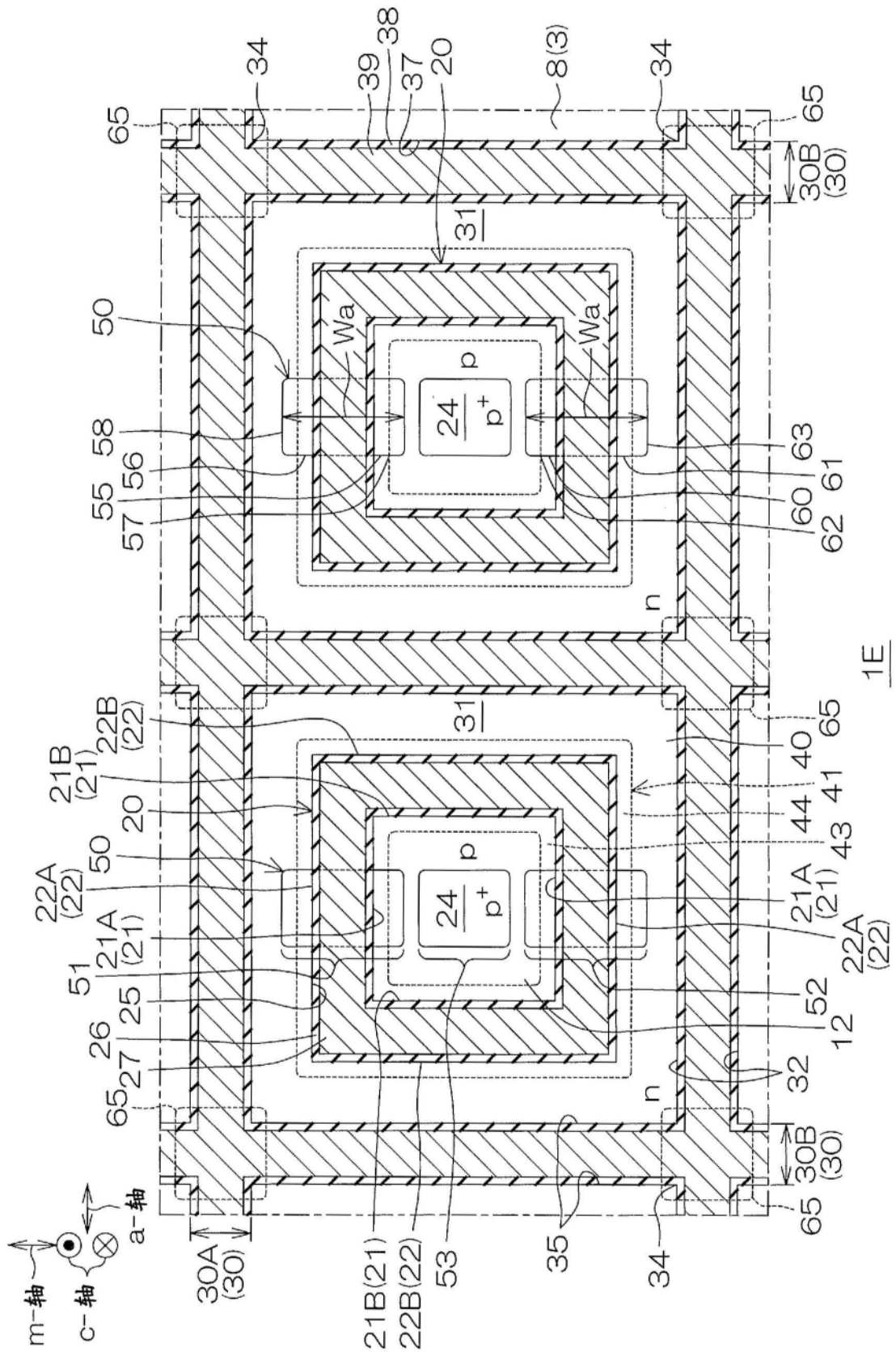


图21

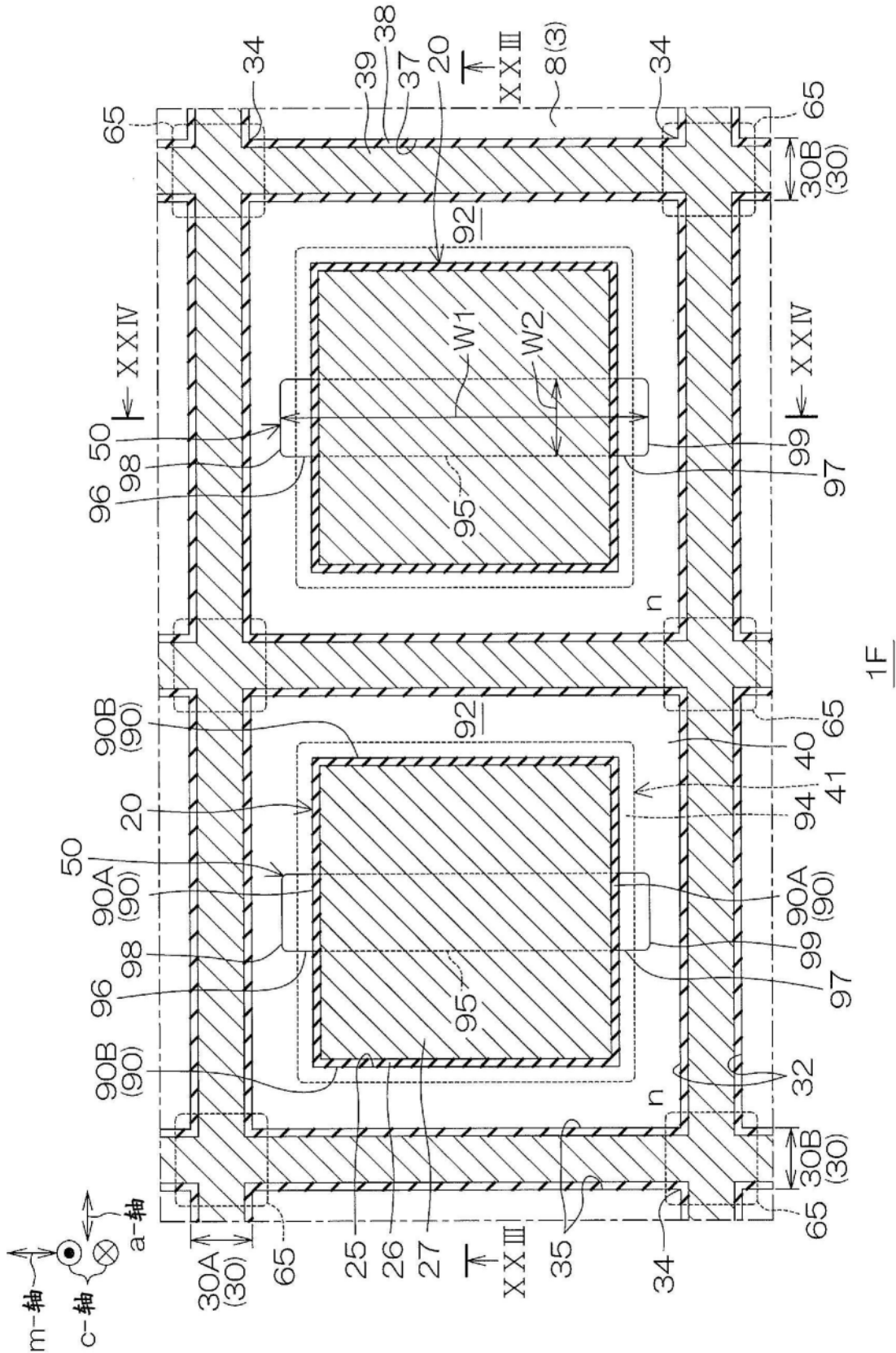


图22

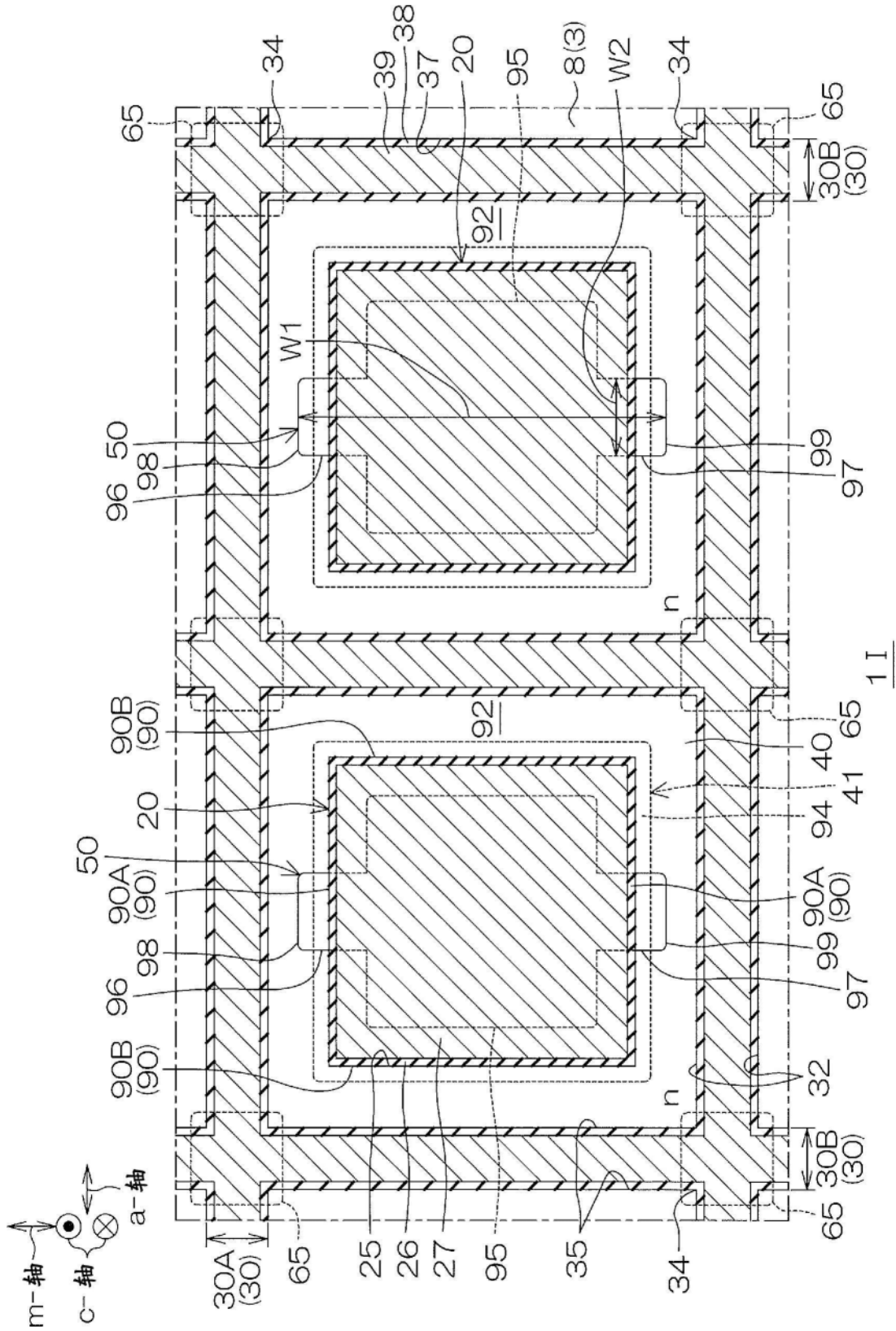


图27

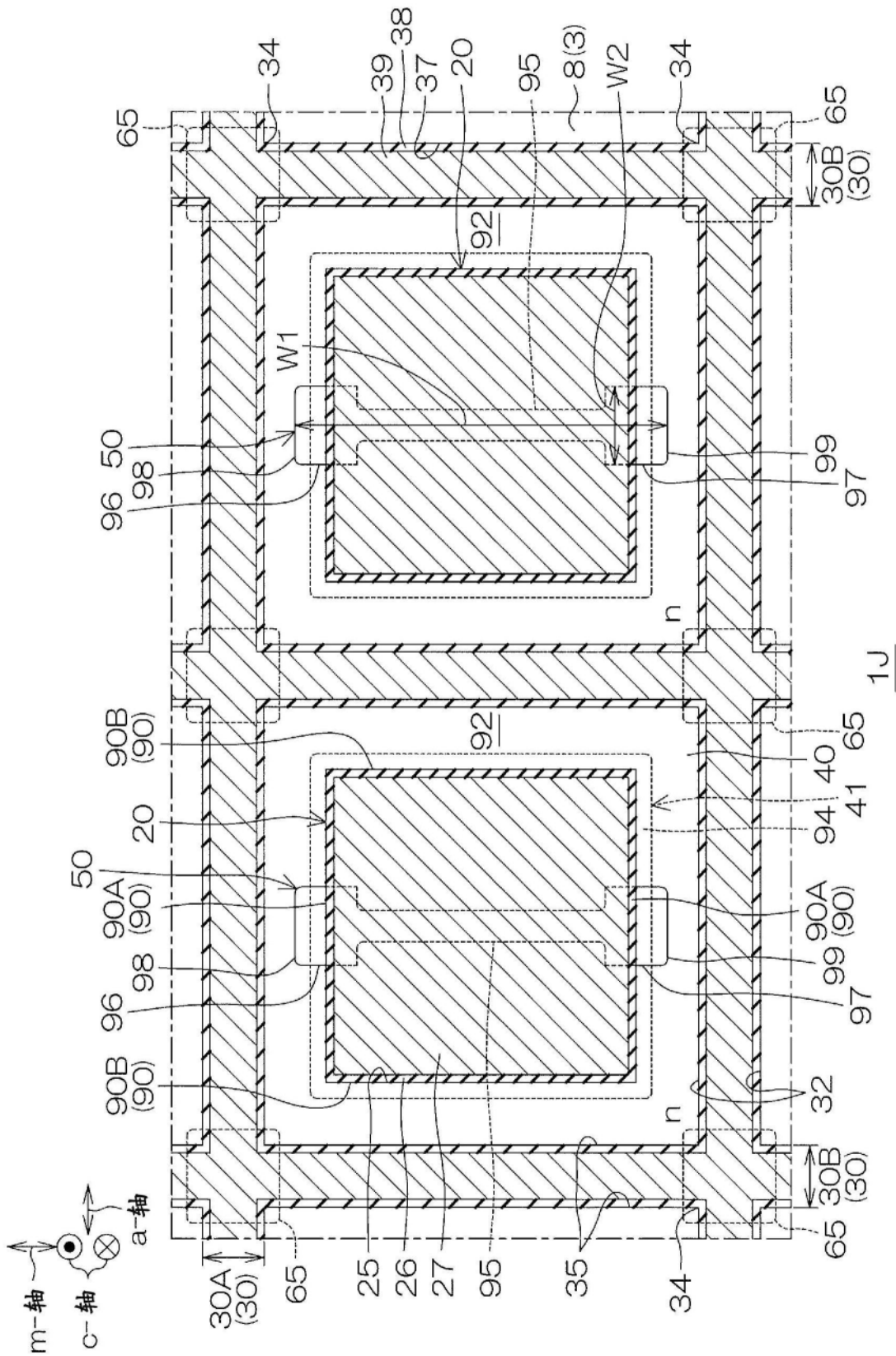


图28

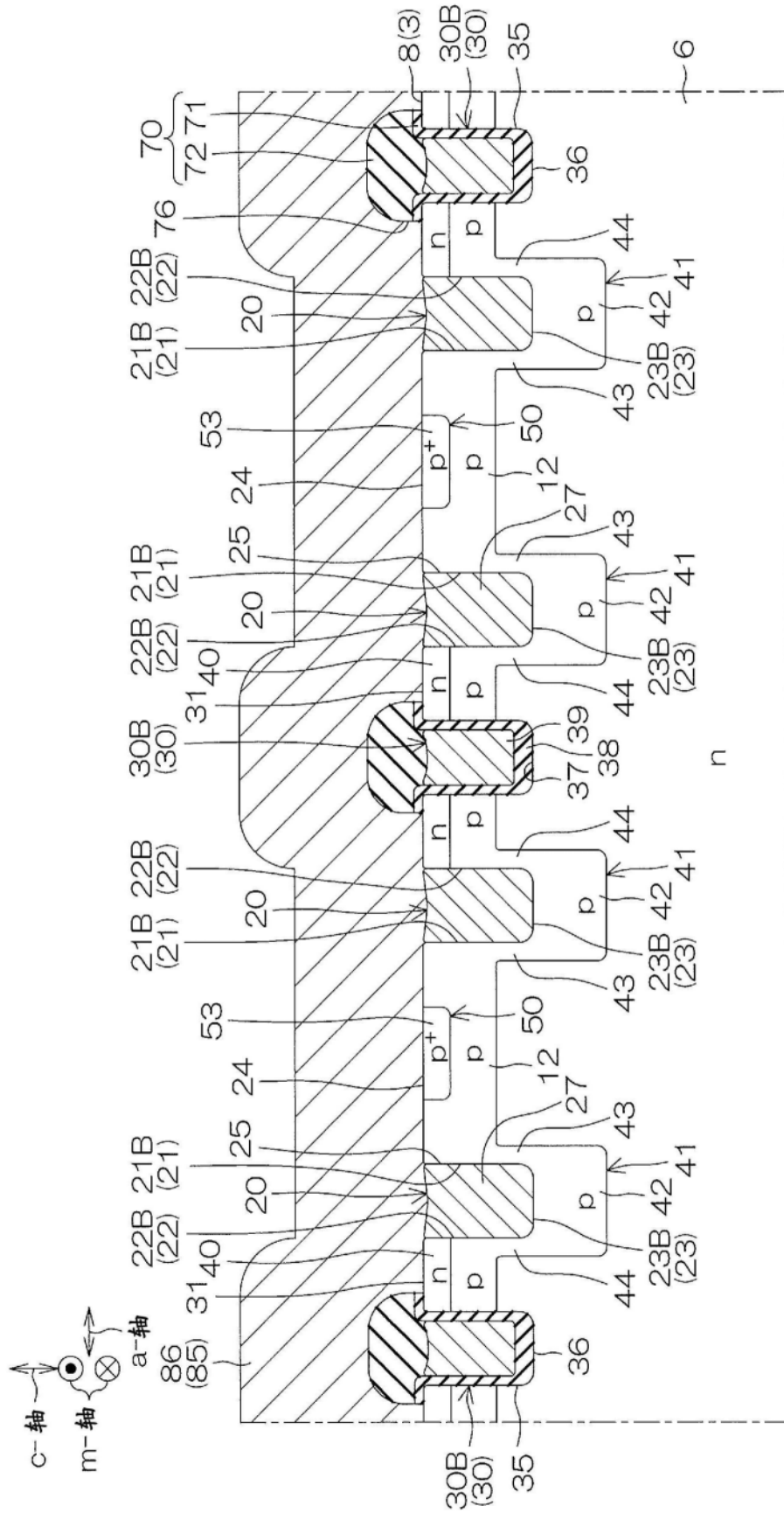


图29