



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2022년03월22일  
(11) 등록번호 10-2377866  
(24) 등록일자 2022년03월18일

- (51) 국제특허분류(Int. Cl.)  
H01L 27/12 (2006.01) G09G 3/32 (2016.01)  
H01L 21/8234 (2006.01) H01L 29/06 (2006.01)  
H01L 29/786 (2006.01)
- (52) CPC특허분류  
H01L 27/1225 (2013.01)  
G09G 3/32 (2013.01)
- (21) 출원번호 10-2021-7005827(분할)
- (22) 출원일자(국제) 2010년10월07일  
심사청구일자 2021년03월26일
- (85) 번역문제출일자 2021년02월25일
- (65) 공개번호 10-2021-0024251
- (43) 공개일자 2021년03월04일
- (62) 원출원 특허 10-2020-7027758  
원출원일자(국제) 2010년10월07일  
심사청구일자 2020년09월25일
- (86) 국제출원번호 PCT/JP2010/068100
- (87) 국제공개번호 WO 2011/049005  
국제공개일자 2011년04월28일
- (30) 우선권주장  
JP-P-2009-242853 2009년10월21일 일본(JP)
- (56) 선행기술조사문헌  
KR1020080021557 A\*  
(뒷면에 계속)

- (73) 특허권자  
가부시킴가이샤 한도오따이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자  
야마자키 슌페이  
일본국 2430036 가나가와켄 아쓰기시 하세 398 가  
부시킴가이샤 한도오따이 에네루기 켄큐쇼 내  
고야마 준  
일본국 2430036 가나가와켄 아쓰기시 하세 398 가  
부시킴가이샤 한도오따이 에네루기 켄큐쇼 내  
(뒷면에 계속)
- (74) 대리인  
황의만

전체 청구항 수 : 총 2 항

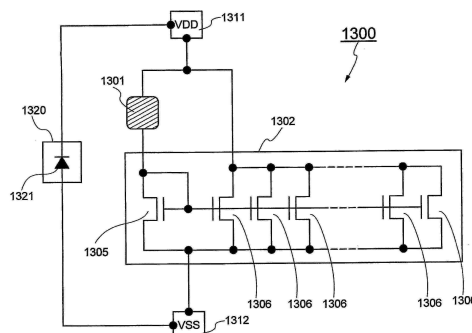
심사관 : 고연화

(54) 발명의 명칭 **아날로그 회로 및 반도체 장치**

(57) 요약

산화물 반도체층을 사용하는 박막 트랜지스터에 있어서, 신호 검출 감도가 높고 다이내믹 레인지가 넓은 반도체 장치를 얻는 것을 일 과제로 한다. 채널 형성층으로서의 기능을 가지며 수소 농도가  $5 \times 10^{19}$  (atoms/cm<sup>3</sup>) 이하이며, 전계가 발생되고 있지 않은 상태에서는 실질적으로 절연체로서 기능하는 산화물 반도체를 갖는 박막 트랜지스터를 사용하여 아날로그 회로를 구성함으로써 신호 검출 감도가 높고 다이내믹 레인지가 넓은 반도체 장치를 얻을 수 있다.

대표도



(52) CPC특허분류

*H01L 21/823412* (2013.01)

*H01L 29/06* (2013.01)

*H01L 29/7869* (2013.01)

(72) 발명자

**히로세 아츠시**

일본국 2430036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

**츠부쿠 마사시**

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

**노다 코세이**

일본국 2430036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

(56) 선행기술조사문헌

JP2006313363 A\*

JP2008276212 A

KR1020060048913 A

KR1020080110059 A\*

\*는 심사관에 의하여 인용된 문헌

**명세서**

**청구범위**

**청구항 1**

반도체 장치로서,  
 기관 위에, 산화 실리콘을 포함하는 제1 절연층;  
 상기 제1 절연층 위에, 소스 전극 또는 드레인 전극으로서 기능하는 제1 도전층;  
 상기 제1 도전층 위에, 상기 제1 도전층의 측면 및 상면에 접하는 산화물 반도체층;  
 상기 산화물 반도체층 위에, 배선층으로서 기능하는 제2 도전층;  
 상기 산화물 반도체층 위에, 산화 실리콘을 포함하는 게이트 절연층; 및  
 상기 게이트 절연층 위에, 게이트 전극으로서 기능하는 제3 도전층을 가지고,  
 상기 제1 도전층은 폴리브덴을 포함하는 단층 구조를 가지고,  
 상기 산화물 반도체층은 인듐, 갈륨, 및 아연을 가지고,  
 상기 제2 도전층은 제1 티타늄막, 상기 제1 티타늄막 위의 알루미늄막, 및 상기 알루미늄막 위의 제2 티타늄막을 포함하는 적층 구조를 가지고,  
 상기 제3 도전층은 제3 티타늄막과 제2 알루미늄막을 포함하는 적층 구조를 가지고,  
 상기 제1 도전층의 단부는 테이퍼 형상을 가지고,  
 상기 산화물 반도체층은 상기 제1 도전층이 존재하지 않는 영역에서, 상기 제1 절연층의 상면에 접하는 영역을 가지고,  
 상기 제2 도전층은 상기 제1 도전층과 중첩되는 영역을 가지고,  
 상기 제2 도전층은 상기 산화물 반도체층과 중첩되는 영역을 가지고,  
 상기 제2 도전층은 상기 게이트 절연층과 중첩되는 영역을 가지는, 반도체 장치.

**청구항 2**

제 1 항에 있어서,  
 상기 제2 도전층 위에, 평탄화 절연층으로서 기능하는 제2 절연층을 더 가지는, 반도체 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명의 일 형태는, 산화물 반도체를 이용한 전계 효과형 트랜지스터를 갖는 아날로그 회로에 관한 것이다. 또한, 상기 아날로그 회로를 갖는 반도체 장치에 관한 것이다.

[0002] 아울러 본 명세서에 있어서 반도체 장치는 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키며, 전기 광학 장치, 반도체 회로 및 전기 기기는 모두 반도체 장치이다.

**배경 기술**

[0003] 절연 표면을 갖는 기관 상에 형성된 반도체 박막을 이용하여 박막 트랜지스터(TFT: Thin Film Transistor)를 구성하는 기술이 주목을 받고 있다. 박막 트랜지스터는 액정 TV로 대표될 수 있는 표시장치에 사용되고 있다. 박막 트랜지스터에 적용 가능한 반도체 박막으로서 실리콘계 반도체 재료가 공지되어 있으나 그 밖의 재료로서 산화물 반도체가 주목을 받고 있다.

[0004] 산화물 반도체의 재료로서는 산화 아연 또는 산화 아연을 성분으로 하는 재료가 알려져 있다. 그리고, 전자 캐리어 농도가  $10^{18}/\text{cm}^3$  미만인 비정질 금속 산화물(산화물 반도체)로 이루어지는 것으로 형성된 박막 트랜지스터가 개시되어 있다(특허문헌 1 내지 3).

**선행기술문헌**

**특허문헌**

- [0005] (특허문헌 0001) 1 일본 특허공개공보 제2006-165527호
- (특허문헌 0002) 2 일본 특허공개공보 제2006-165528호
- (특허문헌 0003) 3 일본 특허공개공보 제2006-165529호

**발명의 내용**

**해결하려는 과제**

[0006] 그러나, 산화물 반도체는 박막 형성 공정에서 화학양론적 조성으로 인해 차이가 발생한다. 예를 들어, 산소의 과부족에 의해 산화물 반도체의 전기 전도도가 변화된다. 또한, 산화물 반도체의 박막 형성중에 혼입되는 수소가 산소(O)-수소(H) 결합을 형성하여 전자 공여체가 되어 전기 전도도를 변화시키는 요인이 된다. 나아가 O-H는 극성 분자이므로 산화물 반도체에 의해 제조되는 박막 트랜지스터와 같은 능동 디바이스에 대해 특성의 변동 요인이 된다.

[0007] 전자 캐리어 농도가  $10^{18}/\text{cm}^3$  미만이어도 산화물 반도체는 실질적으로는 n형으로, 상기 특허문헌 1 내지 3에 개시되는 박막 트랜지스터의 온/오프비는 단지  $10^3$ 이었다. 이러한 박막 트랜지스터의 온/오프비가 낮은 이유는 오프 전류가 높은 것에 기인하는 것이다.

[0008] 온/오프비가 낮은 박막 트랜지스터에 의해 구성되는 회로는 회로 동작이 불안정해지기 쉽다. 또한, 아날로그 회로에 이용했을 경우의 다이내믹 레인지를 충분히 얻을 수 없으며, 오프 전류가 높으면 작은 신호의 검출 감도를 높일 수 없는 문제가 있다. 나아가 오프 전류가 높음으로 인해 불필요하게 전류가 흘러 소비전력이 증가하는 문제가 있다.

[0009] 상술한 과제를 감안하여 본 발명의 일 형태는 산화물 반도체를 이용하여 형성된 박막 트랜지스터에 의해 구성되는 회로의 오동작을 감소시키는 것을 일 과제로 한다.

[0010] 본 발명의 일 태양은, 산화물 반도체를 이용하여 형성된 박막 트랜지스터에 의해 구성되는 회로의 다이내믹 레인지를 높이는 것을 일 과제로 한다.

[0011] 본 발명의 일 태양은, 산화물 반도체를 이용하여 형성된 박막 트랜지스터에 의해 구성되는 회로의 신호 검출 감도를 높이는 것을 일 과제로 한다.

[0012] 본 발명의 일 태양은, 산화물 반도체를 이용하여 형성된 박막 트랜지스터에 의해 구성되는 회로의 소비전력을 감소시키는 것을 일 과제로 한다.

**과제의 해결 수단**

[0013] 본 발명의 일 형태는, 산화물 반도체에서 전자 공여체(도너)가 되는 불순물(수소, 수분, 수소화물, 또는 수산화물 등)을 제거함으로써, 진성 또는 실질적으로 진성인 반도체이며, 실리콘 반도체보다 에너지 갭이 큰 산화물 반도체로 채널 영역이 형성되는 박막 트랜지스터에 의해 아날로그 회로를 구성한다.

[0014] 구체적으로는, 산화물 반도체에 포함되는 수소를  $5 \times 10^{19}/\text{cm}^3$  이하, 바람직하게는  $5 \times 10^{18}/\text{cm}^3$  이하, 보다 바람직하게는  $5 \times 10^{17}/\text{cm}^3$  이하로 하여 산화물 반도체에 포함되는 수소 혹은 OH기를 제거하고 캐리어 농도를  $5 \times 10^{14}/\text{cm}^3$  이하, 바람직하게는  $5 \times 10^{12}/\text{cm}^3$  이하로 한 산화물 반도체로 채널 영역이 형성되는 박막 트랜지스터에 의해 아날로그 회로가 구성된다.

- [0015] 또한, 상기 산화물 반도체의 에너지 갭을, 2eV 이상, 바람직하게는 2.5eV 이상, 보다 바람직하게는 3eV 이상으로 하여, 도너를 형성하는 수소 등의 불순물을 최대한 감소시켜 캐리어 농도를  $1 \times 10^{14} / \text{cm}^3$  이하, 바람직하게는  $1 \times 10^{12} / \text{cm}^3$  이하가 되도록 한다.
- [0016] 이와 같이 고순도화된 산화물 반도체는 박막 트랜지스터의 채널 영역에 사용함으로써, 채널폭이 10mm인 경우일 지라도, 드레인 전압이 1V 및 10V인 경우, 게이트 전압이 -5V 내지 -20V인 범위에서의 드레인 전류가  $1 \times 10^{-13}$  A 이하가 되도록 작용한다.
- [0017] 또한, 본 발명의 일 태양은, 레퍼런스 트랜지스터와, 미러 트랜지스터와, 검출기를 가지며, 레퍼런스 트랜지스터는 검출기와 전기적으로 접속되고, 레퍼런스 트랜지스터의 드레인과 게이트는 전기적으로 접속되고, 레퍼런스 트랜지스터의 게이트는 미러 트랜지스터의 게이트와 전기적으로 접속되고, 레퍼런스 트랜지스터와 미러 트랜지스터는, 채널 영역이, 수소 농도가  $5 \times 10^{19} \text{ atoms/cm}^3$  이하인 산화물 반도체에 의해 구성되어 있는 것을 특징으로 하는 아날로그 회로이다.
- [0018] 또한, 본 발명의 일 태양은, 제1 단자가 고전원 전위에 전기적으로 접속된 제1 박막 트랜지스터와, 제1 단자가 고전원 전위에 전기적으로 접속된 제2 박막 트랜지스터와, 고전원 전위와 제1 박막 트랜지스터의 제1 단자의 사이에 검출기를 가지며, 제1 박막 트랜지스터의 게이트는, 검출기와 제1 박막 트랜지스터의 제1 단자의 사이에 전기적으로 접속되고, 제2 박막 트랜지스터의 게이트는, 제1 박막 트랜지스터의 게이트에 전기적으로 접속되고, 제1 박막 트랜지스터의 제2 단자와 제2 박막 트랜지스터의 제2 단자는 저전원 전위에 전기적으로 접속되고, 제1 박막 트랜지스터와 제2 박막 트랜지스터는, 채널 영역이, 수소 농도가  $5 \times 10^{19} \text{ atoms/cm}^3$  이하인 산화물 반도체에 의해 구성된 것을 특징으로 하는 아날로그 회로이다.
- [0019] 또한, 본 명세서에 있어서, 농도는 2차 이온 질량 분석법(Secondary Ion Mass Spectrometry, 이하, SIMS라고도 함.)에 의해 측정된다. 단, 다른 측정법을 예로 들고 있는 경우 등, 특별히 기재된 경우에는 예외로 한다.
- [0020] 또한, 상기한 아날로그 회로를 갖는 반도체 장치도 본 발명의 일 태양이다.

**발명의 효과**

- [0021] 본 발명의 일 태양에 의하면, 고순도화된 산화물 반도체를 이용한 박막 트랜지스터로 아날로그 회로를 구성함으로써 신호 검출 감도가 높고 다이내믹 레인지가 넓은 반도체 장치를 얻을 수 있다.
- [0022] 또한, 고순도화된 산화물 반도체를 이용한 박막 트랜지스터를 사용함으로써 안정적으로 동작하고 소비전력이 낮은 반도체 장치를 얻을 수 있다.

**도면의 간단한 설명**

- [0023] 도 1은 반도체 장치의 회로 구성을 나타낸 도면이고,
- 도 2는 반도체 장치의 단면 구조를 나타낸 도면이고,
- 도 3(A) 및 도 3(B)는 반도체 장치의 상면 및 단면 구조를 나타낸 도면이고,
- 도 4(A) 내지 도 4(E)는 반도체 장치의 제조 공정을 나타낸 도면이고,
- 도 5(A) 및 도 5(B)는 반도체 장치의 상면 및 단면 구조를 나타낸 도면이고,
- 도 6(A) 내지 도 6(E)는 반도체 장치의 제조 공정을 나타낸 도면이고,
- 도 7(A) 및 도 7(B)는 반도체 장치의 단면 구조를 나타낸 도면이고,
- 도 8(A) 내지 도 8(E)는 반도체 장치의 제조 공정을 나타낸 도면이고,
- 도 9(A) 내지 도 9(D)는 반도체 장치의 제조 공정을 나타낸 도면이고,
- 도 10(A) 내지 도 10(D)는 반도체 장치의 제조 공정을 나타낸 도면이고,
- 도 11은 반도체 장치의 단면 구조를 나타낸 도면이고,
- 도 12(A) 내지 도 12(C)는 반도체 장치를 나타낸 도면이고,

도 13은 반도체 장치의 화소 증가 회로를 나타낸 도면이고,  
 도 14는 반도체 장치의 화소 증가 회로를 나타낸 도면이고,  
 도 15(A) 내지 도 15(C)는 반도체 장치의 단면 구조를 나타낸 도면이고,  
 도 16(A) 및 도 16(B)는 반도체 장치를 나타낸 도면이고,  
 도 17은 반도체 장치를 나타낸 도면이고,  
 도 18(A) 및 도 18(B)는 반도체 장치를 나타낸 도면이고,  
 도 19(A) 및 도 19(B)는 반도체 장치를 나타낸 도면이고,  
 도 20은 반도체 장치를 나타낸 도면이고,  
 도 21은 반도체 장치를 나타낸 도면이고,  
 도 22는 산화물 반도체를 이용한 역스태거형의 박막 트랜지스터의 종단면도이고,  
 도 23(A) 및 도 23(B)는 도 22에 나타난 A-A' 단면에서의 에너지밴드도(모식도)이고,  
 도 24(A)는 게이트(G1)에 양의 전위(+VG)가 인가된 상태를 나타내고, 도 24(B)는 게이트(G1)에 음의 전위(-VG)가 인가된 상태를 나타낸 도면이고,  
 도 25는 진공 준위와 금속의 일함수( $\phi_M$ ), 산화물 반도체의 전자 친화력( $\chi$ )의 관계를 나타낸 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0024] 이하에서는 본 발명의 실시형태에 대하여 도면을 이용하여 상세히 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위를 벗어나지 않으면서 그 형태 및 상세를 다양하게 변경할 수 있음은 당업자에게는 용이하게 이해된다. 따라서, 본 발명은 이하에 개시되는 실시형태의 기재 내용에 한정되어 해석되는 것은 아니다.
- [0025] 아울러 「소스」나 「드레인」의 기능은, 서로 다른 극성의 트랜지스터를 채용하는 경우나, 회로 동작에 있어서 전류의 방향이 변화하는 경우 등에는 서로 바뀔 수 있다. 따라서 본 명세서에서는 「소스」나 「드레인」의 용어는 서로 바꾸어 사용할 수 있는 것으로 한다.
- [0026] 또한, 트랜지스터의 소스 단자 및 드레인 단자는 트랜지스터의 구조나 동작 조건 등에 의해 바뀌므로 어느 것이 소스 단자 또는 드레인 단자인지 특정하기는 어렵다. 따라서 본 서류에서는 소스 단자 및 드레인 단자 중 하나를 제1 단자, 소스 단자 및 드레인 단자 중 다른 하나를 제2 단자로 표기하여 구별하기로 한다.
- [0027] 또한, 각 실시형태의 도면 등에서 도시된 각 구성의, 크기, 층의 두께 또는 영역은 명료화를 위해 과장되어 표기할 수 있다. 따라서, 반드시 그 스케일에 한정되는 것은 아니다. 또한, 본 명세서에서 사용하는 「제1」, 「제2」, 「제3」 등의 서수는, 구성요소의 혼동을 피하기 위해 부여한 것으로, 수적으로 한정되는 것은 아님을 밝혀둔다.
- [0028] (실시형태 1)
- [0029] 본 명세서에서 개시하는 고순도화된 산화물 반도체를 이용한 박막 트랜지스터는 아날로그 회로에 적용할 수 있다. 아날로그 회로의 대표적인 예로서 커런트 미러 회로를 들 수 있다. 커런트 미러 회로를 전류 증폭 회로로 사용했을 경우, 전류 증폭 회로의 다이내믹 레인지를 넓힐 수 있고 특히 미량 전류에 대한 감도를 향상시킬 수 있다.
- [0030] 본 실시형태에서는, 고순도화된 산화물 반도체를 사용한 박막 트랜지스터를 커런트 미러 회로에 적용하는 예로서 광 검출 장치에 대해 도 1을 이용하여 설명한다.
- [0031] 도 1에 도시된 광 검출 장치(1300)는 검출기(1301), 증폭 회로(1302), 고전원 전위(VDD)가 공급되는 전원 단자(1311), 저전원 전위(VSS)가 공급되는 전원 단자(1312), 보호 회로(1320)를 갖는다. 광 검출 장치(1300)에서는 전원 단자(1312)의 전위를 접지 전위(GND)로 할 수도 있다.
- [0032] 보호 회로(1320)는 다이오드(1321)를 갖는다. 다이오드(1321)는 전원 단자(1311)와 전원 단자(1312) 사이에 삽입되고, 다이오드(1321)의 캐소드가 전원 단자(1311)에 전기적으로 접속되고, 그 애노드가 전원 단자(1312)에

전기적으로 접속되어 있다. ESD 등에 의해, 전원 단자(1311) 및/또는 전원 단자(1312)에 과잉의 전압(서지)이 인가된 경우, 다이오드(1321)에 의해 전원 단자(1311)와 전원 단자(1312)가 단락되어 증폭 회로(1302) 및 검출기(1301)로 과잉의 전압이 인가되는 것을 막는다.

- [0033] 또한, 다이오드(1321)로서, 게이트 단자와 드레인 단자를 접속하여 다이오드와 동일한 특성을 갖도록 한 박막 트랜지스터를 사용할 수 있다. 본 명세서에서 개시하는 고순도화된 산화물 반도체를 사용한 박막 트랜지스터는, 오프 전류값이 극히 작은 특징을 갖는다. 본 명세서에서 개시하는 고순도화된 산화물 반도체를 갖는 박막 트랜지스터를 이용하여 다이오드를 형성함으로써, 역방향 바이어스가 가해졌을 때의 누설 전류가 극히 작은 다이오드를 실현할 수 있다. 아울러 박막 트랜지스터를 사용하여 형성한 복수의 다이오드를 직렬이나 병렬로 접속하여 사용할 수도 있다.
- [0034] 검출기(1301)는, 수광한 광을 전기신호로 변환하는 광전 변환 소자를 사용한다. 광전 변환 소자로서는, 포토 다이오드나 포토 트랜지스터를 사용할 수 있다. 증폭 회로(1302)는 검출기(1301)의 출력 전류를 증폭하기 위한 회로로, 여기서는 커런트 미러 회로로 구성되어 있다. 이 커런트 미러 회로는 1개의 트랜지스터(1305)와, 병렬로 접속된 복수의 트랜지스터(1306)를 갖는다. 트랜지스터(1305)와 트랜지스터(1306)는 고순도화된 산화물 반도체를 사용한 박막 트랜지스터로 형성한다.
- [0035] 트랜지스터(1305)는, 검출기(1301)의 출력 전류를 검출하기 위한 레퍼런스 트랜지스터이며, 트랜지스터(1306)는, 트랜지스터(1305)로 검출된 전류를 반영하여 동작하는 미러 트랜지스터이다.
- [0036] 트랜지스터(1306)의 개수를 이용하여 전원 단자(1311)와 전원 단자(1312) 사이에 흐르는 전류를 조절할 수 있다. 예를 들어, 트랜지스터(1305)와 트랜지스터(1306)를 같은 전류 전압 특성을 갖는 트랜지스터로 형성하고, 전원 단자(1311)와 전원 단자(1312) 사이에 흐르는 전류를 검출기(1301)의 출력 전류의 100배로 하기 위해서는 예를 들어 1개의 트랜지스터(1305)에 대해 99개의 트랜지스터(1306)를 병렬로 접속한다. 이와 같이 구성함으로써, 커런트 미러 회로로 구성된 증폭 회로(1302)를 증폭율 100배의 증폭 회로로 할 수 있어 검출기(1301)의 출력 전류를 100배로 증폭시켜 검출할 수 있다.
- [0037] 아울러 상술한 증폭 회로(1302)를, 트랜지스터(1305)와, 트랜지스터(1305)와 채널폭을 제외한 구성이 같고, 채널폭이 트랜지스터(1305)의 채널폭보다 큰 트랜지스터(1306)를 사용하여 구성할 수도 있다. 예를 들어 트랜지스터(1305)의 채널폭의 4.95배의 채널폭을 갖는 트랜지스터(1306)를 사용하여 1개의 트랜지스터(1305)에 대해 20개의 트랜지스터(1306)를 병렬로 접속하여도 증폭 회로(1302)의 증폭율을 100배로 할 수 있다.
- [0038] 또한, 트랜지스터(1305)와, 트랜지스터(1305)와 채널폭을 제외한 구성이 같고, 트랜지스터(1305)의 채널폭의 99배의 채널폭을 갖는 트랜지스터(1306)를 사용하여 1개의 트랜지스터(1305)에 대해 1개의 트랜지스터(1306)를 접속하여도 증폭율 100배의 증폭 회로(1302)를 구현할 수 있다. 이와 같이 구성하면, 회로 구성을 간결하게 할 수 있는 이점이 있으나, 트랜지스터(1306)의 기능이 손상되면 증폭 회로(1302) 전체의 기능을 현저하게 손상시킬 가능성이 높아진다.
- [0039] 따라서, 증폭 회로(1302)는, 복수의 트랜지스터(1306)를 병렬로 접속하여 용장성(redundancy)을 높이도록 구성하는 것이 바람직하다. 복수의 트랜지스터(1306)를 병렬로 접속함으로써 여러 개의 트랜지스터(1306) 중 일부의 기능이 손상되어도 증폭 회로(1302)에 미치는 영향을 억제할 수 있어, 안정적으로 동작하는 신뢰성 높은 증폭 회로(1302)를 구현할 수 있다. 예를 들어, 트랜지스터(1306)를 10개 병렬로 접속함으로써, 그 중 하나의 트랜지스터(1306)의 기능이 손상되어도 그 영향을 1/10로 할 수 있다.
- [0040] 또한, 복수의 트랜지스터(1306)를 병렬로 접속함으로써 트랜지스터(1306)의 특성 불균일을 감소시킬 수 있어 안정적으로 동작하는 신뢰성 높은 증폭 회로(1302)를 구현할 수 있다.
- [0041] 트랜지스터(1306)를 2개 이상, 바람직하게는 5개 이상 병렬 접속함으로써 신뢰성 높은 증폭 회로(1302)를 구현할 수 있다. 즉, 신뢰성 높은 커런트 미러 회로를 사용한 광 검출 장치를 제조할 수 있다.
- [0042] 증폭 회로(1302)에 사용하는 박막 트랜지스터의 오프 전류가 크면 미소 광량의 검출시의 SN비를 저하시킨다. 즉, 검출기(1301)의 출력 전류에 비해 오프 전류가 무시할 수 없는 크기가 되므로 검출기(1301)의 출력 전류를 정확히 얻을 수 없다.
- [0043] 비정질 실리콘 또는 다결정 실리콘을 사용한 종래의 박막 트랜지스터에서는 채널폭을 작게 하거나 또는 채널 길이를 크게 함으로써 오프 전류를 어느 정도 작게 할 수는 있으나, 동시에 온 전류도 저하되는 문제가 있었다. 이 때문에, 미소 광량의 검출과 대광량의 검출을 양립시키기 어려워 넓은 다이내믹 레인지를 얻기 어려웠다.

- [0044] 본 명세서에서 개시하는 고순도화된 산화물 반도체를 사용한 박막 트랜지스터는 채널폭을 크게 하여도 종래의 박막 트랜지스터에 비해 오프 전류를 충분히 작게 할 수 있으므로 미량 전류에 대한 감도가 양호하며 다이내믹 레인지가 넓은 커런트 미러 회로를 제조할 수 있다. 즉, 다이내믹 레인지가 넓은 광 검출 장치를 제조할 수 있다.
- [0045] 본 실시형태에서는, 검출기(1301)로서 광전 변환 소자를 사용한 광 검출 장치에 대해 설명했으나, 검출기(1301)는 다른 다양한 검출기를 적용할 수 있다. 예를 들어, 검출기(1301)에 온도센서를 적용함으로써 온도 검출 장치로서 이용할 수 있다. 또한, 검출기(1301)에 음성 센서를 적용하여 음성 검출 장치로서 이용할 수 있을 뿐 아니라 음성 증폭 장치로서 이용할 수도 있다.
- [0046] 본 명세서에서 개시하는 고순도화된 산화물 반도체를 사용한 박막 트랜지스터를 사용한 커런트 미러 회로는, 본 실시형태에서 설명한 광 검출 장치에 한정되지 않고 다른 반도체 장치에도 적용할 수 있다.
- [0047] (실시형태 2)
- [0048] 본 실시형태에서는, 실시형태 1에서 설명한 광 검출 장치(1300)의 적층 구성의 일례에 대하여 설명한다. 아울러 본 실시형태에서는, 검출기(1301)로서 포토 다이오드를 사용하는 예에 대하여 설명한다. 도 2는 광 검출 장치(1300)의 일부를 나타낸 단면도이다.
- [0049] 도 2는, 포토 센서에 있어서의 검출기(1301) 및 트랜지스터(1305)를 나타낸 단면도로서, 기판(601) 상에, 센서로서 기능하는 검출기(1301) 및 트랜지스터(1305)가 마련되어 있다. 검출기(1301), 트랜지스터(1305) 상에는 접착층(608)에 의해 기판(613)이 마련되어 있다.
- [0050] 기판(601)으로 사용되는 기판은, 투광성을 가지며, 제조 공정에서의 가열 처리에 견딜 수 있을 정도의 내열성을 가질 필요가 있다. 예를 들어, 알루미늄오실리케이트 유리(aluminosilicate glass), 바륨 보로실리케이트 유리(Barium Borosilicate Glass)나 알루미늄보로실리케이트 유리(aluminoborosilicate glass) 등의 유리 기판을 사용할 수 있다. 또한, 플라스틱 기판 등도 적절히 사용할 수 있다.
- [0051] 트랜지스터(1305) 상에는 절연층(631), 보호 절연층(632), 층간 절연층(633), 층간 절연층(634)이 마련되어 있다. 검출기(1301)는 층간 절연층(633) 상에 마련되고, 층간 절연층(633) 측부터 순서대로 제1 반도체층(606a), 제2 반도체층(606b) 및 제3 반도체층(606c)를 적층시킨 구조를 갖는다. 제1 반도체층(606a)은 층간 절연층(633) 상에 마련된 전극층(641)과 전기적으로 접속되고, 제3 반도체층(606c)은 층간 절연층(634) 상에 마련된 전극층(642)과 전기적으로 접속되어 있다.
- [0052] 전극층(641)은 층간 절연층(634)에 형성된 도전층(643)과 전기적으로 접속되고, 전극층(642)은 전극층(644)을 통해 게이트 전극층(645)과 전기적으로 접속되어 있다. 게이트 전극층(645)은 트랜지스터(1305)의 게이트 전극층과 전기적으로 접속되어 있다. 즉, 검출기(1301)는 트랜지스터(1305)와 전기적으로 접속되어 있다.
- [0053] 여기서는, 제1 반도체층(606a)으로서 p형의 도전형을 갖는 반도체층과, 제2 반도체층(606b)으로서 고저항인 반도체층(I형 반도체층)과, 제3 반도체층(606c)로서 n형의 도전형을 갖는 반도체층을 적층하는 pin형의 포토 다이오드를 예시하고 있다.
- [0054] 제1 반도체층(606a)은 p형 반도체층으로, p형을 부여하는 불순물 원소를 포함하는 아몰퍼스 실리콘막에 의해 형성할 수 있다. 제1 반도체층(606a)의 형성에는 13족의 불순물 원소(예를 들어, 붕소(B))를 포함하는 반도체 재료 가스를 이용하여 플라즈마 CVD법에 의해 형성한다. 반도체 재료 가스로서는 실란(SiH<sub>4</sub>)을 사용할 수 있다. 또는, Si<sub>2</sub>H<sub>6</sub>, SiH<sub>2</sub>Cl<sub>2</sub>, SiHCl<sub>3</sub>, SiCl<sub>4</sub>, SiF<sub>4</sub> 등을 사용할 수도 있다. 또한, 불순물 원소를 포함하지 않는 아몰퍼스 실리콘막을 형성한 후에, 확산법이나 이온 주입법을 이용하여 이 아몰퍼스 실리콘막에 불순물 원소를 도입할 수도 있다. 이온 주입법 등에 의해 불순물 원소를 도입한 후에 가열 등을 수행함으로써 불순물 원소를 확산시킬 수 있다. 이 경우 아몰퍼스 실리콘막을 형성하는 방법으로는 LPCVD법, 기상성장법 또는 스퍼터링법 등을 이용할 수 있다. 제1 반도체층(606a)의 막 두께는 10nm 이상 50nm 이하가 되도록 형성하는 것이 바람직하다.
- [0055] 제2 반도체층(606b)은 I형 반도체층(진성 반도체층)으로, 아몰퍼스 실리콘막에 의해 형성한다. 제2 반도체층(606b)은, 반도체 재료 가스를 이용하여 아몰퍼스 실리콘막을 플라즈마 CVD법에 의해 형성한다. 반도체 재료 가스로서는 실란(SiH<sub>4</sub>)을 사용할 수 있다. 또는, Si<sub>2</sub>H<sub>6</sub>, SiH<sub>2</sub>Cl<sub>2</sub>, SiHCl<sub>3</sub>, SiCl<sub>4</sub>, SiF<sub>4</sub> 등을 사용할 수도 있다. 제2 반도체층(606b)의 형성은 LPCVD법, 기상성장법, 스퍼터링법 등에 의해 수행할 수도 있다. 제2 반도체층(606b)의 막 두께는 200nm 이상 1000nm 이하가 되도록 형성하는 것이 바람직하다. 아울러 진성 반도체층은 이

상적으로는 불순물을 포함하지 않고 페르미 레벨이 금지대의 거의 중앙에 위치하는 반도체층인데, 제2 반도체층(606b)은 도너가 되는 불순물(예를 들어, 인(P) 등) 또는 억셉터가 되는 불순물(예를 들어, 붕소(B) 등)을 첨가하여 페르미 레벨이 금지대의 거의 중앙에 위치하도록 한 반도체일 수도 있다.

[0056] 제3 반도체층(606c)은 n형 반도체층으로, n형을 부여하는 불순물 원소를 포함하는 아몰퍼스 실리콘막에 의해 형성한다. 제3 반도체층(606c)은 15족의 불순물 원소(예를 들어, 인(P))을 포함하는 반도체 재료 가스를 이용하여 플라즈마 CVD법에 의해 형성한다. 반도체 재료 가스로서는 실란(SiH<sub>4</sub>)을 사용할 수 있다. 또는, Si<sub>2</sub>H<sub>6</sub>, SiH<sub>2</sub>Cl<sub>2</sub>, SiHCl<sub>3</sub>, SiCl<sub>4</sub>, SiF<sub>4</sub> 등을 사용할 수도 있다. 또한, 불순물 원소를 포함하지 않는 아몰퍼스 실리콘막을 형성한 후에, 확산법이나 이온 주입법을 이용하여 이 아몰퍼스 실리콘막에 불순물 원소를 도입할 수도 있다. 이온 주입법 등에 의해 불순물 원소를 도입한 후에 가열 등을 수행함으로써 불순물 원소를 확산시킬 수 있다. 이 경우, 아몰퍼스 실리콘막을 형성하는 방법으로는 LPCVD법, 기상성장법 또는 스퍼터링법 등을 이용할 수 있다. 제3 반도체층(606c)의 막 두께는 20nm 이상 200nm 이하가 되도록 형성하는 것이 바람직하다.

[0057] 또한, 제1 반도체층(606a), 제2 반도체층(606b) 및 제3 반도체층(606c)은 아몰퍼스 반도체가 아니라 다결정 반도체를 사용하여 형성할 수도 있고, 미결정 반도체나 세미 아몰퍼스 반도체(Semi Amorphous Semiconductor: SAS)를 사용하여 형성할 수도 있다.

[0058] 미결정 반도체는 깃스의 자유에너지를 고려하면 비정질과 단결정의 중간적인 준안정 상태에 속하는 것이다. 즉, 자유에너지적으로 안정된 제3 상태를 갖는 반도체로, 단거리 질서를 가지며 격자 변형을 갖는다. 기둥 모양 또는 바늘 모양 결정이 기판 표면에 대해서 법선 방향으로 성장하고 있다. 미결정 반도체의 대표예인 미결정 실리콘은 그 라만 스펙트럼이 단결정 실리콘을 나타내는 520cm<sup>-1</sup>보다 저파수 측으로 쉬프트되어 있다. 즉, 단결정 실리콘을 나타내는 520cm<sup>-1</sup>와 아몰퍼스 실리콘을 나타내는 480cm<sup>-1</sup> 사이에 미결정 실리콘의 라만 스펙트럼의 피크가 있다. 또한, 미결합손(당링 본드)을 중단시키기 위해 수소 또는 할로젠을 적어도 1 원자% 또는 그 이상 포함하고 있다. 나아가 헬륨, 아르곤, 크립톤, 네온 등의 희가스 원소를 포함시켜 격자 변형을 더욱 조장 시킴으로써 안정성이 증가하여 양호한 미결정 반도체막을 얻을 수 있다.

[0059] 이 미결정 반도체막은 주파수가 수십MHz~수백MHz인 고주파 플라즈마 CVD법, 또는 주파수가 1GHz 이상인 마이크로파 플라즈마 CVD 장치에 의해 형성할 수 있다. 대표적으로는 SiH<sub>4</sub>, Si<sub>2</sub>H<sub>6</sub>, SiH<sub>2</sub>Cl<sub>2</sub>, SiHCl<sub>3</sub> 등의 수소화 규소나, SiCl<sub>4</sub>, SiF<sub>4</sub> 등의 할로겐화 규소를 수소로 희석하여 형성할 수 있다. 또한, 수소화 규소 및 수소에 더하여, 헬륨, 아르곤, 크립톤, 네온에서 선택된 1종 또는 복수종의 희가스 원소로 희석하여 미결정 반도체막을 형성할 수 있다.

[0060] 수소화 규소의 희석은, 수소화 규소에 대해 수소의 유량비를 5배 이상 200배 이하, 바람직하게는 50배 이상 150배 이하, 더욱 바람직하게는 100배로 한다. 또한, 실리콘을 포함하는 기체 내에, CH<sub>4</sub>, C<sub>2</sub>H<sub>6</sub> 등의 탄화물 기체, GeH<sub>4</sub>, GeF<sub>4</sub> 등의 게르마늄화 기체, F<sub>2</sub> 등을 혼합시킬 수도 있다.

[0061] 또한, 광전 효과에 의해 발생한 정공의 이동도는 전자의 이동도에 비해 작으므로 pin형의 포토 다이오드는 p형의 반도체층 측을 수광면으로 이용하는 편이 양호한 특성을 나타낸다. 여기서는, pin형의 포토 다이오드가 형성되어 있는 기판(601)의 면으로부터 검출기(1301)가 받는 광(622)을 전기신호로 변환하는 예를 나타낸다. 또한, 수광면으로 이용한 반도체층 측과는 반대의 도전형을 갖는 반도체층 측으로부터의 광은 외란광이 되므로, 전극층은 차광성을 갖는 도전막을 사용하는 것이 바람직하다. 또한, n형 반도체층측을 수광면으로서 이용할 수도 있다.

[0062] 기판(613)은, 기판(601)과 동일한 기판을 사용할 수 있다. 또한, 기판(613)은 수광면의 반대측에 위치하고 있으므로, 알루미늄이나 스텐레스 등의 금속 기판이나 실리콘 등의 반도체 기판과 같은 차광성을 갖는 기판을 사용할 수 있다.

[0063] 절연층(631), 보호 절연층(632), 층간 절연층(633), 층간 절연층(634)은 절연성 재료를 사용하고 그 재료에 따라 스퍼터링법, 스펀코트법, 디핑법, 스프레이 도포, 액적 도출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등), 롤 코팅, 커텐 코팅, 나이프 코팅 등을 이용하여 형성할 수 있다.

[0064] 절연층(631)으로서 산화 실리콘층, 산화 질화 실리콘층, 산화 알루미늄층, 또는 산화 질화 알루미늄층 등의 산화물 절연층의 단층 또는 적층을 사용할 수 있다.

- [0065] 보호 절연층(632)으로서는, 무기 절연 재료로서는 질화 실리콘층, 질화 산화 실리콘층, 질화 알루미늄층 또는 질화 산화 알루미늄층 등의 질화물 절연층의 단층 또는 적층을 사용할 수 있다. 또한,  $\mu$  파(2.45GHz)를 이용한 고밀도 플라즈마 CVD는 치밀하며 절연내압이 높은 고품질의 절연층을 형성할 수 있으므로 바람직하다.
- [0066] 층간 절연층(633, 634)으로서는 표면 요철을 줄이기 위해 평탄화 절연막으로서 기능하는 절연층이 바람직하다. 층간 절연층(633, 634)으로서는, 예를 들어 아크릴 수지, 폴리이미드, 벤조시클로부텐계 수지, 폴리아미드, 에폭시 수지 등의 내열성을 갖는 유기 재료를 사용할 수 있다. 또한 상기 유기 재료 외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(phosphosilicate glass), BPSG(borophosphosilicate glass) 등의 단층 또는 적층을 사용할 수 있다.
- [0067] 검출기(1301)로 입사되는 광을 검출함으로써 피검출물의 정보를 읽어낼 수 있다. 아울러 피검출물의 정보를 읽어낼 때 백 라이트 등의 광원을 이용할 수 있다.
- [0068] 트랜지스터(1305)로서, 상기 실시형태에서 일례를 나타낸 트랜지스터를 사용할 수 있다. 수소, 수분, 수산기 또는 수소화물(수소화합물이라고도 함) 등의 불순물을 산화물 반도체층에서 의도적으로 배제하여 고순도화된 산화물층을 포함하는 트랜지스터는 트랜지스터의 전기적 특성 변동이 억제되어 전기적으로 안정된다. 따라서, 신뢰성 높은 반도체 장치를 제공할 수 있다.
- [0069] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.
- [0070] (실시형태 3)
- [0071] 본 실시형태에서는 실시형태 1에 나타낸 아날로그 회로가 갖는 박막 트랜지스터의 일례에 대해 나타낸다.
- [0072] 본 실시형태의 박막 트랜지스터 및 그 제조 방법의 일 형태를 도 3(A) 및 도 3(B)는 및 도 4(A) 내지 도 4(E)를 이용하여 설명한다.
- [0073] 도 3(A), 도 3(B)에 박막 트랜지스터의 상면 및 단면 구조의 일례를 도시한다. 도 3(A), 도 3(B)에 도시된 박막 트랜지스터(410)는 탑 게이트 구조의 박막 트랜지스터이다.
- [0074] 도 3(A)는 탑 게이트 구조의 박막 트랜지스터(410)의 상면도이며, 도 3(B)는 도 3(A)의 선 C1-C2의 단면도이다.
- [0075] 박막 트랜지스터(410)는 절연 표면을 갖는 기판(400) 상에, 절연층(407), 산화물 반도체층(412), 소스 전극층 또는 드레인 전극층(415a), 및 소스 전극층 또는 드레인 전극층(415b), 게이트 절연층(402), 게이트 전극층(411)을 포함하고, 소스 전극층 또는 드레인 전극층(415a), 소스 전극층 또는 드레인 전극층(415b)에 각각 배선층(414a), 배선층(414b)이 접촉하여 마련되어 전기적으로 접속되어 있다.
- [0076] 또한 박막 트랜지스터(410)는 싱글 게이트 구조의 박막 트랜지스터를 이용하여 설명하나, 필요에 따라서, 채널 영역을 복수 갖는 멀티 게이트 구조의 박막 트랜지스터도 형성할 수 있다.
- [0077] 이하, 도 4(A) 내지 도 4(E)를 이용하여 기판(400) 상에 박막 트랜지스터(410)를 제조하는 공정을 설명한다.
- [0078] 절연 표면을 갖는 기판(400)으로 사용할 수 있는 기판에 큰 제한은 없으나, 적어도, 이후의 가열 처리에 견딜 수 있을 정도의 내열성을 가질 필요가 있다. 바람 보로실리케이트 유리나 알루미늄보로실리케이트 유리 등의 유리 기판을 사용할 수 있다.
- [0079] 또한, 유리 기판으로서는, 이후의 가열 처리의 온도가 높은 경우에는 변형점이 730℃ 이상인 것을 사용할 수 있다. 또한, 유리 기판으로는 예를 들어 알루미늄노실리케이트 유리, 알루미늄보로실리케이트 유리, 바륨 보로실리케이트 유리 등의 유리 재료가 사용되었다. 아울러 산화 붕소( $B_2O_3$ )에 비해 산화 바륨(BaO)을 많이 포함시킴으로써 보다 실용적인 내열유리를 얻을 수 있다. 따라서  $B_2O_3$ 보다 BaO를 많이 포함하는 유리 기판을 사용하는 것이 바람직하다.
- [0080] 아울러 상기의 유리 기판 대신에, 세라믹 기판, 석영 기판, 사파이어 기판 등의 절연체로 이루어지는 기판을 사용할 수도 있다. 그 외에도 결정화 유리 등을 사용할 수 있다. 또한 플라스틱 기판 등도 적절히 사용할 수 있다.
- [0081] 우선, 절연 표면을 갖는 기판(400) 상에 베이스막이 되는 절연층(407)을 형성한다. 산화물 반도체층(412)과 접하는 절연층(407)은 산화 실리콘층, 산화 질화 실리콘층, 산화 알루미늄층 또는 산화 질화 알루미늄층 등의 산

화물 절연층을 사용하는 것이 바람직하다.

- [0082] 절연층(407)의 형성 방법으로는 플라즈마 CVD법 또는 스퍼터링법 등을 이용할 수 있는데, 절연층(407) 내에 수소가 다량 포함되지 않도록 하기 위해서는 스퍼터링법으로 절연층(407)을 성막하는 것이 바람직하다.
- [0083] 본 실시형태에서는 절연층(407)으로서 스퍼터링법에 의해 산화 실리콘층을 형성한다. 기관(400)을 처리실로 이송하고, 수소 및 수분이 제거된 고순도 산소를 포함하는 스퍼터링 가스를 도입하고 실리콘 반도체의 타겟을 사용하여 기관(400)에 절연층(407)으로서 산화 실리콘층을 성막한다. 또한 기관(400)은 실온일 수도 있고 가열되고 있을 수도 있다.
- [0084] 예를 들어, 석영(바람직하게는 합성 석영)을 사용하고, 기관 온도 108℃, 기관과 타겟의 사이의 거리(T-S간 거리)를 60mm, 압력 0.4Pa, 고주파 전원 1.5kW, 산소 및 아르곤(산소 유량 25sccm:아르곤 유량 25sccm=1:1) 분위기 하에서 RF 스퍼터링법에 의해 산화 실리콘층을 성막한다. 막 두께는 100nm로 한다. 아울러 석영(바람직하게는 합성 석영) 대신에 실리콘 타겟을 산화 실리콘층을 성막하기 위한 타겟으로 사용할 수 있다. 아울러 스퍼터링 가스로서 산소 또는 산소 및 아르곤의 혼합 가스를 사용한다.
- [0085] 이 경우에 있어서, 처리실 내의 잔류 수분을 제거하면서 절연층(407)을 성막하는 것이 바람직하다. 절연층(407)에 수소, 수산기 또는 수분이 포함되지 않도록 하기 위함이다.
- [0086] 처리실 내의 잔류 수분을 제거하기 위해서는 흡착형의 진공 펌프를 이용하는 것이 바람직하다. 예를 들어, 크라이오펌프, 이온 펌프, 티타늄 서블리메이션 펌프를 이용하는 것이 바람직하다. 또한, 배기 수단은, 터보 펌프에 콜드 트랩을 부가한 것일 수도 있다. 크라이오펌프를 이용하여 배기한 성막실은 예를 들어 수소 원자나, 물(H<sub>2</sub>O) 등 수소 원자를 포함하는 화합물 등이 배기되므로 이 성막실에서 성막한 절연층(407)에 포함되는 불순물의 농도를 감소시킬 수 있다.
- [0087] 절연층(407)을 성막할 때에 사용하는 스퍼터링 가스는, 수소, 물, 수산기 또는 수소화물 등의 불순물이 농도 ppm 정도, 농도 ppb 정도까지 제거된 고순도 가스인 것이 바람직하다.
- [0088] 스퍼터링법에는 스퍼터링용 전원으로서 고주파 전원을 사용하는 RF 스퍼터링법, 직류 전원을 사용하는 DC 스퍼터링법, 나아가 펄스적으로 바이어스를 주는 펄스 DC 스퍼터링법이 있다. RF 스퍼터링법은 주로 절연막을 성막하는 경우에 이용되고 DC 스퍼터링법은 주로 금속막을 성막하는 경우에 이용된다.
- [0089] 또한, 재료가 다른 타겟을 복수 설치할 수 있는 다원 스퍼터링 장치도 있다. 다원 스퍼터링 장치는, 동일 챔버에서 서로 다른 재료막을 적층 성막할 수도, 동일 챔버에서 복수 종류의 재료를 동시에 방전시켜 성막할 수도 있다.
- [0090] 또한, 챔버 내부에 자석 기구를 구비한 마그네트론 스퍼터링법을 이용하는 스퍼터링 장치나, 그로우 방전을 사용하지 않고 마이크로파를 이용하여 발생시킨 플라즈마를 이용하는 ECR 스퍼터링법을 이용하는 스퍼터링 장치가 있다.
- [0091] 또한, 스퍼터링법을 이용하는 성막 방법으로서 성막중에 타겟 물질과 스퍼터링 가스 성분을 화학반응시켜 그 화합물 박막을 형성하는 리액티브 스퍼터링법이나, 성막중에 기관에도 전압을 거는 바이어스 스퍼터링법도 있다.
- [0092] 또한, 절연층(407)은 적층 구조일 수도 있고, 예를 들어 기관(400) 측에서부터 질화 실리콘층, 질화 산화 실리콘층, 질화 알루미늄층 또는 질화 산화 알루미늄 등의 질화물 절연층과, 상기 산화물 절연층과의 적층 구조로 할 수도 있다.
- [0093] 예를 들어, 산화 실리콘층과 기관과의 사이에 수소 및 수분이 제거된 고순도 질소를 포함하는 스퍼터링 가스를 도입하고 실리콘 타겟을 사용하여 질화 실리콘층을 성막한다. 이 경우에도, 산화 실리콘층과 마찬가지로, 처리실 내의 잔류 수분을 제거하면서 질화 실리콘층을 성막하는 것이 바람직하다.
- [0094] 질화 실리콘층을 형성하는 경우에도 성막시에 기관을 가열할 수도 있다.
- [0095] 절연층(407)으로서 질화 실리콘층과 산화 실리콘층을 적층하는 경우, 질화 실리콘층과 산화 실리콘층을 같은 처리실에서 공통의 실리콘 타겟을 사용하여 성막할 수 있다. 먼저 질소를 포함하는 스퍼터링 가스를 도입하고, 처리실 내에 장착된 실리콘 타겟을 사용하여 질화 실리콘층을 형성하고, 이어서 산소를 포함하는 스퍼터링 가스로 바꾸고 동일한 실리콘 타겟을 사용하여 산화 실리콘층을 성막한다. 질화 실리콘층과 산화 실리콘층을 대기 에 노출시키지 않고 연속적으로 형성할 수 있으므로, 질화 실리콘층 표면에 수소나 수분 등의 불순물이 흡착되

는 것을 방지할 수 있다.

- [0096] 이어서 절연층(407) 상에 막 두께 2nm 이상 200nm 이하의 산화물 반도체막을 형성한다.
- [0097] 또한, 산화물 반도체막에 수소, 수산기 및 수분이 가능한 한 포함되지 않도록 하기 위해 성막의 전처리로서, 스퍼터링 장치의 예비 가열실에서 절연층(407)이 형성된 기판(400)을 예비 가열하여 기판(400)에 흡착된 수소, 수분 등의 불순물을 이탈시켜 배기하는 것이 바람직하다. 아울러 예비 가열실에 마련하는 배기 수단은 크라이오 펌프가 바람직하다. 아울러 이 예비 가열의 처리는 생략할 수도 있다. 또한 이 예비 가열은, 후에 형성하는 게이트 절연층(402)의 성막전의 기판(400)에 수행할 수도 있고, 후에 형성하는 소스 전극층 또는 드레인 전극층(415a) 및 소스 전극층 또는 드레인 전극층(415b)까지 형성한 기판(400)에도 동일하게 수행할 수 있다.
- [0098] 아울러 산화물 반도체막을 스퍼터링법에 의해 성막하기 전에 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터링을 수행하여 절연층(407)의 표면에 부착된 먼지를 제거하는 것이 바람직하다. 역스퍼터링은 타겟층에 전압을 인가하지 않고 아르곤 분위기하에서 기판층에 고주파 전원을 이용하여 전압을 인가하여 기판 근방에 플라즈마를 형성하여 표면을 개질하는 방법이다. 아울러 아르곤 분위기 대신에 질소, 헬륨, 산소 등을 사용할 수도 있다.
- [0099] 산화물 반도체막은 스퍼터링법에 의해 성막한다. 산화물 반도체막은 In-Ga-Zn-O계, In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Sn-O계, In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, In-Ga-O계, In-O계, Sn-O계, Zn-O계의 산화물 반도체막을 사용한다. 본 실시형태에서는 산화물 반도체막을 In-Ga-Zn-O계 금속 산화물 타겟을 사용하여 스퍼터링법에 의해 성막한다. 또한, 산화물 반도체막은, 희가스(대표적으로는 아르곤) 분위기하, 산소 분위기하, 또는 희가스(대표적으로는 아르곤) 및 산소 분위기하에서 스퍼터링법에 의해 형성할 수 있다. 또한, 스퍼터링법을 이용하는 경우, 산화 규소(SiO<sub>x</sub>(X>0))를 2 중량% 이상 10 중량% 이하 포함하는 타겟을 사용하여 성막을 수행할 수도 있다. 산화물 반도체층에 결정화를 저해하는 산화 규소(SiO<sub>x</sub>(X>0))를 포함시킴으로써, 제조 프로세스에 있어서 산화물 반도체층의 형성 후에 가열 처리했을 경우 결정화되는 것을 억제할 수 있다. 아울러 산화물 반도체층은 비정질의 상태인 것이 바람직하고, 일부 결정화되어 있을 수도 있다.
- [0100] 산화물 반도체는 바람직하게는 In를 함유하는 산화물 반도체, 더욱 바람직하게는, In 및 Ga를 함유하는 산화물 반도체이다. I형(진성)의 산화물 반도체층을 얻는데 있어서, 후에 설명하는 탈수화 또는 탈수소화는 효과적이다.
- [0101] 산화물 반도체막을 성막할 때 사용하는 스퍼터링 가스는, 수소, 물, 수산기 또는 수소화물 등의 불순물이 농도 ppm 정도, 농도 ppb 정도까지 제거된 고순도 가스가 바람직하다.
- [0102] 산화물 반도체막을 스퍼터링법으로 제조하기 위한 타겟으로서, 산화 아연을 주성분으로 하는 금속 산화물의 타겟을 사용할 수 있다. 또한, 금속 산화물의 타겟의 다른 예로서는, mol수비로 In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO=1:1:1, 원자수비로 In:Ga:Zn=1:1:0.5의 조성을 갖는 In, Ga 및 Zn를 포함하는 금속 산화물 타겟을 사용할 수 있다. 또한, In, Ga 및 Zn를 포함하는 금속 산화물 타겟으로서 원자수비로 In:Ga:Zn=1:1:1 또는 In:Ga:Zn=1:1:2의 조성을 갖는 타겟을 사용할 수도 있다. 금속 산화물 타겟의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하이다. 충전율이 높은 금속 산화물 타겟을 사용함으로써, 성막한 산화물 반도체막은 치밀한 막이 된다.
- [0103] 감압 상태로 유지된 처리실 내에 기판을 지지시키고 처리실 내의 잔류 수분을 제거하면서 수소 및 수분이 제거된 스퍼터링 가스를 도입하고 금속 산화물을 타겟으로 하여 기판(400) 상에 산화물 반도체막을 성막한다. 처리실 내의 잔류 수분을 제거하기 위해서는 흡착형의 진공 펌프를 이용하는 것이 바람직하다. 예를 들어, 크라이오 펌프, 이온 펌프, 티타늄 서블리메이션 펌프를 이용하는 것이 바람직하다. 또한, 배기 수단은 터보 펌프에 콜드 트랩을 부가한 것일 수도 있다. 크라이오 펌프를 이용하여 배기한 성막실은, 예를 들어 수소 원자, 물(H<sub>2</sub>O) 등 수소 원자를 포함하는 화합물(보다 바람직하게는 탄소 원자를 포함하는 화합물도) 등이 배기되므로 이 성막실에서 성막한 산화물 반도체막에 포함되는 불순물의 농도를 감소시킬 수 있다. 또한, 산화물 반도체막 성막시에 기판을 가열할 수도 있다.
- [0104] 성막 조건의 일례로서는, 기판 온도 실온, 기판과 타겟의 사이의 거리 60mm, 압력 0.4 Pa, 직류(DC) 전원 0.5kW, 산소 및 아르곤(산소 유량 15sccm:아르곤 유량 30sccm) 분위기하의 조건이 적용된다. 아울러 펄스 직류(DC) 전원을 사용하면 성막시에 발생하는 가루형 물질(파티클, 먼지라고도 함)을 경감시킬 수 있고 막 두께 분포도 균일해지므로 바람직하다. 산화물 반도체막의 막 두께는 바람직하게는 5nm 이상 30nm 이하로 한다. 아울

러 적용하는 산화물 반도체 재료에 따라 적절한 두께는 다르며 재료에 따라 적절한 두께를 선택할 수 있다.

- [0105] 이어서 산화물 반도체막을 제1 포토리소그래피 공정에 의해 섬형의 산화물 반도체층(412)으로 가공한다(도 4(A) 참조). 또한, 섬형의 산화물 반도체층(412)을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성할 수도 있다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않으므로 제조 비용을 줄일 수 있다.
- [0106] 아울러 여기서의 산화물 반도체막의 에칭은 드라이 에칭일 수도 웨트 에칭일 수도 있고 양자 모두를 사용할 수도 있다.
- [0107] 드라이 에칭에 사용하는 에칭 가스로서는 염소를 포함하는 가스(염소계 가스, 예를 들어 염소( $Cl_2$ ), 염화 붕소( $BCl_3$ ), 염화 규소( $SiCl_4$ ), 사염화탄소( $CCl_4$ ) 등)가 바람직하다.
- [0108] 또한, 불소를 포함하는 가스(불소계 가스, 예를 들어 사불화탄소( $CF_4$ ), 불화 유황( $SF_6$ ), 불화 질소( $NF_3$ ), 트리플루오로메탄( $CHF_3$ ) 등), 브롬화 수소( $HBr$ ), 산소( $O_2$ ), 이 가스들에 헬륨(He)이나 아르곤(Ar) 등의 희가스를 첨가한 가스 등을 사용할 수 있다.
- [0109] 드라이 에칭법으로서의 평행 평판형 RIE(Reactive Ion Etching)법이나 ICP(Inductively Coupled Plasma: 유도 결합형 플라즈마) 에칭법을 이용할 수 있다. 원하는 가공 형상으로 에칭할 수 있도록 에칭 조건(코일형의 전극에 인가되는 전력량, 기관축의 전극에 인가되는 전력량, 기관축의 전극 온도 등)을 적절히 조절한다.
- [0110] 웨트 에칭에 사용하는 에칭액으로서 인산과 초산과 질산을 혼합한 용액 등을 사용할 수 있다. 또한, IT007N(칸토 화학사 제품)을 사용할 수도 있다.
- [0111] 또한, 웨트 에칭 후의 에칭액은 에칭된 재료와 함께 세정에 의해 제거된다. 그 제거된 재료를 포함하는 에칭액의 폐수를 정제하여, 포함되는 재료를 재사용할 수도 있다. 이 에칭 후의 폐수로부터 산화물 반도체층에 포함되는 인듐 등의 재료를 회수하여 재사용함으로써, 자원을 효과적으로 활용하여 저비용화를 도모할 수 있다.
- [0112] 원하는 가공 형상으로 에칭할 수 있도록 재료에 맞추어 에칭 조건(에칭액, 에칭 시간, 온도 등)을 적절히 조절한다.
- [0113] 본 실시형태에서는 에칭액으로서 인산과 초산과 질산을 혼합한 용액을 사용한 습식 에칭법에 의해 산화물 반도체막을 섬형의 산화물 반도체층(412)으로 가공한다.
- [0114] 이어서, 본 실시형태에서는, 산화물 반도체층(412)에 제1 가열 처리를 수행한다. 제1 가열 처리의 온도는 400℃ 이상 750℃ 이하, 바람직하게는 400℃ 이상 기관의 변형점 미만으로 한다. 여기서는, 가열 처리 장치 중 하나인 전기로에 기관을 도입하고, 산화물 반도체층에 대해 질소 분위기하 450℃에서 1시간의 가열 처리를 수행한 후 대기에 접촉하지 않고 산화물 반도체층으로의 물이나 수소의 재혼입을 막아 산화물 반도체층을 얻는다. 이 제1 가열 처리에 의해 산화물 반도체층(412)의 탈수화 또는 탈수소화를 수행할 수 있다.
- [0115] 아울러 가열 처리 장치는 전기로에 한정되지 않고, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해 피처리물을 가열하는 장치를 구비할 수도 있다. 예를 들어, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 사용할 수 있다. LRTA 장치는, 할로겐 램프, 메탈할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 나오는 광(전자파)의 복사에 의해 피처리물을 가열하는 장치이다. GRTA 장치는 고온의 가스를 이용하여 가열 처리를 수행하는 장치이다. 기체로는 아르곤 등의 희가스 또는 질소와 같은, 가열 처리에 의해 피처리물과 반응하지 않는 비활성 기체가 사용된다.
- [0116] 예를 들어, 제1 가열 처리로서 650℃~700℃의 고온으로 가열한 불활성 가스 내로 기관을 이동시켜 넣고 수분간 가열한 후, 기관을 이동시켜 고온으로 가열한 불활성 가스 내에서 꺼내는 GRTA를 수행할 수도 있다. GRTA를 이용하면 단시간으로 고온 가열 처리가 가능해진다.
- [0117] 아울러 제1 가열 처리에서는, 질소, 또는 헬륨, 네온, 아르곤 등의 희가스에 물, 수소 등이 포함되지 않는 것이 바람직하다. 또는, 가열 처리 장치로 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 희가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.
- [0118] 상술한 바와 같이 하여 산화물 반도체 내의 불순물을 감소시킴으로써 I형화 또는 실질적으로 I형화된 산화물 반

도체(고순도화된 산화물 반도체)를 얻을 수 있다. 구체적으로는 산화물 반도체에 포함되는 수소를  $5 \times 10^{19}/\text{cm}^3$  이하, 바람직하게는  $5 \times 10^{18}/\text{cm}^3$  이하, 보다 바람직하게는  $5 \times 10^{17}/\text{cm}^3$  이하로 하여 산화물 반도체에 포함되는 수소 혹은 OH기를 제거하여 캐리어 농도를  $5 \times 10^{14}/\text{cm}^3$  이하, 바람직하게는  $5 \times 10^{12}/\text{cm}^3$  이하로 함으로써 I형화 또는 실질적으로 I형화된 산화물 반도체(고순도화된 산화물 반도체)를 얻을 수 있다.

[0119] 또한, 제1 가열 처리의 조건 또는 산화물 반도체층의 재료에 따라서는, 산화물 반도체층이 결정화되어 미결정층 또는 다결정층이 될 수도 있다. 예를 들어, 결정화율이 90% 이상 또는 80% 이상인 미결정의 산화물 반도체층이 될 수도 있다. 또한, 제1 가열 처리의 조건 또는 산화물 반도체층의 재료에 따라서는, 결정 성분을 포함하지 않는 비정질의 산화물 반도체층이 될 수도 있다. 또한, 비정질의 산화물 반도체 내에 미결정부(microcrystalline portion)(입경 1nm 이상 20nm 이하(대표적으로는 2nm 이상 4nm 이하))가 혼재하는 산화물 반도체층이 될 수도 있다.

[0120] 또한, 산화물 반도체층의 제1 가열 처리는, 섬형의 산화물 반도체층으로 가공하기 전의 산화물 반도체막에 수행할 수도 있다. 이 경우에는, 제1 가열 처리 후에 가열 장치로부터 기판을 꺼내 포토리소그래피 공정을 수행한다.

[0121] 산화물 반도체층에 대한 탈수화, 탈수소화의 효과를 가져오는 가열 처리는, 산화물 반도체층 성막 후, 산화물 반도체층 상에 소스 전극 및 드레인 전극을 적층시킨 후, 소스 전극 및 드레인 전극 상에 게이트 절연층을 형성한 후 중 언제라도 수행할 수 있다.

[0122] 이어서, 절연층(407) 및 산화물 반도체층(412) 상에 도전막을 형성한다. 도전막을 스퍼터링법이나 진공 증착법으로 형성할 수 있다. 도전막의 재료로서는 알루미늄(Al), 크롬(Cr), 구리(Cu), 탄탈륨(Ta), 티타늄(Ti), 몰리브덴(Mo), 텅스텐(W)에서 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합시킨 합금막 등을 들 수 있다. 또한, 망간(Mn), 마그네슘(Mg), 지르코늄(Zr), 베릴륨(Be), 토륨(Th) 중 어느 하나 또는 복수에서 선택된 재료를 사용할 수도 있다. 또한, 금속 도전막은 단층 구조일 수도, 2층 이상의 적층 구조로 할 수도 있다. 예를 들어 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 상에 티타늄막을 적층하는 2층 구조, Ti막과 이 Ti막 상에 중첩시켜 알루미늄막을 적층하고 그 위에 Ti막을 더 성막하는 3층 구조 등을 들 수 있다. 또한, 알루미늄으로, 티타늄, 탄탈륨, 텅스텐, 몰리브덴, 크롬, 네오디뮴(Nd), 스칸듐(Sc)에서 선택된 원소를 단수, 또는 복수 조합시킨 막, 합금막, 또는 질화막을 사용할 수도 있다.

[0123] 제2 포토리소그래피 공정에 의해 도전막 상에 레지스트 마스크를 형성하고 선택적으로 에칭을 수행하여 소스 전극층 또는 드레인 전극층(415a), 소스 전극층 또는 드레인 전극층(415b)을 형성한 후 레지스트 마스크를 제거한다(도 4(B) 참조). 아울러 형성된 소스 전극층, 드레인 전극층의 단부는 테이퍼 형상으로 하면 위에 적층하는 게이트 절연층의 피복성이 향상되므로 바람직하다.

[0124] 본 실시형태에서는 소스 전극층 또는 드레인 전극층(415a), 소스 전극층 또는 드레인 전극층(415b)을 형성하기 위한 도전막으로서, 스퍼터링법에 의해 막 두께 150nm의 티타늄막을 형성한다.

[0125] 아울러 도전막의 에칭시에 산화물 반도체층(412)이 제거되어 그 아래의 절연층(407)이 노출되지 않도록 각각의 재료 및 에칭 조건을 적절히 조절한다.

[0126] 본 실시형태에서는, 도전막으로서 Ti막을 사용하고, 산화물 반도체층(412)으로는 In-Ga-Zn-O계 산화물 반도체를 사용하고, 에천트로서 암모니아과수(암모니아, 물, 과산화 수소수의 혼합액)를 사용한다.

[0127] 아울러, 제2 포토리소그래피 공정에서는, 산화물 반도체층(412)은 일부만이 에칭되어 홈부(요입부)를 갖는 산화물 반도체층이 될 수도 있다. 또한, 소스 전극층 또는 드레인 전극층(415a), 소스 전극층 또는 드레인 전극층(415b)을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성할 수도 있다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않으므로 제조 비용을 줄일 수 있다.

[0128] 제2 포토리소그래피 공정에서의 레지스트 마스크 형성시의 노광에는 자외선이나 KrF 레이저광이나 ArF 레이저광을 사용한다. 산화물 반도체층(412) 상에서 서로 이웃하는 소스 전극층의 하단부와 드레인 전극층의 하단부와의 간격폭에 의해, 후에 형성되는 박막 트랜지스터의 채널 길이(L)가 결정된다. 아울러 채널 길이(L)=25nm 미만인 노광을 수행하는 경우에는 수nm~수십nm로 지극히 파장이 짧은 초자외선(Extreme Ultraviolet)을 이용하여 제2 포토리소그래피 공정에서의 레지스트 마스크 형성시의 노광을 수행한다. 초자외선에 의한 노광은 해상도가 높고 초점심도도 크다. 따라서, 후에 형성되는 박막 트랜지스터의 채널 길이(L)를 10nm 이상 1000nm 이하로 하는 것도 가능하고 회로의 동작 속도를 고속화할 수 있고 나아가 오프 전류값이 극히 작으므로 저소비전력화도

도모할 수 있다.

- [0129] 이어서, 절연층(407), 산화물 반도체층(412), 소스 전극층 또는 드레인 전극층(415a), 소스 전극층 또는 드레인 전극층(415b) 상에 게이트 절연층(402)을 형성한다(도 4(C) 참조).
- [0130] 게이트 절연층(402)은 플라즈마 CVD법 또는 스퍼터링법 등을 이용하여 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층, 질화 산화 실리콘층 또는 산화 알루미늄층을 단층으로 또는 적층하여 형성할 수 있다. 아울러 게이트 절연층(402) 중에 수소가 다량으로 포함되지 않도록 하기 위해서는 스퍼터링법으로 게이트 절연층(402)을 성막하는 것이 바람직하다. 스퍼터링법에 의해 산화 실리콘막을 성막하는 경우에는 타겟으로 실리콘 타겟 또는 석영 타겟을 사용하고 스퍼터링 가스로서 산소 또는, 산소 및 아르곤의 혼합 가스를 사용한다.
- [0131] 게이트 절연층(402)은 소스 전극층 또는 드레인 전극층(415a), 소스 전극층 또는 드레인 전극층(415b) 측에서부터 산화 실리콘층과 질화 실리콘층을 적층한 구조로 할 수도 있다. 예를 들어, 제1 게이트 절연층으로서 막 두께 5nm 이상 300nm 이하의 산화 실리콘층( $\text{SiO}_x(x>0)$ )을 형성하고, 제1 게이트 절연층 상에 제2 게이트 절연층으로서 스퍼터링법에 의해 막 두께 50nm 이상 200nm 이하의 질화 실리콘층( $\text{SiN}_y(y>0)$ )을 적층하여 막 두께 100nm의 게이트 절연층을 구성할 수도 있다. 본 실시형태에서는 압력 0.4Pa, 고주파 전원 1.5kW, 산소 및 아르곤(산소 유량 25sccm:아르곤 유량 25sccm=1:1) 분위기하에서 RF 스퍼터링법에 의해 막 두께 100nm의 산화 실리콘층을 형성한다.
- [0132] 이어서 제3 포토리소그래피 공정에 의해 레지스트 마스크를 형성하고, 선택적으로 에칭을 수행하여 게이트 절연층(402)의 일부를 제거하여 소스 전극층 또는 드레인 전극층(415a), 소스 전극층 또는 드레인 전극층(415b)에 도달하는 개구(421a), 개구(421b)를 형성한다(도 4(D) 참조).
- [0133] 이어서, 게이트 절연층(402) 및 개구(421a, 421b) 상에 도전막을 형성한 후, 제4 포토리소그래피 공정에 의해 게이트 전극층(411), 배선층(414a, 414b)을 형성한다. 아울러 레지스트 마스크를 잉크젯법으로 형성할 수도 있다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않으므로 제조 비용을 줄일 수 있다.
- [0134] 또한, 게이트 전극층(411), 배선층(414a, 414b)의 재료는, 몰리브덴, 티타늄, 크롬, 탄탈륨, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속재료 또는 이들을 주성분으로 하는 합금 재료를 사용하여 단층으로 또는 적층하여 형성할 수 있다.
- [0135] 예를 들어, 게이트 전극층(411), 배선층(414a, 414b)의 2층의 적층 구조는, 알루미늄층 상에 몰리브덴층이 적층된 2층의 적층 구조, 또는 구리층 상에 몰리브덴층을 적층한 2층 구조, 또는 구리층 상에 질화 티타늄층 혹은 질화 탄탈륨을 적층한 2층 구조, 질화 티타늄층과 몰리브덴층을 적층한 2층 구조로 하는 것이 바람직하다. 3층의 적층 구조는, 텅스텐층 또는 질화 텅스텐과, 알루미늄과 실리콘의 합금 또는 알루미늄과 티타늄의 합금과, 질화 티타늄 또는 티타늄층을 적층한 것이 바람직하다. 아울러 투광성을 갖는 도전막을 사용하여 게이트 전극층을 형성할 수도 있다. 투광성을 갖는 도전막의 예로는 투광성 도전성 산화물 등을 들 수 있다.
- [0136] 본 실시형태에서는 게이트 전극층(411), 배선층(414a, 414b)으로서 스퍼터링법에 의해 막 두께 150nm의 티타늄막을 형성한다.
- [0137] 이어서, 불활성 가스 분위기하, 또는 산소 가스 분위기하에서 제2 가열 처리(바람직하게는 200℃ 이상 400℃ 이하, 예를 들어 250℃ 이상 350℃ 이하)를 수행한다. 본 실시형태에서는, 질소 분위기하에서 250℃, 1시간의 제2 가열 처리를 수행한다. 또한, 제2 가열 처리는 박막 트랜지스터(410) 상에 보호 절연층이나 평탄화 절연층을 형성하고 나서 수행할 수도 있다.
- [0138] 또한, 대기중, 100℃ 이상 200℃ 이하, 1시간 이상 30시간 이하에서의 가열 처리를 수행할 수도 있다. 이 가열 처리는 일정한 가열 온도를 유지하여 가열할 수도 있고, 실온으로부터 100℃ 이상 200℃ 이하의 가열 온도로의 승온과, 가열 온도로부터 실온으로의 강온을 여러 차례 반복하여 수행할 수도 있다. 또한, 이 가열 처리를 감압하에서 수행할 수도 있다. 감압하에서 가열 처리를 수행하면 가열 시간을 단축할 수 있다.
- [0139] 이상의 공정으로 수소, 수분, 수소화물, 수산화물의 농도가 감소된 산화물 반도체층(412)을 갖는 박막 트랜지스터(410)를 형성할 수 있다(도 4(E) 참조). 박막 트랜지스터(410)는 실시형태 1 및 2에 나타낸 아날로그 회로를 구성하는 박막 트랜지스터로서 적용할 수 있다.
- [0140] 또한, 박막 트랜지스터(410) 상에 보호 절연층이나, 평탄화를 위한 평탄화 절연층을 마련할 수도 있다. 예를 들어, 보호 절연층으로서 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층, 질화 산화 실리콘층 또는 산화

알루미늄층을 단층으로 또는 적층하여 형성할 수 있다.

- [0141] 또한, 평탄화 절연층으로서는 폴리이미드, 아크릴 수지, 벤조시클로부텐계 수지, 폴리아미드, 에폭시 수지 등의 내열성을 갖는 유기 재료를 사용할 수 있다. 또한 상기 유기 재료 외에도, 저유전율 재료(low-k재료), 실록산계 수지, PSG(phosphosilicate glass), BPSG(borophosphosilicate glass) 등을 사용할 수 있다. 아울러 이러한 재료로 형성되는 절연막을 복수 적층시킴으로써 평탄화 절연층을 형성할 수도 있다.
- [0142] 아울러 실록산계 수지는 실록산계 재료를 출발 재료로 하여 형성된 Si-OSi 결합을 포함하는 수지에 상당한다. 실록산계 수지는 치환기로서는 유기기(예를 들어 알킬기나 아릴기)나 플루오로기를 사용할 수도 있다. 또한, 유기기는 플루오로기를 가질 수도 있다.
- [0143] 평탄화 절연층의 형성법은 특별히 한정되지 않고, 그 재료에 따라 스퍼터링법, SOG법, 스펀코트, 딥, 스프레이 도포, 액적 토출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등), 닥터 나이프, 롤 코터, 커텐 코터, 나이프 코터 등을 이용할 수 있다.
- [0144] 상기와 같이 산화물 반도체막을 성막할 때에, 반응 분위기 내의 잔류 수분을 제거함으로써 상기 산화물 반도체막 중의 수소 및 수소화물의 농도를 감소시킬 수 있다. 이에 의해 산화물 반도체막의 안정화를 도모할 수 있다.
- [0145] 아울러 불순물을 제거함으로써 I형화 또는 실질적으로 I형화된 산화물 반도체(고순도화된 산화물 반도체)는 계면 준위, 계면 전하에 대해 극히 민감하므로 게이트 절연막과의 계면은 중요하다. 따라서 고순도화된 산화물 반도체에 접하는 게이트 절연막(GI)은 고품질화가 요구된다.
- [0146] 예를 들어,  $\mu$  파(2.45GHz)를 이용한 고밀도 플라즈마 CVD는, 치밀하며 절연내압이 높은 고품질의 절연막을 형성할 수 있으므로 바람직하다. 고순도화된 산화물 반도체와 고품질 게이트 절연막이 밀접됨으로써 계면준위를 감소시켜 계면특성을 양호하게 할 수 있기 때문이다. 물론, 게이트 절연막으로서 양질의 절연막을 형성할 수 있는 것이면 스퍼터링법이나 플라즈마 CVD법 등 다른 성막 방법을 적용할 수도 있다. 또한, 성막후의 열처리에 의해 게이트 절연막의 막질, 산화물 반도체와의 계면특성이 개선되는 절연막일 수도 있다. 어떤 것이든 게이트 절연막으로서의 막질이 양호함은 물론 산화물 반도체와의 계면준위 밀도를 감소시켜 양호한 계면을 형성할 수 있는 것이면 된다.
- [0147] 나아가  $85^{\circ}\text{C}$ ,  $2 \times 10^6 \text{V/cm}$ , 12시간의 게이트 바이어스-열 스트레스 시험(BT시험)에서는, 불순물이 산화물 반도체에 첨가되어 있으면 불순물과 산화물 반도체의 주성분과의 결합손이 강전계(B:바이어스)와 고온(T:온도)에 의해 절단되어, 생성된 결합손이 문턱값 전압( $V_{th}$ )의 드리프트를 유발하게 된다. 이에 반해, 산화물 반도체의 불순물, 특히 수소나 물 등을 최대한 제거하여 상기와 같이 게이트 절연막과의 계면특성을 양호하게 함으로써 BT시험에서도 안정된 박막 트랜지스터를 얻는 것을 가능하게 하고 있다.
- [0148] 상술한 박막 트랜지스터를 실시형태 1에 나타난 아날로그 회로에 적용함으로써 안정된 전기 특성을 가지며 신뢰성 높은 아날로그 회로를 제공할 수 있다.
- [0149] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시하는 것이 가능하다.
- [0150] (실시형태 4)
- [0151] 본 실시형태에서는, 실시형태 1에 나타난 아날로그 회로가 갖는 박막 트랜지스터의 일례에 대해 나타낸다. 아울러 실시형태 3과 동일 부분 또는 동일한 기능을 갖는 부분, 및 공정은 실시형태 3과 동일하게 할 수 있고 그 반복 설명은 생략한다. 또한 동일한 부위의 상세한 설명도 생략한다.
- [0152] 본 실시형태의 박막 트랜지스터 및 그 제조 방법의 일 형태를 도 5(A) 및 도 5(B) 및 도 6(A) 내지 도 6(E)를 이용하여 설명한다.
- [0153] 도 5(A), 도 5(B)에 박막 트랜지스터의 평면 및 단면 구조의 일례를 나타낸다. 도 5(A), 도 5(B)에 도시된 박막 트랜지스터(460)는 탑 게이트 구조의 박막 트랜지스터이다.
- [0154] 도 5(A)는 탑 게이트 구조의 박막 트랜지스터(460)의 평면도이며, 도 5(B)는 도 5(A)의 선 D1-D2의 단면도이다.
- [0155] 박막 트랜지스터(460)는 절연 표면을 갖는 기판(450) 상에, 절연층(457), 소스 전극층 또는 드레인 전극층(465a)(465a1, 465a2), 산화물 반도체층(462), 소스 전극층 또는 드레인 전극층(465b), 배선층(468), 게이트 절연층(452), 게이트 전극층(461)(461a, 461b)을 포함하고, 소스 전극층 또는 드레인 전극층(465a)(465a1,

465a2)은 배선층(468)을 통해 배선층(464)과 전기적으로 접속되어 있다. 또한, 도시하지 않았으나, 소스 전극층 또는 드레인 전극층(465b)도 게이트 절연층(452)에 마련된 개구를 통해 배선층과 전기적으로 접속된다.

- [0156] 이하, 도 6(A) 내지 도 6(E)를 이용하여 기판(450) 상에 박막 트랜지스터(460)를 제조하는 공정을 설명한다.
- [0157] 우선, 절연 표면을 갖는 기판(450) 상에 베이스막이 되는 절연층(457)을 형성한다.
- [0158] 본 실시형태에서는, 절연층(457)으로서 스퍼터링법에 의해 산화 실리콘층을 형성한다. 기판(450)을 처리실로 이송하고 수소 및 수분이 제거된 고순도 산소를 포함하는 스퍼터링 가스를 도입하고 실리콘 타겟 또는 석영(바람직하게는 합성 석영)을 사용하여 기판(450)에 절연층(457)으로서 산화 실리콘층을 성막한다. 아울러 스퍼터링 가스로서 산소 또는, 산소 및 아르곤의 혼합 가스를 사용한다.
- [0159] 예를 들어, 순도가 6N인 석영(바람직하게는 합성 석영)을 사용하고 기판 온도 108℃, 기판과 타겟 사이의 거리(T-S간 거리)를 60mm, 압력 0.4Pa, 고주파 전원 1.5kW, 산소 및 아르곤(산소 유량 25sccm:아르곤 유량 25sccm=1:1) 분위기하에서 RF 스퍼터링법에 의해 산화 실리콘층을 성막한다. 막 두께는 100nm로 한다. 아울러 석영(바람직하게는 합성 석영) 대신에 실리콘 타겟을 산화 실리콘층을 성막하기 위한 타겟으로 사용할 수 있다.
- [0160] 이 경우에 처리실 내의 잔류 수분을 제거하면서 절연층(457)을 성막하는 것이 바람직하다. 절연층(457)에 수소, 수산기 또는 수분이 포함되지 않도록 하기 위함이다. 크라이오펌프를 이용하여 배기한 성막실은 예를 들어 수소 원자나, 물(H<sub>2</sub>O) 등 수소 원자를 포함하는 화합물 등이 배기되므로 이 성막실에서 성막하여 절연층(457)에 포함되는 불순물의 농도를 감소시킬 수 있다.
- [0161] 절연층(457)을 성막할 때에 사용하는 스퍼터링 가스로서는, 수소, 물, 수산기 또는 수소화물 등의 불순물이 농도 ppm 정도, 농도 ppb 정도까지 제거된 고순도 가스가 바람직하다.
- [0162] 또한, 절연층(457)은 적층 구조일 수도 있고, 예를 들어, 기판(450) 측부터 질화 실리콘층, 질화 산화 실리콘층, 질화 알루미늄층, 질화 산화 알루미늄층 등의 질화물 절연층과 상기 산화물 절연층과의 적층 구조로 할 수도 있다.
- [0163] 예를 들어, 산화 실리콘층과 기판 사이에 수소 및 수분이 제거된 고순도 질소를 포함하는 스퍼터링 가스를 도입하고 실리콘 타겟을 사용하여 질화 실리콘층을 성막한다. 이 경우에도, 산화 실리콘층과 마찬가지로, 처리실 내의 잔류 수분을 제거하면서 질화 실리콘층을 성막하는 것이 바람직하다.
- [0164] 이어서, 절연층(457) 상에, 도전막을 형성하고 제1 포토리소그래피 공정에 의해 도전막 상에 레지스트 마스크를 형성하고 선택적으로 에칭을 수행하여 소스 전극층 또는 드레인 전극층(465a1, 465a2)을 형성한 후, 레지스트 마스크를 제거한다(도 6(A) 참조). 소스 전극층 또는 드레인 전극층(465a1, 465a2)은 단면도에서는 분단된 것으로 도시되어 있으나 연속된 막이다. 아울러 형성된 소스 전극층, 드레인 전극층의 단부는 테이퍼 형상으로 하면, 위에 적층하는 게이트 절연층의 피복성이 향상되므로 바람직하다.
- [0165] 소스 전극층 또는 드레인 전극층(465a1, 465a2)의 재료로서는, Al, Cr, Cu, Ta, Ti, Mo, W에서 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합시킨 합금막 등을 들 수 있다. 또한, 망간, 마그네슘, 지르코늄, 베릴륨, 토륨 중 어느 하나 또는 복수로부터 선택된 재료를 사용할 수도 있다. 또한, 금속 도전막은, 단층 구조일 수도, 2층 이상의 적층 구조로 할 수도 있다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 상에 티타늄막을 적층하는 2층 구조, Ti막과 이 Ti막 상에 중첩시켜 알루미늄막을 적층하고 그 위에 Ti막을 더 성막하는 3층 구조 등을 들 수 있다. 또한, 알루미늄으로, 티타늄, 탄탈륨, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 스칸듐으로부터 선택된 원소를 단수, 또는 복수 조합시킨 막, 합금막, 혹은 질화막을 사용할 수도 있다.
- [0166] 본 실시형태에서는 소스 전극층 또는 드레인 전극층(465a1, 465a2)으로서 스퍼터링법에 의해 막 두께 150nm의 티타늄막을 형성한다.
- [0167] 이어서, 절연층(457) 및 소스 전극층 또는 드레인 전극층(465a1, 465a2) 상에, 막 두께 2nm 이상 200nm 이하의 산화물 반도체막을 형성한다.
- [0168] 이어서 산화물 반도체막을 제2 포토리소그래피 공정에 의해 섬형의 산화물 반도체층(462)으로 가공한다(도 6(B) 참조). 본 실시형태에서는, 산화물 반도체막으로서 In-Ga-Zn-O계 금속 산화물 타겟을 사용하여 스퍼터링법에 의해 성막한다.
- [0169] 감압 상태로 유지된 처리실 내에 기판을 유지하고, 처리실 내의 잔류 수분을 제거하면서 수소 및 수분이 제거된

스퍼터링 가스를 도입하고, 금속 산화물을 타겟으로 하여 기판(450) 상에 산화물 반도체막을 성막한다. 처리실 내의 잔류 수분을 제거하기 위해서는 흡착형의 진공 펌프를 사용하는 것이 바람직하다. 예를 들어, 크라이오펌프, 이온 펌프, 티타늄 서블리메이션 펌프를 사용하는 것이 바람직하다. 또한, 배기 수단은, 터보 펌프에 콜드 트랩을 부가한 것일 수도 있다. 크라이오펌프를 이용하여 배기한 성막실은, 예를 들어 수소 원자, 물(H<sub>2</sub>O) 등 수소 원자를 포함하는 화합물(보다 바람직하게는 탄소 원자를 포함하는 화합물도) 등이 배기되므로, 이 성막실에서 성막한 산화물 반도체막에 포함되는 불순물의 농도를 감소시킬 수 있다. 또한, 산화물 반도체막 성막시에 기판을 가열할 수도 있다.

[0170] 산화물 반도체막을 성막할 때에 사용하는 스퍼터링 가스는, 수소, 물, 수산기 또는 수소화물 등의 불순물이 농도 ppm 정도, 농도 ppb 정도까지 제거된 고순도 가스가 바람직하다.

[0171] 성막 조건의 일례로서는, 기판 온도 실온, 기판과 타겟의 사이의 거리 60mm, 압력 0.4Pa, 직류(DC) 전원 0.5kW, 산소 및 아르곤(산소 유량 15sccm:아르곤 유량 30sccm) 분위기하의 조건이 적용된다. 아울러 펄스 직류(DC) 전원을 사용하면 성막시에 발생하는 가루형 물질(파티클, 먼지라고도 함)을 경감할 수 있고 막 두께 분포도 균일해지므로 바람직하다. 산화물 반도체막의 막 두께는 바람직하게는 5nm 이상 30nm 이하로 한다. 아울러 적용하는 산화물 반도체 재료에 따라 적절한 두께는 다르며 재료에 따라 적당한 두께를 선택할 수 있다.

[0172] 본 실시형태에서는, 에칭액으로서 인산과 초산과 질산을 혼합한 용액을 사용한 습식 에칭법에 의해, 산화물 반도체막을 섬형의 산화물 반도체층(462)으로 가공한다.

[0173] 본 실시형태에서는, 산화물 반도체층(462)에 제1 가열 처리를 수행한다. 제1 가열 처리의 온도는, 400℃ 이상 750℃ 이하, 바람직하게는 400℃ 이상 기판의 변형점 미만으로 한다. 여기서는, 가열 처리 장치 중 하나인 전기로에 기판을 도입하고 산화물 반도체층에 대해 질소 분위기하 450℃에서 1시간의 가열 처리를 수행한 후, 대기에 접촉하지 않고 산화물 반도체층으로의 물이나 수소의 재혼입을 막아 산화물 반도체층을 얻는다. 이 제1 가열 처리에 의해 산화물 반도체층(462)의 탈수화 또는 탈수소화를 수행할 수 있다.

[0174] 아울러 가열 처리 장치는 전기로에 한정되지 않고, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해 피처리물을 가열하는 장치를 구비할 수도 있다. 예를 들어, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 사용할 수 있다. 예를 들어, 제1 가열 처리로서 650℃~700℃의 고온으로 가열한 불활성 가스 내에 기판을 이동시켜 넣고 수분간 가열한 후, 기판을 이동시켜 고온으로 가열한 불활성 가스 내에서 꺼내는 GRTA를 수행할 수도 있다. GRTA를 사용하면 단시간으로 고온 가열 처리가 가능해진다.

[0175] 아울러 제1 가열 처리에서는, 질소, 또는 헬륨, 네온, 아르곤 등의 희가스에, 물, 수소 등이 포함되지 않는 것이 바람직하다. 또는, 가열 처리 장치로 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 희가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.

[0176] 또한, 제1 가열 처리의 조건 또는 산화물 반도체층의 재료에 따라서는 산화물 반도체층이 결정화되어 미결정층 또는 다결정층이 되는 경우도 있다.

[0177] 또한, 산화물 반도체층의 제1 가열 처리는, 섬형의 산화물 반도체층으로 가공하기 전의 산화물 반도체막에 수행할 수도 있다. 이 경우에는 제1 가열 처리 후에 가열 장치로부터 기판을 꺼내어 포토리소그래피 공정을 수행한다.

[0178] 산화물 반도체층에 대한 탈수화, 탈수소화의 효과를 가져오는 가열 처리는, 산화물 반도체층 성막 후, 산화물 반도체층 상에 소스 전극 또는 드레인 전극을 적층시킨 후, 소스 전극 및 드레인 전극 상에 게이트 절연층을 형성한 후 중 언제라도 수행할 수 있다.

[0179] 이어서, 절연층(457) 및 산화물 반도체층(462) 상에 도전막을 형성하고, 제3 포토리소그래피 공정에 의해 도전막 상에 레지스트 마스크를 형성하고 선택적으로 에칭을 수행하여 소스 전극층 또는 드레인 전극층(465b), 배선층(468)을 형성한 후 레지스트 마스크를 제거한다(도 6(C) 참조). 소스 전극층 또는 드레인 전극층(465b), 배선층(468)은 소스 전극층 또는 드레인 전극층(465a1, 465a2)과 동일한 재료 및 공정으로 형성할 수 있다.

[0180] 본 실시형태에서는 소스 전극층 또는 드레인 전극층(465b), 배선층(468)으로서 스퍼터링법에 의해 막 두께 150nm의 티타늄막을 형성한다. 본 실시형태에서는 소스 전극층 또는 드레인 전극층(465a1, 465a2)과 소스 전극층 또는 드레인 전극층(465b)에 동일한 티타늄막을 사용하는 예이므로 소스 전극층 또는 드레인 전극층(465a1,

465a2)과 소스 전극층 또는 드레인 전극층(465b)은 에칭에 있어서 선택비를 취할 수 없다. 따라서, 소스 전극층 또는 드레인 전극층(465a1, 465a2)이 소스 전극층 또는 드레인 전극층(465b)의 에칭시에 에칭되지 않도록, 산화물 반도체층(462)에 덮이지 않는 소스 전극층 또는 드레인 전극층(465a2) 상에 배선층(468)을 마련하고 있다. 소스 전극층 또는 드레인 전극층(465a1, 465a2)과 소스 전극층 또는 드레인 전극층(465b)에 에칭 공정에 있어서 높은 선택비를 갖는 다른 재료를 사용하는 경우에는, 에칭시에 소스 전극층 또는 드레인 전극층(465a2)을 보호하는 배선층(468)은 마련하지 않을 수도 있다.

- [0181] 아울러 도전막의 에칭시에 산화물 반도체층(462)은 제거되지 않도록 각각의 재료 및 에칭 조건을 적절히 조절한다.
- [0182] 본 실시형태에서는, 도전막으로서 Ti막을 사용하고 산화물 반도체층(462)에는 In-Ga-Zn-O계 산화물 반도체를 사용하며 에천트로서 암모니아과수(암모니아, 물, 과산화 수소수의 혼합액)를 사용한다.
- [0183] 아울러 제3 포토리소그래피 공정에서는 산화물 반도체층(462)은 일부만이 에칭되어 홈부(요입부)를 갖는 산화물 반도체층이 될 수도 있다. 또한, 소스 전극층 또는 드레인 전극층(465b), 배선층(468)을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성할 수도 있다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않으므로 제조 비용을 줄일 수 있다.
- [0184] 이어서, 절연층(457), 산화물 반도체층(462), 소스 전극층 또는 드레인 전극층(465a1, 465a2), 소스 전극층 또는 드레인 전극층(465b) 상에 게이트 절연층(452)을 형성한다.
- [0185] 게이트 절연층(452)은, 플라즈마 CVD법 또는 스퍼터링법 등을 이용하여 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층, 질화 산화 실리콘층 또는 산화 알루미늄층을 단층으로 또는 적층하여 형성할 수 있다. 아울러 게이트 절연층(452) 중에 수소가 다량으로 포함되지 않도록 하기 위해서는 스퍼터링법으로 게이트 절연층(452)을 성막하는 것이 바람직하다. 스퍼터링법에 의해 산화 실리콘막을 성막하는 경우에는 타겟으로서 실리콘 타겟 또는 석영 타겟을 사용하고 스퍼터링 가스로서 산소 또는, 산소 및 아르곤의 혼합 가스를 사용한다.
- [0186] 게이트 절연층(452)은 소스 전극층 또는 드레인 전극층(465a1, 465a2), 소스 전극층 또는 드레인 전극층(465b)층부터 산화 실리콘층과 질화 실리콘층을 적층한 구조로 할 수도 있다. 본 실시형태에서는, 압력 0.4Pa, 고주파 전원 1.5kW, 산소 및 아르곤(산소 유량 25sccm:아르곤 유량 25sccm=1:1) 분위기하에서 RF 스퍼터링법에 의해 막 두께 100nm의 산화 실리콘층을 형성한다.
- [0187] 이어서, 제4 포토리소그래피 공정에 의해 레지스트 마스크를 형성하고 선택적으로 에칭을 수행하여 게이트 절연층(452)의 일부를 제거하여 배선층(468)에 도달하는 개구(423)를 형성한다(도 6(D) 참조). 도시하지 않았으나 개구(423)의 형성시에 소스 전극층 또는 드레인 전극층(465b)에 도달하는 개구를 형성할 수도 있다. 본 실시형태에서는, 소스 전극층 또는 드레인 전극층(465b)에 도달하는 개구는 층간 절연층을 더 적층한 후에 형성하고, 전기적으로 접속되는 배선층을 개구에 형성하는 것으로 한다.
- [0188] 이어서, 게이트 절연층(452) 및 개구(423) 상에 도전막을 형성한 후, 제5 포토리소그래피 공정에 의해 게이트 전극층(461)(461a, 461b), 배선층(464)을 형성한다. 아울러 레지스트 마스크를 잉크젯법으로 형성할 수도 있다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않으므로 제조 비용을 줄일 수 있다.
- [0189] 또한, 게이트 전극층(461)(461a, 461b), 배선층(464)은 폴리브덴, 티타늄, 크롬, 탄탈륨, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속재료 또는 이들을 주성분으로 하는 합금 재료를 사용하여 단층으로 또는 적층하여 형성할 수 있다.
- [0190] 본 실시형태에서는 게이트 전극층(461)(461a, 461b), 배선층(464)으로서 스퍼터링법에 의해 막 두께 150nm의 티타늄막을 형성한다.
- [0191] 이어서, 불활성 가스 분위기하, 또는 산소 가스 분위기하에서 제2 가열 처리(바람직하게는 200℃ 이상 400℃ 이하, 예를 들어 250℃ 이상 350℃ 이하)를 수행한다. 본 실시형태에서는, 질소 분위기하에서 250℃, 1시간의 제2 가열 처리를 수행한다. 또한, 제2 가열 처리는 박막 트랜지스터(410) 상에 보호 절연층이나 평탄화 절연층을 형성하고 나서 수행할 수도 있다.
- [0192] 또한 대기중, 100℃ 이상 200℃ 이하, 1시간 이상 30시간 이하에서의 가열 처리를 수행할 수도 있다. 이 가열 처리는 일정한 가열 온도를 유지하여 가열할 수도 있고, 실온으로부터 100℃ 이상 200℃ 이하의 가열 온도로의 승온과 가열 온도로부터 실온으로의 강온을 여러 차례 반복하여 수행할 수도 있다. 또한, 이 가열 처리를 감압

하에서 수행할 수도 있다. 감압하에서 가열 처리를 수행하면 가열 시간을 단축할 수 있다.

- [0193] 이상의 공정으로 수소, 수분, 수소화물, 수산화물의 농도가 감소된 산화물 반도체층(462)을 갖는 박막 트랜지스터(460)를 형성할 수 있다(도 6(E) 참조).
- [0194] 또한, 박막 트랜지스터(460) 상에 보호 절연층이나, 평탄화를 위한 평탄화 절연층을 마련할 수도 있다. 아울러 도시하지 않았으나, 게이트 절연층(452), 보호 절연층이나 평탄화 절연층에 소스 전극층 또는 드레인 전극층(465b)에 도달하는 개구를 형성하고, 그 개구에 소스 전극층 또는 드레인 전극층(465b)과 전기적으로 접속되는 배선층을 형성한다.
- [0195] 상기와 같이 산화물 반도체막을 성막할 때에, 반응 분위기중의 잔류 수분을 제거함으로써 이 산화물 반도체막중의 수소 및 수소화물의 농도를 감소시킬 수 있다. 이에 의해 산화물 반도체막의 안정화를 도모할 수 있다.
- [0196] 상술한 박막 트랜지스터를 실시형태 1에 나타낸 아날로그 회로에 적용함으로써 안정된 전기 특성을 가지며 신뢰성 높은 아날로그 회로를 제공할 수 있다.
- [0197] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시하는 것이 가능하다.
- [0198] (실시형태 5)
- [0199] 본 실시형태에서는, 실시형태 1에 나타낸 아날로그 회로가 갖는 박막 트랜지스터의 일례에 대해 나타낸다. 아울러 다른 실시형태의 내용과 동일 부분 또는 동일한 기능을 갖는 부분, 및 공정은 다른 실시형태와 동일하게 할 수 있고 그 반복 설명은 생략한다. 또한 동일한 부위소의 상세한 설명도 생략한다.
- [0200] 본 실시형태의 박막 트랜지스터를 도 7(A) 및 도 7(B)fmf 이용하여 설명한다.
- [0201] 도 7(A), 도 7(B)에 박막 트랜지스터의 단면 구조의 일례를 나타낸다. 도 7(A), 도 7(B)에 도시된 박막 트랜지스터(425), 박막 트랜지스터(426)는 산화물 반도체층을 도전층과 게이트 전극층으로 사이에 마련한 구조의 박막 트랜지스터이다.
- [0202] 또한, 도 7(A), 도 7(B)에 있어서, 기판은 실리콘 기판을 사용하고 실리콘 기판(420) 상에 마련된 절연층(422) 상에 박막 트랜지스터(425), 박막 트랜지스터(426)가 각각 마련되어 있다.
- [0203] 도 7(A)에서, 실리콘 기판(420)에 마련된 절연층(422)과 절연층(407) 사이에 적어도 산화물 반도체층(412) 전체와 중첩되도록 도전층(427)이 마련되어 있다.
- [0204] 아울러 도 7(B)는, 절연층(422)과 절연층(407) 사이의 도전층이, 도전층(424)과 같이 에칭에 의해 가공되어 산화물 반도체층(412)의 적어도 채널 영역을 포함하는 일부와 중첩되는 예이다.
- [0205] 도전층(427), 도전층(424)은 후속 공정에서 이루어지는 가열 처리 온도에 견딜 수 있는 금속재료일 수 있으며, 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), Nd(네오디뮴), 스칸듐(Sc)에서 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합시킨 합금막, 또는 상술한 원소를 성분으로 하는 질화물 등을 사용할 수 있다. 또한, 단층 구조일 수도 적층 구조일 수도 있고, 예를 들어 텅스텐층 단층, 또는 질화 텅스텐층과 텅스텐층과의 적층 구조 등을 사용할 수 있다.
- [0206] 또한, 도전층(427), 도전층(424)은 전위가 박막 트랜지스터(425), 박막 트랜지스터(426)의 게이트 전극층(411)과 같을 수도 있고 다를 수도 있으며, 제2 게이트 전극층으로서 기능시킬 수도 있다. 또한, 도전층(427), 도전층(424)의 전위가 GND, 0V와 같은 고정 전위일 수도 있고, 어디에도 접속되지 않고 전기적으로 부유된 상태(플로팅)로 할 수도 있다.
- [0207] 도전층(427), 도전층(424)에 의해 박막 트랜지스터(425), 박막 트랜지스터(426)의 전기 특성을 제어할 수 있다.
- [0208] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시하는 것이 가능하다.
- [0209] 여기서, 본 발명의 일 형태인 산화물 반도체를 사용한 박막 트랜지스터에 대하여 에너지밴드도를 이용하여 설명하고자 한다.
- [0210] 도 22는, 산화물 반도체를 사용한 역스태거형의 박막 트랜지스터의 종단면도를 도시한 것이다. 게이트 전극(GE1) 상에 게이트 절연막(GI)을 사이에 두고 산화물 반도체층(OS)이 마련되고 그 위에 소스 전극(S) 및 드레인 전극(D)이 마련되어 있다.
- [0211] 도 23(A) 및 도 23(B)는, 도 22에 나타낸 A-A' 단면에서의 에너지밴드도(모식도)를 나타낸다. 도 23(A)는 소스

와 드레인간의 전압을 등전위(VD=0V)로 한 경우를 나타내고, 도 23(B)는 소스에 대해 드레인에 양의 전위(VD> 0)를 가한 경우를 나타낸다.

- [0212] 도 24(A) 및 도 24(B)는, 도 22의 B-B'의 단면에서의 에너지밴드도(모식도)이다. 도 24(A)는 게이트(G1)에 양의 전위(+VG)가 인가된 상태이며, 소스와 드레인간에 캐리어(전자)가 흐르는 온 상태를 나타내고 있다. 또한, 도 24(B)는, 게이트(G1)에 음의 전위(-VG)가 인가된 상태이며, 오프 상태(소수 캐리어는 흐르지 않음)인 경우를 나타낸다.
- [0213] 도 25는, 진공 준위와 금속의 일함수( $\phi_M$ ), 산화물 반도체의 전자 친화력( $\chi$ )의 관계를 나타낸다.
- [0214] 금속은 축퇴되어 있으므로 페르미 준위는 전도대 내에 위치한다. 한편, 종래의 산화물 반도체는 일반적으로 n형이며, 이 경우의 페르미 준위( $E_f$ )는, 밴드갭 중앙에 위치하는 진성 페르미 준위( $E_i$ )로부터 떨어져 전도대 가까이 위치하고 있다. 아울러 산화물 반도체에서 수소의 일부는 도너가 되어 n형화되는 하나의 요인인 것이 알려져 있다.
- [0215] 이에 반해 본 발명에 따른 산화물 반도체는 n형 불순물인 수소를 산화물 반도체로부터 제거하여 산화물 반도체의 주성분 이외의 불순물이 최대한 포함되지 않도록 고순도화함으로써 진성(I형) 또는 실질적으로 진성으로 만든 것이다. 즉, 불순물을 첨가하여 I형화하는 것이 아니라 수소나 물 등의 불순물을 최대한 제거함으로써 고순도화된 I형(진성 반도체) 또는 이에 근접하도록 하는 것을 특징으로 하고 있다. 이와 같이 함으로써 페르미 준위( $E_f$ )가 진성 페르미 준위( $E_i$ )와 동일한 레벨이 될 수도 있다.
- [0216] 산화물 반도체의 밴드갭( $E_g$ )이 3.15eV인 경우 전자 친화력( $\chi$ )은 4.3eV으로 알려져 있다. 소스 전극 및 드레인 전극을 구성하는 티타늄(Ti)의 일함수는 산화물 반도체의 전자 친화력( $\chi$ )과 거의 같다. 이 경우, 금속-산화물 반도체 계면에서 전자에 대해서 쇼트키형의 장벽은 형성되지 않는다.
- [0217] 즉, 금속의 일함수( $\phi_M$ )와 산화물 반도체의 전자 친화력( $\chi$ )이 동일한 경우 양자가 접촉하면 도 23(A)에 도시된 바와 같은 에너지밴드도(모식도)가 나타난다.
- [0218] 도 23(B)에서 흑색 원(●)은 전자를 나타내고, 드레인에 양의 전위가 인가되면 전자는 배리어(h)를 넘어 산화물 반도체로 주입되어 드레인을 향해 흐른다. 이 경우, 배리어(h)의 높이는 게이트 전압과 드레인 전압에 따라 변화하지만, 양의 드레인 전압이 인가되었을 경우에는, 전압 인가가 없는 도 23(A)의 배리어의 높이 즉 밴드갭( $E_g$ )의 1/2보다 배리어의 높이(h)는 작은 값이 된다.
- [0219] 이 때 전자는 도 24(A)에서 나타난 바와 같이 게이트 절연막과 고순도화된 산화물 반도체와의 계면에서의, 게이트 절연막층의 에너지적으로 안정된 최저부를 이동한다.
- [0220] 또한, 도 24(B)에서, 게이트 전극(G1)에 음의 전위(역바이어스)가 인가되면 소수 캐리어인 홀은 실질적으로 체로이므로 전류는 극히 제로에 가까운 값이 된다.
- [0221] 예를 들어, 박막 트랜지스터의 채널폭(W)이  $1 \times 10^4 \mu\text{m}$ 이고 채널 길이가  $3 \mu\text{m}$ 인 소자의 경우에도, 오프 전류가  $10^{-13} \text{A}$  이하이며 서브스레숄드 스윙값(S $\Delta$ ) 0.1V/dec(게이트 절연막 두께 100nm)을 얻을 수 있다.
- [0222] 이와 같이 산화물 반도체의 주성분 이외의 불순물이 최대한 포함되지 않도록 고순도화함으로써 박막 트랜지스터의 동작을 양호하게 할 수 있다.
- [0223] (실시형태 6)
- [0224] 본 실시형태에서는, 실시형태 1에 나타난 아날로그 회로가 갖는 박막 트랜지스터의 일례에 대해 나타낸다.
- [0225] 본 실시형태의 박막 트랜지스터 및 그 제조 방법의 일 형태를 도 8(A) 내지도 8(E)를 이용하여 설명한다.
- [0226] 도 8(D)에 도시된 박막 트랜지스터(310)는 보텀 게이트 구조이며 역스태거형 박막 트랜지스터라고도 한다.
- [0227] 또한, 박막 트랜지스터(310)는 싱글 게이트 구조의 박막 트랜지스터를 이용하여 설명하나, 필요에 따라서 채널 영역을 복수 갖는 멀티 게이트 구조의 박막 트랜지스터도 형성할 수 있다.
- [0228] 이하, 도 8(A) 내지 도 8(E)를 이용하여 기판(300) 상에 박막 트랜지스터(310)를 제조하는 공정을 설명한다.
- [0229] 우선, 절연 표면을 갖는 기판(300) 상에 도전막을 형성한 후, 제1 포토리소그래피 공정에 의해 게이트 전극층(311)을 형성한다. 형성된 게이트 전극층의 단부를 테이퍼 형상으로 하면, 위에 적층하는 게이트 절연층의 피

복성이 향상되므로 바람직하다. 아울러 레지스트 마스크를 잉크젯법으로 형성할 수도 있다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않으므로 제조 비용을 줄일 수 있다.

- [0230] 절연 표면을 갖는 기판(300)으로 사용할 수 있는 기판에 큰 제한은 없으나 적어도, 후의 가열 처리에 견딜 수 있을 정도의 내열성을 가질 필요가 있다. 바륨 보로실리케이트 유리나 알루미늄보로실리케이트 유리 등의 유리 기판을 사용할 수 있다.
- [0231] 또한, 유리 기판으로서는, 후의 가열 처리의 온도가 높은 경우에는 변형점이 730℃ 이상의 것을 사용할 수 있다. 또한, 유리 기판으로는 예를 들어 알루미늄보로실리케이트 유리, 알루미늄보로실리케이트 유리, 바륨 보로실리케이트 유리 등의 유리 재료가 사용되고 있다. 아울러 산화 붕소(B<sub>2</sub>O<sub>3</sub>)에 비해 산화 바륨(BaO)을 많이 포함시킴으로써 보다 실용적인 내열유리를 얻을 수 있다. 따라서 B<sub>2</sub>O<sub>3</sub>보다 BaO를 많이 포함하는 유리 기판을 사용하는 것이 바람직하다.
- [0232] 아울러 상기의 유리 기판 대신에 세라믹 기판, 석영 기판, 사파이어 기판 등의 절연체로 이루어지는 기판을 사용할 수도 있다. 그 밖에도 결정화 유리 등을 사용할 수 있다.
- [0233] 베이스막이 되는 절연막을 기판(300)과 게이트 전극층(311) 사이에 마련할 수도 있다. 베이스막은 기판(300)으로부터 불순물 원소의 확산을 방지하는 기능을 가지며 질화 규소막, 산화 규소막, 질화 산화 규소막 또는 산화 질화 규소막에서 선택된 하나 또는 복수의 막에 의한 적층 구조에 의해 형성할 수 있다.
- [0234] 또한, 게이트 전극층(311)은 몰리브덴, 티타늄, 크롬, 탄탈륨, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속재료 또는 이들을 주성분으로 하는 합금 재료를 사용하여 단층으로 또는 적층하여 형성할 수 있다.
- [0235] 예를 들어, 게이트 전극층(311)의 2층의 적층 구조는, 알루미늄층 상에 몰리브덴층이 적층된 2층의 적층 구조, 구리층 상에 몰리브덴층을 적층한 2층의 적층 구조, 구리층 상에 질화 티타늄층 혹은 질화 탄탈륨을 적층한 2층의 적층 구조, 질화 티타늄층과 몰리브덴층을 적층한 2층의 적층 구조, 또는 질화 텅스텐층과 텅스텐층과의 2층의 적층 구조로 하는 것이 바람직하다. 3층의 적층 구조는, 텅스텐 또는 질화 텅스텐과, 알루미늄과 규소의 합금 또는 알루미늄과 티타늄의 합금과, 질화 티타늄 또는 티타늄층을 적층한 적층 구조로 하는 것이 바람직하다. 아울러 투광성을 갖는 도전막을 사용하여 게이트 전극층을 형성할 수도 있다. 투광성을 갖는 도전막의 예로는 투광성 도전성 산화물 등을 들 수 있다.
- [0236] 이어서, 게이트 전극층(311) 상에 게이트 절연층(302)을 형성한다.
- [0237] 게이트 절연층(302)은 플라즈마 CVD법 또는 스퍼터링법 등을 이용하여 산화 규소층, 질화 규소층, 산화 질화 규소층, 질화 산화 규소층 또는 산화 알루미늄층을 단층으로 또는 적층하여 형성할 수 있다. 예를 들어, 성막 가스로서 SiH<sub>4</sub>, 산소 및 질소를 사용하여 플라즈마 CVD법에 의해 산화 질화 규소층을 형성할 수 있다. 게이트 절연층(302)의 막 두께는 100nm 이상 500nm 이하로 하고, 적층의 경우에는, 예를 들어 막 두께 50nm 이상 200nm 이하의 제1 게이트 절연층과, 제1 게이트 절연층 상에 막 두께 5nm 이상 300nm 이하의 제2 게이트 절연층을 적층한 구조로 한다.
- [0238] 본 실시형태에서는, 게이트 절연층(302)으로서 플라즈마 CVD법에 의해 막 두께 100nm 이하의 산화 질화 규소층을 형성한다.
- [0239] 이어서, 게이트 절연층(302) 상에 막 두께 2nm 이상 200nm 이하의 산화물 반도체막(330)을 형성한다.
- [0240] 산화물 반도체막(330)은 In-Ga-Zn-O계, In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Sn-O계, In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, In-Ga-O계, In-O계, Sn-O계, Zn-O계의 산화물 반도체막을 사용한다. 본 실시형태에서는, 산화물 반도체막(330)으로서 In-Ga-Zn-O계 금속 산화물 타겟을 사용하여 스퍼터링법에 의해 성막한다. 이 단계의 단면도가 도 8(A)에 상당한다. 또한, 산화물 반도체막(330)은 희가스(대표적으로는 아르곤) 분위기하, 산소 분위기하, 또는 희가스(대표적으로는 아르곤) 및 산소 분위기하에서 스퍼터링법에 의해 형성할 수 있다. 또한, 스퍼터링법을 이용하는 경우, 산화 규소(SiO<sub>x</sub>(X>0))를 2 중량% 이상 10 중량% 이하 포함하는 타겟을 사용하여 성막을 수행할 수도 있다.
- [0241] 산화물 반도체막을 스퍼터링법으로 제조하기 위한 타겟으로서, 산화 아연을 주성분으로 하는 금속 산화물의 타겟을 사용할 수 있다. 또한, 금속 산화물의 타겟의 다른 예로서는, mol수비로 In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO=1:1:1, 원자수비로 In:Ga:Zn=1:1:0.5의 조성을 갖는 In, Ga 및 Zn를 포함하는 금속 산화물 타겟을 사용할 수 있다. 또한, In,

Ga 및 Zn를 포함하는 금속 산화물 타겟으로서, 원자수비로 In:Ga:Zn=1:1:1 또는 In:Ga:Zn=1:1:2의 조성을 갖는 타겟을 사용할 수도 있다. 금속 산화물 타겟의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하이다. 충전율이 높은 금속 산화물 타겟을 사용함으로써, 성막한 산화물 반도체막은 치밀한 막이 된다.

- [0242] 산화물 반도체막(330)을 성막할 때에 사용하는 스퍼터링 가스로서는, 수소, 물, 수산기 또는 수소화물 등의 불순물이 농도 ppm 정도, 농도 ppb 정도까지 제거된 고순도 가스가 바람직하다.
- [0243] 감압 상태로 유지된 처리실 내에 기판을 지지시키고 기판 온도를 100℃ 이상 600℃ 이하 바람직하게는 200℃ 이상 400℃ 이하로 한다. 기판을 가열하면서 성막함으로써, 성막한 산화물 반도체막에 포함되는 불순물 농도를 감소시킬 수 있다. 또한, 스퍼터링에 의한 손상이 경감된다. 그리고, 처리실 내의 잔류 수분을 제거하면서 수소 및 수분이 제거된 스퍼터링 가스를 도입하고 금속 산화물을 타겟으로 하여 기판(300) 상에 산화물 반도체막(330)을 성막한다. 처리실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프를 사용하는 것이 바람직하다. 예를 들어, 크라이오펌프, 이온 펌프, 티타늄 서블리메이션 펌프를 사용하는 것이 바람직하다. 또한, 배기 수단은, 터보 펌프에 콜드 트랩을 부가한 것일 수도 있다. 크라이오펌프를 사용하여 배기한 성막실은, 예를 들어 수소 원자, 물(H<sub>2</sub>O) 등 수소 원자를 포함하는 화합물(보다 바람직하게는 탄소 원자를 포함하는 화합물도) 등이 배기되므로 이 성막실에서 성막한 산화물 반도체막에 포함되는 불순물의 농도를 감소시킬 수 있다.
- [0244] 성막 조건의 일례로서는, 기판과 타겟의 사이의 거리를 100mm, 압력 0.6Pa, 직류(DC) 전원 0.5kW, 산소(산소 유량 비율 100%) 분위기하의 조건이 적용된다. 아울러 펄스 직류(DC) 전원을 사용하면, 성막시에 발생하는 가루형 물질(파티클, 먼지라고도 함)을 경감할 수 있고 막 두께 분포도 균일해지므로 바람직하다. 산화물 반도체막의 막 두께는, 2nm 이상 200nm 이하, 바람직하게는 5nm 이상 30nm 이하로 한다. 아울러 적용하는 산화물 반도체 재료에 따라 적절한 두께는 다르며 재료에 따라 적절히 두께를 선택할 수 있다.
- [0245] 이어서, 산화물 반도체막(330)을 제2 포토리소그래피 공정에 의해 섬형의 산화물 반도체층으로 가공한다. 또한, 섬형의 산화물 반도체층을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성할 수도 있다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않으므로 제조 비용을 줄일 수 있다.
- [0246] 이어서, 산화물 반도체층에 제1 가열 처리를 수행한다. 이 제1 가열 처리에 의해 산화물 반도체층의 탈수화 또는 탈수소화를 수행할 수 있다. 제1 가열 처리의 온도는 400℃ 이상 750℃ 이하, 바람직하게는 400℃ 이상 기판의 변형점 미만으로 한다. 여기서는, 가열 처리 장치 중 하나인 전기로에 기판을 도입하고, 산화물 반도체층에 대해 질소 분위기하 450℃에서 1시간의 가열 처리를 수행한 후, 대기에 접촉하지 않고 산화물 반도체층으로의 물이나 수소의 재혼입을 막아 산화물 반도체층(331)을 얻는다(도 8(B) 참조).
- [0247] 아울러 가열 처리 장치는 전기로에 한정되지 않고, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해 피처리물을 가열하는 장치를 구비할 수도 있다. 예를 들어, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 사용할 수 있다. LRTA 장치는, 할로겐 램프, 메탈할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 나오는 광(전자파)의 복사에 의해 피처리물을 가열하는 장치이다. GRTA 장치는, 고온의 가스를 사용하여 가열 처리를 수행하는 장치이다. 기체로는, 아르곤 등의 희가스 또는 질소와 같은, 가열 처리에 의해 피처리물과 반응하지 않는 불활성 기체가 사용된다.
- [0248] 예를 들어, 제1 가열 처리로서, 650℃~700℃의 고온으로 가열한 불활성 가스중에 기판을 이동시켜 넣고 수분간 가열한 후, 기판을 이동시켜 고온으로 가열한 불활성 가스 내에서 꺼내는 GRTA를 수행할 수도 있다. GRTA를 이용하면 단시간으로 고온 가열 처리가 가능해진다.
- [0249] 아울러 제1 가열 처리에서는, 질소, 또는 헬륨, 네온, 아르곤 등의 희가스에 물, 수소 등이 포함되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 희가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.
- [0250] 또한, 제1 가열 처리의 조건 또는 산화물 반도체층의 재료에 따라서는 산화물 반도체층이 결정화되어 미결정층 또는 다결정층이 될 수도 있다. 예를 들어, 결정화율이 90% 이상 또는 80% 이상인 미결정의 산화물 반도체층이 될 수도 있다. 또한, 제1 가열 처리의 조건 또는 산화물 반도체층의 재료에 따라서는 결정 성분을 포함하지 않는 비정질의 산화물 반도체층이 될 수도 있다. 또한, 비정질의 산화물 반도체층에 미결정부(입경 1nm 이상

20nm 이하(대표적으로는 2nm 이상 4nm 이하))가 혼재하는 산화물 반도체층이 될 수도 있다.

- [0251] 또한, 산화물 반도체층의 제1 가열 처리는, 섬형의 산화물 반도체층으로 가공하기 전의 산화물 반도체막(330)에 수행할 수도 있다. 이 경우에는, 제1 가열 처리 후에 가열 장치로부터 기판을 꺼내어 포토리소그래피 공정을 수행한다.
- [0252] 산화물 반도체층에 대한 탈수화, 탈수소화의 효과를 가져오는 가열 처리는, 산화물 반도체층 성막 후, 산화물 반도체층 상에 소스 전극 및 드레인 전극을 적층시킨 후, 소스 전극 및 드레인 전극 상에 보호 절연막을 형성한 후 중 언제라도 수행할 수 있다.
- [0253] 또한, 게이트 절연층(302)에 콘택트홀을 형성하는 경우, 그 공정은 산화물 반도체막(330)에 탈수화 또는 탈수소화 처리를 수행하기 전 또는 후 언제라도 수행할 수 있다.
- [0254] 아울러 여기서 산화물 반도체막의 에칭은 웨트 에칭에 한정되지 않고 드라이 에칭을 이용할 수도 있다.
- [0255] 원하는 가공 형상으로 에칭할 수 있도록 재료에 맞추어 에칭 조건(에칭액, 에칭 시간, 온도 등)을 적절히 조절한다.
- [0256] 이어서, 게이트 절연층(302) 및 산화물 반도체층(331) 상에 도전막을 형성한다. 도전막을 스퍼터링법이나 진공 증착법으로 형성할 수 있다. 도전막의 재료로서는 Al, Cr, Cu, Ta, Ti, Mo, W에서 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합시킨 합금막 등을 들 수 있다. 또한, 망간, 마그네슘, 지르코늄, 베릴륨, 토륨 중 어느 하나 또는 복수로부터 선택된 재료를 사용할 수도 있다. 또한, 도전막은 단층 구조일 수도 2층 이상의 적층 구조로 할 수도 있다. 예를 들어 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 상에 티타늄막을 적층하는 2층 구조, Ti막과 이 Ti막 상에 중첩시켜 알루미늄막을 적층하고 그 위에 Ti막을 더 성막하는 3층 구조 등을 들 수 있다. 또한, 알루미늄에, 티타늄, 탄탈륨, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 스칸듐에서 선택된 원소를 단수, 또는 복수 조합시킨 막, 합금막, 혹은 질화막을 사용할 수도 있다.
- [0257] 도전막 형성후에 가열 처리를 수행하는 경우에는 이 가열 처리에 전디는 내열성을 도전막이 갖도록 하는 것이 바람직하다.
- [0258] 제3 포토리소그래피 공정에 의해 도전막 상에 레지스트 마스크를 형성하고 선택적으로 에칭을 수행하여 소스 전극층(315a), 드레인 전극층(315b)을 형성한 후 레지스트 마스크를 제거한다(도 8(C) 참조).
- [0259] 제3 포토리소그래피 공정에서의 레지스트 마스크 형성시의 노광에는 자외선이나 KrF 레이저광이나 ArF 레이저광을 사용한다. 산화물 반도체층(331) 상에서 서로 이웃하는 소스 전극층(315a)의 하단부와 드레인 전극층(315b)의 하단부와의 간격폭에 의해, 후에 형성되는 박막 트랜지스터의 채널 길이(L)가 결정된다. 아울러 채널 길이(L)=25nm 미만인 노광을 수행하는 경우에는, 수nm~수십nm로 극히 파장이 짧은 초자외선(Extreme Ultraviolet)를 이용하여 제3 포토리소그래피 공정에서의 레지스트 마스크 형성시의 노광을 수행한다. 초자외선에 의한 노광은, 해상도가 높고 초점심도도 크다. 따라서, 후에 형성되는 박막 트랜지스터의 채널 길이(L)를 10nm 이상 1000nm 이하로 할 수도 있고, 회로의 동작 속도를 고속화할 수 있으며 나아가 오프 전류값이 극히 작으므로 저 소비전력화도 도모할 수 있다.
- [0260] 아울러 도전막의 에칭시에 산화물 반도체층(331)은 제거되지 않도록 각각의 재료 및 에칭 조건을 적절히 조절한다.
- [0261] 본 실시형태에서는, 도전막으로서 Ti막을 사용하고, 산화물 반도체층(331)으로는 In-Ga-Zn-O계 산화물 반도체를 사용하고, 에칭트로는 암모니아과수(암모니아, 물, 과산화 수소수의 혼합액)를 사용한다.
- [0262] 아울러 제3 포토리소그래피 공정에서는, 산화물 반도체층(331)은 일부만이 에칭되어 홈부(요입부)를 갖는 산화물 반도체층이 될 수도 있다. 또한, 소스 전극층(315a), 드레인 전극층(315b)을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성할 수도 있다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않으므로, 제조 비용을 줄일 수 있다.
- [0263] 또한, 산화물 반도체층(331)과 소스 전극층(315a) 및 드레인 전극층(315b) 사이에 산화물 도전층을 형성할 수도 있다. 산화물 반도체층(331)과 소스 전극층(315a) 및 드레인 전극층(315b)을 형성하기 위한 금속층은 연속 성막이 가능하다. 산화물 도전층은 소스 영역 및 드레인 영역으로서 기능할 수 있다.
- [0264] 소스 영역 및 드레인 영역으로서 산화물 도전층을 산화물 반도체층과 소스 전극층 및 드레인 전극층 사이에 마련함으로써 소스 영역 및 드레인 영역의 저저항화를 도모할 수 있어 트랜지스터의 고속 동작을 실현할 수 있다.

- [0265] 또한, 포토리소그래피 공정에서 사용하는 포토마스크수 및 공정수를 삭감하기 위해, 투과된 광이 복수의 강도가 되는 노광 마스크인 다계조 마스크에 의해 형성된 레지스트 마스크를 이용하여 에칭 공정을 수행할 수도 있다. 다계조 마스크를 이용하여 형성한 레지스트 마스크는 복수의 막 두께를 갖는 형상이 되고, 에칭을 수행함으로써 추가로 형상을 변형시킬 수 있으므로, 서로 다른 패턴으로 가공하는 복수의 에칭 공정에 이용할 수 있다. 따라서, 한 장의 다계조 마스크에 의해 적어도 2종류 이상의 서로 다른 패턴에 대응하는 레지스트 마스크를 형성할 수 있다. 따라서 노광 마스크수를 삭감할 수 있고 대응하는 포토리소그래피 공정도 삭감할 수 있으므로 공정의 간략화가 가능해진다.
- [0266] 이어서, N<sub>2</sub>O, N<sub>2</sub> 또는 Ar 등의 가스를 사용한 플라즈마 처리를 수행한다. 이 플라즈마 처리에 의해 노출된 산화물 반도체층의 표면에 부착된 흡착수 등을 제거한다. 또한, 산소와 아르곤의 혼합 가스를 사용하여 플라즈마 처리를 수행할 수도 있다.
- [0267] 플라즈마 처리를 수행한 후 대기에 접촉시키지 않고 산화물 반도체층의 일부와 접하는 보호 절연막이 되는 산화물 절연층(316)을 형성한다.
- [0268] 산화물 절연층(316)은, 적어도 1nm 이상의 막 두께로 하고, 스퍼터링법 등, 산화물 절연층(316)에 물, 수소 등의 불순물을 혼입시키지 않는 방법을 적절히 사용하여 형성할 수 있다. 산화물 절연층(316)에 수소가 포함되면 그 수소의 산화물 반도체층으로의 침입 또는 수소에 의한 산화물 반도체층중의 산소의 척출이 발생하여 산화물 반도체층의 백 채널이 저저항화(N형화)되어 기생 채널이 형성될 우려가 있다. 따라서, 산화물 절연층(316)은 가능한 한 수소를 포함하지 않는 막이 되도록, 성막 방법에 수소를 사용하지 않는 것이 중요하다.
- [0269] 본 실시형태에서는, 산화물 절연층(316)으로서 막 두께 200nm의 산화 규소막을 스퍼터링법을 이용하여 성막한다. 성막시의 기판 온도는 실온 이상 300℃ 이하일 수 있으며, 본 실시형태에서는 100℃로 한다. 산화 규소막의 스퍼터링법에 따른 성막은, 희가스(대표적으로는 아르곤) 분위기하, 산소 분위기하, 또는 희가스(대표적으로는 아르곤) 및 산소 분위기하에서 수행할 수 있다. 또한, 타겟으로서 산화 규소 타겟 또는 규소 타겟을 사용할 수 있다. 예를 들어, 규소 타겟을 사용하여 산소 및 질소 분위기하에서 스퍼터링법에 의해 산화 규소를 형성할 수 있다. 산화물 반도체층(331)에 접하여 형성하는 산화물 절연층(316)은, 수분이나 수소 이온이나 OH<sup>-</sup> 등의 불순물을 포함하지 않으며 이것들이 외부로부터 침입하는 것을 차단하는 무기 절연막을 사용하며, 대표적으로는 산화 실리콘막, 산화 질화 실리콘막, 산화 알루미늄막 또는 산화 질화 알루미늄막 등을 사용한다.
- [0270] 이 경우에, 처리실 내의 잔류 수분을 제거하면서 산화물 절연층(316)을 성막하는 것이 바람직하다. 산화물 반도체층(331) 및 산화물 절연층(316)에 수소, 수산기 또는 수분이 포함되지 않도록 하기 위함이다.
- [0271] 처리실 내의 잔류 수분을 제거하기 위해서는 흡착형의 진공 펌프를 사용하는 것이 바람직하다. 예를 들어 크라이오펌프, 이온 펌프, 티타늄 서블리메이션 펌프를 사용하는 것이 바람직하다. 또한, 배기 수단은, 터보 펌프에 콜드 트랩을 부가한 것일 수도 있다. 크라이오펌프를 이용하여 배기한 성막실은 예를 들어 수소 원자나, 물(H<sub>2</sub>O) 등 수소 원자를 포함하는 화합물 등이 배기되므로 이 성막실에서 성막한 산화물 절연층(316)에 포함되는 불순물의 농도를 감소시킬 수 있다.
- [0272] 산화물 절연층(316)을 성막할 때에 사용하는 스퍼터링 가스로서는, 수소, 물, 수산기 또는 수소화물 등의 불순물이 농도 ppm 정도, 농도 ppb 정도까지 제거된 고순도 가스가 바람직하다.
- [0273] 이어서, 불활성 가스 분위기하 또는 산소 가스 분위기하에서 제2 가열 처리(바람직하게는 200℃ 이상 400℃ 이하, 예를 들어 250℃ 이상 350℃ 이하)를 수행한다. 예를 들어, 질소 분위기하에서 250℃, 1시간의 제2 가열 처리를 수행한다. 제2 가열 처리를 수행하면, 산화물 반도체층의 일부(채널 영역)가 산화물 절연층(316)과 접촉한 상태로 가열된다. 산화물 반도체층(331)과 산화물 절연층(316)을 접촉시킨 상태로 가열 처리를 수행하면, 제1 가열 처리에 의해 동시에 감소되는 산화물 반도체를 구성하는 주성분 재료 중 하나인 산소를, 산화물 절연층(316)으로부터 산화물 반도체층(331)에 공급할 수 있다. 따라서, 산화물 반도체는 보다 고순도화되어 전기적으로 I형(진성)화된다.
- [0274] 이상의 공정을 거침으로써 탈수화 또는 탈수소화에 의해 수소, 수분, 수소화물, 수산화물의 농도가 감소되어 I형화된 산화물 반도체층(331)을 갖는 박막 트랜지스터(310)를 형성할 수 있다(도 8(D) 참조).
- [0275] 나아가 대기중, 100℃ 이상 200℃ 이하, 1시간 이상 30시간 이하에서의 가열 처리를 수행할 수도 있다. 본 실시형태에서는 150℃로 10시간 가열 처리를 수행한다. 이 가열 처리는 일정한 가열 온도를 유지하여 가열할 수도 있고, 실온으로부터 100℃ 이상 200℃ 이하의 가열 온도로의 승온과 가열 온도로부터 실온으로의 강온을 여

러 차례 반복하여 수행할 수도 있다. 또한, 이 가열 처리를 산화물 절연층의 형성 전에 감압하에서 수행할 수도 있다. 감압하에서 가열 처리를 수행하면 가열 시간을 단축할 수 있다. 이 가열 처리에 의해, 노멀리-오프가 되는 박막 트랜지스터를 얻을 수 있다.

- [0276] 산화물 절연층(316) 상에 보호 절연층(303)을 더 형성할 수도 있다. 예를 들어, RF 스퍼터링법을 이용하여 질화 규소막을 형성한다. RF 스퍼터링법은 양산성이 좋으므로 보호 절연층의 성막 방법으로서 바람직하다. 보호 절연층은 수분이나 수소이온이나, OH<sup>-</sup> 등의 불순물을 포함하지 않고, 이것들이 외부로부터 침입하는 것을 차단하는 무기 절연막을 사용하며, 대표적으로는 질화 실리콘막, 질화 알루미늄막, 질화 산화 실리콘막, 질화 산화 알루미늄막 등을 사용한다(도 8(E) 참조).
- [0277] 본 실시형태에서는, 보호 절연층(303)으로서, 산화물 절연층(316)까지 형성된 기판(300)을 100℃~400℃의 온도로 가열하고, 수소 및 수분이 제거된 고순도 질소를 포함하는 스퍼터링 가스를 도입하고, 실리콘 타겟을 사용하여 질화 실리콘막을 성막한다. 이 경우에도, 산화물 절연층(316)과 마찬가지로, 처리실 내의 잔류 수분을 제거하면서 보호 절연층(303)을 성막하는 것이 바람직하다.
- [0278] 보호 절연층(303) 상에 평탄화를 위한 평탄화 절연층을 마련할 수도 있다.
- [0279] 상술한 박막 트랜지스터를 실시형태 1에 나타난 아날로그 회로에 적용함으로써, 안정된 전기 특성을 가지며 신뢰성 높은 아날로그 회로를 제공할 수 있다.
- [0280] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시하는 것이 가능하다.
- [0281] (실시형태 7)
- [0282] 본 실시형태에서는, 실시형태 1에 나타난 아날로그 회로가 갖는 박막 트랜지스터의 일례에 대해 나타낸다.
- [0283] 본 실시형태의 박막 트랜지스터 및 그 제조 방법의 일 형태를 도 9(A) 내지 도 9(D)를 이용하여 설명한다.
- [0284] 도 9(D)에 도시된 박막 트랜지스터(360)는 채널 보호형(채널 스톱형이라고도 함)이라 불리는 보텀 게이트 구조이며 역스태거형 박막 트랜지스터라고도 한다.
- [0285] 또한, 박막 트랜지스터(360)는 싱글 게이트 구조의 박막 트랜지스터를 이용하여 설명하나, 필요에 따라 채널 영역을 복수 갖는 멀티 게이트 구조의 박막 트랜지스터도 형성할 수 있다.
- [0286] 이하, 도 9(A) 내지 도 9(D)를 이용하여 기판(320) 상에 박막 트랜지스터(360)를 제조하는 공정을 설명한다.
- [0287] 우선, 절연 표면을 갖는 기판(320) 상에 도전막을 형성한 후, 제1 포토리소그래피 공정에 의해 게이트 전극층(361)을 형성한다. 아울러 레지스트 마스크를 잉크젯법으로 형성할 수도 있다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않으므로 제조 비용을 줄일 수 있다.
- [0288] 또한, 게이트 전극층(361)은, 몰리브덴, 티타늄, 크롬, 탄탈륨, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속재료 또는 이들을 주성분으로 하는 합금 재료를 사용하여 단층으로 또는 적층하여 형성할 수 있다.
- [0289] 이어서, 게이트 전극층(361) 상에 게이트 절연층(322)을 형성한다.
- [0290] 본 실시형태에서는, 게이트 절연층(322)으로서 플라즈마 CVD법에 의해 막 두께 100nm 이하의 산화 질화 규소층을 형성한다.
- [0291] 이어서, 게이트 절연층(322) 상에, 막 두께 2nm 이상 200nm 이하의 산화물 반도체막을 형성하고, 제2 포토리소그래피 공정에 의해 섬형의 산화물 반도체층(332)으로 가공한다. 본 실시형태에서는, 산화물 반도체막으로서 In-Ga-Zn-O계 금속 산화물 타겟을 사용하여 스퍼터링법에 의해 성막한다.
- [0292] 이 경우에 처리실 내의 잔류 수분을 제거하면서 산화물 반도체막을 성막하는 것이 바람직하다. 산화물 반도체막에 수소, 수산기 또는 수분이 포함되지 않도록 하기 위함이다.
- [0293] 처리실 내의 잔류 수분을 제거하기 위해서는 흡착형의 진공 펌프를 사용하는 것이 바람직하다. 예를 들어, 크라이오펌프, 이온 펌프, 티타늄 서블리메이션 펌프를 사용하는 것이 바람직하다. 또한, 배기 수단은, 터보 펌프에 콜드 트랩을 부가한 것일 수도 있다. 크라이오펌프를 사용하여 배기한 성막실은 예를 들어 수소 원자나, 물(H<sub>2</sub>O) 등 수소 원자를 포함하는 화합물 등이 배기되므로 이 성막실에서 성막한 산화물 반도체막에 포함되는 불순물의 농도를 감소시킬 수 있다.
- [0294] 산화물 반도체막을 성막할 때에 사용하는 스퍼터링 가스로서는, 수소, 물, 수산기 또는 수소화물 등의 불순물이

농도 ppm 정도, 농도 ppb 정도까지 제거된 고순도 가스가 바람직하다.

- [0295] 이어서, 산화물 반도체층(332)의 탈수화 또는 탈수소화를 수행한다. 탈수화 또는 탈수소화를 수행하는 제1 가열 처리의 온도는 400℃ 이상 750℃ 이하, 바람직하게는 400℃ 이상 기판의 변형점 미만으로 한다. 여기서는, 가열 처리 장치 중 하나인 전기로에 기판을 도입하고, 산화물 반도체층(332)에 대해 질소 분위기하 450℃에서 1시간의 가열 처리를 수행한 후, 대기에 접촉하지 않고 산화물 반도체층(332)으로의 물이나 수소의 재혼입을 막아 탈수화 또는 탈수소화된 산화물 반도체층(332)을 얻는다(도 9(A) 참조).
- [0296] 이어서, N<sub>2</sub>O, N<sub>2</sub> 또는 Ar 등의 가스를 사용한 플라즈마 처리를 수행한다. 이 플라즈마 처리에 의해 노출된 산화물 반도체층의 표면에 부착된 흡착수 등을 제거한다. 또한, 산소와 아르곤의 혼합 가스를 이용하여 플라즈마 처리를 수행할 수도 있다.
- [0297] 이어서, 게이트 절연층(322) 및 산화물 반도체층(332) 상에 산화물 절연층을 형성한 후 제3 포토리소그래피 공정에 의해 레지스트 마스크를 형성하고 선택적으로 에칭을 수행하여 채널 보호층으로서 기능하는 산화물 절연층(366)을 형성한 후 레지스트 마스크를 제거한다. 채널 보호층으로서 산화물 절연층(366)을 마련함으로써, 산화물 반도체층(332)의 채널 형성 영역이 되는 부분에 대한, 이후 공정에서의 에칭시의 플라즈마나 에칭제에 의한 막 감소 등의ダメージ를 방지할 수 있다.
- [0298] 본 실시형태에서는, 산화물 절연층(366)으로서 막 두께 200nm의 산화 규소막을 스퍼터링법을 이용하여 성막한다. 성막시의 기판 온도는 실온 이상 300℃ 이하일 수 있으며 본 실시형태에서는 100℃로 한다. 산화 규소막의 스퍼터링법에 따른 성막은, 희가스(대표적으로는 아르곤) 분위기하, 산소 분위기하, 또는 희가스(대표적으로는 아르곤) 및 산소 분위기하에서 수행할 수 있다. 또한, 타겟으로서 산화 규소 타겟 또는 규소 타겟을 사용할 수 있다. 예를 들어, 규소 타겟을 사용하여 산소 및 질소 분위기하에서 스퍼터링법에 의해 산화 규소를 형성할 수 있다.
- [0299] 이 경우에 처리실 내의 잔류 수분을 제거하면서 산화물 절연층(366)을 성막하는 것이 바람직하다. 산화물 반도체층(332) 및 산화물 절연층(366)에 수소, 수산기 또는 수분이 포함되지 않도록 하기 위함이다.
- [0300] 처리실 내의 잔류 수분을 제거하기 위해서는 흡착형의 진공 펌프를 사용하는 것이 바람직하다. 예를 들어, 크라이오펌프, 이온 펌프, 티타늄 서블리메이션 펌프를 사용하는 것이 바람직하다. 또한, 배기 수단은, 터보 펌프에 콜드 트랩을 부가한 것일 수도 있다. 크라이오펌프를 사용하여 배기한 성막실은 예를 들어 수소 원자나, 물(H<sub>2</sub>O) 등 수소 원자를 포함하는 화합물 등이 배기되므로 이 성막실에서 성막한 산화물 절연층(366)에 포함되는 불순물의 농도를 감소시킬 수 있다.
- [0301] 산화물 절연층(366)을 성막할 때에 사용하는 스퍼터링 가스로서는, 수소, 물, 수산기 또는 수소화물 등의 불순물이 농도 ppm 정도, 농도 ppb 정도까지 제거된 고순도 가스가 바람직하다.
- [0302] 이어서, 불활성 가스 분위기하 또는 산소 가스 분위기하에서 제2 가열 처리(바람직하게는 200℃ 이상 400℃ 이하, 예를 들어 250℃ 이상 350℃ 이하)를 수행할 수도 있다. 예를 들어, 질소 분위기하에서 250℃, 1시간의 제2 가열 처리를 수행한다. 제2 가열 처리를 수행하면 산화물 반도체층의 일부(채널 영역)가 산화물 절연층(366)과 접촉한 상태로 가열된다.
- [0303] 이어서, 게이트 절연층(322), 산화물 반도체층(332) 및 산화물 절연층(366) 상에 도전막을 형성한 후, 제4 포토리소그래피 공정에 의해 레지스트 마스크를 형성하고 선택적으로 에칭을 수행하여 소스 전극층(365a), 드레인 전극층(365b)을 형성한 후 레지스트 마스크를 제거한다(도 9(C) 참조).
- [0304] 소스 전극층(365a), 드레인 전극층(365b)의 재료로서는 Al, Cr, Cu, Ta, Ti, Mo, W에서 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나 상술한 원소를 조합시킨 합금막 등을 들 수 있다. 또한, 금속 도전막은 단층 구조일 수도 2층 이상의 적층 구조로 할 수도 있다. 제2 가열 처리는 소스 전극층(365a), 드레인 전극층(365b) 형성 이후의 공정에서 수행할 수도 있다.
- [0305] 이상의 공정을 거침으로써 탈수화 또는 탈수소화에 의해 수소, 수분, 수소화물, 수산화물의 농도가 감소되어 I형화된 산화물 반도체층(332)을 갖는 박막 트랜지스터(360)가 형성된다.
- [0306] 또한 대기중, 100℃ 이상 200℃ 이하, 1시간 이상 30시간 이하에서의 가열 처리를 수행할 수도 있다. 본 실시형태에서는 150℃로 10시간 가열 처리를 수행한다. 이 가열 처리는 일정한 가열 온도를 유지하여 가열할 수도 있고, 실온으로부터 100℃ 이상 200℃ 이하의 가열 온도로의 승온과 가열 온도로부터 실온으로의 강온을 여러

차례 반복하여 수행할 수도 있다. 또한, 이 가열 처리를 산화물 절연층의 형성전에 감압하에서 수행할 수도 있다. 감압하에서 가열 처리를 수행하면 가열 시간을 단축할 수 있다. 이 가열 처리에 의해, 노멀리-오프가 되는 박막 트랜지스터를 얻을 수 있다.

- [0307] 또한, 소스 전극층(365a), 드레인 전극층(365b), 산화물 절연층(366) 상에 보호 절연층(323)을 형성할 수도 있다. 본 실시형태에서는, 보호 절연층(323)을 질화 규소막을 사용하여 형성한다(도 9(D) 참조).
- [0308] 아울러 소스 전극층(365a), 드레인 전극층(365b), 산화물 절연층(366) 상에 산화물 절연층을 더 형성하고 이 산화물 절연층 상에 보호 절연층(323)을 적층할 수도 있다.
- [0309] 상술한 박막 트랜지스터를 실시형태 1에 나타낸 아날로그 회로에 적용함으로써, 안정된 전기 특성을 가지며 신뢰성 높은 아날로그 회로를 제공할 수 있다.
- [0310] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시하는 것이 가능하다.
- [0311] (실시형태 8)
- [0312] 본 실시형태에서는, 실시형태 1에 나타낸 아날로그 회로가 갖는 박막 트랜지스터의 일례에 대해 나타낸다.
- [0313] 본 실시형태의 박막 트랜지스터 및 그 제조 방법의 일 형태를 도 10(A) 내지 도 10(D)를 이용하여 설명한다.
- [0314] 또한, 도 10(D)에 도시된 박막 트랜지스터(350)는 싱글 게이트 구조의 박막 트랜지스터를 이용하여 설명하나, 필요에 따라서, 채널 영역을 복수 갖는 멀티 게이트 구조의 박막 트랜지스터도 형성할 수 있다.
- [0315] 이하, 도 10(A) 내지 도 10(D)를 이용하여 기관(340) 상에 박막 트랜지스터(350)를 제조하는 공정을 설명한다.
- [0316] 우선, 절연 표면을 갖는 기관(340) 상에 도전막을 형성한 후 제1 포토리소그래피 공정에 의해 게이트 전극층(351)을 형성한다. 본 실시형태에서는, 게이트 전극층(351)으로서 막 두께 150nm의 텅스텐막을 스퍼터링법을 이용하여 형성한다.
- [0317] 이어서, 게이트 전극층(351) 상에 게이트 절연층(342)을 형성한다. 본 실시형태에서는, 게이트 절연층(342)으로서 플라즈마 CVD법에 의해 막 두께 100nm 이하의 산화 질화 규소층을 형성한다.
- [0318] 이어서, 게이트 절연층(342)에 도전막을 형성하고 제2 포토리소그래피 공정에 의해 도전막 상에 레지스트 마스크를 형성하고 선택적으로 에칭을 수행하여 소스 전극층(355a), 드레인 전극층(355b)을 형성한 후 레지스트 마스크를 제거한다(도 10(A) 참조).
- [0319] 이어서 산화물 반도체막(345)을 형성한다(도 10(B) 참조). 본 실시형태에서는 산화물 반도체막(345)을 In-Ga-Zn-O계 금속 산화물 타겟을 사용하여 스퍼터링법에 의해 성막한다. 산화물 반도체막(345)을 제3 포토리소그래피 공정에 의해 섬형의 산화물 반도체층(346)으로 가공한다.
- [0320] 이 경우에 처리실 내의 잔류 수분을 제거하면서 산화물 반도체막(345)을 성막하는 것이 바람직하다. 산화물 반도체막(345)에 수소, 수산기 또는 수분이 포함되지 않도록 하기 위함이다.
- [0321] 처리실 내의 잔류 수분을 제거하기 위해서는 흡착형의 진공 펌프를 사용하는 것이 바람직하다. 예를 들어, 크라이오펌프, 이온 펌프, 티타늄 서블리메이션 펌프를 사용하는 것이 바람직하다. 또한, 배기 수단은, 터보 펌프에 콜드 트랩을 부가한 것일 수도 있다. 크라이오펌프를 사용하여 배기한 성막실은 예를 들어 수소 원자나, 물(H<sub>2</sub>O) 등 수소 원자를 포함하는 화합물 등이 배기되므로 이 성막실에서 성막한 산화물 반도체막(345)에 포함되는 불순물의 농도를 감소시킬 수 있다.
- [0322] 산화물 반도체막(345)을 성막할 때에 사용하는 스퍼터링 가스로서는, 수소, 물, 수산기 또는 수소화물 등의 불순물이 농도 ppm 정도, 농도 ppb 정도까지 제거된 고순도 가스가 바람직하다.
- [0323] 이어서, 산화물 반도체층(346)의 탈수화 또는 탈수소화를 수행한다. 탈수화 또는 탈수소화를 수행하는 제1 가열 처리의 온도는 400℃ 이상 750℃ 이하, 바람직하게는 400℃ 이상 기관의 변형점 미만으로 한다. 여기서는, 가열 처리 장치 중 하나인 전기로에 기관을 도입하고 산화물 반도체층(346)에 대해 질소 분위기하 450℃에서 1시간의 가열 처리를 수행한 후, 대기에 접촉시키지 않고 산화물 반도체층(346)으로의 물이나 수소의 재흡입을 막아 탈수화 또는 탈수소화된 산화물 반도체층(346)을 얻는다(도 10(C) 참조).
- [0324] 또한, 제1 가열 처리로서, 650℃~700℃의 고온으로 가열한 불활성 가스중에 기관을 이동시켜 넣고 수분간 가열한 후, 기관을 이동시켜 고온으로 가열한 불활성 가스 내에서 꺼내는 GRTA를 수행할 수도 있다. GRTA를 이용하

면 단시간으로 고온 가열 처리가 가능해진다.

- [0325] 산화물 반도체층(346)과 접촉하는 보호 절연막이 되는 산화물 절연층(356)을 형성한다.
- [0326] 산화물 절연층(356)은 적어도 1nm 이상의 막 두께로 하고, 스퍼터링법 등, 산화물 절연층(356)에 물, 수소 등의 불순물을 혼입시키지 않는 방법을 적절히 이용하여 형성할 수 있다. 산화물 절연층(356)에 수소가 포함되면 그 수소의 산화물 반도체층으로의 침입 또는 수소에 의한 산화물 반도체층중의 산소의 척출이 발생하여 산화물 반도체층의 백 채널이 저저항화(N형화)되어 기생 채널이 형성될 우려가 있다. 따라서, 산화물 절연층(356)은 가능한 한 수소를 포함하지 않는 막이 되도록, 성막 방법에 수소를 사용하지 않는 것이 중요하다.
- [0327] 본 실시형태에서는, 산화물 절연층(356)으로서 막 두께 200nm의 산화 규소막을 스퍼터링법을 이용하여 성막한다. 성막시의 기판 온도는 실온 이상 300℃ 이하일 수 있으며, 본 실시형태에서는 100℃로 한다. 산화 규소막의 스퍼터링법에 따른 성막은, 희가스(대표적으로는 아르곤) 분위기하, 산소 분위기하, 또는 희가스(대표적으로는 아르곤) 및 산소 분위기하에서 수행할 수 있다. 또한, 타겟으로서 산화 규소 타겟 또는 규소 타겟을 사용할 수 있다. 예를 들어, 규소 타겟을 사용하여 산소 및 질소 분위기하에서 스퍼터링법에 의해 산화 규소를 형성할 수 있다. 산화물 반도체층(346)과 접촉하여 형성하는 산화물 절연층(356)은 수분이나 수소이온이나 OH- 등의 불순물을 포함하지 않고, 이것들이 외부로부터 침입하는 것을 차단하는 무기 절연막을 사용하며, 대표적으로는 산화 실리콘막, 산화 질화 실리콘막, 산화 알루미늄막 또는 산화 질화 알루미늄막 등을 사용한다.
- [0328] 이 경우에 처리실 내의 잔류 수분을 제거하면서 산화물 절연층(356)을 성막하는 것이 바람직하다. 산화물 반도체층(346) 및 산화물 절연층(356)에 수소, 수산기 또는 수분이 포함되지 않도록 하기 위함이다.
- [0329] 처리실 내의 잔류 수분을 제거하기 위해서는 흡착형의 진공 펌프를 사용하는 것이 바람직하다. 예를 들어, 크라이오펌프, 이온 펌프, 티타늄 서블리메이션 펌프를 사용하는 것이 바람직하다. 또한, 배기 수단은, 터보 펌프에 콜드 트랩을 부가한 것일 수도 있다. 크라이오펌프를 사용하여 배기한 성막실은 예를 들어 수소 원자나, 물(H<sub>2</sub>O) 등 수소 원자를 포함하는 화합물 등이 배기되므로 이 성막실에서 성막한 산화물 절연층(356)에 포함되는 불순물의 농도를 감소시킬 수 있다.
- [0330] 산화물 절연층(356)을 성막할 때에 사용하는 스퍼터링 가스는, 수소, 물, 수산기 또는 수소화물 등의 불순물이 농도 ppm 정도, 농도 ppb 정도까지 제거된 고순도 가스가 바람직하다.
- [0331] 이어서, 불활성 가스 분위기하 또는 산소 가스 분위기하에서 제2 가열 처리(바람직하게는 200℃ 이상 400℃ 이하, 예를 들어 250℃ 이상 350℃ 이하)를 수행한다. 예를 들어, 질소 분위기하에서 250℃, 1시간의 제2 가열 처리를 수행한다. 제2 가열 처리를 수행하면 산화물 반도체층이 산화물 절연층(356)과 접촉한 상태로 가열된다.
- [0332] 이상의 공정을 거침으로써 탈수화 또는 탈수소화에 의해 수소, 수분, 수소화물, 수산화물의 농도가 감소되어 I형화된 산화물 반도체층(346)을 갖는 박막 트랜지스터(350)가 형성된다.
- [0333] 또한 대기중, 100℃ 이상 200℃ 이하, 1시간 이상 30시간 이하에서의 가열 처리를 수행할 수도 있다. 본 실시형태에서는 150℃로 10시간 가열 처리를 수행한다. 이 가열 처리는 일정한 가열 온도를 유지하여 가열할 수도 있고, 실온으로부터 100℃ 이상 200℃ 이하의 가열 온도로의 승온과 가열 온도로부터 실온으로의 강온을 여러 차례 반복하여 수행할 수도 있다. 또한, 이 가열 처리를 산화물 절연층의 형성전에 감압하에서 수행할 수도 있다. 감압하에서 가열 처리를 수행하면 가열 시간을 단축할 수 있다. 이 가열 처리에 의해, 노멀리-오프가 되는 박막 트랜지스터를 얻을 수 있다.
- [0334] 산화물 절연층(356) 상에 보호 절연층을 더 형성할 수도 있다. 예를 들어, RF 스퍼터링법을 이용하여 질화 규소막을 형성한다. 본 실시형태에서는, 보호 절연층으로서 보호 절연층(343)을 질화 규소막을 사용하여 형성한다(도 10(D) 참조).
- [0335] 보호 절연층(343) 상에 평탄화를 위한 평탄화 절연층을 마련할 수도 있다.
- [0336] 상술한 박막 트랜지스터를 실시형태 1에 나타낸 아날로그 회로에 적용함으로써, 안정된 전기 특성을 가지며 신뢰성 높은 아날로그 회로를 제공할 수 있다.
- [0337] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시하는 것이 가능하다.
- [0338] (실시형태 9)

- [0339] 본 실시형태에서는, 실시형태 1에 나타낸 아날로그 회로가 갖는 박막 트랜지스터의 일례에 대해 나타낸다.
- [0340] 본 실시형태에서는, 박막 트랜지스터의 제조 공정의 일부가 실시형태 6과 다른 예를 도 11에 도시한다. 도 11은 도 8(A) 내지 도 8(E)와 공정이 일부 다른 점 이외에는 동일하므로 동일한 부분에는 동일한 부호를 사용하며, 동일한 부분의 상세한 설명은 생략한다.
- [0341] 실시형태 6에 따라, 기판(370) 상에 게이트 전극층(381)을 형성하고 제1 게이트 절연층(372a), 제2 게이트 절연층(372b)을 적층한다. 본 실시형태에서는, 게이트 절연층을 2층 구조로 하며, 제1 게이트 절연층(372a)으로 질화물 절연층을, 제2 게이트 절연층(372b)으로 산화물 절연층을 사용한다.
- [0342] 산화 절연층으로서는, 산화 실리콘층, 산화 질화 실리콘층, 산화 알루미늄층, 또는 산화 질화 알루미늄층 등을 사용할 수 있다. 또한, 질화 절연층으로서는, 질화 실리콘층, 질화 산화 실리콘층, 질화 알루미늄층 또는 질화 산화 알루미늄층 등을 사용할 수 있다.
- [0343] 본 실시형태에서는 게이트 전극층(381) 측부터 질화 실리콘층과 산화 실리콘층을 적층한 구조로 한다. 제1 게이트 절연층(372a)으로서 스퍼터링법에 의해 막 두께 50nm 이상 200nm 이하(본 실시형태에서는 50nm)의 질화 실리콘층( $\text{SiN}_y(y>0)$ )을 형성하고, 제1 게이트 절연층(372a) 상에 제2 게이트 절연층(372b)으로서 막 두께 5nm 이상 300nm 이하(본 실시형태에서는 100nm)의 산화 실리콘층( $\text{SiO}_x(x>0)$ )을 적층하여 막 두께 150nm의 게이트 절연층을 형성한다.
- [0344] 이어서, 산화물 반도체막의 형성을 수행하고 산화물 반도체막을 포토리소그래피 공정에 의해 섬형의 산화물 반도체층(382)으로 가공한다. 본 실시형태에서는, 산화물 반도체막으로서 In-Ga-Zn-O계 금속 산화물 타겟을 사용하여 스퍼터링법에 의해 성막한다.
- [0345] 이 경우에 처리실 내의 잔류 수분을 제거하면서 산화물 반도체막을 성막하는 것이 바람직하다. 산화물 반도체막에 수소, 수산기 또는 수분이 포함되지 않도록 하기 위함이다.
- [0346] 처리실 내의 잔류 수분을 제거하기 위해서는 흡착형의 진공 펌프를 사용하는 것이 바람직하다. 예를 들어, 크라이오펌프, 이온 펌프, 티타늄 서블리메이션 펌프를 사용하는 것이 바람직하다. 또한, 배기 수단은, 터보 펌프에 콜드 트랩을 부가한 것일 수도 있다. 크라이오펌프를 사용하여 배기한 성막실은 예를 들어 수소 원자나, 물( $\text{H}_2\text{O}$ ) 등 수소 원자를 포함하는 화합물 등이 배기되므로 이 성막실에서 성막한 산화물 반도체막에 포함되는 불순물의 농도를 감소시킬 수 있다.
- [0347] 산화물 반도체막을 성막할 때에 사용하는 스퍼터링 가스는, 수소, 물, 수산기 또는 수소화물 등의 불순물이 농도 ppm 정도, 농도 ppb 정도까지 제거된 고순도 가스가 바람직하다.
- [0348] 이어서, 산화물 반도체층(382)의 탈수화 또는 탈수소화를 수행한다. 탈수화 또는 탈수소화를 수행하는 제1 가열 처리의 온도는 400℃ 이상 750℃ 이하, 바람직하게는 425℃ 이상으로 한다. 아울러 425℃ 이상이면 가열 처리 시간은 1시간 이하일 수 있지만, 425℃ 미만이면 가열 처리 시간은 1시간보다 장시간 수행하기로 한다. 여기서는, 가열 처리 장치 중 하나인 전기로에 기판을 도입하고 산화물 반도체층에 대해 질소 분위기하에서 가열 처리를 수행한 후 대기에 접촉시키지 않고 산화물 반도체층으로의 물이나 수소의 재혼입을 막아 산화물 반도체층을 얻는다. 그 후, 동일한 전기로에 고순도의 산소 가스, 고순도의  $\text{N}_2\text{O}$  가스 또는 초진조 에어(노점이 -40℃ 이하, 바람직하게는 -60℃ 이하)를 도입하여 냉각을 수행한다. 산소 가스 또는  $\text{N}_2\text{O}$  가스에 물, 수소 등이 포함되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 산소 가스 또는  $\text{N}_2\text{O}$  가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉 산소 가스 또는  $\text{N}_2\text{O}$  가스중의 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.
- [0349] 아울러 가열 처리 장치는 전기로에 한정되지 않고, 예를 들어 GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 사용할 수 있다. LRTA 장치는 할로겐 램프, 메탈할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 나오는 광(전자파)의 복사에 의해 피처리물을 가열하는 장치이다. 또한, LRTA 장치, 램프 뿐 아니라, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해 피처리물을 가열하는 장치를 구비할 수도 있다. GRTA는 고온의 가스를 사용하여 가열 처리를 수행하는 방법을 가리킨다. 가스로는, 아르곤 등의 희가스 또는 질소와 같은, 가열 처리에 의해 피처리물과 반응하지 않는 불활성 기체가 사용된다. RTA법을 사용해, 600

℃~750℃로 수분간 가열 처리를 수행할 수도 있다.

- [0350] 또한, 탈수화 또는 탈수소화를 수행하는 제1 가열 처리 후에 200℃ 이상 400℃ 이하, 바람직하게는 200℃ 이상 300℃ 이하의 온도로 산소 가스 또는 N<sub>2</sub>O 가스 분위기하에서의 가열 처리를 수행할 수도 있다.
- [0351] 또한, 산화물 반도체층의 제1 가열 처리는 섬형의 산화물 반도체층으로 가공하기 전의 산화물 반도체막에 수행할 수도 있다. 이 경우에는 제1 가열 처리 후에 가열 장치로부터 기판을 꺼내어 포토리소그래피 공정을 수행한다.
- [0352] 이상의 공정을 거침으로써 산화물 반도체층의 불순물을 감소시켜, 전체가 I형화 또는 실질적으로 I형화된 산화물 반도체층(382)을 얻을 수 있다.
- [0353] 이어서, 산화물 반도체층(382) 상에 도전막을 형성하고 포토리소그래피 공정에 의해 레지스트 마스크를 형성하여 도전막을 선택적으로 에칭하여 소스 전극층(385a), 드레인 전극층(385b)을 형성하고 스퍼터링법으로 산화물 절연층(386)을 형성한다.
- [0354] 이 경우에 처리실 내의 잔류 수분을 제거하면서 산화물 절연층(386)을 성막하는 것이 바람직하다. 산화물 반도체층(382) 및 산화물 절연층(386)에 수소, 수산기 또는 수분이 포함되지 않도록 하기 위함이다.
- [0355] 처리실 내의 잔류 수분을 제거하기 위해서는 흡착형의 진공 펌프를 사용하는 것이 바람직하다. 예를 들어, 크라이오펌프, 이온 펌프, 티타늄 서블리메이션 펌프를 사용하는 것이 바람직하다. 또한, 배기 수단은, 터보 펌프에 콜드 트랩을 부가한 것일 수도 있다. 크라이오펌프를 사용하여 배기한 성막실은 예를 들어 수소 원자나, 물(H<sub>2</sub>O) 등 수소 원자를 포함하는 화합물 등이 배기되므로 이 성막실에서 성막한 산화물 절연층(386)에 포함되는 불순물의 농도를 감소시킬 수 있다.
- [0356] 산화물 절연층(386)을 성막할 때에 사용하는 스퍼터링 가스는, 수소, 물, 수산기 또는 수소화물 등의 불순물이 농도 ppm 정도, 농도 ppb 정도까지 제거된 고순도 가스가 바람직하다.
- [0357] 이상의 공정으로 박막 트랜지스터(380)를 형성할 수 있다.
- [0358] 이어서, 박막 트랜지스터의 전기적 특성의 불균일을 줄이기 위해 불활성 가스 분위기하 또는 질소 가스 분위기하에서 가열 처리(바람직하게는 150℃ 이상 350℃ 미만)를 수행할 수도 있다. 예를 들어, 질소 분위기하에서 250℃, 1시간의 가열 처리를 수행한다.
- [0359] 또한, 대기중, 100℃ 이상 200℃ 이하, 1시간 이상 30시간 이하에서의 가열 처리를 수행할 수도 있다. 본 실시 형태에서는 150℃로 10시간 가열 처리를 수행한다. 이 가열 처리는 일정한 가열 온도를 유지하여 가열할 수도 있고, 실온으로부터 100℃ 이상 200℃ 이하의 가열 온도로의 승온과 가열 온도로부터 실온으로의 강온을 여러 차례 반복하여 수행할 수도 있다. 또한, 이 가열 처리를 산화물 절연층의 형성전에 감압하에서 수행할 수도 있다. 감압하에서 가열 처리를 수행하면 가열 시간을 단축할 수 있다. 이 가열 처리에 의해, 노멀리-오프가 되는 박막 트랜지스터를 얻을 수 있다.
- [0360] 산화물 절연층(386) 상에 보호 절연층(373)을 형성한다. 본 실시형태에서는 보호 절연층(373)으로서 스퍼터링법을 이용하여 막 두께 100nm의 질화 규소막을 형성한다.
- [0361] 질화물 절연층으로 이루어지는 보호 절연층(373) 및 제1 게이트 절연층(372a)은 수분이나 수소나 수소화물, 수산화물 등의 불순물을 포함하지 않고, 이것들이 외부로부터 침입하는 것을 차단하는 효과가 있다.
- [0362] 따라서, 보호 절연층(373) 형성후의 제조 프로세스에 있어서 외부로부터의 수분 등의 불순물의 침입을 막을 수 있다. 또한, 반도체 장치, 예를 들어 액정표시장치로서 디바이스가 완성된 후에도 장기적으로 외부로부터의 수분 등의 불순물의 침입을 막을 수 있어 디바이스의 장기 신뢰성을 향상시킬 수 있다.
- [0363] 또한, 질화물 절연층으로 이루어지는 보호 절연층(373)과 제1 게이트 절연층(372a) 사이에 마련되는 절연층을 제거하여 보호 절연층(373)과 제1 게이트 절연층(372a)이 접촉하는 구조로 할 수도 있다.
- [0364] 보호 절연층(373)과 제1 게이트 절연층(372a)이 접촉하는 구조로 함으로써 산화물 반도체층중의 수분이나 수소나 수소화물, 수산화물 등의 불순물을 궁극적으로 감소시킬 수 있고, 또한 이 불순물의 재혼입을 방지하여 산화물 반도체층중의 불순물 농도를 낮게 유지할 수 있다.
- [0365] 보호 절연층(373) 상에 평탄화를 위한 평탄화 절연층을 마련할 수도 있다.

- [0366] 상술한 박막 트랜지스터를 실시형태 1에 나타난 아날로그 회로에 적용함으로써, 안정된 전기 특성을 가지며 신뢰성 높은 아날로그 회로를 제공할 수 있다.
- [0367] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시하는 것이 가능하다.
- [0368] (실시형태 10)
- [0369] 본 실시형태에서는 실시형태 1에 나타난 아날로그 회로를 갖는 반도체 장치의 일례에 대해 설명한다. 구체적으로는, 실시형태 1에 나타난 광 검출 장치를 갖는 액정 표시 패널의 외관 및 단면에 대해 도 12를 이용하여 설명한다. 도 12는 박막 트랜지스터(4010), 박막 트랜지스터(4011) 및 액정 소자(4013)를, 제1 기판(4001)과 제2 기판(4006) 사이에 절재(4005)에 의해 밀봉한 패널 상면도이며, 도 12(B)는 도 12(A) 또는 도 12(C)의 M-N의 단면도에 상당한다.
- [0370] 제1 기판(4001) 상에 마련된 화소부(4002)와 주사선 구동 회로(4004)를 둘러싸도록 절재(4005)가 마련되어 있다. 또한, 화소부(4002)와 주사선 구동 회로(4004) 상에 제2 기판(4006)이 마련되어 있다. 따라서 화소부(4002)와 주사선 구동 회로(4004)는 제1 기판(4001)과 절재(4005)와 제2 기판(4006)에 의해 액정층(4008)과 함께 밀봉되어 있다. 또한 제1 기판(4001) 상의 절재(4005)에 의해 둘러싸여 있는 영역과는 다른 영역에, 별도로 준비된 기판 상에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동 회로(4003)가 실장되어 있다.
- [0371] 또한, 제1 기판(4001) 상의 절재(4005)에 의해 둘러싸여 있는 영역과는 다른 영역에, 실시형태 1에서 나타난 광 검출 장치(4100)가 마련되어 있다. 광 검출 장치(4100)는 제1 기판(4001) 상에 화소부와 동시에 형성할 수도 있고, 별도의 기판 상에 제조하여 제1 기판(4001) 상에 실장할 수도 있다. 아울러 제1 기판(4001)으로서 투광성 기판을 사용하는 경우에는 기판측으로부터 입사된 광을 검출하도록 광 검출 장치(4100)를 구성할 수 있으나, 제1 기판(4001)으로서 가시광선을 투과시키지 않는 기판을 사용하는 경우에는 광 검출 장치의 수광부를, 기판에 의한 차광의 영향을 받지 않는 방향이 되도록 배치할 필요가 있다.
- [0372] 아울러 별도 형성한 구동 회로의 접속 방법은 특별히 한정되는 것은 아니고, COG법, 와이어 본딩법 혹은 TAB법 등을 이용할 수 있다. 도 12(A)는, COG 방법에 의해 신호선 구동 회로(4003)를 실장하는 예이며, 도 12(C)는 TAB 방법에 의해 신호선 구동 회로(4003)를 실장하는 예이다.
- [0373] 또한, 제1 기판(4001) 상에 마련된 화소부(4002)와 주사선 구동 회로(4004)는 박막 트랜지스터를 복수 가지고 있으며 도 12(B)에서는 화소부(4002)에 포함되는 박막 트랜지스터(4010)와 주사선 구동 회로(4004)에 포함되는 박막 트랜지스터(4011)를 예시하고 있다. 박막 트랜지스터(4010, 4011) 상에는 절연층(4041), 보호 절연층(4042), 절연층(4020), 절연층(4021)이 마련되어 있다.
- [0374] 박막 트랜지스터(4010, 4011)는, 실시형태 3 내지 실시형태 9에 나타난 박막 트랜지스터 중 어느 하나를 적절히 사용할 수 있고 동일한 공정 및 재료로 형성할 수 있다. 박막 트랜지스터(4010, 4011)의 산화물 반도체층은 수 소나 물이 감소된 것이다. 따라서, 박막 트랜지스터(4010, 4011)는 신뢰성 높은 박막 트랜지스터이다. 본 실시형태에서 박막 트랜지스터(4010, 4011)는 n채널형 박막 트랜지스터이다.
- [0375] 절연층(4021) 상에서, 구동 회로용의 박막 트랜지스터(4011)의 산화물 반도체층의 채널 영역과 중첩되는 위치에 도전층(4040)이 마련되어 있다. 도전층(4040)을 산화물 반도체층의 채널 영역과 중첩되는 위치에 마련함으로써 BT시험 전후의 박막 트랜지스터(4011)의 문턱값 전압의 변화량을 감소시킬 수 있다. 또한, 도전층(4040)의 전위는 박막 트랜지스터(4011)의 게이트 전극층과 같을 수도 있고 다를 수도 있으며, 제2 게이트 전극층으로서 기능시킬 수도 있다. 또한, 도전층(4040)의 전위는 GND, 0V, 또는 플로팅 상태일 수도 있다. 아울러 이 도전층(4040)은 없을 수도 있다.
- [0376] 또한, 액정 소자(4013)가 갖는 화소 전극층(4030)은 박막 트랜지스터(4010)의 소스 전극층 또는 드레인 전극층과 전기적으로 접속되어 있다. 그리고 액정 소자(4013)의 대향 전극층(4031)은 제2 기판(4006) 상에 형성되어 있다. 화소 전극층(4030)과 대향 전극층(4031)과 액정층(4008)이 중첩된 부분이 액정 소자(4013)에 상당한다. 아울러 화소 전극층(4030), 대향 전극층(4031)은 각각 배향막으로서 기능하는 절연층(4032), 절연층(4033)이 마련되어 절연층(4032, 4033)을 사이에 두고 액정층(4008)을 지지하고 있다.
- [0377] 아울러 제1 기판(4001), 제2 기판(4006)으로서는 투광성 기판을 사용할 수 있고 유리, 세라믹스, 플라스틱을 사용할 수 있다. 플라스틱으로서는 FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐플루오라이드) 필름, 폴리에스테르 필름 또는 아크릴 수지 필름을 사용할 수 있다.
- [0378] 또한, 스페이서(4035)는 절연막을 선택적으로 에칭함으로써 얻어지는 기둥 모양의 스페이서이며, 화소 전극층

(4030)과 대향 전극층(4031) 사이의 거리(셀갭)를 제어하기 위해 마련되어 있다. 또한 구형의 스페이서를 사용할 수도 있다. 또한, 대향 전극층(4031)은 박막 트랜지스터(4010)와 동일 기관 상에 마련되는 공통 전위선과 전기적으로 접속된다. 공통 접속부를 이용하여 한 쌍의 기관 사이에 배치되는 도전성 입자를 통해 대향 전극층(4031)과 공통 전위선을 전기적으로 접속시킬 수 있다. 아울러 도전성 입자는 셀재(4005)에 함유시킨다.

[0379] 또한, 배향막을 이용하지 않는 블루상을 나타내는 액정을 사용할 수도 있다. 블루상은 액정상 중 하나로, 콜레스테릭 액정을 승온시켜 나가면 콜레스테릭상에서 등방상으로 전이되기 직전에 발현되는 상이다. 블루상은 좁은 온도 범위에서만 발현되므로 온도 범위를 개선하기 위해 5중량% 이상의 카이럴제를 혼합시킨 액정 조성물을 이용하여 액정층(4008)에 사용한다. 블루상을 나타내는 액정과 카이럴제를 포함하는 액정 조성물은 응답 속도가 1msec 이하로 짧고 광학적 등방성이므로 배향 처리가 불필요하고 시야각 의존성이 작다. 또한 배향막을 마련하지 않아도 되므로 러빙 처리도 불필요하여 러빙 처리에 의해 발생하는 정전 파괴를 방지할 수 있고 작체 공정시의 액정표시장치의 불량이나 파손을 경감시킬 수 있다. 따라서 액정표시장치의 생산성을 향상시키는 것이 가능해진다. 특히, 산화물 반도체층을 사용하는 박막 트랜지스터는 정전기의 영향에 의해 박막 트랜지스터의 전기적인 특성이 현저하게 변동하여 설계 범위를 벗어날 우려가 있다. 따라서 산화물 반도체층을 사용하는 박막 트랜지스터를 갖는 액정표시장치에 블루상의 액정 재료를 사용하는 것은 더욱 효과적이다.

[0380] 또한 투과형 액정표시장치뿐 아니라 반투과형 액정표시장치에서도 적용할 수 있다.

[0381] 또한, 액정표시장치에서는 기관의 외측(시인측)에 편광판을 마련하고 내측에 착색층, 표시소자로 사용하는 전극층의 순으로 마련하는 예를 나타내었으나, 편광판은 기관의 내측에 마련할 수도 있다. 또한, 편광판과 착색층의 적층 구조도 본 실시형태에 한정되지 않고 편광판 및 착색층의 재료나 제조 공정 조건에 따라 적절히 설정할 수 있다. 또한 표시부 외에도 블랙매트릭스로서 기능하는 차광막을 마련할 수도 있다.

[0382] 박막 트랜지스터(4011, 4010) 상에는 산화물 반도체층과 접촉하여 절연층(4041)이 형성되어 있다. 절연층(4041)은 다른 실시형태에서 나타낸 산화물 절연층과 동일한 재료 및 방법으로 형성할 수 있다. 여기서는 절연층(4041)으로서, 스퍼터링법에 의해 산화 실리콘층을 형성한다. 또한, 절연층(4041) 상에 접촉하여 보호 절연층(4042)을 형성한다. 또한, 보호 절연층(4042)은 다른 실시형태에서 나타낸 보호 절연층과 동일하게 형성할 수 있고 예를 들어 질화 실리콘막을 사용할 수 있다. 또한, 보호 절연층(4042) 상에 박막 트랜지스터의 표면을 요철을 감소시키기 위한 평탄화막으로서 절연층(4021)이 형성되어 있다.

[0383] 또한, 평탄화막으로서 기능하는 절연층(4021)으로서는, 폴리이미드, 아크릴 수지, 벤조시클로부텐계 수지, 폴리아미드, 에폭시 수지 등의 내열성을 갖는 유기 재료를 사용할 수 있다. 또한 상기 유기 재료 외에, 저유전율 재료(low-k재료), 실록산계 수지, PSG(phosphosilicate glass), BPSG(borophosphosilicate glass) 등을 사용할 수 있다. 아울러 이러한 재료로 형성되는 절연막을 복수 적층시킴으로써 절연층(4021)을 형성할 수도 있다.

[0384] 절연층(4021)의 형성법은 특별히 한정되지 않고, 그 재료에 따라 스퍼터링법, SOG법, 스핀코트, 딥, 스프레이 도포, 액적 도출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등), 닥터 나이프, 롤 코터, 커텐 코터, 나이프 코터 등을 이용할 수 있다. 절연층(4021)의 소성 공정과 반도체층의 어닐링을 겸함으로써 효율적으로 반도체 장치를 제조할 수 있게 된다.

[0385] 화소 전극층(4030), 대향 전극층(4031)은, 인듐 주석 산화물(ITO: Indium Tin Oxide), 인듐 아연 산화물(IZO: Indium Zinc Oxide), 산화 인듐에 산화 규소(SiO<sub>x</sub>(X>0))를 혼합한 도전재료, 유기 인듐, 유기 주석, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물 등의 투광성을 갖는 도전성 재료를 사용할 수 있다. 또는 반사형의 액정표시장치에 있어서, 투광성을 가질 필요가 없거나 또는 반사성을 가질 필요가 있는 경우에는 텅스텐(W), 몰리브덴(Mo), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오브(Nb), 탄탈륨(Ta), 크롬(Cr), 코발트(Co), 니켈(Ni), 티타늄(Ti), 백금(Pt), 알루미늄(Al), 구리(Cu), 은(Ag) 등의 금속 또는 그 합금, 혹은 그 금속 질화물로부터 하나 또는 복수종을 사용하여 형성할 수 있다.

[0386] 또한, 화소 전극층(4030), 대향 전극층(4031)은 도전성 고분자(도전성 폴리머라고도 함)를 포함하는 도전성 조성물을 사용하여 형성할 수 있다. 도전성 조성물을 사용하여 형성한 화소 전극은, 시트 저항이 10000Ω / □ 이하, 파장 550nm에서의 투광율이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항율이 0.1Ω · cm 이하인 것이 바람직하다.

[0387] 도전성 고분자로서는 이른바 π 전자공역계 도전성 고분자를 사용할 수 있다. 예를 들어, 폴리아닐린 또는 그 유도체, 폴리프로필 또는 그 유도체, 폴리티오펜 또는 그 유도체, 혹은 이들의 2중 이상의 공중합체 등을 들 수

있다.

- [0388] 또한, 별도 형성된 신호선 구동 회로(4003)와 주사선 구동 회로(4004) 또는 화소부(4002)에 인가되는 각종 신호 및 전위는 FPC(4018)로부터 공급되고 있다.
- [0389] 접속 단자 전극(4015)이 액정 소자(4013)가 갖는 화소 전극층(4030)과 동일한 도전막으로부터 형성되고, 단자 전극(4016)은 박막 트랜지스터(4010, 4011)의 소스 전극층 및 드레인 전극층과 동일한 도전막으로 형성되어 있다.
- [0390] 접속 단자 전극(4015)은 FPC(4018)가 갖는 단자와 이방성 도전막(4019)을 통해 전기적으로 접속되어 있다.
- [0391] 또한, 도 12에서는, 신호선 구동 회로(4003)를 별도 형성하여 제1 기관(4001)에 실장하고 있는 예를 나타내었으나 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도 형성하여 실장할 수도 있고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도 형성하여 실장할 수도 있다.
- [0392] 또한, 블랙매트릭스(차광층), 편광 부재, 위상차 부재, 반사 방지 부재 등의 광학 부재(광학 기관) 등은 적절히 마련한다. 예를 들어, 편광 기관 및 위상차 기관에 의한 원편광을 이용할 수도 있다. 또한, 광원으로서 백 라이트, 사이드 라이트 등을 이용할 수도 있다.
- [0393] 액티브 매트릭스형의 액정표시장치에서는 매트릭스형으로 배치된 화소 전극을 구동함으로써 화면 상에 표시 패턴이 형성된다. 상세하게는 선택된 화소 전극과 이 화소 전극에 대응하는 대향 전극과의 사이에 전압이 인가됨으로써 화소 전극과 대향 전극 사이에 배치된 액정층의 광학 변조가 이루어지고 이 광학 변조가 표시 패턴으로서 관찰자에게 인식된다.
- [0394] 액정표시장치의 동영상 표시에서는 액정 분자 자체의 응답이 늦어 잔상이 생기거나 또는 동영상의 일그러짐 문제가 있다. 액정표시장치의 동영상 특성을 개선하기 위해 전면 블랙 표시를 1프레임 걸러 수행하는 소위 블랙 삽입(black insertion)이라 불리는 구동 기술이 있다.
- [0395] 또한, 수직 동기 주기수를 1.5배, 바람직하게는 2배 이상으로 함으로써 동영상 특성을 개선하는 소위 배속 구동이라 불리는 구동 기술도 있다.
- [0396] 또한, 액정표시장치의 동영상 특성을 개선하기 위해, 백 라이트로서 복수의 LED(발광 다이오드) 광원 또는 복수의 EL 광원 등을 사용하여 면 광원을 구성하고, 면 광원을 구성하고 있는 각 광원을 독립적으로 1 프레임 기간 내에 간헐 점등 구동하는 구동 기술도 있다. 면 광원으로서 3 종류 이상의 LED를 사용할 수도 있고 백색 발광의 LED를 사용할 수도 있다. 독립적으로 복수의 LED를 제어할 수 있으므로 액정층의 광학 변조의 변환 타이밍에 맞추어 LED의 발광 타이밍을 동기시킬 수도 있다. 이 구동 기술은 LED를 부분적으로 소등할 수 있으므로, 특히 한 화면을 차지하는 검은 표시 영역의 비율이 많은 영상 표시의 경우에는 소비전력의 감소 효과를 도모할 수 있다.
- [0397] 이러한 구동 기술을 조합함으로써 액정표시장치의 동영상 특성 등의 표시 특성을 종래에 비해 개선할 수 있다.
- [0398] 또한, 박막 트랜지스터는 정전기 등에 의해 파괴되기 쉬우므로 화소부 또는 구동 회로와 동일 기관 상에 보호 회로를 더 마련하는 것이 바람직하다. 보호 회로는 산화물 반도체층을 사용한 비선형 소자를 이용하여 구성하는 것이 바람직하다. 예를 들어, 보호 회로는 화소부와 주사선 입력 단자 및 신호선 입력 단자와의 사이에 배치되어 있다. 본 실시형태에서는 복수의 보호 회로를 배치하여 주사선, 신호선 및 용량 버스선에 정전기 등에 의해 서지 전압이 인가되어 화소 트랜지스터 등이 파괴되지 않도록 구성되어 있다. 따라서 보호 회로는 서지 전압이 인가되었을 때에 공통 배선으로 전하가 우회하도록 구성한다. 또한, 보호 회로는 주사선 및 공통 배선 사이에 병렬로 배치된 비선형 소자에 의해 구성되어 있다. 비선형 소자는 다이오드와 같은 2단자 소자 또는 트랜지스터와 같은 3단자 소자로 구성된다. 예를 들어, 화소부의 박막 트랜지스터와 동일한 공정으로 형성할 수도 있고, 예를 들어 게이트 단자와 드레인 단자를 접속시킴으로써 다이오드와 동일한 특성을 갖게 할 수 있다.
- [0399] 또한, 액정 표시 모듈에는 TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드 등을 이용할 수 있다.
- [0400] 이와 같이, 본 명세서에 개시되는 반도체 장치로서는, 특별히 한정되지 않고 TN 액정, OCB 액정, STN 액정, VA 액정, ECB형 액정, GH 액정, 고분자 분산형 액정, 디스코틱 액정 등을 사용할 수 있으나, 그 중에서 노멀리-블

랙형의 액정 패널, 예를 들어 수직 배향(VA) 모드를 채용한 투과형의 액정표시장치로 하는 것이 바람직하다. 수직 배향 모드로서는 여러 개를 예시할 수 있으나 예를 들어 MVA(Multi-Domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASV 모드 등을 이용할 수 있다.

- [0401] 또한, VA형의 액정표시장치에도 적용할 수 있다. VA형의 액정표시장치는 액정 표시 패널의 액정 분자의 배열을 제어하는 방식의 일종이다. VA형의 액정표시장치는 전압이 인가되지 않았을 때에 패널면에 대해 액정 분자가 수직 방향을 향하는 방식이다. 또한, 화소(픽셀)를 여러 영역(서브 픽셀)으로 나누어 각각 다른 방향으로 분자를 배열시키도록 고안되어 있는 멀티 도메인화 혹은 멀티 도메인 설계라 불리는 방법을 이용할 수 있다.
- [0402] 광 검출 장치(4100)에 의해 액정표시장치 주변의 조도를 검출함으로써 백 라이트의 발광 휘도를 조절하여 시인성을 높임과 아울러 전력 절약화를 도모할 수 있다.
- [0403] 또한, 화소부(4002) 내에 실시형태 1에서 나타난 광 검출 장치를 마련하여 광학식의 터치 센서로서 이용할 수도 있다.
- [0404] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시하는 것이 가능하다.
- [0405] (실시형태 11)
- [0406] 본 실시형태에서는, 액티브 매트릭스형의 발광 표시장치의 일례를 나타낸다. 아울러 구체적으로는 일렉트로루미네센스를 이용하는 발광소자를 갖는 발광 표시장치의 일례에 대해 설명한다.
- [0407] 일렉트로루미네센스를 이용하는 발광소자는 발광재료가 유기 화합물인지 무기 화합물인지에 따라 구별되고 일반적으로 전자는 유기 EL 소자, 후자는 무기 EL 소자라 불리고 있다.
- [0408] 유기 EL 소자는 발광소자로 전압을 인가함으로써 한 쌍의 전극으로부터 전자 및 정공이 각각 발광성의 유기 화합물을 포함하는 층으로 주입되어 전류가 흐른다. 그리고, 그 캐리어(전자 및 정공)들이 재결합함으로써 발광한다. 이러한 메카니즘으로부터, 이러한 발광소자는 전류 여기형의 발광소자라 불린다.
- [0409] 무기 EL 소자는 그 소자 구성에 의해 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광재료의 입자를 바인더 내에 분산시킨 발광층을 갖는 것으로, 발광 메카니즘은 도너 준위와 억셉터-준위를 이용하는 도너-억셉터-재결합형 발광이다. 박막형 무기 EL 소자는 발광층이 유전체층 사이에 배치되고, 나아가 이것이 전극들 사이에 배치된 구조이며, 발광 메카니즘은 금속 이온의 내각 전자 천이를 이용하는 국재형 발광이다. 또한 여기서는 발광소자로서 유기 EL 소자를 이용하여 설명한다.
- [0410] 도 13은, 반도체 장치의 예로서 디지털 시간 계조 구동을 적용할 수 있는 화소 구성의 일례를 나타낸 도면이다.
- [0411] 디지털 시간 계조 구동을 적용할 수 있는 화소의 구성 및 화소의 동작에 대해 설명한다. 여기서는 산화물 반도체층을 채널 형성 영역에 사용하는 n채널형의 트랜지스터를 하나의 화소에 2개 사용하는 예를 나타낸다.
- [0412] 화소(6400)는 스위칭용 트랜지스터(6401), 발광소자 구동용 트랜지스터(6402), 발광소자(6404) 및 용량소자(6403)를 갖고 있다. 스위칭용 트랜지스터(6401)는 게이트가 주사선(6406)에 접속되고 제1 전극(소스 전극 및 드레인 전극 중 하나)이 신호선(6405)에 접속되고 제2 전극(소스 전극 및 드레인 전극 중 다른 하나)이 발광소자 구동용 트랜지스터(6402)의 게이트에 접속되어 있다. 발광소자 구동용 트랜지스터(6402)는 게이트가 용량소자(6403)를 통해 전원선(6407)과 접속되고, 제1 전극이 전원선(6407)에 접속되고 제2 전극이 발광소자(6404)의 제1 전극(화소 전극)에 접속되어 있다. 발광소자(6404)의 제2 전극은 공통 전극(6408)에 상당한다. 공통 전극(6408)은 동일 기판 상에 형성되는 공통 전위선과 전기적으로 접속된다.
- [0413] 또한 발광소자(6404)의 제2 전극(공통 전극(6408))에는 저전원 전위가 설정되어 있다. 아울러 저전원 전위는 전원선(6407)에 설정되는 고전원 전위를 기준으로 저전원 전위 < 고전원 전위를 만족하는 전위를 가리키며 저전원 전위로서는 예를 들어 GND, 0V 등이 설정될 수도 있다. 이 고전원 전위와 저전원 전위간의 전위차를 발광소자(6404)로 인가하여 발광소자(6404)로 전류를 흘려 발광소자(6404)를 발광시키기 위해 고전원 전위와 저전원 전위간 전위차가 발광소자(6404)의 순방향 문턱값 전압 이상이 되도록 각각의 전위를 설정한다.
- [0414] 또한 용량소자(6403)는 발광소자 구동용 트랜지스터(6402)의 게이트 용량을 대신 사용하여 생략할 수도 있다. 발광소자 구동용 트랜지스터(6402)의 게이트 용량은 채널 영역과 게이트 전극 사이에 형성될 수도 있다.
- [0415] 여기서, 전압 입력 전압 구동 방식의 경우에는 발광소자 구동용 트랜지스터(6402)의 게이트로는, 발광소자 구동용 트랜지스터(6402)가 충분히 온되거나 오프되는 2가지 상태가 될 수 있는 비디오 신호를 입력한다. 즉, 발광

소자 구동용 트랜지스터(6402)는 선형 영역에서 동작시킨다. 발광소자 구동용 트랜지스터(6402)는 선형 영역에서 동작시키므로 전원선(6407)의 전압보다 높은 전압을 발광소자 구동용 트랜지스터(6402)의 게이트로 인가한다. 아울러 신호선(6405)으로는 (전원선 전압 + 발광소자 구동용 트랜지스터(6402)의  $V_{th}$ ) 이상의 전압을 인가한다.

- [0416] 또한, 디지털 시간 계조 구동 대신에 아날로그 계조 구동을 수행하는 경우, 신호의 입력을 다르게 함으로써 도 13과 동일한 화소 구성을 이용할 수 있다.
- [0417] 아날로그 계조 구동을 수행하는 경우, 발광소자 구동용 트랜지스터(6402)의 게이트로 발광소자(6404)의 순방향 전압 + 발광소자 구동용 트랜지스터(6402)의  $V_{th}$  이상의 전압을 인가한다. 발광소자(6404)의 순방향 전압은, 원하는 휘도로 할 경우의 전압을 가리키고 있으며 적어도 순방향 문턱값 전압을 포함한다. 아울러 발광소자 구동용 트랜지스터(6402)가 포화 영역에서 동작할 수 있는 비디오 신호를 입력함으로써 발광소자(6404)로 전류를 흐르게 할 수 있다. 발광소자 구동용 트랜지스터(6402)를 포화 영역에서 동작시키기 위해 전원선(6407)의 전위는 발광소자 구동용 트랜지스터(6402)의 게이트 전위보다 높게 한다. 아날로그 비디오 신호를 이용함으로써 발광소자(6404)로 비디오 신호에 따른 전류를 흐르게 하여 아날로그 계조 구동을 수행할 수 있다.
- [0418] 이어서, 도 14를 이용하여 도 13과는 다른 화소 구성의 일례에 대해 설명한다. 도 14는 커런트 미러 회로를 적용한 화소 구성의 일례를 나타낸 도면이다. 여기서는 산화물 반도체층을 채널 영역에 사용하는 n채널형의 트랜지스터를 1개의 화소에 4개 사용하는 예를 나타낸다.
- [0419] 화소(6510)는 스위칭용 트랜지스터(6511), 스위칭용 트랜지스터(6512), 참조 트랜지스터(6513), 발광소자 구동용 트랜지스터(6502), 발광소자(6504) 및 용량소자(6503)를 가지고 있다. 스위칭용 트랜지스터(6511) 및 스위칭용 트랜지스터(6512)는 게이트가 주사선(6506)에 접속되어 있다. 스위칭용 트랜지스터(6511)의 제1 전극(소스 전극 및 드레인 전극 중 하나)이 신호선(6505)에 접속되고 제2 전극(소스 전극 및 드레인 전극 중 다른 하나)이 참조 트랜지스터(6513) 및 발광소자 구동용 트랜지스터(6502)의 게이트에 접속되어 있다. 스위칭용 트랜지스터(6512)의 제1 전극이 신호선(6505)에 접속되고 제2 전극이 참조 트랜지스터(6513)의 제1 전극에 접속되어 있다.
- [0420] 발광소자 구동용 트랜지스터(6502)는, 제1 전극이 전원선(6507)에 접속되고 게이트가 용량소자(6503)를 통해 발광소자(6504)의 제1 전극(화소 전극)에 접속되어 있다. 아울러 도 14에서는 용량소자(6503)는 발광소자(6504)의 제1 전극에 접속되어 있으나, 발광소자(6504)의 제1 전극이 아니라, 전원선(6507)이나 공통 전극(6508) 등의 고정 전위를 갖는 전극과 접속되도록 구성할 수도 있다. 또한, 스위칭용 트랜지스터(6511) 및 스위칭용 트랜지스터(6512)의 게이트가 주사선(6506)과는 다른 주사선과 접속되도록 구성할 수도 있다.
- [0421] 또한, 참조 트랜지스터(6513) 및 발광소자 구동용 트랜지스터(6502)의 제2 전극은 발광소자(6504)의 제1 전극(화소 전극)에 접속되어 있고 발광소자(6504)의 제2 전극은 공통 전극(6508)에 접속되어 있다. 공통 전극(6508)은 동일 기관 상에 형성되는 공통 전위선과 전기적으로 접속된다.
- [0422] 공통 전극(6508)에는 저전원 전위가 설정되어 있다. 아울러 저전원 전위는 전원선(6507)에 설정되는 고전원 전위를 기준으로 고전원 전위보다 낮은 전위를 가리키며, 저전원 전위로서는 예를 들어 GND, 0V 등이 설정되어 있을 수 있다. 전원선(6507)으로부터 공급되는 전류( $I_{out}$ )를 발광소자 구동용 트랜지스터(6502)를 통해 발광소자(6504)로 흘러 발광소자(6504)를 발광시키기 위해, 고전원 전위와 저전원 전위와의 전위차가 발광소자(6504)의 순방향 문턱값 전압 이상이 되도록 각각의 전위를 설정한다.
- [0423] 아울러 용량소자(6503)는 발광소자 구동용 트랜지스터(6502)의 게이트 용량을 대신 사용하여 생략할 수도 있다. 발광소자 구동용 트랜지스터(6502)의 게이트 용량은 채널 영역과 게이트 전극 사이에 용량이 형성되어 있을 수도 있다.
- [0424] 우선, 주사선(6506)의 전위를 스위칭용 트랜지스터(6511) 및 스위칭용 트랜지스터(6512)를 온 상태로 하는 전위로 하면, 스위칭용 트랜지스터(6511)의 제1 전극과 제2 전극간, 및 스위칭용 트랜지스터(6512)의 제1 전극과 제2 전극간이 도통 상태가 되고 신호선(6505)으로부터 전류( $I_{data}$ )가 화소 회로 내로 공급된다. 전류( $I_{data}$ )는 스위칭용 트랜지스터(6511)를 통해 용량소자(6503)로 공급되어 용량소자(6503)가 충전된다. 충전에 의해 용량소자(6503)의 전위가 상승하여 참조 트랜지스터(6513)의  $V_{th}$  이상의 전위가 되면 참조 트랜지스터(6513)가 온 상태가 되고, 전류( $I_{data}$ )는 스위칭용 트랜지스터(6512), 참조 트랜지스터(6513), 발광소자(6504)를 통해 공통 전극(6508)으로 흐른다.
- [0425] 용량소자(6503)의 전위 상승은 참조 트랜지스터(6513)의 드레인 전류가 전류( $I_{data}$ )와 동일한 전류값이 될 때까지

지 계속된다. 즉, 용량소자(6503)의 전위 상승은 전류(Idata)가 스위칭용 트랜지스터(6511)를 통해 흐르지 않게 되면 정지한다.

- [0426] 참조 트랜지스터(6513)와 발광소자 구동용 트랜지스터(6502)의 게이트는 접속되어 있으므로, 발광소자 구동용 트랜지스터(6502)의 게이트는 참조 트랜지스터(6513)의 게이트와 동일한 전위가 된다. 참조 트랜지스터(6513), 발광소자 구동용 트랜지스터(6502)가 동일한 트랜지스터 특성과 채널폭(W) 및 채널 길이(L)의 비(W/L비)를 가지면, 전류(Idata)와 동일한 전류값을 갖는 전류(Iout)가 전원선(6507)으로부터 발광소자 구동용 트랜지스터(6502)를 통해 발광소자(6504)로 공급된다.
- [0427] 이어서 주사선(6506)의 전위를 스위칭용 트랜지스터(6511) 및 스위칭용 트랜지스터(6512)를 오프 상태로 하는 전위로 하면, 스위칭용 트랜지스터(6511 및 6512)가 오프 상태가 되어 전류(Idata)의 공급이 정지된다. 그러나 용량소자(6503)에 유지된 전위에 의해 전류(Iout)를 발광소자(6504)로 계속 공급할 수 있다.
- [0428] 아울러 참조 트랜지스터(6513)와 발광소자 구동용 트랜지스터(6502)의 트랜지스터 특성이나 채널폭(W) 및 채널 길이(L)의 관계를 조절함으로써 전류(Iout)를 전류(Idata)보다 크거나 또는 작게 할 수 있다. 예를 들어, 참조 트랜지스터(6513)에 비해 트랜지스터 특성과 채널 길이(L)가 동일하고, 채널폭(W)이 1/2배인 트랜지스터를 발광소자 구동용 트랜지스터(6502)로 사용하면 전류(Iout)를 전류(Idata)의 1/2배로 할 수 있다.
- [0429] 본 실시형태에서 사용하는 산화물 반도체층을 갖는 트랜지스터는 오프 전류가 극히 낮으므로 용량소자(6503)의 전위를 유지하기 쉬워 용량소자(6503)를 작게 할 수 있다. 또한, 발광소자(6504)로 전류를 공급하지 않고 비발광으로 했을 경우에 발생하는, 오프 전류에 의한 미발광 현상(faint light emission)의 발생을 방지할 수 있다.
- [0430] 아울러 도 13 및 도 14에 도시된 화소 구성은 이에 한정되지 않는다. 예를 들어, 도 13 및 도 14에 도시된 화소에 새로이 스위치, 저항 소자, 용량소자, 트랜지스터 또는 논리 회로 등을 추가할 수도 있다.
- [0431] 이어서, 발광소자의 구성에 대해 도 15를 이용하여 설명한다. 여기서는, 발광소자 구동용 트랜지스터가 n형인 경우를 예로 들어 화소의 단면 구조에 대해 설명한다. 도 15(A), (B), (C)의 반도체 장치에 사용되는 발광소자 구동용 트랜지스터(7001), 발광소자 구동용 트랜지스터(7011), 발광소자 구동용 트랜지스터(7021)는, 상기 실시형태에 나타난 박막 트랜지스터와 동일하게 제조할 수 있고, 산화물 반도체층을 포함하는 박막 트랜지스터를 사용하는 예를 나타낸다.
- [0432] 발광소자는 발광을 추출하기 위해 적어도 양극 또는 음극 중 하나가 투명할 수 있다. 그리고, 기관 상에 박막 트랜지스터 및 발광소자를 형성하고, 기관과는 반대측의 면으로부터 발광을 추출하는 상면 사출 구조나, 기관측의 면으로부터 발광을 추출하는 하면 사출 구조나, 기관측 및 기관과 반대측의 면으로부터 발광을 추출하는 양면 사출 구조의 발광소자가 있으며, 화소 구성은 모든 사출 구조의 발광소자에 적용할 수 있다.
- [0433] 하면 사출 구조의 발광소자에 대하여 도 15(A)를 이용하여 설명한다.
- [0434] 발광소자 구동용 TFT(7011)가 n형이고 발광소자(7012)에서 나온 광이 제1 전극(7013) 측으로 사출되는 경우의 화소의 단면도를 나타낸다. 도 15(A)에서는 발광소자 구동용 TFT(7011)의 드레인 전극층과 전기적으로 접속된 투광성을 갖는 도전막(7017) 상에 발광소자(7012)의 제1 전극(7013)이 형성되어 있고 제1 전극(7013) 상에 IL층(7014), 제2 전극(7015)이 차례로 적층되어 있다.
- [0435] 투광성을 갖는 도전막(7017)으로는 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 산화 규소를 첨가한 인듐 주석 산화물 등의 투광성을 갖는 도전성 도전막을 사용할 수 있다.
- [0436] 또한, 발광소자의 제1 전극(7013)은 다양한 재료를 사용할 수 있다. 예를 들어 제1 전극(7013)을 음극으로서 이용하는 경우에는 일함수가 작은 재료, 구체적으로는 예를 들어 Li나 Cs 등의 알칼리 금속, 및 Mg, Ca, Sr 등의 알칼리 토류 금속, 및 이것들을 포함하는 합금(Mg : Ag, Al : Li 등)뿐 아니라 Yb나 Er 등의 희토류 금속 등이 바람직하다. 도 15(A)에서는 제1 전극(7013)의 막 두께는 광을 투과시킬 정도(바람직하게는, 5nm~30nm 정도)로 한다. 예를 들어 20nm의 막 두께를 갖는 알루미늄막을 제1 전극(7013)으로 사용한다.
- [0437] 또한 투광성을 갖는 도전막과 알루미늄막을 적층 성막한 후 선택적으로 에칭하여 투광성을 갖는 도전막(7017)과 제1 전극(7013)을 형성할 수도 있고, 이 경우 동일한 마스크를 이용하여 에칭할 수 있어 바람직하다.
- [0438] 또한, 제1 전극(7013)의 가장자리부는 격벽(7019)으로 덮는다. 격벽(7019)은 폴리이미드, 아크릴 수지, 폴리아미드, 에폭시 수지 등의 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 이용하여 형성한다. 격벽(7019)은

특히 감광성의 수지 재료를 이용하여 제1 전극(7013) 상에 개구부를 형성하고 그 개구부의 측벽이 연속된 곡률로 형성되는 경사면이 되도록 형성하는 것이 바람직하다. 격벽(7019)으로서 감광성의 수지 재료를 사용하는 경우, 레지스트 마스크를 형성하는 공정을 생략할 수 있다.

- [0439] 또한, 제1 전극(7013) 및 격벽(7019) 상에 형성하는 EL층(7014)은 적어도 발광층을 포함할 수 있고 단수의 층으로 구성될 수도 복수의 층이 적층되도록 구성될 수도 있다. EL층(7014)이 복수의 층으로 구성되는 경우, 음극으로서 기능하는 제1 전극(7013) 상에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 홀 주입층의 순서로 적층한다. 아울러 이 층들을 모두 마련할 필요는 없다.
- [0440] 또한, 상기 적층 순서에 한정되지 않고, 제1 전극(7013)을 양극으로 기능시키고 제1 전극(7013) 상에 홀 주입층, 홀 수송층, 발광층, 전자 수송층, 전자 주입층의 순서로 적층할 수도 있다. 다만, 소비전력을 비교할 경우, 제1 전극(7013)을 음극으로서 기능시키고 제1 전극(7013) 상에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 홀 주입층의 순서로 적층하는 것이 구동회로부의 전압 상승을 억제할 수 있고 소비전력을 줄일 수 있으므로 바람직하다.
- [0441] 또한, EL층(7014) 상에 형성하는 제2 전극(7015)으로서는 다양한 재료를 사용할 수 있다. 예를 들어 제2 전극(7015)을 양극으로 이용하는 경우, 일함수가 큰 재료, 예를 들어 ZrN, Ti, W, Ni, Pt, Cr 등이나, ITO, IZO, ZnO 등의 투명 도전성 재료가 바람직하다. 또한, 제2 전극(7015) 상에 차폐막(7016)을 형성한다. 차폐막(7016)으로서는 예를 들어 광을 차광하는 금속, 광을 반사하는 금속 등을 사용한다. 본 실시형태에서는, 제2 전극(7015)으로서 ITO막을 사용하고 차폐막(7016)으로서 Ti막을 사용한다.
- [0442] 제1 전극(7013) 및 제2 전극(7015)에서, 발광층을 포함하는 EL층(7014)이 사이에 형성되어 있는 영역이 발광소자(7012)에 상당한다. 도 15(A)에 도시된 소자 구조의 경우, 발광소자(7012)에서 나오는 광은 화살표로 가리킨 바와 같이 제1 전극(7013) 측으로 사출된다. 발광소자(7012)에서 나오는 광은 컬러필터층(7033)을 통과하고, 기판을 통과하여 사출시킬 수 있다.
- [0443] 컬러필터층(7033)은 잉크젯법 등의 액적 토출법이나, 인쇄법, 포토리소그래피 기술을 이용한 에칭 방법 등으로 각각 형성한다.
- [0444] 또한, 컬러필터층(7033)은 오버코트층(7034)으로 덮이고, 나아가 보호 절연층(7035)에 의해 덮인다. 아울러 도 15(A)에서는 오버코트층(7034)은 얇은 두께로 도시하였으나, 오버코트층(7034)은 컬러필터층(7033)으로 인한 요철을 평탄화시키는 기능을 갖는다.
- [0445] 또한, 보호 절연층(7035), 오버코트층(7034), 컬러필터층(7033), 평탄화 절연층(7036), 절연층(7032) 및 절연층(7031)에 형성됨과 아울러 드레인 전극층에 도달하는 콘택트홀은 격벽(7019)과 중첩되는 위치에 배치한다.
- [0446] 이어서, 양면 사출 구조의 발광소자에 대하여 도 15(B)를 이용하여 설명한다.
- [0447] 도 15(B)에서는, 발광소자 구동용 TFT(7021)의 드레인 전극층과 전기적으로 접속된 투광성을 갖는 도전막(7027) 상에 발광소자(7022)의 제1 전극(7023)이 형성되어 있고, 제1 전극(7023) 상에 EL층(7024), 제2 전극(7025)이 차례로 적층되어 있다.
- [0448] 투광성을 갖는 도전막(7027)으로는 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 산화 규소를 첨가한 인듐 주석 산화물 등의 투광성을 갖는 도전막을 사용할 수 있다.
- [0449] 또한, 제1 전극(7023)은 다양한 재료를 사용할 수 있다. 예를 들어 제1 전극(7023)을 음극으로서 이용하는 경우, 일함수가 작은 재료, 구체적으로는 예를 들어 Li나 Cs 등의 알칼리 금속, Mg, Ca, Sr 등의 알칼리 토류 금속, 및 이것들을 포함하는 합금(Mg:Ag, Al:Li 등)뿐 아니라 Yb나 Er 등의 희토류 금속 등이 바람직하다. 본 실시형태에서는 제1 전극(7023)을 음극으로서 이용하고 그 막 두께는 광을 투과시킬 정도(바람직하게는, 5nm~30nm 정도)로 한다. 예를 들어 20nm의 막 두께를 갖는 알루미늄막을 음극으로서 이용한다.
- [0450] 또한 투광성을 갖는 도전막과 알루미늄막을 적층성한 후 선택적으로 에칭하여 투광성을 갖는 도전막(7027)과 제1 전극(7023)을 형성할 수도 있고, 이 경우 동일한 마스크를 이용하여 에칭할 수 있어 바람직하다.
- [0451] 또한, 제1 전극(7023)의 가장자리부는 격벽(7029)으로 덮는다. 격벽(7029)은 폴리이미드, 아크릴 수지, 폴리이미드, 에폭시 수지 등의 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 이용하여 형성한다. 격벽(7029)은 특히 감광성의 수지 재료를 사용하고 제1 전극(7023) 상에 개구부를 형성하고 그 개구부의 측벽이 연속된 곡률

로 형성되는 경사면이 되도록 형성하는 것이 바람직하다. 격벽(7029)으로서 감광성의 수지 재료를 사용하는 경우, 레지스트 마스크를 형성하는 공정을 생략할 수 있다.

- [0452] 또한, 제1 전극(7023) 및 격벽(7029) 상에 형성하는 EL층(7024)은 발광층을 포함하면 단수의 층으로 구성될 수도 복수의 층이 적층되도록 구성될 수도 있다. EL층(7024)이 복수의 층으로 구성되는 경우, 음극으로서 기능하는 제1 전극(7023) 상에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 홀 주입층의 순서로 적층한다. 아울러 이 층들을 모두 마련할 필요는 없다.
- [0453] 또한, 상기 적층 순서에 한정되지 않고 제1 전극(7023)을 양극으로 이용하고 양극 상에 홀 주입층, 홀 수송층, 발광층, 전자 수송층, 전자 주입층의 순서로 적층할 수도 있다. 단, 소비전력을 비교할 경우, 제1 전극(7023)을 음극으로 이용하고, 음극 상에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 홀 주입층의 순서로 적층하는 것이 소비전력이 적으므로 바람직하다.
- [0454] 또한, EL층(7024) 상에 형성하는 제2 전극(7025)으로는 다양한 재료를 사용할 수 있다. 예를 들어 제2 전극(7025)을 양극으로 이용하는 경우, 일함수가 큰 재료, 예를 들어 ITO, IZO, ZnO 등의 투명 도전성 재료를 바람직하게 사용할 수 있다. 본 실시형태에서는 제2 전극(7025)을 양극으로 이용하여 산화 규소를 포함하는 ITO막을 형성한다.
- [0455] 제1 전극(7023) 및 제2 전극(7025)에서, 발광층을 포함하는 EL층(7024)이 사이에 형성되어 있는 영역이 발광소자(7022)에 상당한다. 도 15(B)에 도시된 소자 구조의 경우, 발광소자(7022)에서 나오는 광은, 화살표로 가리키는 바와 같이 제2 전극(7025)측과 제1 전극(7023)측 모두로 사출된다.
- [0456] 아울러 도 15(B)에서는 게이트 전극층으로서 투광성을 갖는 도전막을 사용하는 한편 소스 전극층 및 드레인 전극층으로서 투광성을 갖는 박막을 사용하는 예를 나타내고 있으며, 발광소자(7022)로부터 제1 전극(7023) 측으로 나오는 광은, 컬러필터층(7043)을 통과하고 기판을 통과하여 사출될 수 있다.
- [0457] 컬러필터층(7043)은 잉크젯법 등의 액적 토출법이나, 인쇄법, 포토리소그래피 기술을 이용한 에칭 방법 등으로 각각 형성한다.
- [0458] 또한, 컬러필터층(7043)은 오버코트층(7044)으로 덮이고 나아가 보호 절연층(7045)에 의해 덮인다.
- [0459] 또한, 보호 절연층(7045), 오버코트층(7044), 컬러필터층(7043), 평탄화 절연층(7046), 절연층(7042) 및 절연층(7041)에 형성됨과 아울러 드레인 전극층에 도달하는 콘택트홀은 격벽(7029)과 중첩되는 위치에 배치한다.
- [0460] 단, 양면 사출 구조의 발광소자를 이용하여 양 표시면을 모두 풀 컬러 표시로 하는 경우, 제2 전극(7025) 측으로부터의 광은 컬러필터층(7043)을 통과하지 않으므로 별도의 컬러필터층을 구비한 밀봉 기판을 제2 전극(7025) 상측에 마련하는 것이 바람직하다.
- [0461] 이어서, 상면 사출 구조의 발광소자에 대하여 도 15(C)를 이용하여 설명한다.
- [0462] 도 15(C)에, 발광소자 구동용 TFT(7001)가 n형이고, 발광소자(7002)에서 나오는 광이 제2 전극(7005) 측으로 빠져나가는 경우의 화소의 단면도를 나타내었다. 도 15(C)에서는 발광소자 구동용 TFT(7001)의 드레인 전극층과 제1 전극(7003)이 접촉되어 있어 발광소자 구동용 트랜지스터(7001)와 발광소자(7002)의 제1 전극(7003)을 전기적으로 접속시키고 있다. 제1 전극(7003) 상에 EL층(7004), 제2 전극(7005)이 차례로 적층되어 있다.
- [0463] 또한, 제1 전극(7013)은 다양한 재료를 사용할 수 있다. 예를 들어 제1 전극(7013)을 음극으로서 이용하는 경우, 일함수가 작은 재료, 구체적으로는 예를 들어 Li나 Cs 등의 알칼리 금속, Mg, Ca, Sr 등의 알칼리 토류 금속, 및 이것들을 포함하는 합금(Mg:Ag, Al:Li 등)뿐 아니라 Yb나 Er 등의 희토류 금속 등을 사용하는 것이 바람직하다.
- [0464] 또한, 제1 전극(7003)의 가장자리부는 격벽(7009)으로 덮는다. 격벽(7009)은 폴리이미드, 아크릴 수지, 폴리이미드, 에폭시 수지 등의 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 이용하여 형성한다. 격벽(7009)은 특히 감광성의 수지 재료를 사용하고, 제1 전극(7003) 상에 개구부를 형성하고, 그 개구부의 측벽이 연속한 곡률로 형성되는 경사면이 되도록 형성하는 것이 바람직하다. 격벽(7009)으로서 감광성의 수지 재료를 이용하는 경우, 레지스트 마스크를 형성하는 공정을 생략할 수 있다.
- [0465] 또한, 제1 전극(7003) 및 격벽(7009) 상에 형성하는 EL층(7004)은 적어도 발광층을 포함하면 단수의 층으로 구성될 수도 복수의 층이 적층되도록 구성될 수도 있다. EL층(7004)이 복수의 층으로 구성되는 경우, 음극으로서 이용하는 제1 전극(7003) 상에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 홀 주입층의 순서로 적층한다.

아울러 이러한 층을 모두 마련할 필요는 없다.

- [0466] 또한, 상기 적층 순서에 한정되지 않고, 양극으로서 이용하는 제1 전극(7003) 상에 홀 주입층, 홀 수송층, 발광층, 전자 수송층, 전자 주입층의 순서로 적층할 수도 있다.
- [0467] 도 15(C)에서는 Ti막, 알루미늄막, Ti막의 순서로 적층한 적층막 상에, 홀 주입층, 홀 수송층, 발광층, 전자 수송층, 전자 주입층의 순서로 적층하고, 그 위에 Mg:Ag 합금 박막과 ITO와의 적층을 형성한다.
- [0468] 단, 발광소자 구동용 TFT(7001)가 n형인 경우, 제1 전극(7003) 상에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 홀 주입층의 순서로 적층하는 것이, 구동회로에서의 전압 상승을 억제할 수 있어 소비전력을 줄일 수 있으므로 바람직하다.
- [0469] 제2 전극(7005)은 광을 투과시키는 투광성을 갖는 도전성 재료를 이용하여 형성하고, 예를 들어 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 산화 규소를 첨가한 인듐 주석 산화물 등의 투광성을 갖는 도전막을 사용할 수도 있다.
- [0470] 제1 전극(7003) 및 제2 전극(7005)에서, 발광층을 포함하는 E층(7004)이 사이에 형성되어 있는 영역이 발광소자(7002)에 상당한다. 도 15(C)에 도시된 화소의 경우, 발광소자(7002)에서 나오는 광은 화살표로 가리키는 바와 같이 제2 전극(7005) 측으로 사출된다.
- [0471] 또한, 도 15(C)에서, 발광소자 구동용 트랜지스터(7001)의 드레인 전극층은 산화 실리콘층(7051), 보호 절연층(7052), 평탄화 절연층(7056), 평탄화 절연층(7053) 및 절연층(7055)에 마련된 컨택트홀을 통해 제1 전극(7003)과 전기적으로 접속된다.
- [0472] 또한, 제1 전극(7003)과 이웃하는 화소의 제1 전극을 절연시키기 위해 격벽(7009)을 마련한다. 격벽(7009)은 폴리이미드, 아크릴 수지, 폴리이미드, 에폭시 수지 등의 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 사용하여 형성한다. 격벽(7009)은 특히 감광성의 수지 재료를 사용하고, 제1 전극(7003) 상에 개구부를 형성하고, 그 개구부의 측벽이 연속한 곡물로 형성되는 경사면이 되도록 형성하는 것이 바람직하다. 격벽(7009)으로서 감광성의 수지 재료를 사용하는 경우, 레지스트 마스크를 형성하는 공정을 생략할 수 있다.
- [0473] 또한, 도 15(C)의 구조에서는, 풀 컬러 표시를 수행하는 경우, 예를 들어 발광소자(7002)를 녹색 발광소자로 하고, 이웃하는 한쪽의 발광소자를 적색 발광소자로 하고 다른 한쪽의 발광소자를 청색 발광소자로 한다. 또한, 3종류의 발광소자뿐 아니라 백색 소자를 더한 4종류의 발광소자로 풀 컬러 표시를 할 수 있는 발광 표시 장치를 제조할 수도 있다.
- [0474] 또한, 도 15(C)의 구조에서는, 배치하는 복수의 발광소자를 모두 백색 발광소자로 하고 발광소자(7002) 상층에 컬러필터 등을 갖는 밀봉 기판을 배치함으로써 풀 컬러 표시를 할 수 있는 발광 표시 장치를 제조할 수도 있다. 백색 등의 단색의 발광을 나타내는 재료를 형성하고 컬러필터나 색 변환층을 조합시킴으로써 풀 컬러 표시를 수행할 수 있다.
- [0475] 아울러 평탄화 절연층(7036, 7046, 7053, 7056)은, 폴리이미드, 아크릴 수지, 벤조시클로부텐계 수지, 폴리이미드, 에폭시 수지 등의 수지 재료를 사용할 수 있다. 또한 상기 수지 재료 외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(phosphosilicate glass), BPSG(borophosphosilicate glass) 등을 사용할 수도 있다. 아울러 이러한 재료로 형성되는 절연막을 복수 적층시킴으로써 평탄화 절연층(7036, 7046, 7053, 7056)을 형성할 수도 있다. 평탄화 절연층(7036, 7046, 7053, 7056)의 형성법은 특별히 한정되지 않고, 그 재료에 따라 스퍼터링법, SOG법, 스핀코트, 딥, 스프레이 도포, 액적 토출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등), 닥터 나이프, 롤 코터, 커텐 코터, 나이프 코터 등을 이용할 수 있다.
- [0476] 반도체 장치에 이용되는 발광소자 구동용 트랜지스터(7001, 7011, 7021)로서는, 상기 실시형태에 나타낸 박막 트랜지스터 중 어느 하나를 적절히 사용할 수 있으며 동일한 공정 및 재료로 형성할 수 있다. 발광소자 구동용 트랜지스터(7001, 7011, 7021)의 산화물 반도체층은 수소나 물이 감소된 것이다. 따라서, 발광소자 구동용 트랜지스터(7001, 7011, 7021)는 신뢰성 높은 박막 트랜지스터이다.
- [0477] 물론 단색 발광의 표시를 수행할 수도 있다. 예를 들어 백색 발광을 이용하여 조명 장치를 형성할 수도 있고, 단색 발광을 이용하여 에리어 컬러 타입의 발광 장치를 형성할 수도 있다.
- [0478] 또한, 필요시에는 원 편광판 등의 편광 필름 등과 같은 광학 필름을 마련할 수도 있다.

- [0479] 아울러 여기서는 발광소자로서 유기 EL 소자에 대해 설명했으나 발광소자로서 무기 EL 소자를 마련할 수도 있다.
- [0480] 아울러 발광소자의 구동을 제어하는 박막 트랜지스터(발광소자 구동용 트랜지스터)와 발광소자가 전기적으로 접속되어 있는 예를 나타냈으나, 발광소자 구동용 트랜지스터와 발광소자 사이에 전류 제어용 트랜지스터가 접속될 수도 있다.
- [0481] 이어서, 발광 표시 패널(발광 패널이라고도 함)의 외관 및 단면에 대하여 도 16을 이용하여 설명한다. 도 16(A)는, 제1 기관 상에 형성된 박막 트랜지스터 및 발광소자를, 제2 기관과의 사이에 절체에 의해 밀봉한 패널의 상면도이며, 도 16(B)는 도 16(A)의 H-I 단면도에 상당한다.
- [0482] 제1 기관(4501) 상에 마련된 화소부(4502), 신호선 구동회로(4503a), 신호선 구동회로(4503b), 주사선 구동회로(4504a) 및 주사선 구동회로(4504b)를 둘러싸도록 절재(4505)가 마련되어 있다. 또한 화소부(4502), 신호선 구동회로(4503a, 4503b) 및 주사선 구동회로(4504a, 4504b) 상에 제2 기관(4506)이 마련되어 있다. 따라서 화소부(4502), 신호선 구동회로(4503a, 4503b) 및 주사선 구동회로(4504a, 4504b)는 제1 기관(4501)과 절재(4505)와 제2 기관(4506)에 의해 충전재(4507)와 함께 밀봉되어 있다. 이와 같이 외기에 노출되지 않도록 기밀성이 높고 탈가스가 적은 보호 필름(접착 필름, 자외선 경화 수지 필름 등)이나 커버제로 패키징(봉입)하는 것이 바람직하다.
- [0483] 또한, 제1 기관(4501) 상의 절재(4505)에 의해 둘러싸여 있는 영역과는 다른 영역에, 실시형태 1에서 나타낸 광 검출 장치(4580)가 마련되어 있다. 광 검출 장치(4580)는 화소부와 동시에 형성할 수도 있고, 별도 기관 상에 제조하여 제1 기관(4501) 상에 실장할 수도 있다. 아울러 제1 기관(4501)으로서 투광성 기관을 사용하는 경우에는, 기관측으로부터 입사된 광을 검출하도록 광 검출 장치(4580)를 구성할 수 있으나, 제1 기관(4501)으로서 가시광선을 투과시키지 않는 기관을 사용하는 경우에는, 광 검출 장치의 수광부를, 기관에 의한 차광의 영향을 받지 않는 방향이 되도록 배치할 필요가 있다.
- [0484] 또한 제1 기관(4501) 상에 마련된 화소부(4502), 신호선 구동회로(4503a, 4503b) 및 주사선 구동회로(4504a, 4504b)는 박막 트랜지스터를 복수 가지고 있고, 도 16(B)에서는 화소부(4502)에 포함되는 박막 트랜지스터(4510)와 신호선 구동회로(4503a)에 포함되는 박막 트랜지스터(4509)를 예시하고 있다.
- [0485] 박막 트랜지스터(4509, 4510)는 상기 실시형태에 나타낸 박막 트랜지스터 중 어느 하나를 적절히 사용할 수 있으며 동일한 공정 및 재료로 형성할 수 있다. 박막 트랜지스터(4509, 4510)의 산화물 반도체층은 수소나 물이 감소된 것이다.
- [0486] 아울러 구동 회로용의 박막 트랜지스터(4509)는, 박막 트랜지스터의 산화물 반도체층의 채널 영역과 중첩되는 위치에 도전층을 마련한 구조로 한다. 본 실시형태에서 박막 트랜지스터(4509, 4510)는 n채널형 박막 트랜지스터이다.
- [0487] 산화물 절연층(4542) 상에서 구동회로용의 박막 트랜지스터(4509)의 산화물 반도체층의 채널 형성 영역과 중첩되는 위치에 도전층(4540)이 마련되어 있다. 도전층(4540)을 산화물 반도체층의 채널 형성 영역과 중첩되는 위치에 마련함으로써, BT시험 전후의 박막 트랜지스터(4509)의 문턱값 전압의 변화량을 줄일 수 있다. 또한, 도전층(4540)의 전위는 박막 트랜지스터(4509)의 게이트 전극층과 같을 수도 다를 수도 있으며, 제2 게이트 전극층으로서 기능시킬 수도 있다. 또한, 도전층(4540)의 전위는 GND, 0V 또는 플로팅 상태일 수도 있다.
- [0488] 또한, 박막 트랜지스터(4510)의 산화물 반도체층을 덮는 산화 실리콘층(4542)이 형성되어 있다. 박막 트랜지스터(4510)의 소스 전극층 또는 드레인 전극층은 박막 트랜지스터 상에 마련된 산화 실리콘층(4542) 및 절연층(4551)에 형성된 개구를 통해 배선층(4550)과 전기적으로 접속되어 있다. 배선층(4550)은 제1 전극(4517)과 접하여 형성되어 있고 박막 트랜지스터(4510)와 제1 전극(4517)은 배선층(4550)을 통해 전기적으로 접속되어 있다.
- [0489] 산화 실리콘층(4542)은 다른 실시형태에서 나타낸 산화물 절연층과 동일한 재료 및 방법으로 형성할 수 있다.
- [0490] 발광소자(4511)의 발광 영역과 중첩되도록 컬러필터층(4545)이 절연층(4551) 상에 형성된다.
- [0491] 또한, 컬러필터층(4545)의 표면 요철을 줄이기 위해 평탄화 절연막으로서 기능하는 오버코트층(4543)으로 덮도록 되어 있다.
- [0492] 또한, 오버코트층(4543) 상에 절연층(4544)이 형성되어 있다. 절연층(4544)은 다른 실시형태에서 나타낸 보호

절연층과 동일하게 형성할 수 있고 예를 들어 질화 실리콘막을 스퍼터링법으로 형성할 수 있다.

- [0493] 또한 4511은 발광소자에 상당하며, 발광소자(4511)가 갖는 화소 전극인 제1 전극(4517)은 박막 트랜지스터(4510)의 소스 전극층 또는 드레인 전극층과 배선층(4550)을 통해 전기적으로 접속되어 있다. 또한 발광소자(4511)는 제1 전극(4517), 전계 발광층(4512), 제2 전극(4513)의 적층 구조로 구성되나, 도시된 구성에 한정되지 않는다. 발광소자(4511)로부터 추출하는 광의 방향 등에 맞추어 발광소자(4511)의 구성은 적절히 변경할 수 있다.
- [0494] 격벽(4520)은 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 사용하여 형성한다. 특히 감광성의 재료를 사용하고 제1 전극(4517) 상에 개구부를 형성하고 이 개구부의 측벽이 연속한 곡물로 형성되는 경사면이 되도록 형성하는 것이 바람직하다.
- [0495] 전계 발광층(4512)은 단수의 층으로 구성될 수도, 복수의 층이 적층되도록 구성될 수도 있다.
- [0496] 발광소자(4511)에 산소, 수소, 수분, 이산화탄소 등이 침입하지 않도록 제2 전극(4513) 및 격벽(4520) 상에 보호막을 형성할 수도 있다. 보호막으로서 질화 실리콘막, 질화 산화 실리콘막, DLC막 등을 형성할 수 있다.
- [0497] 또한, 신호선 구동회로(4503a, 4503b), 주사선 구동회로(4504a, 4504b) 또는 화소부(4502)로 인가되는 각종 신호 및 전위는 FPC(4518a, 4518b)로부터 공급된다.
- [0498] 접속단자 전극(4515)이 발광소자(4511)가 갖는 제1 전극(4517)과 동일한 도전막으로 형성되고, 단자 전극(4516)은 박막 트랜지스터(4509)의 소스 전극층 및 드레인 전극층과 동일한 도전막으로 형성되어 있다.
- [0499] 접속단자 전극(4515)은 FPC(4518a)가 갖는 단자와 이방성 도전막(4519)을 통해 전기적으로 접속되어 있다.
- [0500] 발광소자(4511)로부터의 광의 추출 방향에 위치하는 기관은 투광성을 가져야 한다. 이 경우에는, 유리판, 플라스틱판, 폴리에스테르 필름 또는 아크릴 수지 필름과 같은 투광성을 갖는 재료를 사용한다.
- [0501] 또한, 충전재(4507)로서는 질소나 아르곤 등의 불활성인 기체뿐 아니라, 자외선 경화 수지 또는 열경화 수지를 사용할 수 있고 PVC(폴리비닐 클로라이드), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(폴리비닐 부티랄) 또는 EVA(에틸렌과 비닐 아세테이트의 공중합체)를 사용할 수 있다. 예를 들어 충전재로서 질소를 사용할 수 있다.
- [0502] 또한, 필요시에는 발광소자의 사출면에 편광판 또는 원 편광판(타원 편광판을 포함함), 위상차판( $\lambda / 4$ 판,  $\lambda / 2$ 판) 등의 광학 필름을 적절히 마련할 수도 있다. 또한, 편광판 또는 원 편광판에 반사 방지막을 마련할 수도 있다. 예를 들어 표면의 요철에 의해 반사광을 확산시켜 비침(glare)을 감소시킬 수 있는 안티글레어 처리를 실시할 수 있다.
- [0503] 쉘체는 스크린 인쇄법, 잉크젯 장치 또는 디스펜스 장치를 이용하여 형성할 수 있다. 쉘체는 대표적으로는 가시광 경화성, 자외선 경화성 또는 열 경화성의 수지를 포함하는 재료를 사용할 수 있다. 또한, 필러를 포함할 수도 있다.
- [0504] 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b)는, 별도 준비된 기관 상에 단결정 반도체막 또는 다결정 반도체막에 의해 형성된 구동회로로서 실장할 수도 있다. 또한, 신호선 구동회로 단독 또는 일부, 또는 주사선 구동회로 단독 또는 일부만을 별도 형성하여 실장할 수도 있으며 도 16의 구성에 한정되지 않는다.
- [0505] 이상의 공정에 의해 반도체 장치로서 발광 표시장치(표시 패널)를 제조할 수 있다.
- [0506] 광 검출 장치(4580)에 의해 발광 표시장치 주변의 조도를 검출함으로써 발광 휘도를 조절하여 시인성을 높임과 아울러 전력을 절약할 수 있다.
- [0507] 또한, 화소부(4502) 내에 실시형태 1에서 나타낸 광 검출 장치를 마련하여 광학식의 터치 센서로서 이용할 수 있다.
- [0508] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시하는 것이 가능하다.
- [0509] (실시형태 12)
- [0510] 본 실시형태에서는, 본 명세서에서 개시하는 반도체 장치의 일 형태에 대하여 설명한다. 구체적으로는 본 명세서에서 개시하는 반도체 장치의 일 형태로서 전자 페이지의 예를 나타낸다.

- [0511] 도 17은, 액티브 매트릭스형의 전자 페이퍼를 나타낸 도면이다. 전자 페이퍼에 사용되는 박막 트랜지스터(581)로서는, 상기 실시형태에 나타낸 박막 트랜지스터 중 어느 하나를 적절히 사용할 수 있고 동일한 공정 및 재료로 형성할 수 있다. 본 실시형태에서는 박막 트랜지스터(581)로서 실시형태 6에 나타낸 박막 트랜지스터를 적용하는 예를 나타낸다. 박막 트랜지스터(581)의 산화물 반도체층은 수소나 물이 감소된 것이다.
- [0512] 도 17의 전자 페이퍼는 트위스트 볼 표시 방식을 이용한 표시장치의 예이다. 트위스트 볼 표시 방식은, 흰색과 흑색으로 나뉘어 칠해진 구형 입자를 표시소자로 사용하고, 전극층인 제1 전극층 및 제2 전극층 사이에 배치하고, 제1 전극층 및 제2 전극층에 전위차를 발생시켜 구형 입자의 방향을 제어함으로써 표시를 수행하는 방법이다.
- [0513] 기판(580) 상에 마련된 박막 트랜지스터(581)는 보텀 게이트 구조의 박막 트랜지스터로, 소스 전극층 또는 드레인 전극층은 산화 실리콘층(583), 보호 절연층(584), 절연층(585)에 형성되는 개구를 통해 제1 전극층(587)과 전기적으로 접속되어 있다.
- [0514] 제1 전극층(587)과 제2 전극층(588) 사이에는, 흑색 영역(590a) 및 백색 영역(590b)을 가지며, 둘레에 액체로 채워져 있는 캐비티(594)를 포함하는 구형 입자가 마련되어 있고, 구형 입자(589)의 주위는 수지 등의 충전재(595)로 충전되어 있다(도 17 참조). 본 실시형태에서는 제1 전극층(587)이 화소 전극에 상당하고, 대향 기판(596)에 마련되는 제2 전극층(588)이 공통 전극에 상당한다.
- [0515] 또한 트위스트 볼 대신에 전기영동 소자를 사용할 수도 있다. 투명한 액체와, 양으로 대전된 흰 미립자와 음으로 대전된 검은 미립자를 봉입한 직경 10 $\mu\text{m}$ ~200 $\mu\text{m}$  정도의 마이크로 캡셀을 사용한다. 제1 전극층과 제2 전극층 사이에 마련되는 마이크로 캡셀은 제1 전극층과 제2 전극층에 의해 전기장이 가해지면 흰 미립자와 검은 미립자가 서로 반대 방향으로 이동하여 흰색 또는 흑색을 표시할 수 있다. 이 원리를 응용한 표시소자가 전기영동 표시소자이며, 일반적으로 전자 페이퍼라 불리고 있다. 전기영동 표시소자는 액정 표시소자에 비해 반사율이 높기 때문에 보조 라이트는 필요없고 또한 소비전력이 작고 어두컴컴한 장소에서도 표시부를 인식하는 것이 가능하다. 또한, 표시부에 전원이 공급되지 않는 경우에도 일단 표시한 이미지를 유지하는 것이 가능하므로, 표시 기능을 구비한 반도체 장치(단순히 표시장치, 또는 표시장치를 구비한 반도체 장치라고도 함)가 전파 발신원로부터 분리된 경우에도 표시된 이미지를 보존하는 것이 가능해진다.
- [0516] 본 실시형태의 전자 페이퍼는 구동 회로에 의해, 트위스트 볼에 인가하는 전압을 제어함으로써 표시를 수행하는 반사형의 표시장치이다.
- [0517] 이상의 공정에 의해 반도체 장치로서 전자 페이퍼를 제조할 수 있다.
- [0518] 또한, 표시 영역에 실시형태 1에서 나타낸 광 검출 장치를 마련하여 광학식 터치 센서로서 이용할 수도 있다.
- [0519] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시하는 것이 가능하다.
- [0520] (실시형태 13)
- [0521] 본 명세서에 개시하는 반도체 장치는, 다양한 전자기기(오락기도 포함)에 적용할 수 있다. 전자기기로서는 예를 들어 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라, 디지털 포토 프레임, 휴대전화기(휴대전화, 휴대전화 장치라고도 함), 휴대형 게임기, 휴대 정보 단말, 음향 재생장치, 파칭코기 등의 대형 게임기 등을 들 수 있다.
- [0522] 도 18(A)는, 휴대전화기의 일례를 나타내고 있다. 휴대전화기(1600)는 하우징(1601)에 내장된 표시부(1602) 외에도, 조작 버튼(1603a), 조작 버튼(1603b), 외부 접속 포트(1604), 스피커(1605), 마이크(1606) 등을 구비하고 있다.
- [0523] 도 18(A)에 도시된 휴대전화기(1600)는 표시부(1602)를 손가락 등으로 터치함으로써 정보를 입력할 수 있다. 또한, 전화를 걸거나 혹은 메일을 보내는 등의 조작은 표시부(1602)를 손가락 등으로 터치함으로써 수행할 수 있다.
- [0524] 표시부(1602)의 화면은 크게 3가지 모드가 있다. 첫번째는 화상의 표시를 주로 하는 표시 모드이며, 두번째는 문자 등의 정보의 입력을 주로 하는 입력 모드이다. 세번째는 표시 모드와 입력 모드의 두가지 모드가 혼합된 표시 + 입력 모드이다.
- [0525] 예를 들어, 전화를 걸거나 혹은 메일을 작성하는 경우에는 표시부(1602)를 문자의 입력을 주로 하는 문자 입력 모드로 하고 화면에 표시시킨 문자의 입력 조작을 수행하면 된다. 이 경우 표시부(1602)의 화면 대부분에 키보

드 또는 번호 버튼을 표시시키는 것이 바람직하다.

- [0526] 또한, 휴대전화기(1600) 내부에 자이로, 가속도 센서 등의 기울기를 검출하는 센서를 갖는 검출 장치를 마련함으로써 휴대전화기(1600)의 방향(세로인지 가로인지)을 판단하여 표시부(1602)의 화면 표시를 자동적으로 바꾸도록 할 수 있다.
- [0527] 또한, 화면 모드의 전환은 표시부(1602)에 접촉하거나 또는 하우징(1601)의 조작 버튼(1603a, 1603b)을 조작함으로써 수행된다. 또한, 표시부(1602)에 표시되는 화상의 종류에 따라 전환하도록 할 수도 있다. 예를 들어, 표시부에 표시하는 화상 신호가 동영상의 데이터이면 표시 모드, 텍스트 데이터이면 입력 모드로 전환한다.
- [0528] 또한, 입력 모드에서, 표시부(1602)의 광 센서로 검출되는 신호를 검지하여 표시부(1602)의 터치 조작에 의한 입력이 일정기간 없는 경우에는 화면의 모드를 입력 모드에서 표시 모드로 전환하도록 제어할 수도 있다.
- [0529] 표시부(1602)는 이미지 센서로서 기능시킬 수도 있다. 예를 들어, 표시부(1602)에 손바닥이나 손가락을 접촉시킴으로써 잠문, 지문 등을 촬영함으로써 본인 인증을 수행할 수 있다. 또한, 표시부에 근적외광을 발광하는 백라이트 또는 근적외광을 발광하는 센싱용 광원을 사용하면 손가락 정맥, 손바닥 정맥 등을 촬영할 수도 있다.
- [0530] 표시부(1602)에는 상기 실시형태에 나타난 반도체 장치를 적용할 수 있고 예를 들어 화소의 스위칭 소자로서 상기 다른 실시형태에 나타난 박막 트랜지스터를 복수 배치할 수 있다.
- [0531] 도 18(B)도 휴대전화기의 일례이다. 도 18(B)을 일례로 한 휴대형 정보단말기는 복수의 기능을 구비할 수 있다. 예를 들어 전화기능에 더하여, 컴퓨터를 내장하여 다양한 데이터 처리 기능을 구비할 수도 있다.
- [0532] 도 18(B)에 나타난 휴대형 정보단말기는 하우징(1800) 및 하우징(1801)의 2개의 하우징으로 구성되어 있다. 하우징(1801)에는 표시 패널(1802), 스피커(1803), 마이크로폰(1804), 포인팅 디바이스(1806), 카메라용 렌즈(1807), 외부 접속 단자(1808) 등을 구비하고, 하우징(1800)에는 키보드(1810), 외부 메모리 슬롯(1811) 등을 구비하고 있다. 또한, 안테나는 하우징(1801) 내부에 내장되어 있다.
- [0533] 또한, 표시 패널(1802)은 터치 패널을 구비하고 있으며 도 18(B)에는 영상 표시된 복수의 조작 키(1805)를 점선으로 나타내고 있다.
- [0534] 또한, 상기 구성에 더하여, 비접촉 IC 칩, 소형 기록 장치 등을 내장할 수도 있다.
- [0535] 상기 실시형태에 나타난 반도체 장치는 표시 패널(1802)에 이용할 수 있고 사용 형태에 따라 표시의 방향이 적절히 변화된다. 또한, 표시 패널(1802)과 동일면에 카메라용 렌즈(1807)를 구비하고 있으므로 화상 전화가 가능하다. 스피커(1803) 및 마이크로폰(1804)은 음성 통화에 한정되지 않고 화상 전화, 녹음, 재생 등이 가능하다. 나아가 하우징(1800)과 하우징(1801)은 슬라이드하여 도 18(B)과 같이 전개되어 있는 상태에서 서로 중첩된 상태로 할 수 있어 휴대에 적합한 소형화가 가능하다.
- [0536] 외부 접속 단자(1808)는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속 가능하여 충전 및 퍼스널 컴퓨터 등의 데이터 통신이 가능하다. 또한, 외부 메모리 슬롯(1811)에 기록매체를 삽입하여 보다 대량의 데이터 저장 및 이동에 대응할 수 있다.
- [0537] 또한, 상기 기능에 더하여, 적외선 통신 기능, 텔레비전 수신 기능 등을 구비할 수도 있다.
- [0538] 도 19(A)는 텔레비전 장치의 일례를 나타내고 있다. 텔레비전 장치(9600)는 하우징(9601)에 표시부(9603)가 내장되어 있다. 표시부(9603)에 의해 영상을 표시하는 것이 가능하다. 또한, 여기서는 스탠드(9605)에 의해 하우징(9601)을 지지한 구성을 나타내고 있다.
- [0539] 텔레비전 장치(9600)의 조작은 하우징(9601)에 마련된 조작 스위치나 별체의 리모콘 조작기(9610)에 의해 수행할 수 있다. 리모콘 조작기(9610)에 구비된 조작 키(9609)에 의해 채널이나 음량을 조작하여 표시부(9603)에 표시되는 영상을 조작할 수 있다. 또한, 리모콘 조작기(9610)에, 리모콘 조작기(9610)로부터 출력하는 정보를 표시하는 표시부(9607)를 구비할 수도 있다.
- [0540] 아울러 텔레비전 장치(9600)는 수신기나 모뎀 등을 구비할 수도 있다. 수신기에 의해 일반적인 텔레비전 방송을 수신할 수 있고 나아가 모뎀을 통해 유선 또는 무선에 의한 통신 네트워크에 접속함으로써 일방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 혹은 수신자들간 등)의 정보통신을 수행할 수도 있다.
- [0541] 표시부(9603)에는 상기 실시형태에 나타난 반도체 장치를 적용할 수 있고 예를 들어 화소의 스위칭 소자로서 상기 다른 실시형태에 나타난 박막 트랜지스터를 복수 배치할 수 있다.

- [0542] 도 19(B)는 디지털 포토 프레임의 일례를 나타낸 것이다. 예를 들어, 디지털 포토 프레임(9700)은 하우징(9701)에 표시부(9703)가 내장되어 있다. 표시부(9703)는 각종 화상을 표시할 수 있고 예를 들어 디지털 카메라 등으로 촬영한 화상 데이터를 표시시킴으로써 통상의 사진들과 마찬가지로 기능시킬 수 있다.
- [0543] 표시부(9703)에는 상기 실시형태에 나타난 반도체 장치를 적용할 수 있고 예를 들어 화소의 스위칭 소자로서 상기 다른 실시형태에 나타난 박막 트랜지스터를 복수 배치할 수 있다.
- [0544] 아울러 디지털 포토 프레임(9700)은 조작부, 외부 접속용 단자(USB 단자, USB 케이블 등의 각종 케이블과 접속 가능한 단자 등), 기록매체 삽입부 등을 구비한다. 이러한 구성은 표시부와 동일면에 마련할 수도 있으나 측면이나 후면에 마련하면 디자인성이 향상되므로 바람직하다. 일례로, 디지털 포토 프레임의 기록매체 삽입부에, 디지털카메라로 촬영한 화상 데이터를 저장한 메모리를 삽입하여 화상 데이터를 입력받고, 입력받은 화상 데이터를 표시부(9703)에 표시시킬 수 있다.
- [0545] 또한, 디지털 포토 프레임(9700)은 무선으로 정보를 송수신하도록 구성할 수도 있다. 무선에 의해, 원하는 화상 데이터를 입력받아 표시시킬 수도 있다.
- [0546] 도 20은 휴대형 오락기의 일례를 나타낸 것이다. 도 20에 도시된 휴대형 오락기는 하우징(9881)과 하우징(9891)의 2개의 하우징으로 구성되고 연결부(9893)에 의해 개폐 가능하게 연결되어 있다. 하우징(9881)에는 표시부(9882)가 내장되고 하우징(9891)에는 표시부(9883)가 내장되어 있다.
- [0547] 표시부(9883)에는 상기 실시형태에 나타난 반도체 장치를 적용할 수 있고 예를 들어 화소의 스위칭 소자로서 상기 다른 실시형태에 나타난 박막 트랜지스터를 복수 배치할 수 있다.
- [0548] 또한, 도 20에 나타내는 휴대형 오락기는, 그 외에도 스피커부(9884), 기록매체 삽입부(9886), LED 램프(9890), 입력 수단(조작 키(9885), 접속단자(9887), 센서(9888)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액, 자기, 온도, 화학물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새 또는 적외선을 측정하는 기능을 포함하는 것), 마이크로폰(9889)) 등을 구비하고 있다. 물론, 휴대형 오락기의 구성은 상술한 것에 한정되지 않고, 적어도 본 명세서에 개시하는 박막 트랜지스터를 구비한 구성이라면 그 밖의 부속설비가 적절히 마련되도록 할 수 있다. 도 20에 나타낸 휴대형 오락기는 기록매체에 기록되어 있는 프로그램 또는 데이터를 읽어 표시부에 표시하는 기능이나, 다른 휴대형 오락기와 무선 통신을 수행하여 정보를 공유하는 기능을 갖는다. 아울러 도 20에 도시된 휴대형 오락기가 갖는 기능은 이에 한정되지 않고 다양한 기능을 가질 수 있다.
- [0549] (실시형태 14)
- [0550] 본 명세서에 개시하는 반도체 장치는 전자 페이퍼로서 적용할 수 있다. 전자 페이퍼는 정보를 표시하는 것이면 모든 분야의 전자기기에 이용하는 것이 가능하다. 예를 들어 전자 페이퍼를 이용하여 전자 서적(전자 북), 포스터, 전철 등의 교통수단의 차내 광고, 신용카드 등의 각종 카드에서의 표시 등에 적용할 수 있다. 전자 기기의 일례를 도 21에 나타낸다.
- [0551] 도 21은, 전자 서적의 일례를 나타내고 있다. 예를 들어 전자 서적(2700)은 하우징(2701) 및 하우징(2703)의 2개의 하우징으로 구성되어 있다. 하우징(2701) 및 하우징(2703)은 축부(2711)에 의해 일체로 되어 있으며 이 축부(2711)를 축으로 하여 개폐 동작을 수행할 수 있다. 이러한 구성에 의해 종이로 된 서적과 같은 동작을 수행하는 것이 가능해진다.
- [0552] 하우징(2701)에는 표시부(2705)가 내장되고 하우징(2703)에는 표시부(2707)가 내장되어 있다. 표시부(2705) 및 표시부(2707)는 연속 화면을 표시할 수도 있고 다른 화면을 표시할 수도 있다. 다른 화면을 표시하는 경우, 예를 들어 우측의 표시부(도 21에서는 표시부(2705))에 문장을 표시하고, 좌측의 표시부(도 21에서는 표시부(2707))에 화상을 표시할 수 있다.
- [0553] 또한, 도 21에서는 하우징(2701)에 조작부 등을 구비한 예를 나타내고 있다. 예를 들어 하우징(2701)에서 전원(2721), 조작 키(2723), 스피커(2725) 등을 구비하고 있다. 조작 키(2723)에 의해 페이지를 넘길 수 있다. 또한 하우징의 표시부와 동일면에 키보드나 포인팅 디바이스 등을 구비할 수도 있다. 또한, 하우징의 후면이나 측면에 외부 접속용 단자(이어폰 단자, USB 단자, 또는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속 가능한 단자 등), 기록매체 삽입부 등을 구비할 수도 있다. 아울러 전자 서적(2700)은 전자 사전으로서의 기능을 갖도록 할 수도 있다.
- [0554] 또한, 전자 서적(2700)은 무선으로 정보를 송수신할 수 있도록 구성할 수도 있다. 무선에 의해 전자 서적 서버

로부터 원하는 서적 데이터 등을 구입하여 다운로드하도록 구성하는 것도 가능하다.

[0555] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시하는 것이 가능하다.

**부호의 설명**

- [0556]
- |     |          |     |          |
|-----|----------|-----|----------|
| 300 | 기판       | 302 | 게이트 절연층  |
| 303 | 보호 절연층   | 310 | 박막 트랜지스터 |
| 311 | 게이트 전극층  | 316 | 산화물 절연층  |
| 320 | 기판       | 322 | 게이트 절연층  |
| 323 | 보호 절연층   | 330 | 산화물 반도체막 |
| 331 | 산화물 반도체층 | 332 | 산화물 반도체층 |
| 340 | 기판       | 342 | 게이트 절연층  |
| 343 | 보호 절연층   | 345 | 산화물 반도체막 |
| 346 | 산화물 반도체층 | 350 | 박막 트랜지스터 |
| 351 | 게이트 전극층  | 356 | 산화물 절연층  |
| 360 | 박막 트랜지스터 | 361 | 게이트 전극층  |
| 366 | 산화물 절연층  | 370 | 기판       |
| 373 | 보호 절연층   | 380 | 박막 트랜지스터 |
| 381 | 게이트 전극층  | 382 | 산화물 반도체층 |
| 386 | 산화물 절연층  | 400 | 기판       |
| 402 | 게이트 절연층  | 403 | 보호 절연층   |
| 407 | 절연층      | 409 | 평탄화 절연층  |
| 410 | 박막 트랜지스터 | 411 | 게이트 전극층  |
| 412 | 산화물 반도체층 | 416 | 산화물 절연층  |
| 420 | 실리콘 기판   | 422 | 절연층      |
| 423 | 개구       | 424 | 도전층      |
| 425 | 박막 트랜지스터 | 426 | 박막 트랜지스터 |
| 427 | 도전층      | 430 | 산화물 반도체막 |
| 438 | 배선층      | 450 | 기판       |
| 452 | 게이트 절연층  | 457 | 절연층      |
| 460 | 박막 트랜지스터 | 461 | 게이트 전극층  |
| 462 | 산화물 반도체층 | 464 | 배선층      |
| 468 | 배선층      | 580 | 기판       |
| 581 | 박막 트랜지스터 | 583 | 산화물 실리콘층 |
| 584 | 보호 절연층   | 585 | 절연층      |
| 587 | 전극층      | 588 | 전극층      |
| 589 | 구형 입자    | 594 | 캐비티      |

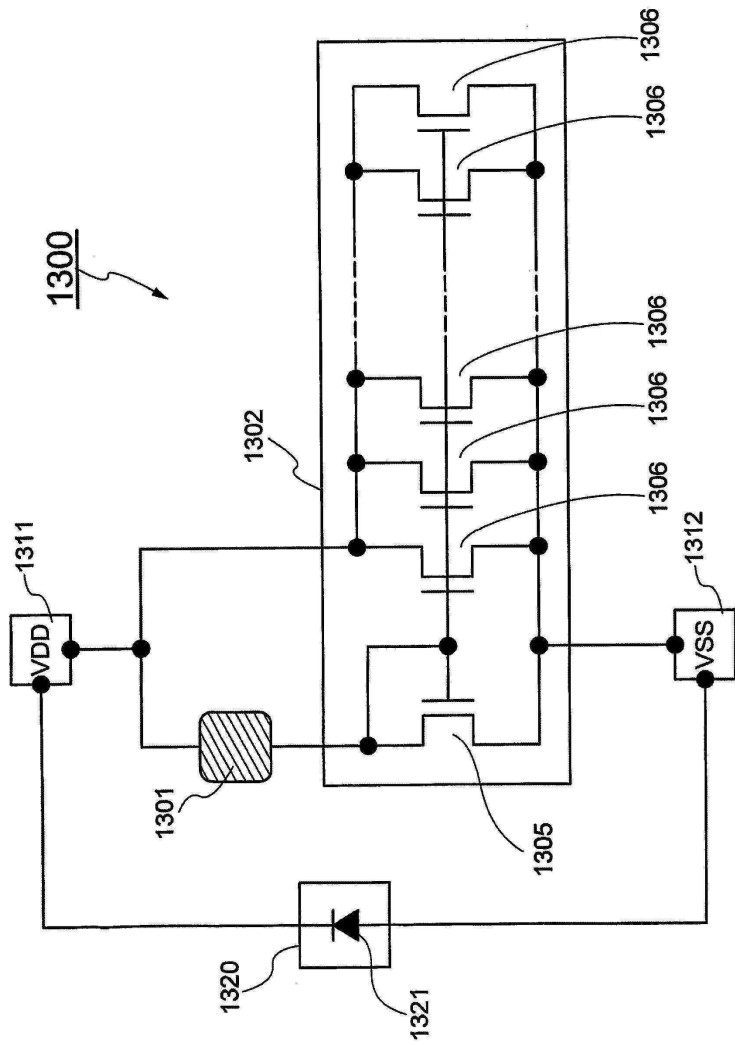
595 충전재	596 대향 기관
601 기관	608 집착층
613 기관	622 광
631 절연층	632 보호 절연층
633 층간 절연층	634 층간 절연층
641 전극층	642 전극층
643 도전층	644 전극층
645 게이트 전극층	1300 광 검출 장치
1301 검출기	1302 증폭 회로
1305 트랜지스터	1306 트랜지스터
1311 전원 단자	1312 전원 단자
1320 보호 회로	1321 다이오드
1600 휴대전화기	1601 하우징
1602 표시부	1604 외부 접속 포트
1605 스피커	1606 마이크
1800 하우징	1801 하우징
1802 표시 패널	1803 스피커
1804 마이크로폰	1805 조작 키
1806 포인팅 디바이스	1807 카메라용 렌즈
1808 외부 접속 단자	1810 키보드
1811 외부 메모리 슬롯	2700 전자 서적
2701 하우징	2703 하우징
2705 표시부	2707 표시부
2711 축부	2721 전원
2723 조작 키	2725 스피커
4001 기관	4002 화소부
4003 신호선 구동 회로	4004 주사선 구동 회로
4005 셀재	4006 기관
4008 액정층	4010 박막 트랜지스터
4011 박막 트랜지스터	4013 액정 소자
4015 접속 단자 전극	4016 단자 전극
4018 FPC	4019 이방성 도전막
4020 절연층	4021 절연층
4030 화소 전극층	4031 대향 전극층
4032 절연층	4033 절연층
4035 스페이서	4040 도전층

4041 절연층	4042 보호 절연층
4100 광 검출 장치	4501 기관
4502 화소부	4505 씌개
4506 기관	4507 충전재
4509 박막 트랜지스터	4510 박막 트랜지스터
4511 발광소자	4512 전계 발광층
4513 전극	4515 접속 단자 전극
4516 단자 전극	4517 전극
4519 이방성 도전막	4520 격벽
4540 도전층	4542 산화 실리콘층
4543 오버코트층	4544 절연층
4545 컬러필터층	4550 배선층
4551 절연층	4580 광 검출 장치
6400 화소	6401 스위칭용 트랜지스터
6402 발광소자 구동용 트랜지스터	6403 용량소자
6404 발광소자	6405 신호선
6406 주사선	6407 전원선
6408 공통 전극	6502 발광소자 구동용 트랜지스터
6503 용량소자	6504 발광소자
6505 신호선	6506 주사선
6507 전원선	6508 공통 전극
6510 화소	6511 스위칭용 트랜지스터
6512 스위칭용 트랜지스터	6513 참조 트랜지스터
7001 발광소자 구동용 트랜지스터	7002 발광소자
7003 전극	7004 EL층
7005 전극	7009 격벽
7011 발광소자 구동용 트랜지스터	7012 발광소자
7013 전극	7014 EL층
7015 전극	7016 차폐막
7017 도전막	7019 격벽
7021 발광소자 구동용 트랜지스터	7022 발광소자
7023 전극	7024 EL층
7025 전극	7027 도전막
7029 격벽	7031 절연층
7032 절연층	7033 컬러필터층
7034 오버코트층	7035 보호 절연층

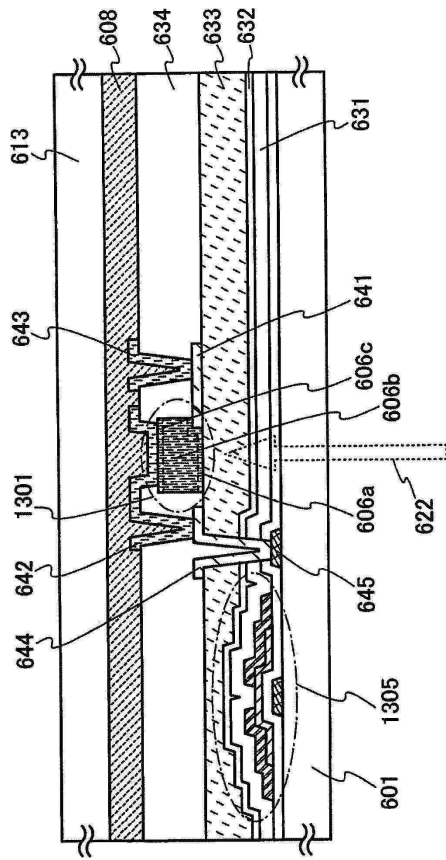
7036	평탄화 절연층	7041	절연층
7042	절연층	7043	컬러필터층
7044	오버코트층	7045	보호 절연층
7046	평탄화 절연층	7051	산화 실리콘층
7052	보호 절연층	7053	평탄화 절연층
7055	절연층	7056	평탄화 절연층
9600	텔레비전 장치	9601	하우징
9603	표시부	9605	스탠드
9607	표시부	9609	조작 키
9610	리모콘 조작기	9700	디지털 포토 프레임
9701	하우징	9703	표시부
9881	하우징	9882	표시부
9883	표시부	9884	스피커부
9885	조작 키	9886	기록매체 삽입부
9887	접속 단자	9888	센서
9889	마이크로폰	9890	LED 램프
9891	하우징	9893	연결부
1603a	조작 버튼	1603b	조작 버튼
315a	소스 전극층	315b	드레인 전극층
355a	소스 전극층	355b	드레인 전극층
365a	소스 전극층	365b	드레인 전극층
372a	게이트 절연층	372b	게이트 절연층
385a	소스 전극층	385b	드레인 전극층
414a	배선층	414b	배선층
415a	드레인 전극층	415b	드레인 전극층
421a	개구	421b	개구
4503a	신호선 구동 회로	4503b	신호선 구동 회로
4504a	주사선 구동 회로	4504b	주사선 구동 회로
4518a	FPC	4518b	FPC
465a	소스 전극층 또는 드레인 전극층		
465a1	소스 전극층 또는 드레인 전극층		
465a2	소스 전극층 또는 드레인 전극층		
465b	소스 전극층 또는 드레인 전극층		
590a	흑색 영역	590b	백색 영역
606a	반도체층	606b	반도체층
606c	반도체층		

도면

도면1

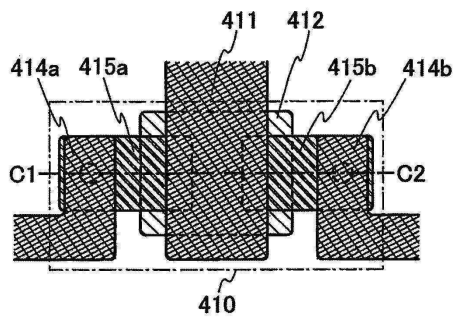


도면2

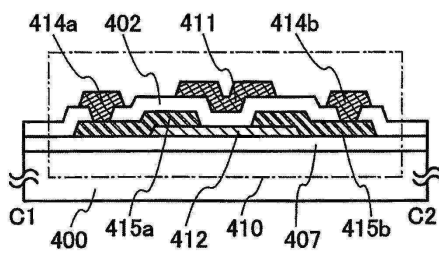


도면3

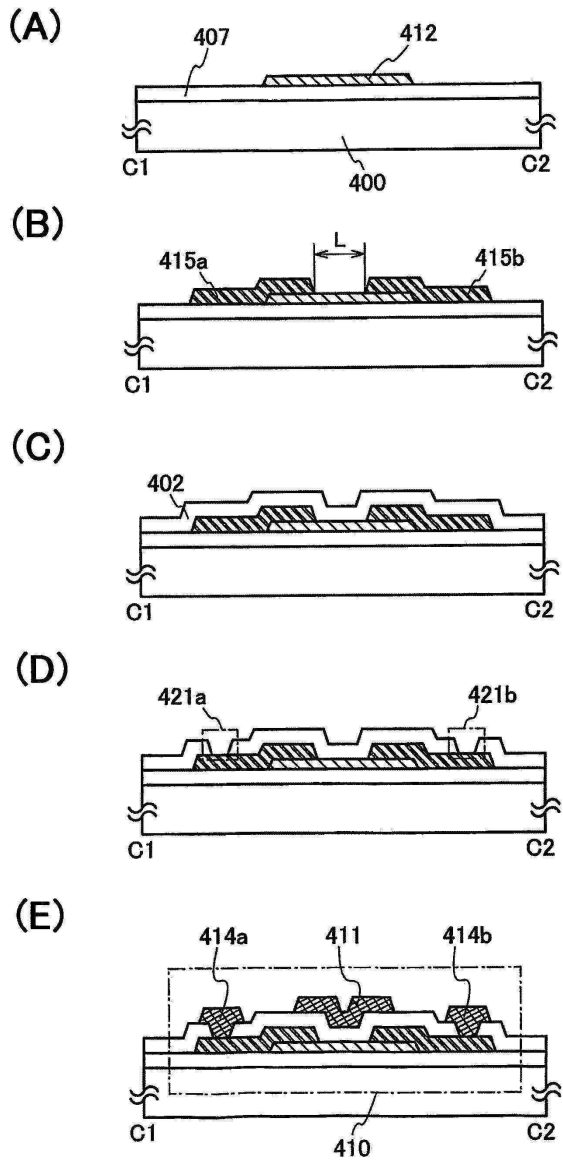
(A)



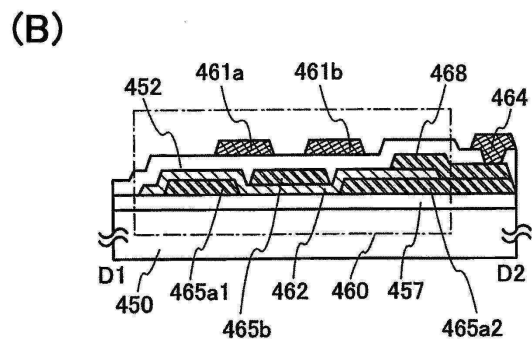
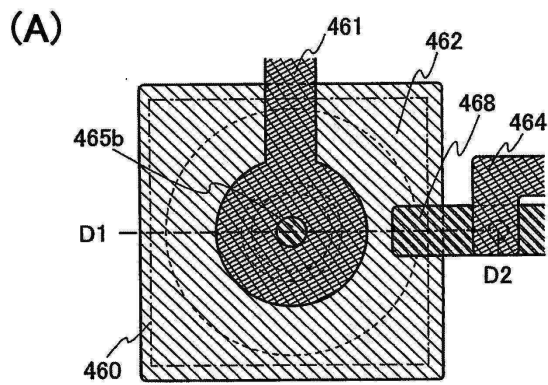
(B)



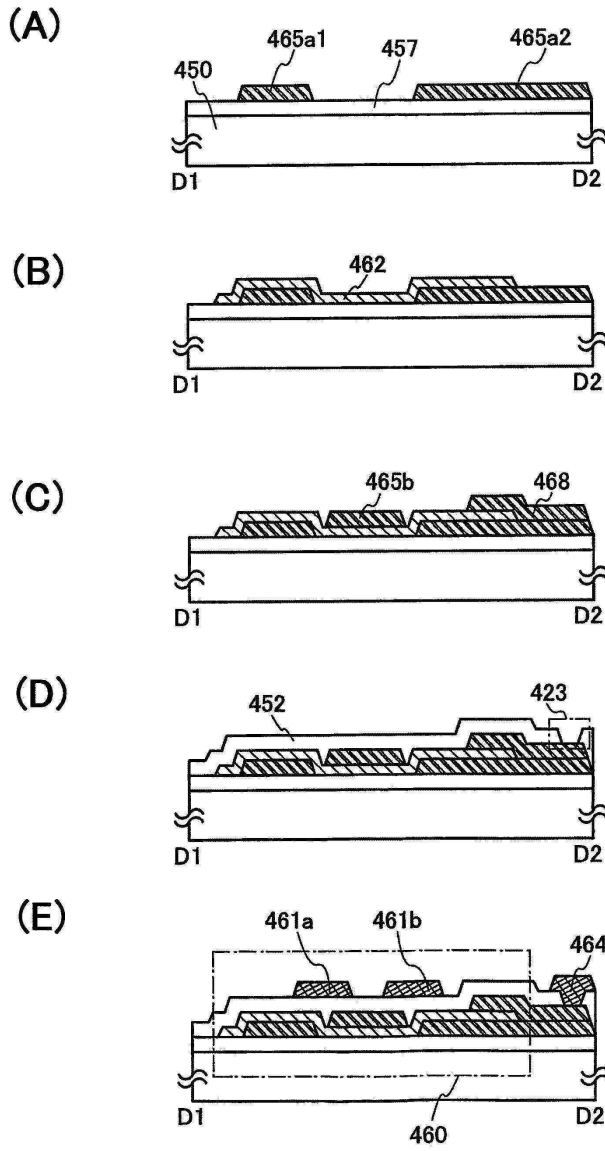
도면4



도면5

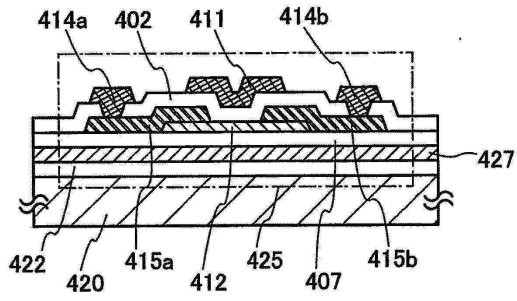


도면6

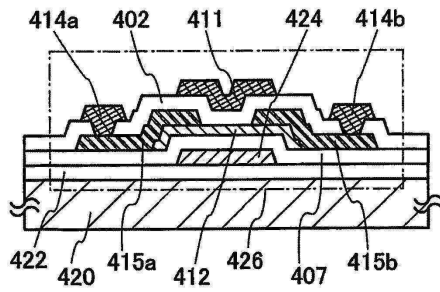


도면7

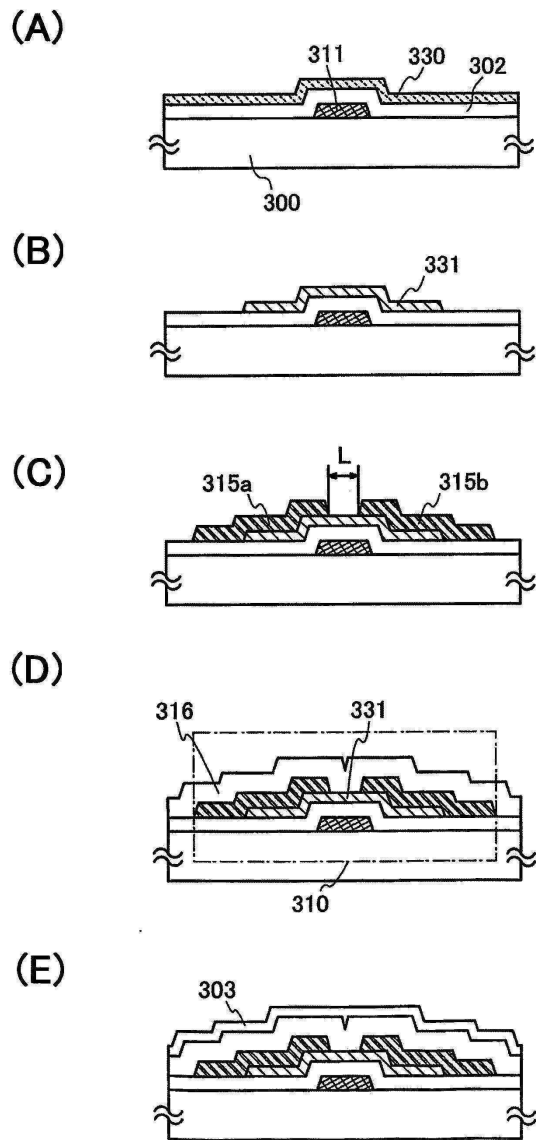
(A)



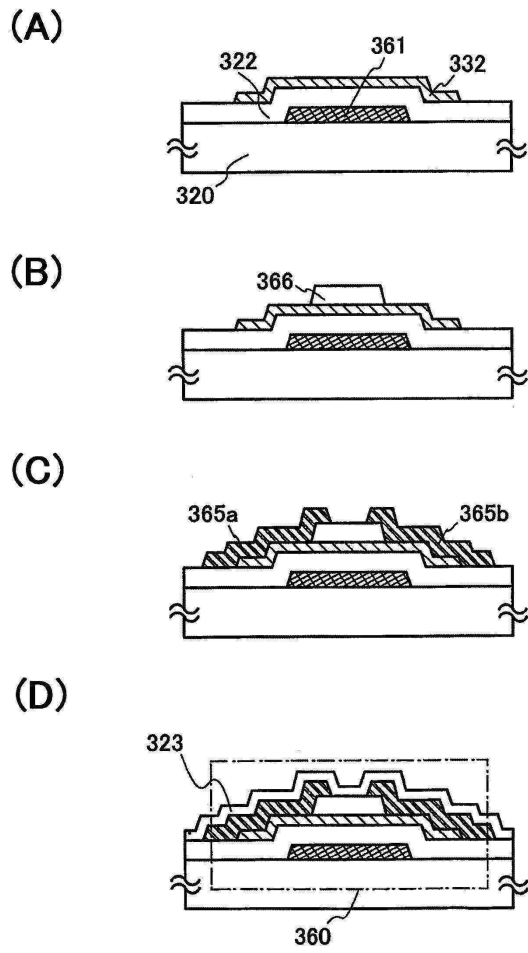
(B)



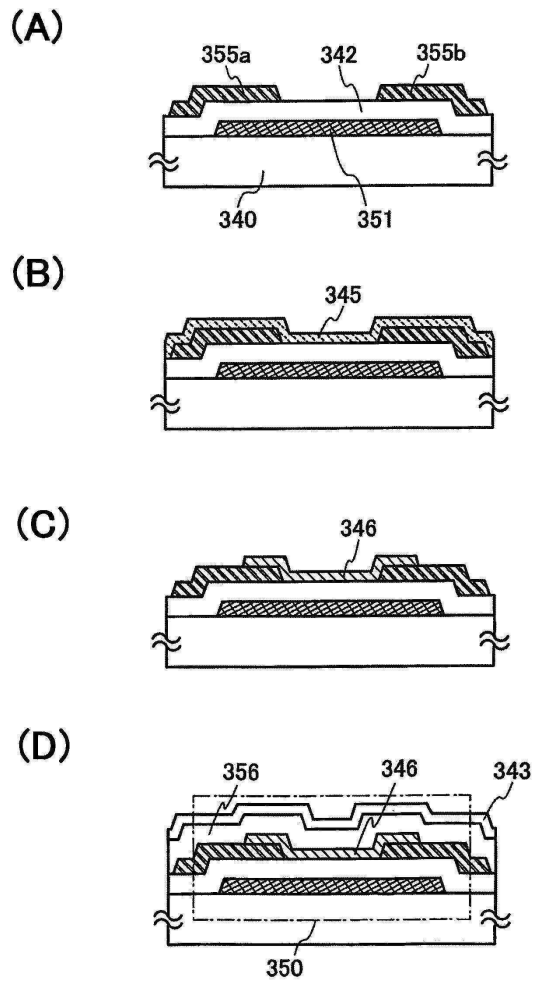
도면8



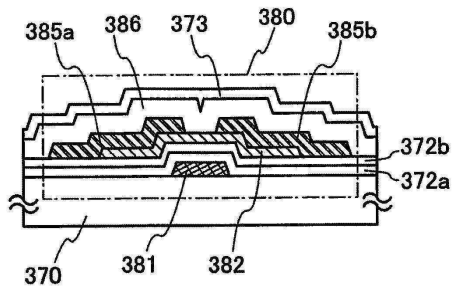
도면9



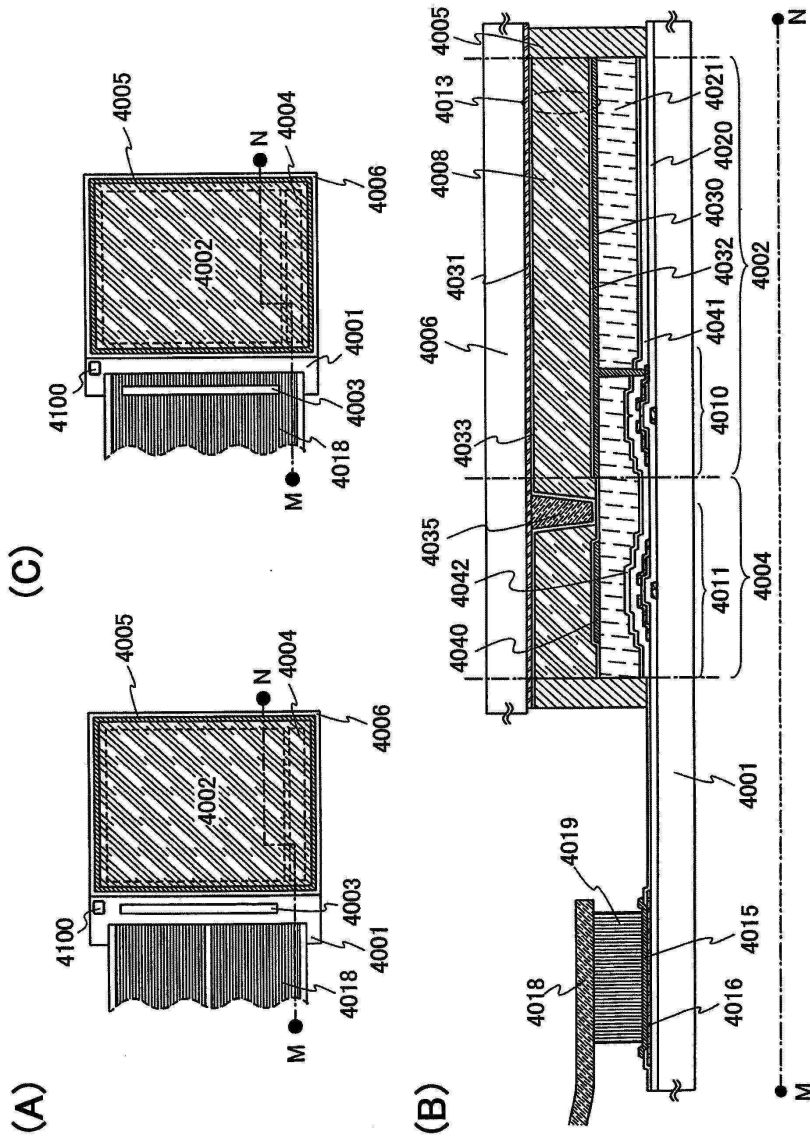
도면10



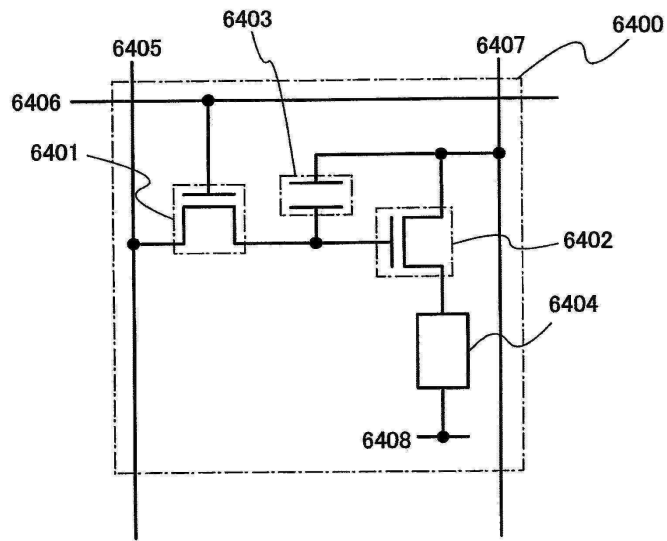
도면11



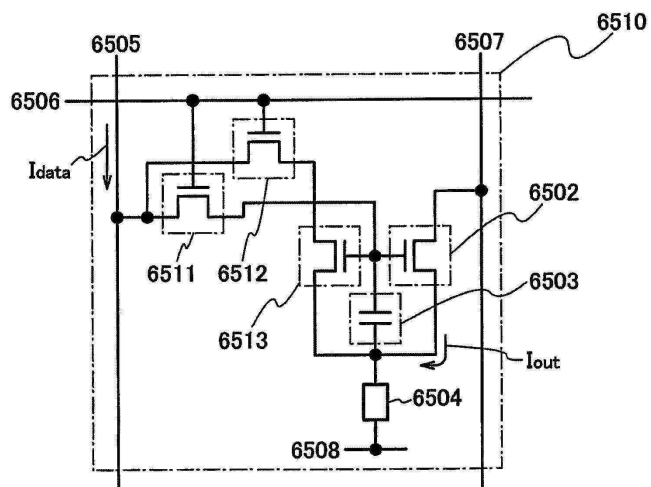
도면12



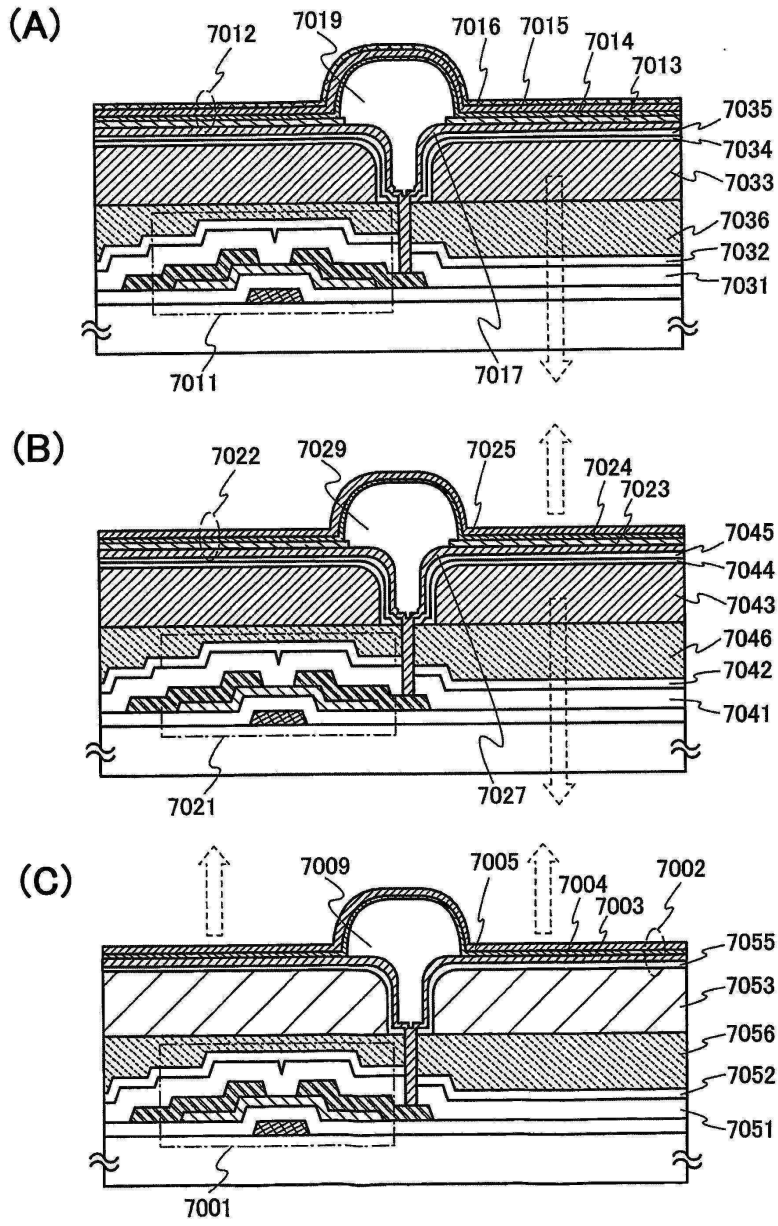
도면13



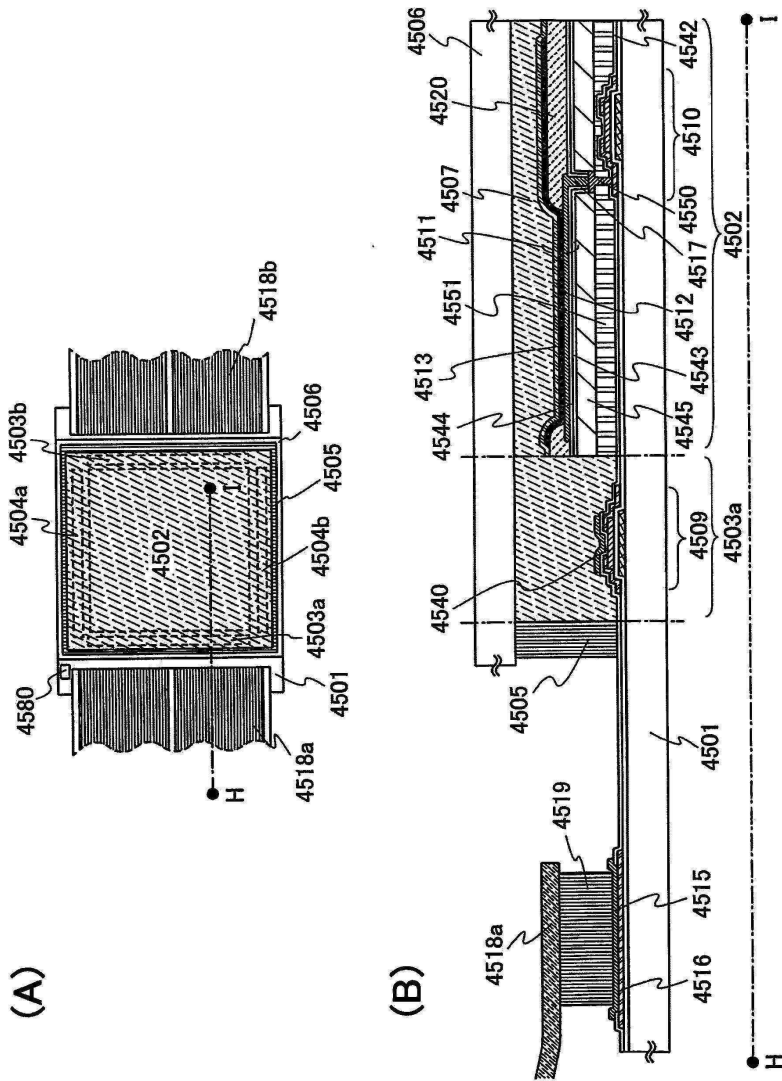
도면14



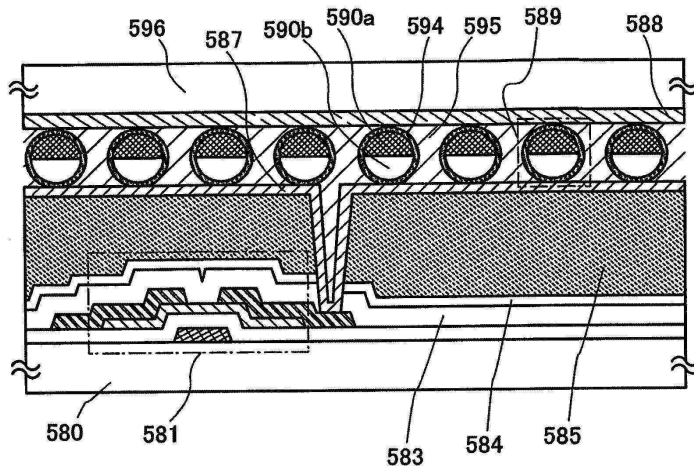
도면15



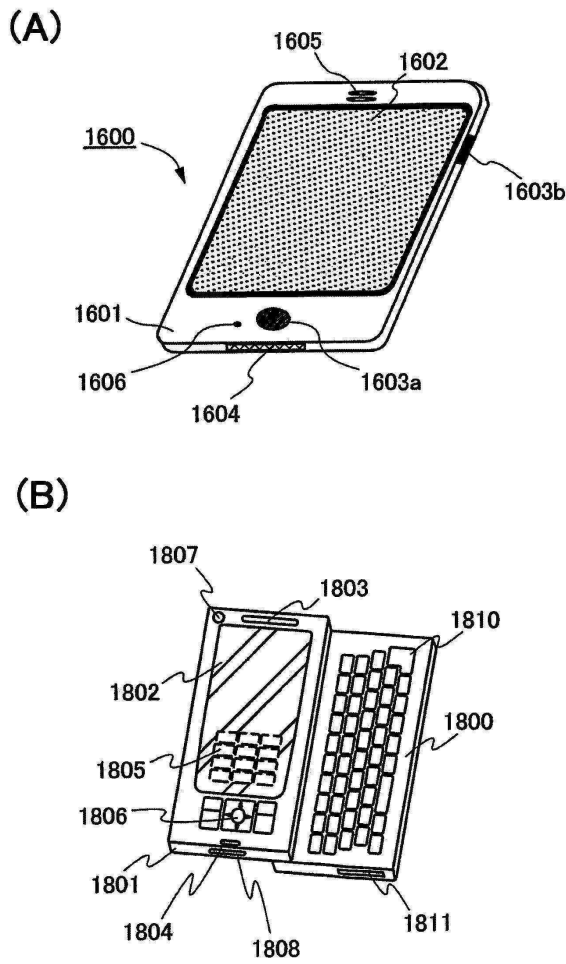
도면16



도면17

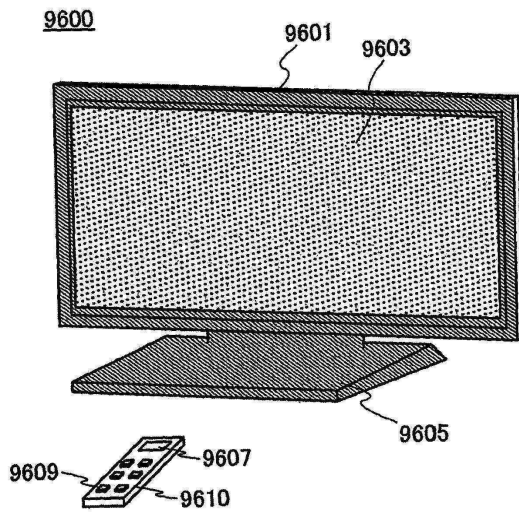


도면18

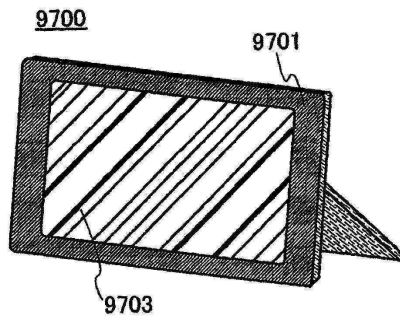


도면19

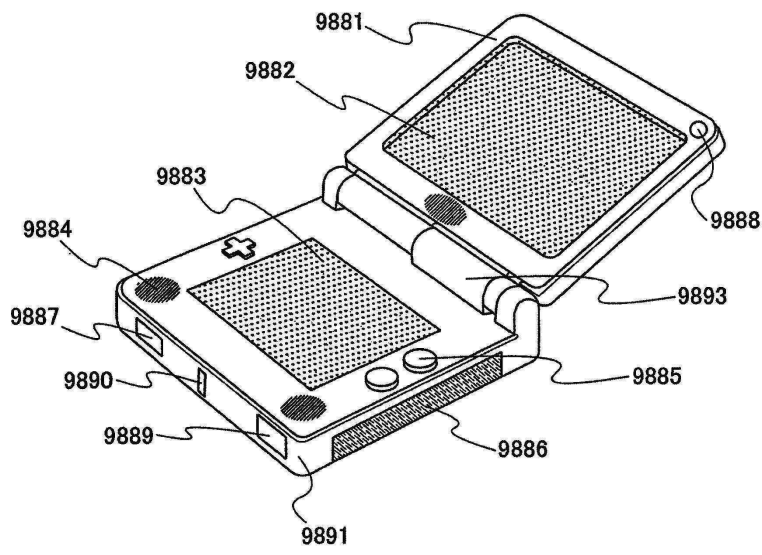
(A)



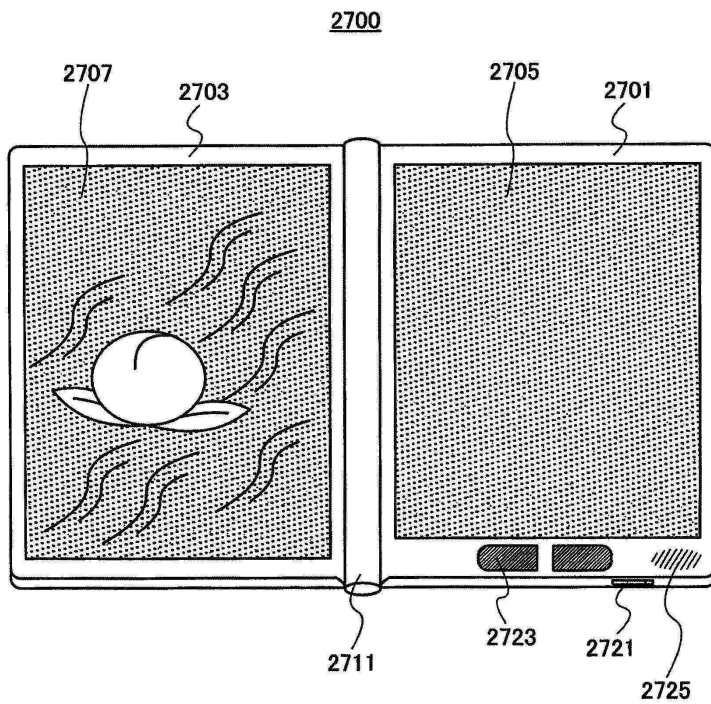
(B)



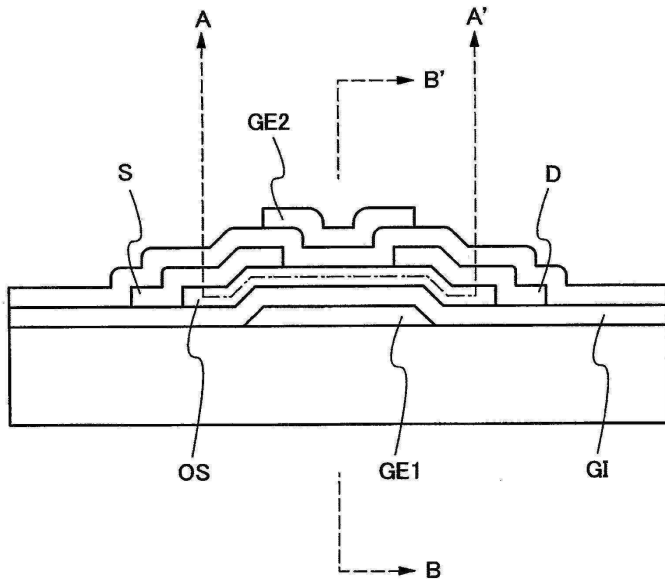
도면20



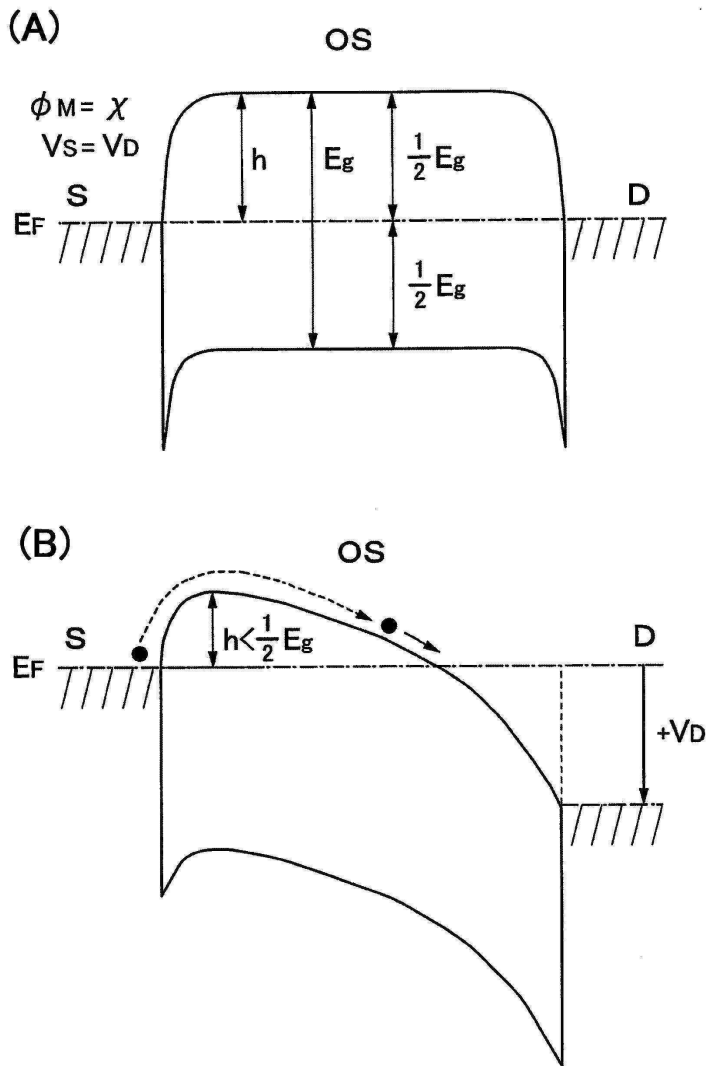
도면21



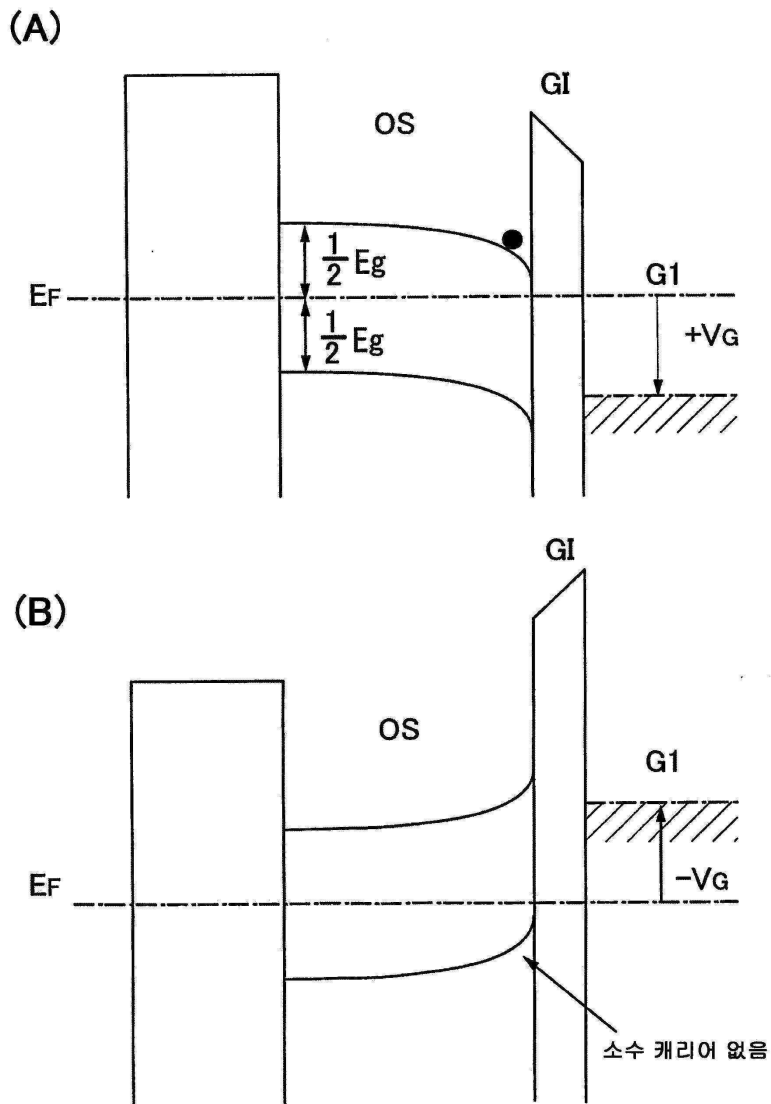
도면22



도면23



도면24



도면25

