



(12) 发明专利

(10) 授权公告号 CN 103187263 B

(45) 授权公告日 2015. 12. 09

(21) 申请号 201210102555. 8

TW 200832510 A, 2008. 08. 01,

(22) 申请日 2012. 04. 09

US 6867116 B1, 2005. 03. 15,

(30) 优先权数据

审查员 詹斯琦

13/341, 293 2011. 12. 30 US

(73) 专利权人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72) 发明人 解子颜

(74) 专利代理机构 北京德恒律师事务所 11306

代理人 陆鑫 房岭梅

(51) Int. Cl.

H01L 21/31(2006. 01)

H01L 21/3105(2006. 01)

H01L 21/265(2006. 01)

(56) 对比文件

US 2010/0001402 A1, 2010. 01. 07,

US 2009/0227110 A1, 2009. 09. 10,

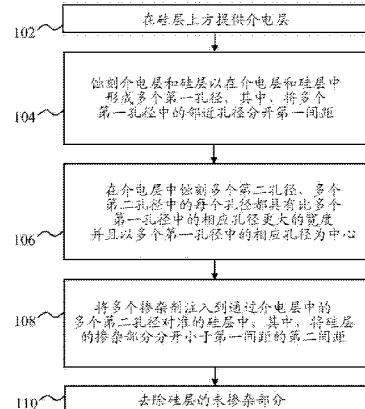
权利要求书3页 说明书8页 附图7页

(54) 发明名称

采用注入的自对准图案化

(57) 摘要

一种制造半导体器件的多个部件的方法包括在硅层上方提供介电层，以及蚀刻介电层和硅层从而在介电层和硅层中形成多个第一孔径，其中将多个第一孔径中的邻近孔径分开第一间距。该方法进一步包括在介电层中蚀刻多个第二孔径，多个第二孔径中的每个孔径都具有比所述多个第一孔径中的相应孔径更大的宽度并且以所述多个第一孔径中的相应孔径为中心；将多个掺杂剂注入到通过介电层中的多个第二孔径对准的硅层中，其中，将硅层的掺杂部分分开小于第一间距的第二间距；以及去除硅层的未掺杂部分。本发明提供采用注入的自对准图案化。



B

CN 103187263

1. 一种制造多个部件的方法,所述方法包括 :

在硅层上方形成介电层 ;

蚀刻所述介电层和所述硅层,以在所述介电层和所述硅层中形成多个第一孔径,其中,将所述多个第一孔径的邻近孔径分开第一间距;

在所述介电层中蚀刻多个第二孔径,所述多个第二孔径中的每个孔径都具有比所述多个第一孔径中的相应孔径更大的宽度并且以所述多个第一孔径中的相应孔径为中心;

将多个掺杂剂注入到通过所述介电层中的所述多个第二孔径对准的所述硅层中,其中,将所述硅层的掺杂部分分开小于所述第一间距的第二间距;

在所述介电层中蚀刻多个第三孔径,所述多个第三孔径中的每个孔径都具有比所述多个第二孔径中的相应孔径更大的宽度,并且以所述多个第二孔径中的相应孔径为中心;

通过所述介电层中的所述多个第三孔径在所述硅层上方提供图膜;

去除所述介电层以通过所述图膜暴露出部分所述硅层;

通过所述图膜注入暴露的所述硅层;以及

去除所述硅层的未掺杂部分。

2. 根据权利要求 1 所述的方法,其中,所述硅层作为多晶硅层或非晶硅层形成。

3. 根据权利要求 1 所述的方法,其中,所述硅层的未掺杂部分通过施加 TMAH、KOH 或铵来去除。

4. 根据权利要求 1 所述的方法,进一步包括 :

在所述介电层上方提供经图案化的光刻胶,所述经图案化的光刻胶具有分开所述第一间距的多个孔径;

通过所述经图案化的光刻胶的所述多个孔径蚀刻所述介电层和所述硅层,从而在所述介电层和所述硅层中形成所述多个第一孔径;以及

去除所述经图案化的光刻胶。

5. 根据权利要求 1 所述的方法,进一步包括,在所述硅层下方提供氮化物层。

6. 根据权利要求 1 所述的方法,进一步包括 :

通过灰化去除所述图膜;以及

通过 TMAH 去除所述硅层的未掺杂部分,从而提供分开所述第二间距的所述硅层的掺杂部分。

7. 根据权利要求 1 所述的方法,其中,提供作为光刻胶层或先进图膜 (APF) 的所述图膜。

8. 一种制造多个部件的方法,所述方法包括 :

在硅层上方提供介电层;

蚀刻所述介电层和所述硅层,以在所述介电层和所述硅层中形成多个第一孔径,其中,将所述多个第一孔径中的邻近孔径分开第一间距;

在所述介电层中蚀刻多个第二孔径,所述多个第二孔径中的每个孔径都具有比所述多个第一孔径中的相应孔径更大的宽度,并且以所述多个第一孔径中的相应孔径为中心;

将第一多个掺杂剂注入到通过所述介电层中的所述多个第二孔径对准的所述硅层中;

在所述介电层中蚀刻多个第三孔径,所述多个第三孔径中的每个孔径都具有比所述多

- 个第二孔径中的相应孔径更大的宽度，并且以所述多个第二孔径中的相应孔径为中心；
通过所述介电层中的所述多个第三孔径在所述硅层上方提供图膜；
去除所述介电层以通过所述图膜暴露出部分所述硅层；
通过所述图膜将第二多个掺杂剂注入到暴露的所述硅层中，其中，将所述硅层的掺杂部分分开小于所述第一间距的第二间距；以及
去除所述硅层的未掺杂部分。
9. 根据权利要求 8 所述的方法，其中，所述硅层作为多晶硅层或非晶硅层形成。
10. 根据权利要求 8 所述的方法，其中，提供作为光刻胶层或先进图膜 (APF) 的所述图膜。
11. 根据权利要求 8 所述的方法，其中，所述硅层的未掺杂部分通过施加 TMAH、KOH 或铵来去除。
12. 根据权利要求 8 所述的方法，进一步包括：
在所述介电层上方提供经图案化的光刻胶，所述经图案化的光刻胶具有分开所述第一间距的多个孔径；
通过所述经图案化的光刻胶的所述多个孔径蚀刻所述介电层和所述硅层，从而在所述介电层和所述硅层中形成所述多个第一孔径；以及
去除所述经图案化的光刻胶。
13. 根据权利要求 8 所述的方法，进一步包括，在所述硅层下方提供氮化物层。
14. 根据权利要求 8 所述的方法，进一步包括：
通过灰化去除所述图膜；以及
通过 TMAH 去除所述硅层的未掺杂部分，从而提供分开所述第二间距的所述硅层的掺杂部分。
15. 一种制造多个部件的方法，所述方法包括：
在硅层上方提供介电层；
蚀刻所述介电层和所述硅层，以在所述介电层和所述硅层中形成多个第一孔径，其中，将所述多个第一孔径中的邻近孔径分开第一间距；
在所述介电层中蚀刻多个第二孔径，所述多个第二孔径中的每个孔径都具有比所述多个第一孔径中的相应孔径更大的宽度，并且以所述多个第一孔径中的相应孔径为中心；
将第一多个掺杂剂注入到通过所述介电层中的所述多个第二孔径对准的所述硅层中；
在所述介电层中蚀刻多个第三孔径，所述多个第三孔径中的每个孔径都具有比所述多个第二孔径中的相应孔径更大的宽度，并且以所述多个第二孔径中的相应孔径为中心；
通过所述介电层中的所述多个第三孔径在所述硅层上方提供图膜；
去除所述介电层以通过所述图膜暴露出部分所述硅层；
通过所述图膜将第二多个掺杂剂注入到暴露的所述硅层中，其中，将所述硅层的掺杂部分分开第二间距，所述第二间距是所述第一间距的三分之一；
去除所述图膜；以及
去除所述硅层的未掺杂部分。
16. 根据权利要求 15 所述的方法，其中，所述硅层作为多晶硅层或非晶硅层形成。

17. 根据权利要求 15 所述的方法, 其中, 提供作为光刻胶层或先进图膜 (APF) 的所述图膜。

18. 根据权利要求 15 所述的方法, 其中, 所述硅层的未掺杂部分通过施加 TMAH、KOH 或铵来去除。

19. 根据权利要求 15 所述的方法, 进一步包括 :

在所述介电层上方提供经图案化的光刻胶, 所述经图案化的光刻胶具有分开所述第一间距的多个孔径 ;

通过所述经图案化的光刻胶的所述多个孔径蚀刻所述介电层和所述硅层, 从而在所述介电层和所述硅层中形成所述多个第一孔径 ; 以及

去除所述经图案化的光刻胶。

采用注入的自对准图案化

技术领域

[0001] 本发明涉及半导体制造,具体而言,涉及制造多个部件的方法。

背景技术

[0002] 由于各种电子元件(即晶体管、二极管、电阻器、电容器等)的集成密度的不断提高,半导体产业经历了持续快速的增长。在大多数情况下,这种集成密度的提高源于最小部件尺寸的减小,从而容许在给定的区域内集成更多的元件。

[0003] 尽管已经使用了先进的光刻和蚀刻工艺来减小最小部件尺寸,但是掩模制造中的多次图案化引起了底切(undercut)问题、难以控制最小临界尺寸、以及其他制造相关问题。

发明内容

[0004] 本发明提供了许多不同的实施例。根据一个实施例,提供了一种制造多个部件的方法。所述方法包括在硅层上方提供介电层,以及蚀刻所述介电层和所述硅层以在所述介电层和所述硅层中形成多个第一孔径,其中,将所述多个第一孔径中的邻近孔径分开第一间距。所述方法进一步包括在所述介电层中蚀刻多个第二孔径,所述多个第二孔径中的每个孔径都具有比所述多个第一孔径中的相应孔径更大的宽度并且以所述多个第一孔径中的相应孔径为中心;将多个掺杂剂注入到通过所述介电层中的所述多个第二孔径对准的所述硅层中,其中,将所述硅层的掺杂部分分开小于所述第一间距的第二间距;以及去除所述硅层的未掺杂部分。

[0005] 在又一个实施例中,一种用于制造多个部件的方法包括上面所述的元件,并且进一步包括:在所述介电层中蚀刻多个第三孔径,所述多个第三孔径中的每个孔径都具有比所述多个第二孔径中的相应孔径更大的宽度,并且以所述多个第二孔径中的相应孔径为中心;通过所述介电层中的所述多个第三孔径在硅层上方提供图膜(patterning film);去除所述介电层以通过所述图膜暴露出部分所述硅层;通过所述图膜将第二多个掺杂剂注入到暴露的所述硅层中,其中,将所述硅层的掺杂部分分开小于所述第一间距的第二间距;以及去除所述硅层的未掺杂部分。

[0006] 在又一个实施例中,一种用于制造多个部件的方法包括上面所述的元件,并且进一步包括通过所述图膜将第二多个掺杂剂注入到暴露的所述硅层中,其中,将所述硅层的掺杂部分分开第二间距,所述第二间距是所述第一间距的三分之一。

[0007] 一方面,本发明提供了一种制造多个部件的方法,所述方法包括:在硅层上方形成介电层;蚀刻所述介电层和所述硅层,以在所述介电层和所述硅层中形成多个第一孔径,其中,将所述多个第一孔径的邻近孔径分开第一间距;在所述介电层中蚀刻多个第二孔径,所述多个第二孔径中的每个孔径都具有比所述多个第一孔径中的相应孔径更大的宽度并且以所述多个第一孔径中的相应孔径为中心;将多个掺杂剂注入到通过所述介电层中的所述多个第二孔径对准的所述硅层中,其中,将所述硅层的掺杂部分分开小于所述第一间距的

第二间距；以及去除所述硅层的未掺杂部分。

[0008] 在所述的方法中，所述硅层作为多晶硅层或非晶硅层形成。

[0009] 在所述的方法中，所述硅层的未掺杂部分通过施加 TMAH、KOH 或铵来去除。

[0010] 所述的方法进一步包括：在所述介电层上方提供经图案化的光刻胶，所述经图案化的光刻胶具有分开所述第一间距的多个孔径；通过所述经图案化的光刻胶的所述多个孔径蚀刻所述介电层和所述硅层，从而在所述介电层和所述硅层中形成所述多个第一孔径；以及去除所述经图案化的光刻胶。

[0011] 所述的方法，进一步包括在所述硅层下方提供氮化物层。

[0012] 所述的方法，进一步包括：在所述介电层中蚀刻多个第三孔径，所述多个第三孔径中的每个孔径都具有比所述多个第二孔径中的相应孔径更大的宽度，并且以所述多个第二孔径中的相应孔径为中心；通过所述介电层中的所述多个第三孔径在所述硅层上方提供图膜；去除所述介电层以通过所述图膜暴露出部分所述硅层；以及通过所述图膜注入暴露的所述硅层。

[0013] 所述的方法，进一步包括：通过灰化去除所述图膜；以及通过 TMAH 去除所述硅层的未掺杂部分，从而提供分开所述第二间距的所述硅层的掺杂部分。

[0014] 在所述的方法中，提供作为光刻胶层或先进图膜 (APF) 的所述图膜。

[0015] 另一方面，本发明提供了一种制造多个部件的方法，所述方法包括：在硅层上方提供介电层；蚀刻所述介电层和所述硅层，以在所述介电层和所述硅层中形成多个第一孔径，其中，将所述多个第一孔径中的邻近孔径分开第一间距；在所述介电层中蚀刻多个第二孔径，所述多个第二孔径中的每个孔径都具有比所述多个第一孔径中的相应孔径更大的宽度，并且以所述多个第一孔径中的相应孔径为中心；将第一个掺杂剂注入到通过所述介电层中的所述多个第二孔径对准的所述硅层中；在所述介电层中蚀刻多个第三孔径，所述多个第三孔径中的每个孔径都具有比所述多个第二孔径中的相应孔径更大的宽度，并且以所述多个第二孔径中的相应孔径为中心；通过所述介电层中的所述多个第三孔径在所述硅层上方提供图膜；去除所述介电层以通过所述图膜暴露出部分所述硅层；通过所述图膜将第二个掺杂剂注入到暴露的所述硅层中，其中，将所述硅层的掺杂部分分开小于所述第一间距的第二间距；以及去除所述硅层的未掺杂部分。

[0016] 在所述的方法中，所述硅层作为多晶硅层或非晶硅层形成。

[0017] 在所述的方法中，提供作为光刻胶层或先进图膜 (APF) 的所述图膜。

[0018] 在所述的方法中，所述硅层的未掺杂部分通过施加 TMAH、KOH 或铵来去除。

[0019] 所述的方法进一步包括：在所述介电层上方提供经图案化的光刻胶，所述经图案化的光刻胶具有分开所述第一间距的多个孔径；通过所述经图案化的光刻胶的所述多个孔径蚀刻所述介电层和所述硅层，从而在所述介电层和所述硅层中形成所述多个第一孔径；以及去除所述经图案化的光刻胶。

[0020] 所述的方法，进一步包括在所述硅层下方提供氮化物层。

[0021] 所述的方法进一步包括：通过灰化去除所述图膜；以及通过 TMAH 去除所述硅层的未掺杂部分，从而提供分开所述第二间距的所述硅层的掺杂部分。

[0022] 另一方面，本发明还提供了一种制造多个部件的方法，所述方法包括：在硅层上方提供介电层；蚀刻所述介电层和所述硅层，以在所述介电层和所述硅层中形成多个第一孔

径,其中,将所述多个第一孔径中的邻近孔径分开第一间距;在所述介电层中蚀刻多个第二孔径,所述多个第二孔径中的每个孔径都具有比所述多个第一孔径中的相应孔径更大的宽度,并且以所述多个第一孔径中的相应孔径为中心;将第一多个掺杂剂注入到通过所述介电层中的所述多个第二孔径对准的所述硅层中;在所述介电层中蚀刻多个第三孔径,所述多个第三孔径中的每个孔径都具有比所述多个第二孔径中的相应孔径更大的宽度,并且以所述多个第二孔径中的相应孔径为中心;通过所述介电层中的所述多个第三孔径在所述硅层上方提供图膜;去除所述介电层以通过所述图膜暴露出部分所述硅层;通过所述图膜将第二多个掺杂剂注入到暴露的所述硅层中,其中,将所述硅层的掺杂部分分开第二间距,所述第二间距是所述第一间距的三分之一;去除所述图膜;以及去除所述硅层的未掺杂部分。

- [0023] 在所述的方法中,所述硅层作为多晶硅层或非晶硅层形成。
- [0024] 在所述的方法中,提供作为光刻胶层或先进图膜(APF)的所述图膜。
- [0025] 在所述的方法中,所述硅层的未掺杂部分通过施加TMAH、KOH或铵来去除。
- [0026] 所述的方法进一步包括:在所述介电层上方提供经图案化的光刻胶,所述经图案化的光刻胶具有分开所述第一间距的多个孔径;通过所述经图案化的光刻胶的所述多个孔径蚀刻所述介电层和所述硅层,从而在所述介电层和所述硅层中形成所述多个第一孔径;以及去除所述经图案化的光刻胶。

附图说明

[0027] 当结合附图进行阅读时,根据下面详细的描述可以更好地理本发明。应该强调的是,根据产业中的标准实践,对各种部件没有按比例绘制。实际上,为了清楚讨论起见,各种部件的尺寸可以被任意增大或减小。

- [0028] 图1是根据本发明的实施例的制造硬掩模结构的方法的流程图。
- [0029] 图2A-图2L是根据本发明的实施例的在各个制造阶段的硬掩模结构的截面图。

具体实施方式

[0030] 可以了解为了实施本发明的不同部件,以下公开内容提供了许多不同的实施例或实例。在下面描述元件和布置的特定实例以简化本发明。当然这些仅仅是实例并不打算限定。再者,在以下描述中第一部件在第二部件上方或者在第二部件上的形成可以包括其中第一和第二部件以直接接触形成的实施例,也可以包括其中可以形成插入到第一和第二部件中的额外的部件,从而使第一和第二部件可以不直接接触的实施例。为了简明和清楚起见,可以任意地以不同的比例绘制各种部件。注意到,为了简明和清楚起见,在本文中对相同或相似的部件可以进行类似的编号。此外,为清楚起见,可以简化一些附图。因此,附图可能并未描绘出给定装置(例如,器件)或方法的所有元件。

[0031] 参考示意性地示出了本发明的理想结构的附图,在本文描述本发明的各个方面。鉴于此,作为例如制造技术和/或公差的结果示出的形状的变化是可预计的。因此,整个本发明所展示的本发明的各个方面不应该被解释为仅限于本文所示出的和所描述的元件(例如,区域、层、截面、衬底等)的特定形状,而应该包括形状的偏差,例如,由制造导致的形状的偏差。举例来说,示出或描述为矩形的元件可以在其边缘处具有圆的或弯曲的部件

和 / 或梯度浓度,而不是从一个元件到另一个元件的分立的变化。因此,附图中所示出的元件在本质上为示意性的,并且它们的形状不用于说明元件的精确形状,并且也不用于限制本发明的范围。

[0032] 可以理解,当一个元件(诸如,区域、层、截面、衬底等)被称为在另一个元件“上”时,它可以直接在另一个元件上或者也可以存在中间元件。相反,当一个元件被称为“直接”在另一个元件上时,不存在中间元件。还可以理解,当一个元件被称为在另一个元件上“形成”时,它可以是在另一元件上或中间元件上生长、沉积、蚀刻、接合、连接、联接或者以其他方式制备或制造。

[0033] 此外,相对术语,诸如“下”或“底部”和“上”或“顶部”,在本文中可以用于描述附图中所示出的一个元件与另一个元件之间的关系。可以理解,相对术语旨在涵盖除了附图中描绘的取向之外装置的不同取向。举例来说,如果将附图中的装置翻转,描述为在其他元件“下”面上的元件的取向将变成在其他元件的“上”面上。因此,根据装置的具体取向,术语“下”可以包括“下”和“上”两种取向。类似地,如果将附图中的装置翻转,描述为在其他元件的“下方”或“下面”的元件的取向将变成在其他元件的“上方”。因此,术语“下方”或“下面”可以包括“上方”和“下方”两种取向。

[0034] 除非另有定义,本文使用的所有术语(包括技术术语和科学术语)具有与本发明所属领域的普通技术人员通常所理解的相同的含义。还可以理解,术语(诸如,常用字典中定义的术语)应被解释为具有与相关领域和本发明背景下的含义一致的含义。

[0035] 除非文中明确示出,本文所用的单数形式“一个(a, an)”、和“该(the)”预期也包括其复数形式。还可以理解,当在本说明书中使用时,术语“包括”和 / 或“包含”详细说明了存在的所述部件、整体、步骤、操作、元件和 / 或组件,但并不排除存在或加入一个或多个其他部件、整体、步骤、操作、元件、组件和 / 或其组合。术语“和 / 或”包括一个或多个相关所列项目中的任何组合和所有组合。

[0036] 可以理解,虽然术语“第一”和“第二”在本文中可以用于描述各个区域、层和 / 或截面,但是这些区域、层和 / 或截面应不受这些术语的限制。这些术语仅用来区分一个区域、层或截面与另一区域、层或截面。因此,在不背离本发明的教导的情况下,在下面所论述的第一区域、层或截面可以被称为第二区域、层或截面,并且类似地,第二区域、层或截面也可以被称为第一区域、层或截面。

[0037] 可以理解,可以对器件的几个加工步骤和 / 或部件仅作简要描述,因为这些步骤和 / 或部件对本领域普通技术人员来说是公知的。此外,可以加入额外的加工步骤或部件,也可以删除和 / 或改变某些以下加工步骤或部件,而仍实现权利要求。因此,以下描述应该被理解成仅仅表示实例,而不是用于表明一个或多个步骤或部件是必需的。

[0038] 现在参考图 1,所示的流程图示出了根据本发明的实施例的用于在半导体器件上制造多个部件的方法 100。方法 100 包括:在框 102 中,在硅层上方提供介电层;以及在框 104 中,蚀刻介电层和硅层以在介电层和硅层中形成多个第一孔径,其中,多个第一孔径中的邻近孔径分开第一间距。方法 100 进一步包括:在框 106 中,在介电层中蚀刻多个第二孔径,多个第二孔径中的每个孔径都具有比多个第一孔径中的相应孔径更大的宽度并且以多个第一孔径中的相应孔径为中心;在框 108 中,将多个掺杂剂注入到通过介电层中的多个第二孔径对准的硅层中,其中,硅层的掺杂部分分开小于第一间距的第二间距;以及在框

110 中,去除硅层的未掺杂部分。

[0039] 上面所述的方法 100 中的各个结构可以通过各种沉积、图案化和 / 或蚀刻技术形成。应当注意到,在各个方面的范围内可以对方法 100 的操作进行重新布置或以其他方式进行更改。进一步注意到,可以在方法 100 之前、期间和之后提供额外的工艺,并且在本文中可以对一些其他工艺仅作简要描述。因此,在本文所述的各个方面的范围内,其他实施也是可能的。

[0040] 根据一个方面,蚀刻介电层和硅层从而在介电层和硅层中形成多个第一孔径可以包括在介电层上方提供经图案化的光刻胶,经图案化的光刻胶具有分开第一间距的多个孔径;通过经图案化的光刻胶的多个孔径蚀刻介电层和硅层,从而在介电层和硅层中形成多个第一孔径;以及然后去除经图案化的光刻胶(例如,通过灰化或蚀刻)。

[0041] 根据另一方面,硅层作为多晶硅层或非晶硅层形成。在一个实例中,可以通过沉积多晶硅或非晶硅形成硅层,以及根据一个方面,可以通过各种手段和方法(诸如,化学汽相沉积(CVD)、等离子体增强 CVD(PECVD) 等)在衬底上方沉积或生长多晶硅或非晶硅层。

[0042] 在硅层下方提供的衬底可以包括氮化物层,和 / 或可以包括各种半导体器件和 / 或其他合适的有源和 / 或无源器件。示例半导体器件包括集成电路,该集成电路包括金属 - 绝缘体 - 半导体场效应晶体管(MISFET),其包括互补 MISFET(CMIS) 部件;CIS;和 / 或其他合适的有源和 / 或无源器件。在实施例中,衬底可以包括采用基于 CMOS 的工艺设计并形成的集成电路(或其部分)。具有通过其他半导体制造技术形成的器件(例如,集成电路)的衬底也在所述方法的范围内。

[0043] 在一个实例中,衬底可以由介电层(诸如,氮化物层)组成。在其他实施例中,衬底可以由其他材料(诸如,III-V 族化合物或其组合(例如,作为沟道材料的 InGaAs、InAs、GaSb 或 InGaSb,以及作为缓冲材料的 AlAsSb))组成。在又一些实施例中,衬底可以由实现硅的选择性蚀刻的材料组成。

[0044] 根据另一个方面,通过将四甲基氢氧化铵(TMAH)、氢氧化钾(KOH) 和 / 或铵应用到硅层的掺杂部分和未掺杂部分,可以选择性地去除硅层的未掺杂部分。

[0045] 根据另一个方面,方法 100 可以进一步包括在介电层中蚀刻多个第三孔径,多个第三孔径中的每个孔径具有比多个第二孔径中的相应孔径更大的宽度,并且以多个第二孔径中的相应孔径为中心;通过介电层中的多个第三孔径在硅层上方提供图膜;去除介电层以通过图膜暴露出部分硅层;以及通过图膜注入暴露的硅层。

[0046] 根据另一方面,方法 100 可以进一步包括通过灰化去除图膜,以及通过 TMAH 去除硅层的未掺杂部分以提供分开第二间距的硅层的掺杂部分。

[0047] 根据另一方面,可以提供作为光刻胶层或先进图膜(APF)(诸如在美国申请号 11/778,239(US2009/0023294) 中所述的)图膜,出于所有目的,将该美国申请的公开内容结合于此作为参考。

[0048] 现在参考图 2A- 图 2L,根据本发明的实施例示出了在各个制造阶段的硬掩模 200 的截面图。

[0049] 图 2A 示出了设置在衬底 202 上方的硅层 204,设置在硅层 204 上方的介电层 206,以及设置在介电层 206 上方的光刻胶 208。将光刻胶 208 图案化,使其具有分开第一间距 A 的孔径 209。可以通过本领域中已知的适用的光刻、曝光、蚀刻手段以及方法将光刻胶 208

图案化。在一个实例中，介电层 206 可以由氧化硅组成。

[0050] 根据一个方面，在硅层 204 下方提供的衬底 202 可以包括氮化物层，和 / 或可以包括各种半导体器件和 / 或其他合适的有源和 / 或无源器件。示例半导体器件包括集成电路，该集成电路包括金属 - 绝缘体 - 半导体场效应晶体管 (MISFET)，其包括互补 MISFET (CMIS) 部件；CIS；和 / 或其他合适的有源和 / 或无源器件。在实施例中，衬底 202 可以包括采用基于 CMOS 的工艺设计并形成的集成电路（或其部分）。具有通过其他半导体制造技术形成的器件（例如，集成电路）的衬底也在所述方法的范围内。

[0051] 在一个实例中，衬底 202 可以由介电层（诸如，氮化物层）组成。在其他实施例中，衬底 202 可以由其他材料（诸如，III-V 族化合物或其组合（例如，作为沟道材料的 InGaAs、InAs、GaSb 或 InGaSb，以及作为缓冲材料的 AlAsSb））组成。在又一些实施例中，衬底 202 可以由实现硅的选择性蚀刻的材料组成。

[0052] 在一个实例中，硅层 204 可以作为多晶硅层或非晶硅层形成。在一个实例中，硅层 204 可以通过以任何合适的外延沉积系统和工艺（诸如化学汽相沉积 (CVD)、等离子体增强 CVD (PECVD)、金属有机化学汽相沉积 (MOCVD)、大气压 CVD (APCVD)、低（或减）压 CVD (LPCVD)、超高真空 CVD (UHVCVD)、分子束外延 (MBE)、原子层沉积 (ALD) 或分子层沉积 (MLD)）选择性外延生长形成。在另一个实例中，可以以任何合适的沉积系统和工艺（诸如化学汽相沉积 (CVD) 或等离子体增强化学汽相沉积法 (PECVD)）使用硅烷 (SiH_4) 或乙硅烷 (Si_2H_6) 将硅层 204 沉积成非晶层。在一个实例中，可以（例如，通过 LPCVD 方法）沉积未掺杂的多晶硅层，并且可以使用常规的光刻和各向异性 RIE 方法（例如，使用 Cl_2 或 SF_6 作为蚀刻剂）来限定硅层 204。

[0053] 图 2B 示出了通过经图案化的光刻胶 208 的多个孔径 209 蚀刻介电层 206 和硅层 204，从而在介电层 206 和硅层 204 中形成多个第一孔径 210。将多个第一孔径 210 中的邻近孔径分开第一间距 A，并且每个第一孔径 210 具有第一宽度 I。在一个实例中，具有经氟化的蚀刻剂气体的氧化物蚀刻器可以与经图案化的光刻胶结合使用。在另一个实例中，可以使用各向异性反应离子刻蚀 (RIE) 方法（例如，使用 Cl_2 或 SF_6 作为蚀刻剂）。

[0054] 图 2C 示出了经图案化的光刻胶 208 的去除。光刻胶 208 可以通过本领域中已知的适用的去除手段和方法（诸如，通过等离子体氧灰化 (plasma oxygen ashing)）去除。

[0055] 图 2D 示出了在介电层 206 中蚀刻多个第二孔径 212。多个第二孔径 212 中的每个孔径都具有第二宽度 II，该多个第二孔径 212 中的每个孔径大于多个第一孔径 210 中的相应孔径，并且以多个第一孔径 210 中的相应孔径为中心。换句话说，第二孔径 212 具有第二宽度 II，该第二宽度 II 大于第一孔径 210 的第一宽度 I。在一个实施例中，第二宽度 II 是第一宽度 I 的宽度的 3 倍。第二孔径 212 可以通过本领域已知的适用的光刻、曝光、蚀刻手段和方法进行图案化。可以使用各种蚀刻技术（诸如，干式和 / 或湿式蚀刻技术）来蚀刻介电层 206 以形成第二孔径 212。在一个实例中，可以将稀 HF 用于湿式蚀刻介电层 206。在另一个实例中，具有经氟化的蚀刻剂气体的氧化物蚀刻器可以与经图案化的光刻胶结合使用。在另一个实例中，可以使用各向异性 RIE 方法（例如，使用 Cl_2 或 SF_6 作为蚀刻剂）。

[0056] 图 2E 示出了注入通过介电层 206 中的多个第二孔径 212 对准的硅层 204，从而形成硅层 204 的掺杂部分 216。在一个实施例中，B 将硅层 204 的掺杂部分 216 分开第二间距，第二间距 B 小于第一间距 A。根据本发明的一个方面，第二间距 B 是第一间距 A 的三分

之一。

[0057] 可以利用使用 p- 型掺杂剂或 n- 型掺杂剂实施的离子注入方法实现掺杂部分 216 的形成。在一个实例中,可以应用 p- 型掺杂剂,诸如硼离子。在其他情况下,可以实施 n- 型注入,诸如砷离子或磷离子。可以使用的掺杂剂的其他实例包括但不限于 BF₂、Ge、C、N 和 He。能够使用其他离子注入工艺,并且可以使用各种物质 (species) 和剂量。

[0058] 图 2F 示出了在介电层 206 中蚀刻多个第三孔径 218。多个第三孔径 218 中的每个孔径都具有第三宽度 III, 该多个第三孔径 218 中的每个孔径都大于多个第二孔径 212 或第一孔径 210 中的相应孔径, 并且以多个第二孔径 212 或第一孔径 210 中的相应孔径为中心。换句话说, 第三孔径 218 具有第三宽度 III, 该第三宽度 III 大于第二孔径 212 的第二宽度 II。在一个实施例中, 第三宽度 III 是第一宽度 I 的宽度的 5 倍。第三孔径 218 可以通过本领域中已知的适用的光刻、曝光、蚀刻手段和方法进行图案化。可以使用各种蚀刻技术 (诸如干式和 / 或湿式蚀刻技术) 来蚀刻介电层 206 以形成第三孔径 218。在一个实例中, 稀 HF 可以用于湿式蚀刻介电层 206。在另一个实例中, 具有经氟化的蚀刻剂气体的氧化物蚀刻器可以与经图案化的光刻胶结合使用。在另一个实例中, 可以使用各向异性 RIE 方法 (例如, 使用 Cl₂ 或 SF₆ 作为蚀刻剂)。

[0059] 图 2G 示出了通过介电层 206 中的多个第三孔径 218 在硅层 204 上方提供图膜 220。在一个实例中, 作为光刻胶层或先进图膜 (APF) 提供图膜 220。APF 在美国申请号 11/778, 239 (US2009/0023294) 中公开, 出于所有目的将该美国申请的公开内容结合与此作为参考。

[0060] 图 2H 示出了将图膜 220 平坦化以暴露出介电层 206。在一个实例中, 可以应用化学机械抛光 (CMP) 方法去除部分图膜直到暴露出介电层 206。

[0061] 图 2I 示出了去除介电层 206, 以通过图膜 220 暴露出硅层 204 的未掺杂部分。

[0062] 图 2J 示出了通过图膜 220 注入暴露的未掺杂硅层 204, 从而形成硅层 204 的掺杂部分 224。在一个实施例中, 将硅层 204 的邻近掺杂部分 216 和 224 分开第二间距 B, 第二间距 B 小于第一间距 A。根据本发明的一个方面, 第二间距 B 是第一间距 A 的三分之一。

[0063] 掺杂部分 224 的形成可以利用使用 p- 型掺杂剂或 n- 型掺杂剂实施的离子注入方法来实现。在一个实例中, 可以应用 p- 型掺杂剂, 诸如硼离子。在其他情况下, 可以实施 n- 型注入, 诸如砷离子或磷离子。可以使用的掺杂剂的其他实例包括但不限于 BF₂、Ge、C、N 和 He。能够使用其他离子注入方法, 并且可以使用各种物质和剂量。

[0064] 图 2K 示出了去除图膜 220, 其可以通过适用的去除手段和方法 (诸如, 在一个实例中通过等离子氧化物灰化) 来实现。

[0065] 图 2L 示出了去除硅层 204 的未掺杂部分, 以提供硅层的剩余掺杂部分 216 和 224, 其中将邻近的掺杂部分 216 和 / 或 224 分开第二间距 B。在一个实例中, 可以通过将 TMAH、KOH 或铵应用到硅层 204, 从而选择性地去除硅层 204 的未掺杂部分。有利的是, 对硅层的未掺杂部分的选择性蚀刻的慢蚀刻速率可以减少下层凹进或过度切割 (undercutting)。

[0066] 在一个实例中, 第二间距 B 小于第一间距 A, 在另一个实例中, 第二间距 B 是第一间距 A 的大约三分之一。在又一个实例中, 第一间距 A 在约 90 纳米到约 180 纳米之间, 而在另一个实例中, 第一间距 A 小于约 90 纳米。在另一个实例中, 第二间距 B 在约 30 纳米到约 60 纳米之间, 而在另一个实例中, 第二间距 B 小于约 30 纳米。

[0067] 有利的是,上面所述的晶体管器件和制造方法可以很容易地与标准 CMOS 工艺结合在一起。更进一步地,本发明实现了由加工的注入性质所产生的优势,诸如,基本上无整体图案密度负载效应;改进工艺合格率,因为如果注入可以穿透颗粒缺陷,则小颗粒可能不影响合格率;在密集而隔离的图案之间基本上没有 CD 偏置,以及采用通过光刻胶边缘和硅硬掩模边缘注入精确限定目标 CD。过度注入不会改变目标 CD。此外,本发明使(1)晶圆构形和(2)线和间隙 CD 不匹配最小化。

[0068] 因此,本发明提供了各种有利的实施例。在一个实施例中,提供了一种制造多个部件的方法。该方法包括在硅层上方提供介电层,以及蚀刻介电层和硅层以在介电层和硅层中形成多个第一孔径,其中,将多个第一孔径中的邻近孔径分开第一间距。该方法进一步包括在介电层中蚀刻多个第二孔径,多个第二孔径中的每个孔径都具有比多个第一孔径中的相应孔径更大的宽度并且以多个第一孔径中的相应孔径为中心;将多个掺杂剂注入到通过介电层中的多个第二孔径对准的硅层中,其中,将硅层的掺杂部分分开小于第一间距的第二间距;以及去除硅层的未掺杂部分。

[0069] 在又一个实施例中,一种用于制造多个部件的方法包括上面所述的元件,并且进一步包括在介电层中蚀刻多个第三孔径,多个第三孔径中的每个孔径都具有比多个第二孔径中的相应孔径更大的宽度,并且以多个第二孔径中的相应孔径为中心;通过介电层中的多个第三孔径在硅层上方提供图膜;去除介电层以通过图膜暴露出部分硅层;通过图膜将第二多个掺杂剂注入到暴露的硅层中,其中,将硅层的掺杂部分分开小于第一间距的第二间距;以及去除硅层的未掺杂部分。

[0070] 在又一个实施例中,一种用于制造多个部件的方法包括上面所述的元件,并进一步包括通过图膜将第二多个掺杂剂注入到暴露的硅层中,其中,将硅层的掺杂部分分开第二间距,第二间距是第一间距的三分之一。

[0071] 尽管已经详细地描述了本发明的实施例,但是本领域的技术人员应该理解,在不背离本发明的主旨和范围的情况下,可以在其中做各种不同的改变、替换和更改。因此,所有这些改变、替换和更改预期都包括在以下权利要求所限定的本发明的范围内。在权利要求中,手段加功能从句用于涵盖当实施所述功能时本文所述的结构,不仅包括结构等效体,而且还包括等效结构。

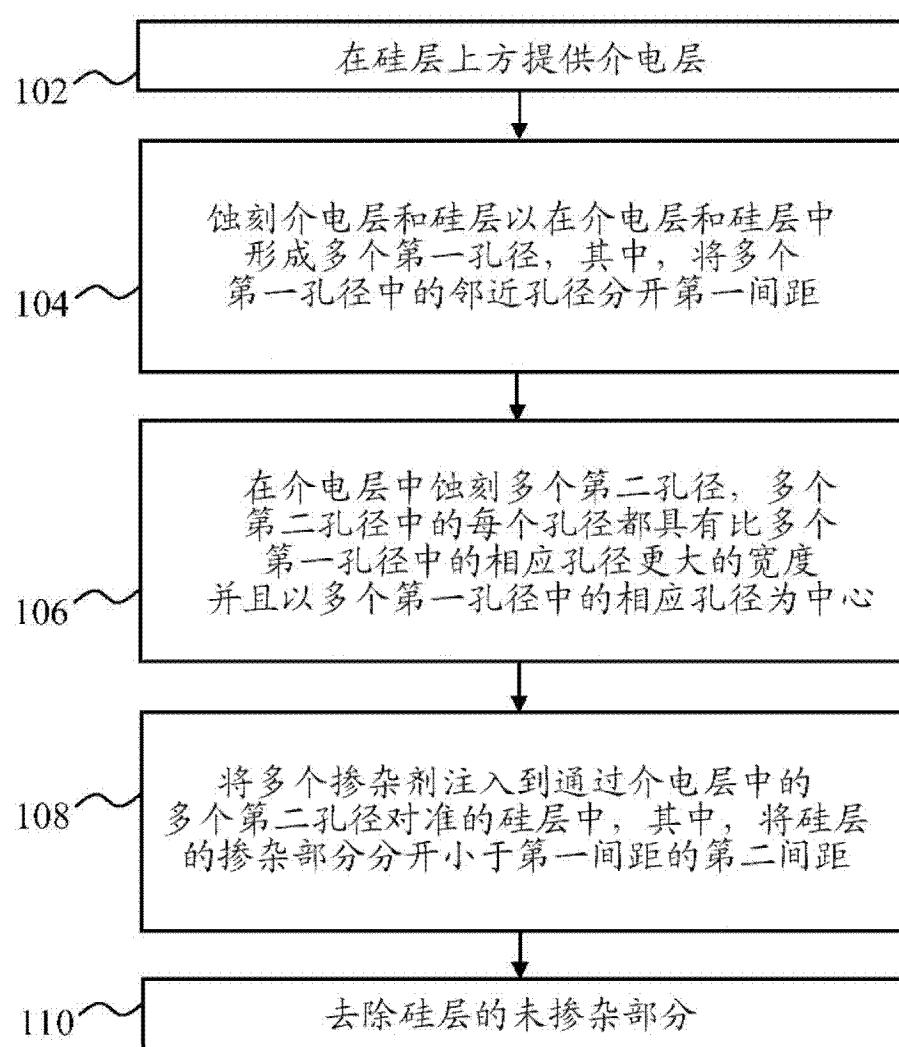


图 1

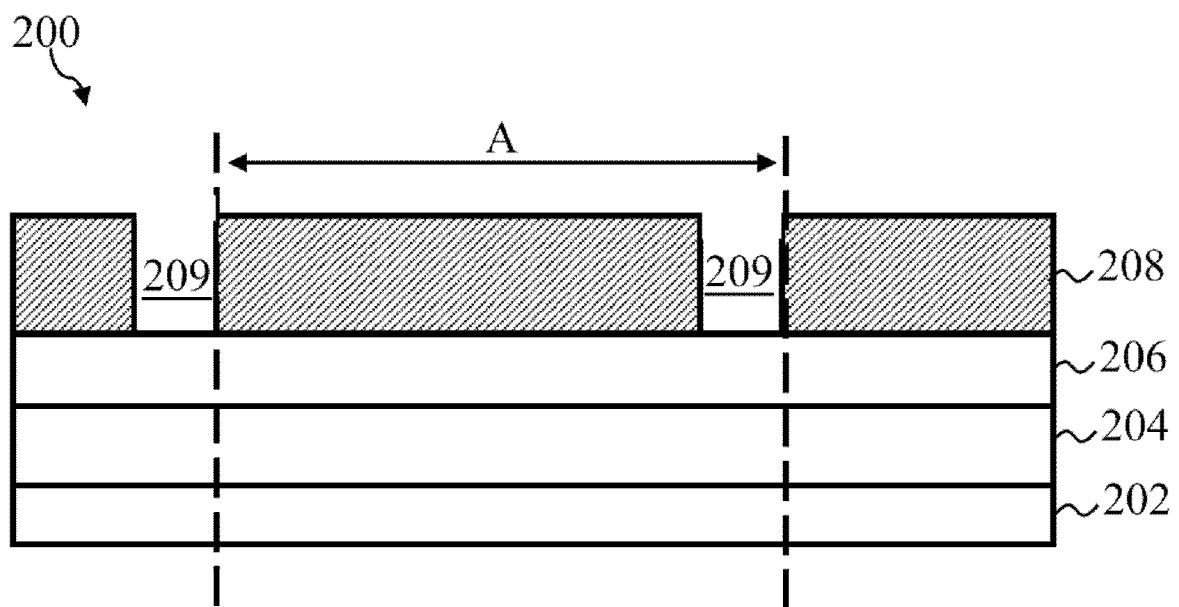


图 2A

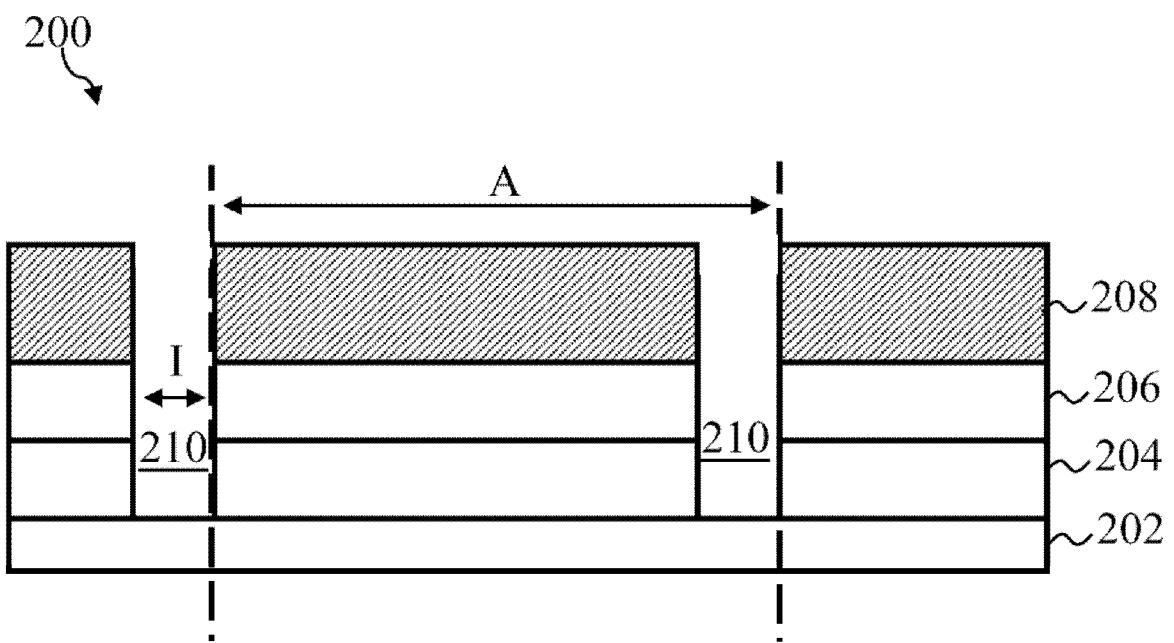


图 2B

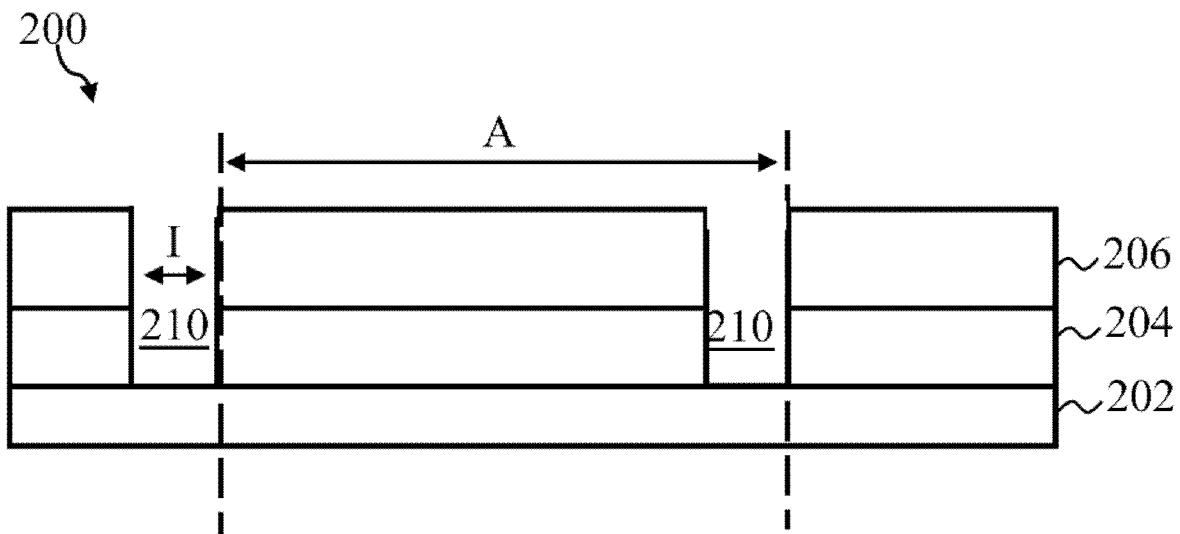


图 2C

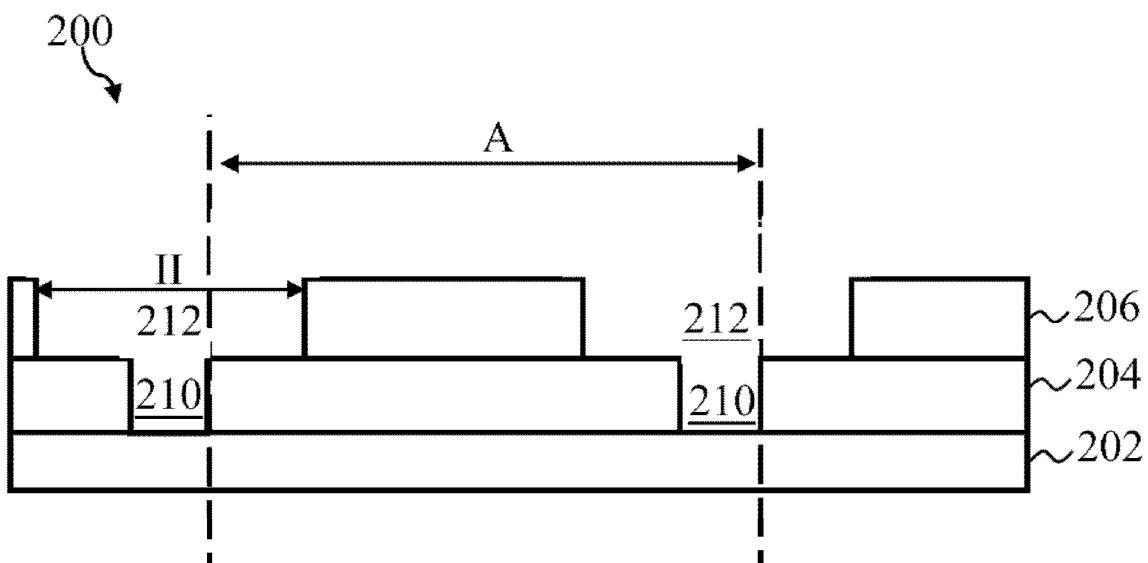


图 2D

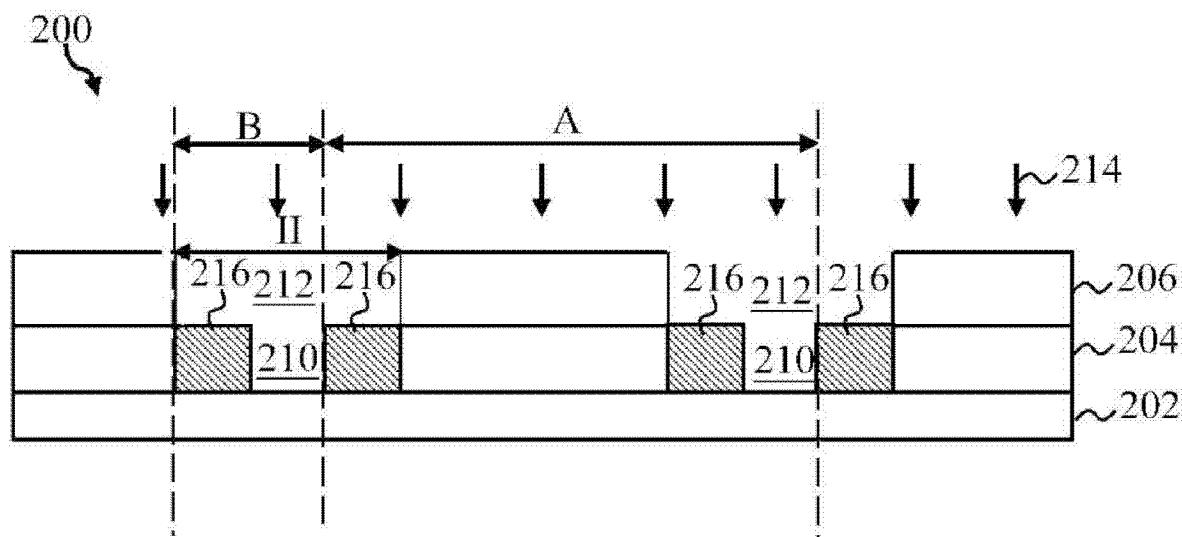


图 2E

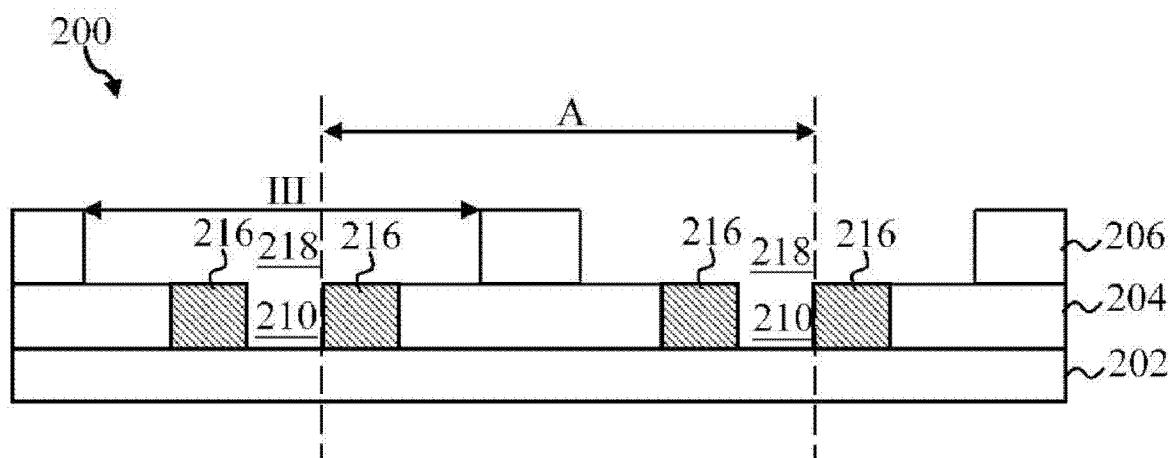


图 2F

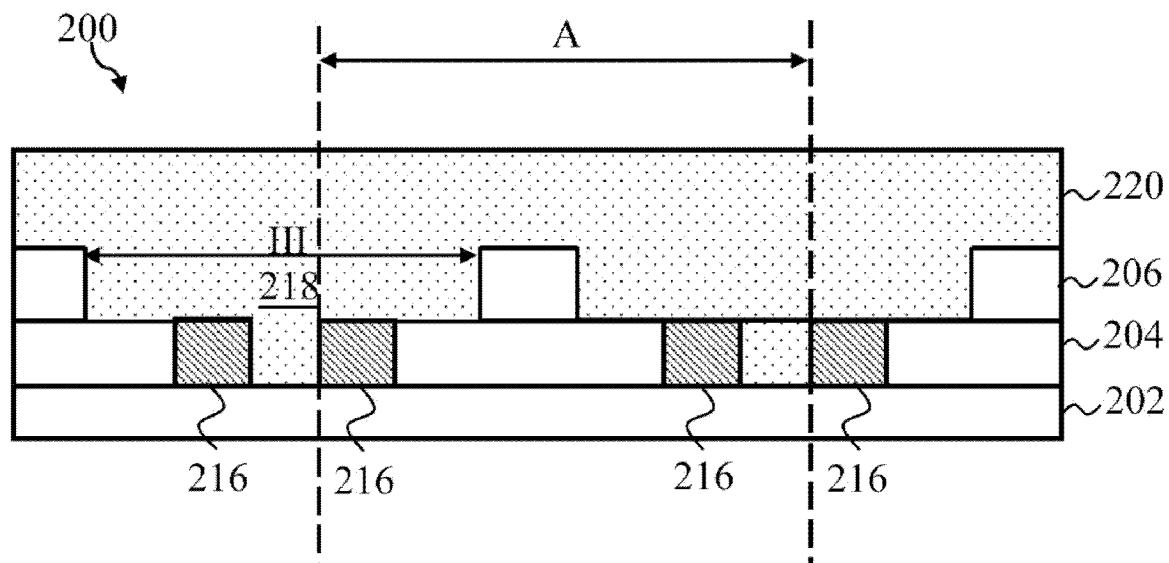


图 2G

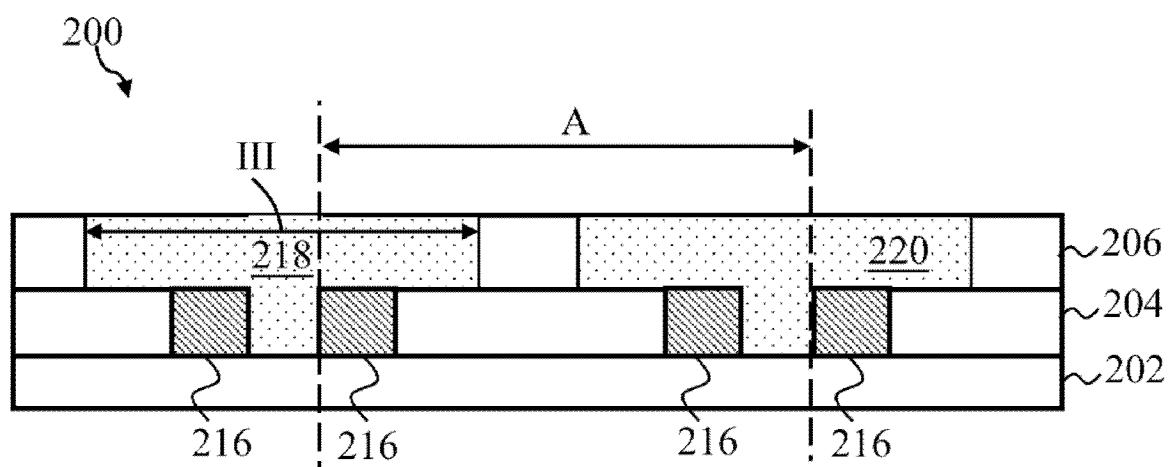


图 2H

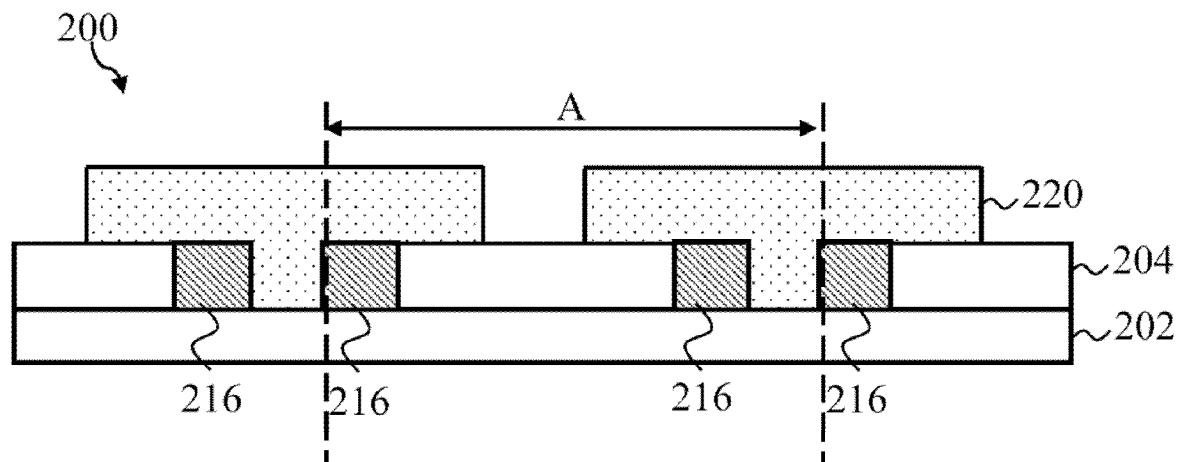


图 2I

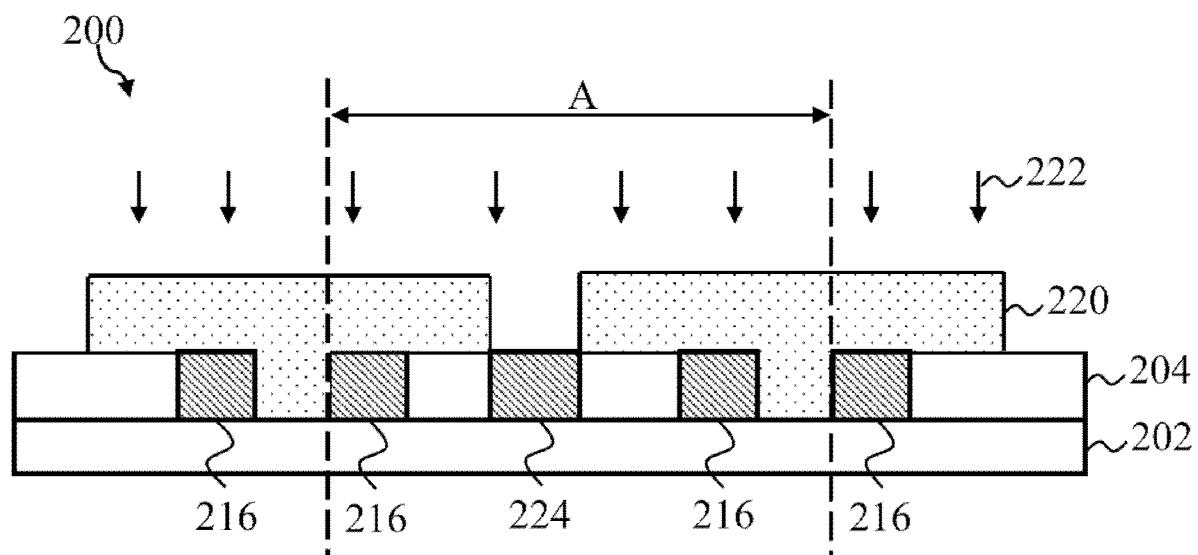


图 2J

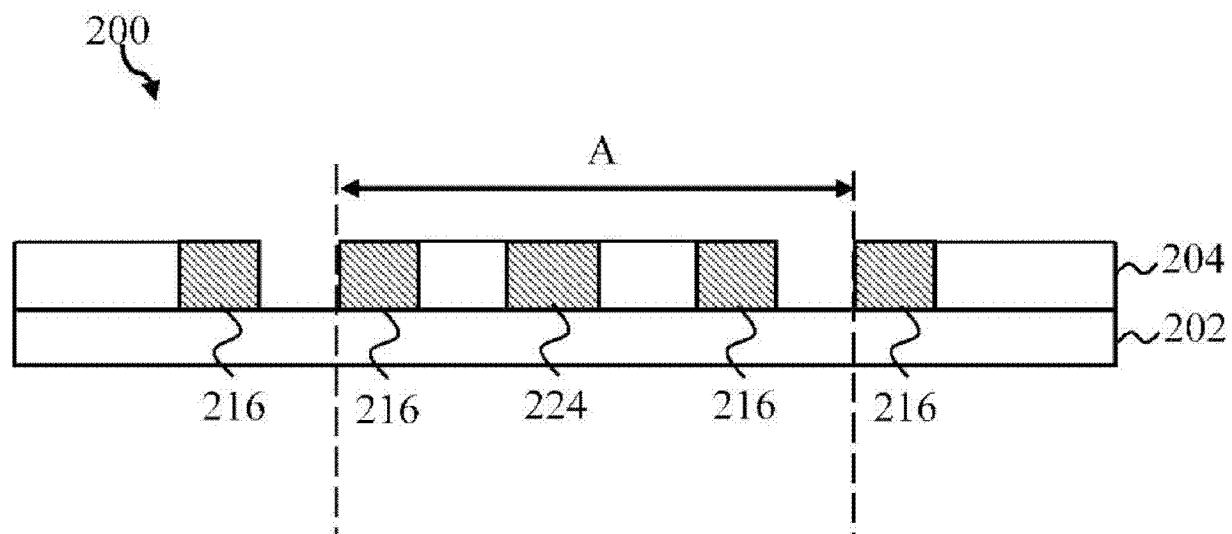


图 2K

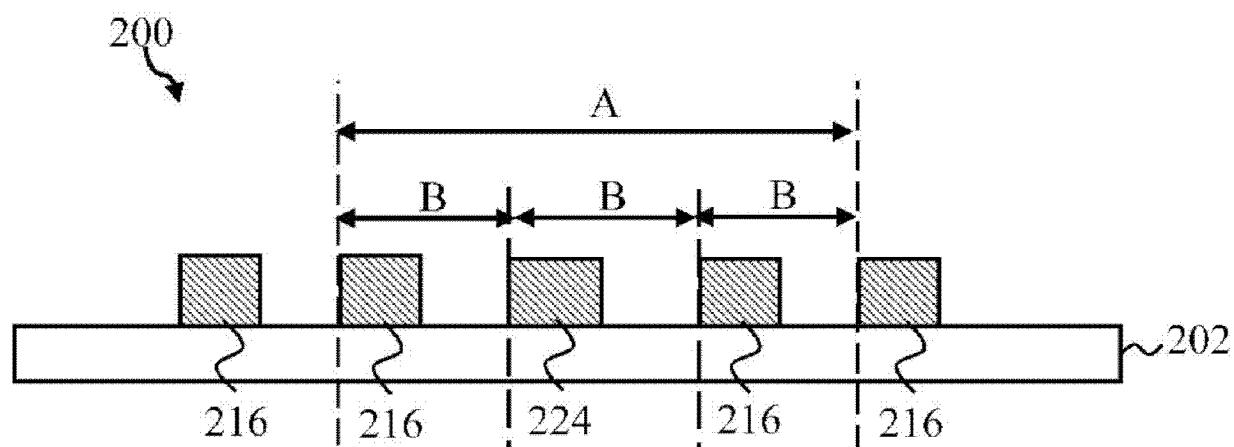


图 2L