

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3744018号

(P3744018)

(45) 発行日 平成18年2月8日(2006.2.8)

(24) 登録日 平成17年12月2日(2005.12.2)

(51) Int. Cl.

H04N 7/32 (2006.01)

F I

H04N 7/137 Z

請求項の数 2 (全 8 頁)

(21) 出願番号	特願平7-44929	(73) 特許権者	000004075
(22) 出願日	平成7年2月9日(1995.2.9)		ヤマハ株式会社
(65) 公開番号	特開平8-223585		静岡県浜松市中沢町10番1号
(43) 公開日	平成8年8月30日(1996.8.30)	(74) 代理人	100092820
審査請求日	平成14年2月8日(2002.2.8)		弁理士 伊丹 勝
		(72) 発明者	興津 裕己
			静岡県浜松市中沢町10番1号 ヤマハ株式会社社内
		審査官	長谷川 素直
		(56) 参考文献	特開平06-165161 (JP, A)
			特開平02-265387 (JP, A)
		(58) 調査した分野(Int.Cl., DB名)	
			H04N 7/24-7/68

(54) 【発明の名称】 ブロック画像シフト装置及び画像復号器

(57) 【特許請求の範囲】

【請求項1】

1 フレームの画像情報を水平方向 n 画素及び垂直方向 m 画素からなる複数のブロックに分割すると共に、フレーム間の動きベクトルに基づいて前記画像情報を前記ブロック毎に動き補償するに際し、フレーム単位の画像情報を記憶したフレームメモリから前記分割により生成されたブロック内の水平方向 n 画素単位で前記画像情報を読み出して前記動きベクトルに基づく水平方向のシフト画素数 $S F$ だけ前記画像情報をシフトさせるブロック画像シフト装置において、

前記フレームメモリに記憶された画像情報を1ブロック分記憶するブロックバッファと

前記シフト画素数 $S F$ を記憶するシフト画素数記憶手段と、

前記フレームメモリから第1のブロック $B K 1$ 内の n 画素単位で読み出された画像情報のうち前記動きベクトルの水平方向成分の向きに向かって後端側から $S F$ 画素分だけ書き込み禁止にした状態で、前記 n 画素単位で読み出された画像情報をシフトさせずに前記ブロックバッファに書き込むと共に、前記フレームメモリから前記第1のブロック $B K 1$ に前記動きベクトルの水平方向成分の向きに隣接する第2のブロック $B 2$ 内の n 画素単位で読み出された画像情報のうち前記動きベクトルの水平方向成分の向きに向かって先頭側から $(n - S F)$ 画素分を書き込み禁止にした状態で、前記 n 画素単位の画像情報をシフトさせずに前記ブロックバッファに書き込み、読み出す画素のアドレスを前記動きベクトルの水平方向成分の向きに前記シフト画素数 $S F$ だけシフトさせて前記ブロックバッファが

10

20

ら前記ブロックの画像情報を画素単位で読み出すリード/ライト制御手段とを備えたことを特徴とするブロック画像シフト装置。

【請求項2】

1 フレームの画像情報を水平方向 n 画素及び垂直方向 m 画素からなる複数のブロックに分割すると共にフレーム間の動きベクトルを前記各ブロック毎に検出することによってフレーム間符号化された画像情報を、前記動きベクトルに基づいて動き補償して復号する画像復号器において、

既に復号されたフレームの画像情報を記憶するフレームメモリと、

前記フレームメモリに記憶された画像情報を1ブロック分記憶するブロックバッファと

前記動きベクトルに基づき水平方向にシフトさせるシフト画素数 $S F$ を記憶すると共に、前記フレームメモリから前記分割により生成された第1のブロック $B K 1$ 内の n 画素単位で読み出された画像情報のうち前記動きベクトルの水平方向成分の向きに向かって後端側から $S F$ 画素分だけ書き込み禁止にした状態で、前記 n 画素単位で読み出された画像情報をシフトさせずに前記ブロックバッファに書き込み、且つ前記フレームメモリから前記第1のブロック $B K 1$ に前記動きベクトルの水平方向成分の向きに隣接する第2のブロック $B 2$ 内の n 画素単位で読み出された画像情報のうち前記動きベクトルの水平方向成分の向きに向かって先頭側から $(n - S F)$ 画素分を書き込み禁止にした状態で、前記 n 画素単位の画像情報をシフトさせずに前記ブロックバッファに書き込み、読み出し時に読み出しアドレスを前記動きベクトルの水平方向成分の向きに前記シフト画素数 $S F$ だけシフトさせて画素単位で前記画像情報を読み出すことにより、前記画像情報を前記動き量だけシフトさせるブロック画像シフト手段とを備えたことを特徴とする画像復号器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

この発明は、H. 261、MPEG (Moving Picture Coding Experts Groupe) 1, 2等の画像圧縮符号化/復号方式における動き補償処理に使用されるブロック画像シフト装置及び画像復号器に関する。

【0002】

【従来の技術】

デジタル通信ネットワークや情報記憶媒体の進歩に伴って、H. 261, MPEG 1, MPEG 2等の種々のデジタル画像圧縮方式が提案され、標準化されている。これらの方式における符号化されたビットストリームは、MPEG 1を例にとると、図4に示すように、シーケンス層、GOP (Group of Pictures) 層、ピクチャ層、スライス層、マクロブロック層、ブロック層の6つの階層から構成される。なお、MPEG 2の場合もほぼ同様の階層構造を採るが、GOP層はオプションとなり、その中のピクチャ層の並びも特に規定されないのとなる。MPEGの特定ピクチャでは、前後の画面データに基づいて1枚の画面データが符号化されるので、1画面だけで完結した情報とはならない。このため、何枚かの画面データを一まとまりにしたGOPを単位としてランダムアクセスを可能にしている。

【0003】

GOPは、I, P, Bの3種類のピクチャの組み合わせにより構成される。各ピクチャは、1フレーム分の画像データに相当し、図5に示すように、フレーム間予測の有無及びその予測の方向によりタイプ分けされる。I (Intra) ピクチャはフレーム内符号化画像、P (Predictive) ピクチャはフレーム間順方向予測符号化画像、B (Bidirectionally predictive) ピクチャはフレーム間両方向予測符号化画像である。フレーム間予測には、フレーム間の動き量 (動きベクトル) に応じた動き補償予測が行われる。なお、MPEG 2では、上述した1フレーム単位に代え1フィールド単位の画像データを扱うこともあり得る。各ピクチャは、更に複数のスライスに分割され、各スライスは複数のマクロブロック

10

20

30

40

50

(MB)に分割される。このマクロブロックは、輝度信号(Y)を構成する4個のブロック(BK)と色差信号(Cb, Cr)の2個のBKからなる。BKとは8×8画素からなりこれがMPEGにおけるDCTの単位である。なお、MPEG2では、プロファイルによっては上述したものと異なるMB構造を採ることもあり得る。

【0004】

H.261及びMPEG1, 2では、MB毎に動きベクトルが与えられ、MB単位で動き補償予測が行われる。図6及び図7は、MPEGコーデックにおけるメモリインターフェースの部分で、動き補償処理に使用されるブロック画像シフト回路の概要を説明するための図である。本来、MPEGの動きベクトルは1/2画素単位であり、当然端数が生じ得るが、その場合には、9画素から内挿により8画素を作りこれを用いて処理するようになっており、実際には、図6の回路に更に付加回路がつくが、最終的には1画素単位の処理となるため、この明細書においてはこれら内挿処理等のための付加回路構成の説明は省略する。

10

いま、色差信号を例にとると、図6に示すように、フレームメモリ1に記憶された復号済みの1フレームの画像情報は、8×8画素のブロック(BK)を処理単位として、動きベクトルMVに基づくシフト画素数SFだけシフトされてブロックバッファ2に格納される。ブロックバッファ2へは、8画素(=64bit)を単位として画像情報が書き込まれ、1画素(=8bit)を単位として画像情報が読み出される。画像情報をブロックバッファ2へ書き込む際、書き込み単位の画像情報を高速にシフトさせるためには、図7に示すように、8つの8to1セクタ31, 32, ..., 38からなるデータセクタ3が必要になる。

20

【0005】

【発明が解決しようとする課題】

このように従来のブロック画像シフト回路では、n×m画素からなるブロックをn画素単位で高速にシフトさせてブロックバッファに書き込むためにnto1セクタをn個必要とし、セクタのハードウェア規模が大きくなってしまおうという問題がある。

【0006】

この発明は、このような問題点に鑑みされたもので、小さなハードウェア規模でn×m画素からなるブロックをn画素単位で高速にシフトさせることができるブロック画像シフト装置及び画像復号器を提供することを目的とする。

30

【0007】

【課題を解決するための手段】

この発明のブロック画像シフト装置は、1フレームの画像情報を水平方向n画素及び垂直方向m画素からなる複数のブロックに分割すると共に、フレーム間の動きベクトルに基づいて前記画像情報を前記ブロック毎に動き補償するに際し、フレーム単位の画像情報を記憶したフレームメモリから前記分割により生成されたブロック内の水平方向n画素単位で前記画像情報を読み出して前記動きベクトルに基づく水平方向のシフト画素数SFだけ前記画像情報をシフトさせるブロック画像シフト装置において、前記フレームメモリに記憶された画像情報を1ブロック分記憶するブロックバッファと、前記シフト画素数SFを記憶するシフト画素数記憶手段と、前記フレームメモリから第1のブロックBK1内のn画素単位で読み出された画像情報のうち前記動きベクトルの水平方向成分の向きに向かって後端側からSF画素分だけ書き込み禁止にした状態で、前記n画素単位で読み出された画像情報をシフトさせずに前記ブロックバッファに書き込むと共に、前記フレームメモリから前記第1のブロックBK1に前記動きベクトルの水平方向成分の向きに隣接する第2のブロックBK2内のn画素単位で読み出された画像情報のうち前記動きベクトルの水平方向成分の向きに向かって先頭側から(n-SF)画素分を書き込み禁止にした状態で、前記n画素単位の画像情報をシフトさせずに前記ブロックバッファに書き込み、読み出す画素のアドレスを前記動きベクトルの水平方向成分の向きに前記シフト画素数SFだけシフトさせて前記ブロックバッファから前記ブロックの画像情報を画素単位で読み出すリード/ライト制御手段とを備えたことを特徴とする。

40

50

【 0 0 0 8 】

また、この発明の画像復号器は、1フレームの画像情報を水平方向 n 画素及び垂直方向 m 画素からなる複数のブロックに分割すると共にフレーム間の動きベクトルを前記各ブロック毎に検出することによってフレーム間符号化された画像情報を、前記動きベクトルに基づいて動き補償して復号する画像復号器において、既に復号されたフレームの画像情報を記憶するフレームメモリと、前記フレームメモリに記憶された画像情報を1ブロック分記憶するブロックバッファと、前記動きベクトルに基づき水平方向にシフトさせるシフト画素数 $S F$ を記憶すると共に、前記フレームメモリから前記分割により生成された第1のブロック $B K 1$ 内の n 画素単位で読み出された画像情報のうち前記動きベクトルの水平方向成分の向きに向かって後端側から $S F$ 画素分だけ書き込み禁止にした状態で、前記 n 画素単位で読み出された画像情報をシフトさせずに前記ブロックバッファに書き込み、且つ前記フレームメモリから前記第1のブロック $B K 1$ に前記動きベクトルの水平方向成分の向きに隣接する第2のブロック $B 2$ 内の n 画素単位で読み出された画像情報のうち前記動きベクトルの水平方向成分の向きに向かって先頭側から $(n - S F)$ 画素分を書き込み禁止にした状態で、前記 n 画素単位の画像情報をシフトさせずに前記ブロックバッファに書き込み、読み出し時に読み出しアドレスを前記動きベクトルの水平方向成分の向きに前記シフト画素数 $S F$ だけシフトさせて画素単位で前記画像情報を読み出すことにより、前記画像情報を前記動き量だけシフトさせるブロック画像シフト手段と備えたことを特徴とする。

10

【 0 0 0 9 】

20

【作用】

この発明のブロック画像シフト装置及び画像復号器によれば、フレームメモリから n 画素単位で読み出された画像情報をシフト画素数だけ書き込み禁止にした状態でシフトさせずにブロックバッファに書き込み、ブロックバッファから画素を読み出す際にそのアドレスをシフト画素数だけシフトさせて画像情報を画素単位で読み出すようにしているので、画像情報のシフト操作はアドレス操作によって行うことができ、データセレクタの規模、ひいてはハードウェアの規模を削減することができる。

【 0 0 1 0 】

【実施例】

以下、図面を参照して、この発明の実施例について説明する。

30

図1は、この発明の一実施例に係るMPEG1, 2用の画像デコーダを示すブロック図である。

MPEGのフォーマットで伝送又は記録媒体から読み出された符号化信号のビットストリームは、図示しない入力バッファでビットレートを調整され、VLC (Variable length code) デコーダ11で1フレーム毎に可変長復号化され、逆量子化部12で量子化特性と量子化マトリクスによって決定される値で逆量子化されてBK毎のDC (Discrete cosine) 係数が求められる。更にDC係数は、逆DCT (Discrete cosine transform) 部13で逆コサイン変換される。Iピクチャの場合、逆コサイン変換された画像情報がそのまま復号信号としてスイッチ14を介して出力される。P, Bピクチャの場合は、逆DCT部13の出力は差分画像であり、加算器15に供給されて、動き補償された予測画像と加算される。

40

【 0 0 1 1 】

一方、復号された画像情報は、フレームメモリ16または19に記憶される。フレームメモリ16または19に格納された画像情報は、動き補償予測部17, 20及び両方向予測部18で前方/後方予測及び両方向予測に供される。スイッチ21は、逆DCTされたピクチャのタイプに応じて予測方向を切替える。

【 0 0 1 2 】

図2は、動き補償予測部17に使用されるブロック画像シフト回路の構成を示すブロック図であり、動き補償予測部20もこれと同様の構成であり、両方向予測部18はこれら動き補償予測部17, 20の予測出力の平均を出力するようになっている。

50

このブロック画像シフト回路は、フレームメモリ16から読み出されたBKの画像情報を記憶するブロックバッファ31と、このブロックバッファ31をリード/ライト制御するリード/ライト制御部32とから構成される。この例では、ブロックバッファ31のバッファサイズが8×8画素に設定されている。ブロックバッファ31の水平方向に延びる列をrow、垂直方向に延びる行をcolumnとする。1画素は例えば1word(=8bit)で構成され、フレームメモリ16からは、8word(=64bit)からなる1row分の画像情報が一度に読み出され、ブロックバッファ31に書き込まれる。

【0013】

動きベクトルMVに基づくシフト画素数SFは、ライトイネーブル(WE)マスクパターン生成部41に供給されている。WEマスクパターン生成部41は、フレームメモリ16から読み出された1row分の画像情報のうちシフト画素数SFに相当する画素の情報をブロックバッファ31に書き込み禁止とするように、マスクパターンを生成する。ANDゲート421, 422, ..., 428は、このマスクパターンによってブロックバッファ31に与えられるWE信号をマスクする。

10

また、シフト画素数SFは、シフト画素数レジスタ43に格納され、ブロックバッファ31の全てのcolumnに対するアクセスが終了するまで保持される。

読み出し時のrowアドレスは、加算器44に供給され、ここでシフト画素数レジスタ43に格納されているシフト画素数SFと加算されて、rowアドレスデコーダ45のアドレスとして与えられる。ブロックバッファ31からは、columnアドレスによって指定されたcolumnの画像情報が1row分読み出される。rowアドレスデコーダ45は、1row分の画像情報のうち指定されたアドレスの画素の情報をリードデータとして選択し出力する。

20

【0014】

いま、例えば右シフト方向を+とし、-7~+7の範囲でシフト画素数SFを設定すると、シフト画素数SFは4bitで表され、LSBが0のとき右詰めシフト、1のとき左詰めシフトとなる。

図3は、動きベクトルMVに基づき、SF=+3(0011)に設定された例を示す図である。この場合、フレームメモリ16のBK1とBK2とから2回に分けてブロックバッファ31に画像情報が書き込まれる。

1回目のアクセスでは、BK1の8画素の画像情報row1がフレームメモリ16から読み出され、ブロックバッファ31に書き込まれるが、SF=+3(0011)が与えられているので、画像情報row1のうち、左から3画素分は、WEマスクパターンによって書き込み禁止となる。

30

2回目のアクセスでは、先にアクセスした画像情報と同一columnのBK2の8画素の画像情報row2がフレームメモリ16から読み出され、ブロックバッファ31に書き込まれるが、このとき、シフト画素数SFは、MSBのみ反転され、SF=-5(1011)が与えられる。このため、画像情報row2のうち、右から5画素分は、WEマスクパターンによって書き込み禁止となる。

この結果、ブロックバッファ31には、図3に示すように、BK1の5つの画素が右側、BK2の3つの画素が左側に配置された状態で画像情報が格納されることになる。なお、この一連のバッファライト時においては、シフト画素数SFのMSBのみを変化させればよいので、シフト画素レジスタ43には、シフト画素数SFの下位3ビットのみを格納しておき、シフト画素数SFのMSBのみをライトサイクルに応じて変化させればよい。

40

【0015】

ブロックバッファ31のリード時は、図3に示すように、リードアドレスが加算器44によって3画素分シフトする。加算器44の出力ビット数を3bitに設定すれば、加算器44の出力は、(rowアドレス+SF)mod8で表されることになる。このため、ブロックバッファ31に格納された画像情報の右側の5画素分と左側の3画素分の位置が入れ替わり、結局、3画素分右にシフトされた画像情報が読み出されることになる。

【0016】

50

このように、この実施例によれば、ブロックバッファ31へのライト時に画像情報をシフトさせずに、シフト画素数分マスクしてそのまま格納し、読み出し時に読み出しアドレスをシフトさせるようにしているので、8to1セレクタが省略でき、回路規模を大幅に小さくすることができる。

【0017】

なお、以上の実施例では、ブロックバッファ31のサイズを8×8画素としたが、一般的にはn×m画素のマクロブロックサイズにこの発明を適用可能である。

また、H.261やMPEGの場合、画像符号化器には、以上の実施例で述べたような画像復号器がローカルデコーダとして内蔵されているので、このローカルデコーダ部分にこの発明の画像復号器を用いることができる。

10

【0018】

【発明の効果】

以上述べたように、この発明によれば、フレームメモリからn画素単位で読み出された画像情報をシフト画素数に応じ所定画素分だけ書き込み禁止にした状態でシフトさせずにブロックバッファに書き込み、ブロックバッファから画素を読み出す際にそのアドレスをシフト画素数だけシフトさせて画像情報を画素単位で読み出すようにしているので、画像情報のシフト操作はアドレス操作によって行うことができ、データセレクタの数を削減してハードウェアの規模を小さくすることができる。

【図面の簡単な説明】

【図1】 この発明の一実施例に係るMPEG画像デコーダのブロック図である。

20

【図2】 同画像デコーダにおける動き補償予測部のブロック画像シフト回路のブロック図である。

【図3】 同ブロック画像シフト回路の動作を説明するための図である。

【図4】 MPEGのデータ構造を説明するための図である。

【図5】 同ピクチャタイプとその予測方向を説明するための図である。

【図6】 従来のブロック画像シフト回路を説明するための図である。

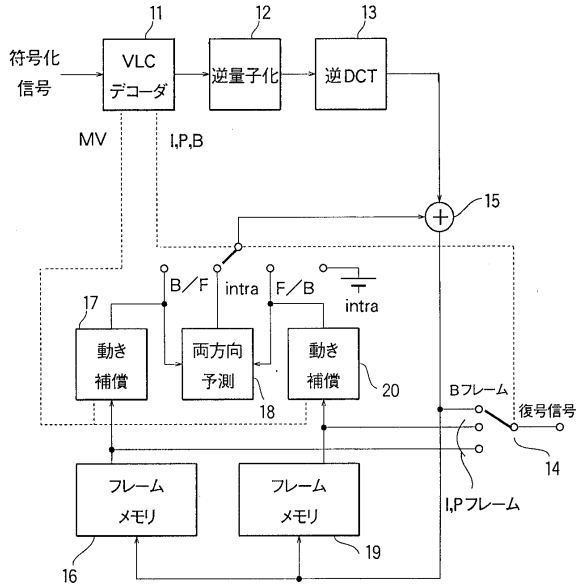
【図7】 同ブロック画像シフト回路の要部のブロック図である。

【符号の説明】

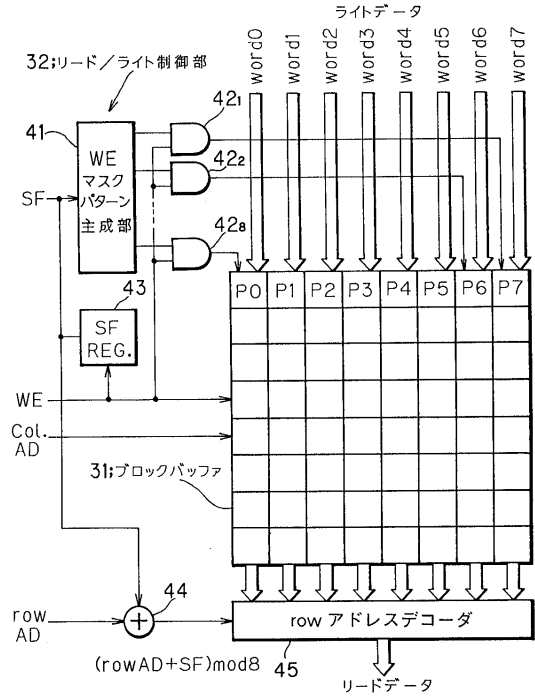
1, 16, 19...フレームメモリ、2, 31...ブロックバッファ、3...データセレクタ、31~38, 45...rowアドレスデコーダ、11...VLCデコーダ、12...逆量子化部、13...逆DCT部、14, 21...スイッチ、15, 44...加算器、17, 20...動き補償予測部、18...両方向予測部、32...リード/ライト制御部、41...WEマスクパターン生成部、421~428...ANDゲート、43...シフト画素数レジスタ。

30

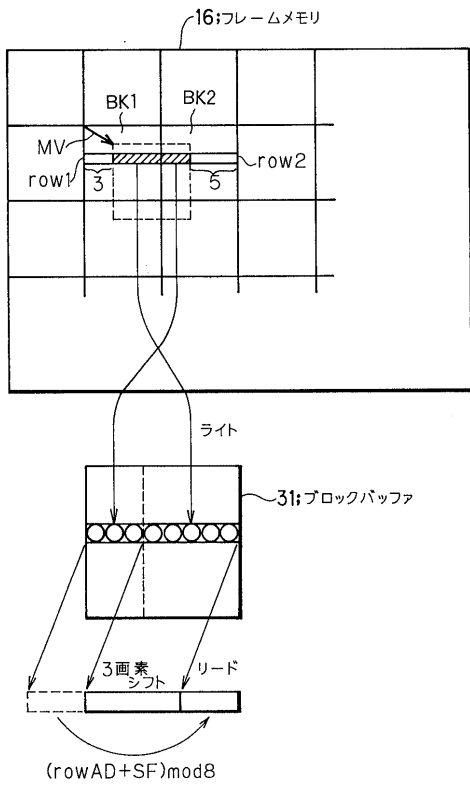
【 図 1 】



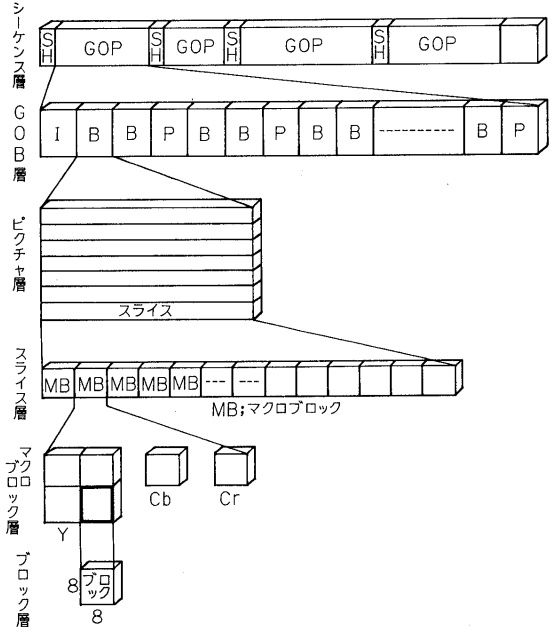
【 図 2 】



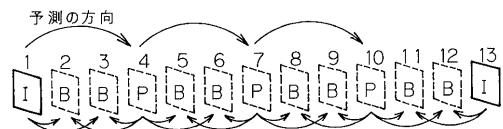
【 図 3 】



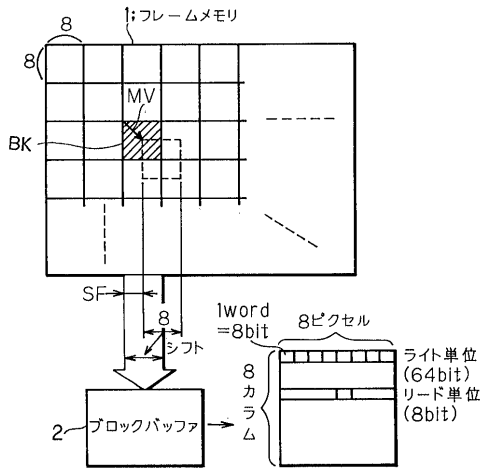
【 図 4 】



【 図 5 】



【 図 6 】



【 図 7 】

