

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6058119号

(P6058119)

(45) 発行日 平成29年1月11日(2017. 1. 11)

(24) 登録日 平成28年12月16日(2016. 12. 16)

(51) Int. Cl.

F I

G O 1 R 31/28 (2006. 01)

G O 1 R 31/28 K

H O 1 L 25/065 (2006. 01)

H O 1 L 25/08 C

H O 1 L 25/07 (2006. 01)

H O 1 L 21/66 B

H O 1 L 25/18 (2006. 01)

H O 1 L 21/66 (2006. 01)

請求項の数 32 (全 23 頁)

(21) 出願番号 特願2015-505804 (P2015-505804)
 (86) (22) 出願日 平成25年4月4日(2013. 4. 4)
 (65) 公表番号 特表2015-514226 (P2015-514226A)
 (43) 公表日 平成27年5月18日(2015. 5. 18)
 (86) 国際出願番号 PCT/US2013/035286
 (87) 国際公開番号 W02013/154909
 (87) 国際公開日 平成25年10月17日(2013. 10. 17)
 審査請求日 平成28年3月2日(2016. 3. 2)
 (31) 優先権主張番号 61/621, 954
 (32) 優先日 平成24年4月9日(2012. 4. 9)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 13/840, 937
 (32) 優先日 平成25年3月15日(2013. 3. 15)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 513075582
 トランスラリティー インコーポレイテッ
 ド
 アメリカ合衆国 97008 オレゴン州
 タイガード サウスウェスト サイラス
 ドライブ 7685
 (74) 代理人 110001243
 特許業務法人 谷・阿部特許事務所
 (72) 発明者 モーガン ティー. ジョンソン
 アメリカ合衆国 97007 オレゴン州
 ビーバートン サウスウェスト ファウ
 ンテン グローブ テラス 6107

審査官 續山 浩二

早期審査対象出願

最終頁に続く

(54) 【発明の名称】 テスト用マイクロエレクトロニクス基板の両面に結合可能なトランスレータ、ならびに関連するシステムおよび方法

(57) 【特許請求の範囲】

【請求項 1】

マイクロエレクトロニクス基板をテストする方法であって、

マイクロエレクトロニクス基板に近接して第1の領域内に第1のトランスレータを配置するステップであって、前記マイクロエレクトロニクス基板は、第1の主要面および前記第1の主要面とは逆方向を向いている第2の主要面を有し、前記マイクロエレクトロニクス基板は、前記マイクロエレクトロニクス基板を貫通して延在する導電性の基板貫通ビア、前記マイクロエレクトロニクス基板の前記第1の主要面から外側に延在する第1の領域、および前記第2の主要面から外側に延在する第2の領域を有する、ステップと、

前記第1の領域において前記第1のトランスレータを前記マイクロエレクトロニクス基板に対して取外し可能に固定するステップと、

前記第1のトランスレータが前記第1の領域において前記マイクロエレクトロニクス基板に対して固定されている間に、前記第2の領域において第2のトランスレータを前記マイクロエレクトロニクス基板に対して取外し可能に固定するステップと、

前記第1のトランスレータが前記第1の領域に配置されている間に、前記マイクロエレクトロニクス基板の基板貫通ビアを前記第1のトランスレータで電氣的にアクセスするステップと、

前記第1のトランスレータおよび前記第2のトランスレータの両方が前記マイクロエレクトロニクス基板に対して取外し可能に固定されている間に、前記マイクロエレクトロニクス基板の第1の基板貫通ビアまたは第2の基板貫通ビアを前記第2のトランスレータで

10

20

電氣的にアクセスするステップと

を含み、前記マイクロエレクトロニクス基板を前記第1のトランスレータで電氣的にアクセスするステップおよび前記マイクロエレクトロニクス基板を前記第2のトランスレータで電氣的にアクセスするステップは、

前記第1のトランスレータおよび前記第2のトランスレータのうちの一方を使用して、非通電ダイの基板貫通ビアに沿って信号を送信するステップと、

前記第1のトランスレータおよび前記第2のトランスレータのうちの他方を使用して、前記信号を通電ダイへ送信するステップとを含むことを特徴とする方法。

【請求項2】

マイクロエレクトロニクス基板をテストする方法であって、

マイクロエレクトロニクス基板に近接して第1の領域内に第1のトランスレータを配置するステップであって、前記マイクロエレクトロニクス基板は、第1の主要面および前記第1の主要面とは逆方向を向いている第2の主要面を有し、前記マイクロエレクトロニクス基板は、前記マイクロエレクトロニクス基板を貫通して延在する導電性の基板貫通ビア、前記マイクロエレクトロニクス基板の前記第1の主要面から外側に延在する第1の領域、および前記第2の主要面から外側に延在する第2の領域を有する、ステップと、

前記第1の領域において前記第1のトランスレータを前記マイクロエレクトロニクス基板に対して取外し可能に固定するステップと、

前記第1のトランスレータが前記第1の領域において前記マイクロエレクトロニクス基板に対して固定されている間に、前記第2の領域において第2のトランスレータを前記マイクロエレクトロニクス基板に対して取外し可能に固定するステップと、

前記第1のトランスレータが前記第1の領域に配置されている間に、前記マイクロエレクトロニクス基板の基板貫通ビアを前記第1のトランスレータで電氣的にアクセスするステップと、

前記第1のトランスレータおよび前記第2のトランスレータの両方が前記マイクロエレクトロニクス基板に対して取外し可能に固定されている間に、前記マイクロエレクトロニクス基板の前記基板貫通ビアを前記第2のトランスレータで電氣的にアクセスするステップと

を含み、

前記基板貫通ビアは第1の基板貫通ビアであり、前記第1の基板貫通ビアは第1のダイの一部であり、前記方法は、

前記第1のトランスレータからの信号を前記第1の基板貫通ビアを通して前記第2のトランスレータへ送ることと、

前記第2のトランスレータを使用して、前記第1の基板貫通ビアからの前記信号を第2の基板貫通ビアへ送ることと、

前記第1のトランスレータにおいて前記第2の基板貫通ビアからの前記信号を受信することと、

前記第1のトランスレータを使用して、前記第2の基板貫通ビアからの前記信号を前記マイクロエレクトロニクス基板の第3の基板貫通ビアへ送ることであって、前記第3の基板貫通ビアは、前記第1のダイとは異なる第2のダイの一部であることと

により積層ダイをシミュレーションするステップをさらに含むことを特徴とする方法。

【請求項3】

前記マイクロエレクトロニクス基板を前記第1のトランスレータで電氣的にアクセスするステップおよび前記マイクロエレクトロニクス基板を前記第2のトランスレータで電氣的にアクセスするステップは、前記マイクロエレクトロニクス基板を前記第1のトランスレータおよび前記第2のトランスレータの両方で同時に電氣的にアクセスするステップを含むことを特徴とする請求項1または2に記載の方法。

【請求項4】

前記マイクロエレクトロニクス基板を前記第1のトランスレータで電氣的にアクセスす

10

20

30

40

50

るステップは、信号を前記第 1 の基板貫通ビアに沿って前記第 2 のトランスレータへ方向付けるステップを含み、前記マイクロエレクトロニクス基板を前記第 2 のトランスレータでアクセスするステップは、前記信号を受信するステップを含むことを特徴とする請求項 1 に記載の方法。

【請求項 5】

前記マイクロエレクトロニクス基板を前記第 1 のトランスレータで電氣的にアクセスするステップは、信号を前記基板貫通ビアに沿って前記第 2 のトランスレータへ方向付けるステップを含み、前記マイクロエレクトロニクス基板を前記第 2 のトランスレータでアクセスするステップは、前記信号を受信するステップを含むことを特徴とする請求項 2 に記載の方法。

10

【請求項 6】

前記マイクロエレクトロニクス基板を前記第 2 のトランスレータで電氣的にアクセスするステップは、前記第 1 のトランスレータから受信された前記信号または別の信号を前記第 1 のトランスレータへ方向付けるステップを含むことを特徴とする請求項 2 または 4 に記載の方法。

【請求項 7】

前記マイクロエレクトロニクス基板を前記第 1 のトランスレータで電氣的にアクセスするステップおよび前記マイクロエレクトロニクス基板を前記第 2 のトランスレータで電氣的にアクセスするステップは、

前記第 2 のトランスレータにおいて前記第 1 のトランスレータから第 1 の信号を受信するステップと、

20

前記第 1 の信号を受信するステップに応答して、前記第 1 の信号または第 2 の信号を前記マイクロエレクトロニクス基板へ方向付けるステップとを含むことを特徴とする請求項 1 または 2 に記載の方法。

【請求項 8】

前記マイクロエレクトロニクス基板を前記第 1 のトランスレータで電氣的にアクセスするステップおよび前記マイクロエレクトロニクス基板を前記第 2 のトランスレータで電氣的にアクセスするステップは、

前記第 2 のトランスレータにおいて前記第 1 のトランスレータから第 1 の信号を受信するステップと、

30

前記第 1 の信号を受信するステップに応答して、前記第 1 の信号または第 2 の信号を前記第 1 のトランスレータへ方向付けるステップとを含むことを特徴とする請求項 1 または 2 に記載の方法。

【請求項 9】

前記基板貫通ビアは第 1 の基板貫通ビアであり、前記マイクロエレクトロニクス基板を前記第 1 のトランスレータで電氣的にアクセスするステップおよび前記マイクロエレクトロニクス基板を前記第 2 のトランスレータで電氣的にアクセスするステップは、

前記第 1 のトランスレータからの第 1 の信号を前記第 1 の基板貫通ビアに沿って方向付けるステップと、

前記第 2 のトランスレータにおいて前記第 1 のトランスレータからの第 1 の信号を受信するステップと、

40

前記第 1 の信号を受信するステップに応答して、前記第 1 の信号または第 2 の信号を前記第 2 の基板貫通ビアに沿って前記第 1 のトランスレータまたは前記マイクロエレクトロニクス基板へ方向付けるステップであって、前記第 2 の基板貫通ビアは、前記第 1 の基板貫通ビアとは異なっている、ステップとを含むことを特徴とする請求項 2 に記載の方法。

【請求項 10】

前記第 1 の基板貫通ビアは、前記第 1 の信号が方向付けられたとき通電されるダイの一部であり、前記第 2 の基板貫通ビアは、第 1 の信号または第 2 の信号が前記第 2 の基板貫通ビアに沿って方向付けられたとき通電されないダイの一部であることを特徴とする請求

50

項 1 または 2 に記載の方法。

【請求項 1 1】

前記第 1 のトランスレータから前記第 2 のトランスレータにおいて受信された信号を、前記マイクロエレクトロニクス基板、前記第 1 のトランスレータおよび前記第 2 のトランスレータ以外のデバイスへ送るステップをさらに含むことを特徴とする請求項 1 または 2 に記載の方法。

【請求項 1 2】

前記マイクロエレクトロニクス基板を前記第 1 のトランスレータで電氣的にアクセスするステップおよび前記マイクロエレクトロニクス基板を前記第 2 のトランスレータで電氣的にアクセスするステップは、

10

前記第 1 のトランスレータおよび前記第 2 のトランスレータのうちの一方を使用して、未完成ダイの基板貫通ビアに沿って信号を伝送するステップと、

前記第 1 のトランスレータおよび前記第 2 のトランスレータのうちの他方を使用して、前記信号を完成ダイへ伝送するステップとを含むことを特徴とする請求項 1 に記載の方法。

【請求項 1 3】

前記マイクロエレクトロニクス基板により担持されているデバイスが、第 1 の基板貫通ビアに沿って第 1 の方向に移動する信号にアクセス可能であるが、前記第 1 の基板貫通ビアに沿って前記第 1 の方向と反対の第 2 の方向に移動する信号にアクセス不可能であり、前記マイクロエレクトロニクス基板を前記第 1 のトランスレータでアクセスするステップおよび前記マイクロエレクトロニクス基板を前記第 2 のトランスレータで電氣的にアクセスするステップは、

20

前記第 1 のトランスレータおよび前記第 2 のトランスレータのうちの一方から他方へ信号を第 2 の基板貫通ビアに沿って前記第 2 の方向に伝送するステップと、

前記第 1 のトランスレータおよび前記第 2 のトランスレータのうちの他方から前記信号を前記第 1 の基板貫通ビアに沿って前記第 1 の方向に方向付けるステップとを含むことを特徴とする請求項 1 に記載の方法。

【請求項 1 4】

前記マイクロエレクトロニクス基板を前記第 1 のトランスレータで電氣的にアクセスするステップおよび前記マイクロエレクトロニクス基板を前記第 2 のトランスレータで電氣的にアクセスするステップは、

30

前記第 1 のトランスレータおよび前記第 2 のトランスレータのうちの一方を使用して、未完成ダイの基板貫通ビアに沿って信号を伝送するステップと、

前記第 1 のトランスレータおよび前記第 2 のトランスレータのうちの他方を使用して、前記信号を完成ダイへ伝送するステップとを含むことを特徴とする請求項 2 に記載の方法。

【請求項 1 5】

前記マイクロエレクトロニクス基板を前記第 1 のトランスレータで電氣的にアクセスするステップおよび前記マイクロエレクトロニクス基板を前記第 2 のトランスレータで電氣的にアクセスするステップは、

40

前記第 1 のトランスレータおよび前記第 2 のトランスレータのうちの一方を使用して、非通電ダイの基板貫通ビアに沿って信号を伝送するステップと、

前記第 1 のトランスレータおよび前記第 2 のトランスレータのうちの他方を使用して、前記信号を通電ダイへ伝送するステップとを含むことを特徴とする請求項 2 に記載の方法。

【請求項 1 6】

前記基板貫通ビアは第 1 の基板貫通ビアであり、前記マイクロエレクトロニクス基板により担持されているデバイスが、第 1 の基板貫通ビアに沿って第 1 の方向に移動する信号にアクセス可能であるが、前記第 1 の基板貫通ビアに沿って前記第 1 の方向と反対の第 2 の方向に移動する信号にアクセス不可能であり、前記マイクロエレクトロニクス基板を前

50

記第1のトランスレータで電氣的にアクセスするステップおよび前記マイクロエレクトロニクス基板を前記第2のトランスレータで電氣的にアクセスするステップは、前記第1のトランスレータおよび前記第2のトランスレータのうちの一方から他方へ信号を第2の基板貫通ビアに沿って前記第2の方向に伝送するステップと、

前記第1のトランスレータおよび前記第2のトランスレータのうちの他方から前記信号を前記第1の基板貫通ビアに沿って前記第1の方向に方向付けるステップとを含むことを特徴とする請求項2に記載の方法。

【請求項17】

前記マイクロエレクトロニクス基板を前記第1のトランスレータで電氣的にアクセスするステップおよび前記マイクロエレクトロニクス基板を前記第2のトランスレータで電氣的にアクセスするステップは、

第1の信号を、前記第1のトランスレータおよび前記第2のトランスレータのうちの一方から基板貫通ビアを通して第1の方向に方向付けるステップと、

第2の信号を、前記第1のトランスレータおよび前記第2のトランスレータのうちの他方から基板貫通ビアを通して前記第1の方向と反対の第2の方向に方向付けるステップとを含むことを特徴とする請求項1または2に記載の方法。

【請求項18】

前記第1のトランスレータは第1の厚さを有し、前記第2のトランスレータは、前記第1の厚さとは異なる第2の厚さを有することを特徴とする請求項2に記載の方法。

【請求項19】

前記マイクロエレクトロニクス基板が移動するとき、前記第2のトランスレータを用いて前記マイクロエレクトロニクス基板を支持するステップをさらに含むことを特徴とする請求項1または18に記載の方法。

【請求項20】

マイクロエレクトロニクス基板をテストする方法であって、

マイクロエレクトロニクス基板に近接して第1の領域内に第1のトランスレータを配置するステップであって、前記マイクロエレクトロニクス基板は、第1の主要面および前記第1の主要面とは逆方向を向いている第2の主要面を有し、前記マイクロエレクトロニクス基板は、前記マイクロエレクトロニクス基板を貫通して延在する導電性の基板貫通ビア、前記マイクロエレクトロニクス基板の前記第1の主要面から外側に延在する第1の領域、および前記第2の主要面から外側に延在する第2の領域を有する、ステップと、

前記第1の領域において前記第1のトランスレータを前記マイクロエレクトロニクス基板に取外し可能に固定するステップと、

前記第1のトランスレータが前記第1の領域に配置されている間に、前記マイクロエレクトロニクス基板の少なくとも第1の基板貫通ビアを前記第1のトランスレータで電氣的にアクセスするステップと、

前記第2の領域において第2のトランスレータを前記マイクロエレクトロニクス基板に対して取外し可能に固定するステップと、

前記マイクロエレクトロニクス基板の少なくとも前記第1の基板貫通ビアまたは第2の基板貫通ビアを前記第2のトランスレータで電氣的にアクセスするステップとを含む、

前記第1のトランスレータは、第1の厚さを有し、前記第2のトランスレータは、前記第1の厚さとは異なる第2の厚さを有し、

前記マイクロエレクトロニクス基板を前記第1のトランスレータで電氣的にアクセスするステップおよび前記マイクロエレクトロニクス基板を前記第2のトランスレータで電氣的にアクセスするステップは、

前記第1のトランスレータおよび前記第2のトランスレータのうちの一方を使用して、非通電ダイの基板貫通ビアに沿って信号を伝送するステップと、

前記第1のトランスレータおよび前記第2のトランスレータのうちの他方を使用して、前記信号を通電ダイへ伝送するステップと

10

20

30

40

50

を含むことを特徴とする方法。

【請求項 2 1】

前記マイクロエレクトロニクス基板を前記第 1 のトランスレータで電氣的にアクセスするステップおよび前記マイクロエレクトロニクス基板を前記第 2 のトランスレータで電氣的にアクセスするステップは、前記第 1 のトランスレータおよび前記第 2 のトランスレータの両方が前記マイクロエレクトロニクス基板に取外し可能に固定されている間に、前記マイクロエレクトロニクス基板を電氣的にアクセスするステップを含むことを特徴とする請求項 2 0 に記載の方法。

【請求項 2 2】

マイクロエレクトロニクス基板をテストする装置であって、

10

第 1 の主要面および前記第 1 の主要面とは逆方向を向いている第 2 の主要面を有するマイクロエレクトロニクス基板であって、前記マイクロエレクトロニクス基板を貫通して延在する導電性の基板貫通ビアを有し、前記基板貫通ビアは、前記第 1 の主要面および前記第 2 の主要面の両方から電氣的にアクセス可能である、マイクロエレクトロニクス基板と、

前記マイクロエレクトロニクス基板に切離し可能に接続されておりかつ前記第 1 の主要面から外側に延在する第 1 の領域内に配置されている第 1 のトランスレータであって、前記第 1 の領域から前記基板貫通ビアにアクセスする第 1 の電気信号経路を含む、第 1 のトランスレータと、

前記第 1 のトランスレータと同時に前記マイクロエレクトロニクス基板に切離し可能に接続されている第 2 のトランスレータであって、前記マイクロエレクトロニクス基板の前記第 2 の主要面から外側に延在する第 2 の領域内に配置されており、前記第 2 の領域から前記基板貫通ビアにアクセスする第 2 の電気信号経路を含む、第 2 のトランスレータとを含み、前記マイクロエレクトロニクス基板は、完成ダイと部分ダイとを含み、前記第 1 のトランスレータおよび前記第 2 のトランスレータのうちの少なくとも一方が部分ダイの基板貫通ビアを介して前記マイクロエレクトロニクス基板の完成ダイの少なくとも一つにアクセスすることを特徴とする装置。

20

【請求項 2 3】

第 1 及び第 2 の主要面の反対側から電氣的にアクセス可能な基板貫通ビアを有するマイクロエレクトロニクス基板をテストするマイクロエレクトロニクス基板テスト装置であって、

30

前記マイクロエレクトロニクス基板に切離し可能に接続される第 1 のトランスレータであって、前記第 1 のトランスレータに配置され、前記第 1 の主要面に向かって前記基板貫通ビアにアクセスする第 1 の電気信号経路を含む、第 1 のトランスレータと、

前記第 1 のトランスレータと同時に前記マイクロエレクトロニクス基板に切離し可能に接続されている第 2 のトランスレータであって、前記第 2 のトランスレータに配置されており、前記第 2 の主要面に向かって前記基板貫通ビアにアクセスする第 2 の電気信号経路を含む、第 2 のトランスレータとを含み、

前記第 1 のトランスレータは、前記マイクロエレクトロニクス基板の前記第 1 の主要面に接触して切り離し可能に固定され、

40

前記第 2 のトランスレータは、前記マイクロエレクトロニクス基板の前記第 2 の主要面に接触して切り離し可能に固定され、

前記マイクロエレクトロニクス基板を前記第 1 のトランスレータで電氣的にアクセスするステップおよび前記マイクロエレクトロニクス基板を前記第 2 のトランスレータで電氣的にアクセスするステップは、

前記第 1 のトランスレータおよび前記第 2 のトランスレータのうちの一方を使用して、非通電ダイの基板貫通ビアに沿って信号を伝送するステップと、

前記第 1 のトランスレータおよび前記第 2 のトランスレータのうちの他方を使用して、前記信号を通電ダイへ伝送するステップと

50

を含むことを特徴とする装置。

【請求項 2 4】

前記第 1 のトランスレータは、第 1 の厚さを有し、前記第 2 のトランスレータは、前記第 1 の厚さとは異なる第 2 の厚さを有することを特徴とする請求項 2 2 または 2 3 に記載の装置。

【請求項 2 5】

前記第 1 のトランスレータおよび前記第 2 のトランスレータは、どちらも部分ダイの 1 または複数の基板貫通ビアを介して前記マイクロエレクトロニクス基板にアクセスすることを特徴とする請求項 2 2 に記載の装置。

【請求項 2 6】

前記マイクロエレクトロニクス基板は、完成ダイと部分ダイとを含み、前記第 1 のトランスレータおよび前記第 2 のトランスレータのうちの少なくとも一方が部分ダイの基板貫通ビアを介して前記マイクロエレクトロニクス基板にアクセスすることを特徴とする請求項 2 3 に記載の装置。

【請求項 2 7】

前記マイクロエレクトロニクス基板は、完成ダイと部分ダイとを含み、前記第 1 のトランスレータおよび前記第 2 のトランスレータは、どちらも部分ダイの 1 または複数の基板貫通ビアを介して前記マイクロエレクトロニクス基板にアクセスすることを特徴とする請求項 2 3 に記載の装置。

【請求項 2 8】

前記第 1 のトランスレータは、前記マイクロエレクトロニクス基板に向かい合うように構成される第 1 の主要面を有し、第 2 の主要面は第 1 の主要面、前記第 1 の主要面の複数の第 1 の接点、および前記第 2 の主要面の複数の第 2 の接点と逆方向を向き、前記複数の第 1 の接点は、前記複数の第 2 の接点と前記第 1 の電気信号経路により接続され、

前記第 2 のトランスレータは、前記マイクロエレクトロニクス基板に向かい合うように構成される第 3 の主要面を有し、第 4 の主要面は第 3 の主要面、前記第 3 の主要面の複数の第 3 の接点、及び前記第 4 の主要面の複数の第 4 の接点と逆方向を向き、前記複数の第 3 の接点は、前記複数の第 4 の接点と前記第 2 の電気信号経路により接続されることを特徴とする請求項 2 3 に記載の装置。

【請求項 2 9】

マイクロエレクトロニクス基板をテストする方法であって、

マイクロエレクトロニクス基板に近接して第 1 の領域内に第 1 のトランスレータを配置するステップであって、前記マイクロエレクトロニクス基板は、第 1 の主要面および前記第 1 の主要面とは逆方向を向いている第 2 の主要面を有し、前記マイクロエレクトロニクス基板は、前記マイクロエレクトロニクス基板を貫通して延在する導電性の基板貫通ビア、前記マイクロエレクトロニクス基板の前記第 1 の主要面から外側に延在する第 1 の領域、および前記第 2 の主要面から外側に延在する第 2 の領域を有する、ステップと、

前記第 1 の領域において前記第 1 のトランスレータを前記マイクロエレクトロニクス基板に対して取外し可能に固定するステップと、

前記第 1 のトランスレータが前記第 1 の領域において前記マイクロエレクトロニクス基板に対して固定されている間に、前記第 2 の領域において第 2 のトランスレータを前記マイクロエレクトロニクス基板に対して取外し可能に固定するステップと、

前記第 1 のトランスレータが前記第 1 の領域に配置されている間に、前記マイクロエレクトロニクス基板の基板貫通ビアを前記第 1 のトランスレータで電氣的にアクセスするステップと、

前記第 1 のトランスレータおよび前記第 2 のトランスレータの両方が前記マイクロエレクトロニクス基板に対して取外し可能に固定されている間に、前記マイクロエレクトロニクス基板の前記第 1 の基板貫通ビアまたは第 2 の基板貫通ビアを前記第 2 のトランスレータで電氣的にアクセスするステップと

を含み、前記マイクロエレクトロニクス基板を前記第 1 のトランスレータでアクセスする

10

20

30

40

50

ステップおよび前記マイクロエレクトロニクス基板を前記第2のトランスレータで電氣的にアクセスするステップは、

前記第1のトランスレータからの第1の信号を、前記第1の基板貫通ビアに沿って方向付けるステップと、

前記第2のトランスレータにおいて、前記第1のトランスレータから第1の信号を受信するステップと、

前記第1の信号を受信するステップに応答して、前記第1の信号または第2の信号を前記第2の基板貫通ビアに沿って前記第1のトランスレータまたは前記マイクロエレクトロニクス基板へ方向付けるステップであって、前記第2の基板貫通ビアは、前記第1の基板貫通ビアとは異なっている、ステップと

を含み、前記第1の基板貫通ビアは、前記第1の信号が方向付けられたとき通電されるダイの一部であり、前記第2の基板貫通ビアは、前記第1の信号または前記第2の信号が前記第2の基板貫通ビアに沿って方向付けられたとき通電されないダイの一部であることを特徴とする方法。

【請求項30】

マイクロエレクトロニクス基板をテストする方法であって、

マイクロエレクトロニクス基板に近接して第1の領域内に第1のトランスレータを配置するステップであって、前記マイクロエレクトロニクス基板は、第1の主要面および前記第1の主要面とは逆方向を向いている第2の主要面を有し、前記マイクロエレクトロニクス基板は、前記マイクロエレクトロニクス基板を貫通して延在する導電性の基板貫通ビア、前記マイクロエレクトロニクス基板の前記第1の主要面から外側に延在する第1の領域、および前記第2の主要面から外側に延在する第2の領域を有する、ステップと、

前記第1の領域において前記第1のトランスレータを前記マイクロエレクトロニクス基板に対して取外し可能に固定するステップと、

前記第1のトランスレータが前記第1の領域において前記マイクロエレクトロニクス基板に対して固定されている間に、前記第2の領域において第2のトランスレータを前記マイクロエレクトロニクス基板に対して取外し可能に固定するステップと、

前記第1のトランスレータが前記第1の領域に配置されている間に、前記マイクロエレクトロニクス基板の基板貫通ビアを前記第1のトランスレータで電氣的にアクセスするステップと、

前記第1のトランスレータおよび前記第2のトランスレータの両方が前記マイクロエレクトロニクス基板に対して取外し可能に固定されている間に、前記マイクロエレクトロニクス基板の前記第1の基板貫通ビアまたは第2の基板貫通ビアを前記第2のトランスレータで電氣的にアクセスするステップと

を含み、前記第1の基板貫通ビアは第1のダイの一部であり、前記方法は、

前記第1のトランスレータからの信号を前記第1の基板貫通ビアを通して前記第2のトランスレータへ送ること、

前記第2のトランスレータを使用して、前記第1の基板貫通ビアからの前記信号を前記第2の基板貫通ビアへ送ること、

前記第1のトランスレータにおいて前記第2の基板貫通ビアからの前記信号を受信すること、

前記第1のトランスレータを使用して、前記第2の基板貫通ビアからの前記信号を前記マイクロエレクトロニクス基板の第3の基板貫通ビアへ送ることであって、前記第3の基板貫通ビアは、前記第1のダイとは異なる第2のダイの一部であることにより積層ダイをシミュレーションするステップをさらに含むことを特徴とする方法。

【請求項31】

第1及び第2の主要面の反対側から電氣的にアクセス可能な基板貫通ビアを有するマイクロエレクトロニクス基板をテストするマイクロエレクトロニクス基板テスト装置であって、

前記マイクロエレクトロニクス基板に切離し可能に接続される第1のトランスレータで

あって、前記第1のトランスレータに配置され、前記第1の主要面に向かって前記基板貫通ビアにアクセスする第1の電気信号経路を含む、第1のトランスレータと、

前記第1のトランスレータと同時に前記マイクロエレクトロニクス基板に切離し可能に接続されている第2のトランスレータであって、前記第2のトランスレータに配置されており、前記第2の主要面に向かって前記基板貫通ビアにアクセスする第2の電気信号経路を含み、前記第1のトランスレータは、第1の厚さを有し、前記第2のトランスレータは、前記第1の厚さとは異なる第2の厚さを有する、第2のトランスレータとを含む、

前記マイクロエレクトロニクス基板を前記第1のトランスレータで電氣的にアクセスするステップおよび前記マイクロエレクトロニクス基板を前記第2のトランスレータで電氣的にアクセスするステップは、

前記第1のトランスレータおよび前記第2のトランスレータのうちの一方を使用して、非通電ダイの基板貫通ビアに沿って信号を伝送するステップと、

前記第1のトランスレータおよび前記第2のトランスレータのうちの他方を使用して、前記信号を通電ダイへ伝送するステップと
を含むことを特徴とする装置。

【請求項32】

第1及び第2の主要面の反対側から電氣的にアクセス可能な基板貫通ビアを有するマイクロエレクトロニクス基板をテストするマイクロエレクトロニクス基板テスト装置であって、

前記マイクロエレクトロニクス基板に切離し可能に接続される第1のトランスレータであって、前記第1のトランスレータに配置され、前記第1の主要面に向かって前記基板貫通ビアにアクセスする第1の電気信号経路を含む、第1のトランスレータと、

前記第1のトランスレータと同時に前記マイクロエレクトロニクス基板に切離し可能に接続されている第2のトランスレータであって、前記第2のトランスレータに配置されており、前記第2の主要面に向かって前記基板貫通ビアにアクセスする第2の電気信号経路を含み、前記マイクロエレクトロニクス基板は、完成ダイと部分ダイとを含み、前記第1のトランスレータおよび前記第2のトランスレータのうちの少なくとも一方が部分ダイの基板貫通ビアを介して前記マイクロエレクトロニクス基板の完成ダイの少なくとも一つにアクセスする、第2のトランスレータと

を含むことを特徴とする装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、一般に、テスト用マイクロエレクトロニクス基板の両面に結合可能なトランスレータ、ならびに関連するシステムおよび方法に関する。

【背景技術】

【0002】

関連出願の相互参照

本願は、どちらもそれらの全体が参照により本明細書に援用されている、2013年3月15日に出願された米国特許出願第13/840,937号明細書および2012年4月9日に出願された米国特許仮出願第61/621,954号明細書の優先権を主張するものである。参照により本明細書に援用されている上記出願および／または任意の他の資料が本開示に矛盾する場合は本開示が支配する。

【0003】

マイクロエレクトロニクス（例えば、半導体）製造技術における進歩が、とりわけ、最新電子工学のコストの大幅な低減をもたらしている。結果として、集積回路が現代環境において至る所に存在するものとなっている。

【0004】

集積回路は、通常、バッチで（in batches）製造される。個々のバッチは、通常、複数

10

20

30

40

50

の半導体ウエハまたは他の基板を含み、その内部および上に集積回路が形成される。当該集積回路を形成することは、例えば蒸着、マスキング、パターニング、注入、エッチング、平坦化および他のプロセスを含む、多種多様の半導体製造ステップを必要とする。

【0005】

各ウエハは、通常、後に分離されるかまたは単一化されかつ使用するためにパッケージングされる何百もの個々のダイを含む。ダイが単一化される前に、完成ウエハがテストされて、ウエハ上のどのダイが所定の仕様に従って動作することができるか判定する。このようにして、所望通りに機能することができない集積回路は、パッケージングされないか、またはさもなければ最終製品に組み込まれない。

【0006】

おおよそ円形の半導体基板またはウエハ上に集積回路を製造するのが通常である。さらに、集積回路の最上層上にまたはそれに近接して配設されている導電性領域が集積回路の低層内にまたは上に配設されている種々の電子の要素への接続のための端子の機能を果たすのに役立つように、そのような集積回路を形成することが一般的である。テスト中、これらの導電性領域は、一般的にプローブカードと接触している。

【0007】

歴史的に、ウエハ上の非単一化集積回路が一度に1つテストされていた。コストを低減しかつ投資利益率を向上させるために、各ウエハがテストプロセスに費やす時間は短縮されるべきである。同時に2つ以上の集積回路をテストするために、種々の方法および装置がメーカにより模索されてきた。このようにして、ウエハスループットが改善され得る。一度に2つ以上の集積回路をテストするための典型的な要求が、テスト上のテストチャネルの数を増やすことである。そのような平行テスト装置では、2つ以上の集積回路の最初の1つがテストプログラムに不合格であると判定された場合、そのグループ内の1または複数の残りの集積回路は、ウエハ上の集積回路の別のグループがテストプロセスを開始することができる前に、テスト順序を継続し、それを完了しなければならない。このことは、ウエハ上の集積回路の次のグループをテストするテストシステムの準備ができるまで、不合格だった集積回路専用のテストチャネルが有効に占有されていないことを意味する。したがって、特にウエハ上の集積回路の集中および複雑さの増大の観点から、依然として、より効率的なウエハテストが必要である。

【発明の概要】

【0008】

本技術は、全般的に、例えばテスト用のマイクロエレクトロニクス基板の両面に結合可能なトランスレータ、ならびに関連するシステムおよび方法に関する。特定の実施形態では、これらの技術は基板貫通（例えば、ウエハ貫通またはシリコン貫通）ビアを活用して、両面からマイクロエレクトロニクス基板にアクセスすることができ、それにより基板のダイがテストされる効率性を高めることができる。

【図面の簡単な説明】

【0009】

【図1A】本技術の実施形態による、2つの対向面と、両面から基板に電氣的にアクセスする対応するトランスレータとを有する代表的な基板（例えば、ウエハ）の図である。

【図1B】本技術の実施形態による、2つの対向面と、両面から基板に電氣的にアクセスする対応するトランスレータとを有する代表的な基板（例えば、ウエハ）の図である。

【図1C】本技術の実施形態による、2つの対向面と、両面から基板に電氣的にアクセスする対応するトランスレータとを有する代表的な基板（例えば、ウエハ）の図である。

【図1D】図1A～図1Cに示されているタイプの基板の部分の走査電子顕微鏡図である。

【図1E】図1Cに示されている基板および2つのトランスレータの部分概略拡大図である。

【図2】本開示時の実施形態による、基板、およびテスト組立体に結合されている2つのトランスレータの部分概略横断面図である。

【図 3 A】本技術の実施形態による、非通電ダイ (unpowered die) にアクセスする 2 つのトランスレータに結合されている基板の部分概略横断面図である。

【図 3 B】本技術の実施形態による、非通電ダイにアクセスする 2 つのトランスレータに結合されている基板の部分概略横断面図である。

【図 4 A】本技術の実施形態による、テスト信号を径方向外側方向に方向付けるように構成されている、基板および 2 つのトランスレータの図である。

【図 4 B】本技術の実施形態による、テスト信号を径方向外側方向に方向付けるように構成されている、基板および 2 つのトランスレータの図である。

【図 5 A】本技術の実施形態による、非単一化基板の積層ダイをシミュレーションするように配置されている、基板および 2 つのトランスレータの図である。

10

【図 5 B】本技術の実施形態による、非単一化基板の積層ダイをシミュレーションするように配置されている、基板および 2 つのトランスレータの図である。

【図 6 A】本技術の実施形態による、未完成ダイの基板貫通ビアを使用するように配置されている、基板および 2 つのトランスレータの図である。

【図 6 B】本技術の実施形態による、未完成ダイの基板貫通ビアを使用するように配置されている基板および 2 つのトランスレータの図である。

【図 7 A】本技術の実施形態に従って構成されている基板および 2 つの可撓性トランスレータの図である。

【図 7 B】本技術の実施形態に従って構成されている基板および 2 つの可撓性トランスレータの図である。

20

【図 8 A】本技術の実施形態に従って構成されている 1 つの剛性トランスレータを備えた基板および 1 つの可撓性トランスレータの図である。

【図 8 B】本技術の実施形態に従って構成されている 1 つの剛性トランスレータを備えた基板および 1 つの可撓性トランスレータの図である。

【図 9 A】本技術の実施形態に従って構成されている基板および 2 つの剛性トランスレータの図である。

【図 9 B】本技術の実施形態に従って構成されている基板および 2 つの剛性トランスレータの図である。

【図 10 A】本技術の別の実施形態に従って構成されている基板および 2 つの可撓性トランスレータの図である。

30

【図 10 B】本技術の別の実施形態に従って構成されている基板および 2 つの可撓性トランスレータの図である。

【発明を実施するための形態】

【0010】

本技術のいくつかの実施形態の特定の詳細が、図 1 A～図 10 Bを参照して以下に記載されている。周知でありかつマイクロエレクトロニクスデバイスおよび関連テストに関係することが多いが、本開示のいくつかの重要な態様を不必要に曖昧にする可能性がある、構造またはプロセスを記載しているいくつかの詳細が、明確にするために以下の説明において記載されていない。さらに、以下の開示は本技術の異なる態様のいくつかの実施形態を記載しているが、本技術のいくつかの他の実施形態が、本項に記載されているものとは異なる構成または異なる構成要素を有する可能性がある。したがって、本技術は、追加要素を備えたかつ／または図 1 A～図 10 Bを参照して以下に記載されている要素のいくつかを備えていない他の実施形態を有し得る。

40

【0011】

図 1 Aは、本技術による、デバイスおよび方法に関してテストするのに適したマイクロエレクトロニクス基板 100 (例えば、半導体ウエハ) の部分概略横断面図である。代表的なマイクロエレクトロニクス基板 100 は、対応するダイ縁部 107 を有する複数のダイまたはダイ部位 101 を含む。テスト後、基板 100 は、ダイ縁部 107 に沿って単一化されるかまたは賽の目に切断されて、使用する前に封入されるかまたは別途パッケージングされる個々のダイ 101 を作り出す。各ダイ 101 は、1 または複数の活性領域 10

50

2を含み得る。ダイパッド103が、基板100の第1の面（例えば、第1の主要面）106aからアクセス可能である。基板貫通ビア（例えば、シリコン貫通ビア）104が、基板100の第1の面106aおよび対向する第2の面（例えば、第2の主要面）106bの両方から基板100の内部の構造物に電氣的アクセスを実現する。基板貫通ビアパッド105が、ビア104への電氣的アクセスを実現する。

【0012】

図1Bは、第1のトランスレータ110aおよび第2のトランスレータ110bとして示されている2つのトランスレータ110間に配置されている代表的な基板100を示す。第1のトランスレータ110aは、基板100の第1の面106aに近接しかつその方に向いて配置されており、第2のトランスレータ110bは、基板100の第2の面106bに近接しかつその方に向いて配置されている。本明細書に用いられている用語「トランスレータ」は、全般的に、1または複数の導電性（例えば、金属）層を有する構造物を指し、当該トランスレータは、一般にテスト目的で、ウエハまたは他の基板に一時的に貼付されているか、取り付けられているか、または係合されている。通常、トランスレータは、例えば1つのステーション（例えば、テストまたは処理ステーション）から別のステーションへ、基板100と共に移動するように構成されている。一般に、トランスレータは、ダイパッド103間かつ／またはビア104間の間隔と合致する、それらの間の間隔を有する1セットの接点を含む。一般にウエハ接点または基板接点と呼ばれることもあるこの第1の接点セットは、テスト中は基板100と係合しており、トランスレータの「ウエハ面」または「基板面」上で位置決めされている。また、トランスレータは、通常、例えば、テストまたは他のテストデバイスに結合するのに適した、異なる間隔を有してもよい、トランスレータの反対側「テスト面」上で位置決めされている第2の接点セットを含む。したがって、トランスレータは、通常は非常に近接して共に離間されているダイパッドと、通常はさらに離間されている対応するテストパッドとの間に、インターフェースをもたらすことができる。トランスレータは、テスト中に、予備テスト中にかつ／またはテスト手順後に1つのステーションから別のステーションへ基板100と共に移動するために、真空力、クランプおよび／または他の技法により基板に一時的に取り付けられることが可能である。

【0013】

第1のトランスレータ110aの基板接点またはウエハ接点は、関連基板100のダイパッド103に接触するように配置されている第1の導体111と、基板100の第1の面106aにおいて基板貫通ビア104（例えば、ビアパッド105）に接触するように配置されている第2の導体112とを含み得る。また、第2のトランスレータ110bは、基板100の第2の面106bから基板貫通ビア104に接触するように配置されている第2の導体112を含み得る。したがって、第1のトランスレータ110aは、第1の面106aから基板貫通ビア104にアクセスすることができ、第2のトランスレータ110bは、第2の面106bから同一のまたは異なる基板貫通ビア104にアクセスすることができる。

【0014】

図1Cは、それに取外し可能に取り付けられた第1のトランスレータ110aと第2のトランスレータ110bとを備えた基板100を示す。この構成における基板100ならびにトランスレータ110aおよびトランスレータ110bを用いて、基板100は、基板100の第1の面106aおよび第2の面106bの両方にアクセスする電気信号を用いてテストされ得る。したがって、第1のトランスレータ110aは、基板100の第1の主要面106aから外側に延在する第1の領域108aに配置されており、第2のトランスレータ110bは、基板100の第2の主要面106bから外側に延在する第2の領域108bに配置されている。

【0015】

図1Dは、図1Cに示されている基板100の部分を示す走査電子顕微鏡図である。したがって、図1Dは個々のダイ101および関連基板貫通ビア104を示す。

【0016】

図1Eは、図1Cに示されている基板100ならびにトランスレータ110aおよびトランスレータ110bの部分の拡大図である。

【0017】

図2は、本技術の実施形態による、テスト用に配置されている代表的な基板100ならびに代表的なトランスレータ110aおよびトランスレータ110bの部分概略横断面図である。図2に示されている通り、当該装置は、複数のテストまたはテストモジュール121を含むテスト組立体120を含み得る。テスト121は、第1のトランスレータ110aにアクセスするように配置されている第1のテスト121aと、第2のトランスレータ110bを介して基板100にアクセスするように配置されている第2のテスト121bとを含み得る。したがって、第1のテスト121aは、第1のトランスレータ110aにより担持されている第1のテスト接点113aと電氣的に通信することができ、第2のテスト121bは、第2のテスト接点113bを介して第2のトランスレータ110bにアクセスすることができる。テスト121と基板100との間の通信は、第1の信号経路114および第2の信号経路114bとして、点線で概略的に示されている。テスト信号経路122は、第1のテスト121aと第2のテスト121bとの間を接続するか、またはそれらの間で通信を実現する。したがって、第1のテスト121aにより実施されるテストが、第2のテスト121bにより実施されるテストと調整され得る。この機能は、あるマイクロエレクトロニクスデバイス、例えばNANDデバイス、をテストするのに特に有用である可能性があり、1つのテストからの結果が複数の可能な後続テストのうちのどれが実施されるかを導くことができる。上記装置の別の利点が、積層状のダイ内に最終的に組み込まれるダイをテストするのに使用され得ることである。そのようなダイは、基板貫通ビア104を使用して、第2の面106bにおいて位置決めされているパッドへではなく、第1の面106aにおいて位置決めされているパッドへ様々な信号を送信してもよい。したがって、第1のテスト121aおよび第2のテスト121bは、ダイ101が生成する可能性がある様々な信号を送達しかつ／またはそれらに応答するようにプログラムされ／構成され得る。上述に加えてまたは上述の代わりに、第2のテスト121bは下部のダイをシミュレーションすることができ、第1のテスト121aは上部のダイをシミュレーションすることができる。

【0018】

特定の実施形態では、基板貫通ビア104を通してダイ101にかつ／またはそれから伝送される信号が、動作中、一方向のみに（例えば、第1のトランスレータ110aの方へのみまたは第2のトランスレータ110bの方へのみ）移動することができる。代表的なデバイスが、ダイオードおよびトライステートデバイスを含む。したがって、個々の基板貫通ビア104の両端部にアクセスする能力は、全体的なテスト動作の多様性を高めることができる。さらに、以下に記載される通り、1つのダイの基板貫通ビアは、別のダイのテストを容易にするために使用され得る。さらなる実施形態では、1または複数のビアに沿って両方向に信号が伝送される。例えば、そのような信号は、（信号を一方向のみに伝送しなければならない）単方向デバイスの完全性をテストしかつ／または多方向に信号を伝送する多方向デバイスの能力をテストするのに使用され得る。

【0019】

図3Aおよび図3Bは、本技術の特定の実施形態に従って構成されている代表的な第1のトランスレータ110aと第2のトランスレータ110bとを備えた代表的な基板100を示す。図3Aでは、トランスレータ110a、110bおよび第1のテスト121aのセットは、基板100に係合するための適所に概略的に示されている。図3Bでは、第1のトランスレータ110aおよび第2のトランスレータ110bは基板100と係合しており、第1のテスト121aは第1のトランスレータ110aと係合している。本実施形態の特定の態様では、第2のトランスレータ110bは、非通電ダイまたはテストされていないダイの基板貫通ビアが通電ダイ（powered die）またはテストダイ（例えば、テスト下のダイまたはデバイスすなわち「DUT: Die/Device Under T

10

20

30

40

50

e s t」) のテストを容易にすることを可能にする回路を含む。例えば、図 3 B は、通電され、テスト下にあり、かつ非電通の(「非電通ダイ 3」および「非電通ダイ 5」としても確認される) 2 つの第 2 のダイ 1 0 1 b 間に配置されている(「ダイ 4 テスト」としても確認される) 第 1 のダイ 1 0 1 a を示す。対応する第 1 のテスト 1 2 1 a が、第 1 のダイ 1 0 1 a の第 1 の基板貫通ビア 1 0 4 a により、第 1 のダイ 1 0 1 a にアクセスする。第 2 のトランスレータ 1 1 0 b は、第 1 のダイの第 1 の基板貫通ビア 1 0 4 a を第 2 のダイ 1 0 1 b の第 2 の基板貫通ビア 1 0 4 b と接続する第 2 の信号経路 1 1 4 b を含む。したがって、第 1 のテスト 1 2 1 a は、第 1 のダイ 1 0 1 a の第 1 の基板貫通ビア 1 0 4 a と第 2 のダイ 1 0 1 b の第 2 の基板貫通ビア 1 0 4 b の両方を通過する第 1 の信号経路 1 1 4 a により、第 1 のダイ 1 0 1 a と通信することができる。この装置を使用して、現在テスト下でない隣接する(かつ/または他の)ダイを使用することにより、現在テスト下にある各ダイに利用可能なアクセスを増加させることができる。例えば、この装置は、通常は第 2 のトランスレータ 1 1 0 b を使用することにより第 1 の基板貫通ビア 1 0 4 a を「下方へ」通って第 2 のトランスレータ 1 1 0 b の方へ単方向に伝送される第 1 のダイ 1 0 1 a からの信号を第 1 のテスト 1 2 1 a が評価して、そのような信号を第 2 のダイ 1 0 1 b の第 2 のビア 1 0 4 b を上方へ通って第 1 のテスト 1 2 1 a へ戻るよう再度方向付けることを可能にすることができる。動作中、第 1 のテスト 1 2 1 a、および/またはテストとダイ 1 0 1 a、1 0 1 b との間の接続部を順番に移動させることにより、ダイの全てがテストされ得る。上述に加えてまたはその代わりに、第 2 のビア 1 0 4 b が使用されて、第 1 のトランスレータ 1 1 0 a と第 2 のトランスレータ 1 1 0 b との間で命令を送信することができる。

10

20

【0020】

図 4 A および図 4 B は、第 2 のトランスレータ 1 1 0 b が使用されて、図 4 A および図 4 B に示されていない構成要素に搬送されかつ/またはそれから受信される可能性のある信号を搬送する別の装置を示す。例えば、第 1 のテスト 1 2 1 a は、第 1 の信号経路 1 1 4 a により示されているように、ダイ 1 0 1 と通信することができ、第 2 のトランスレータ 1 1 0 b は、第 2 の信号経路 1 1 4 b により示されているように、離れた所に、例えば図 4 A および図 4 B において可視でない追加テスト(現地外テストまたは分布テスト)へ/から、信号を搬送することができる。図 7 A および図 7 B を参照して以下にさらに記載される通り、信号は、基板 1 0 0 の外周を越えて延びている経路に沿って送られることが可能である。

30

【0021】

図 5 A および図 5 B は、第 1 のトランスレータ 1 1 0 a および第 2 のトランスレータ 1 1 0 b が、積層ダイ装置を模倣する方法で複数の非単一化ダイをテストするのに使用される信号経路を含む装置を示す。図 5 B に示されている代表的な実施形態では、合計 6 つのダイ 1 0 1 a ~ 1 0 1 f が、3 つの積層ダイをシミュレーションする特定のテストに関与している。第 1 のダイ 1 0 1 a、第 3 のダイ 1 0 1 c、および第 5 のダイ 1 0 1 e が通電されており、テストされている。第 2 のダイ 1 0 1 b、第 4 のダイ 1 0 1 d、および第 6 のダイ 1 0 1 f は通電されていないが、通電されているダイを接続する通路を提供している。トランスレータ 1 1 0 a、1 1 0 b の各々の信号経路は、非通電ダイを使用して、一方のテストされるダイの底部から他方の上部へ信号を送るように構成されており、このように積層ダイ装置を模倣している。例えば、第 1 のトランスレータ 1 1 0 a における第 1 の信号経路 1 1 4 a は、第 1 のテスト 1 2 1 a と第 1 のダイ 1 0 1 a との間に通信を実現している。第 2 のトランスレータ 1 1 0 b における第 2 の信号経路 1 1 4 b は、第 1 のダイ 1 0 1 a の基板貫通ビア 1 0 4 を第 2 のダイ 1 0 1 b の基板貫通ビア 1 0 4 に接続している。第 1 のトランスレータ 1 1 0 a における第 3 の信号経路 1 1 4 c は、第 2 の非通電ダイ 1 0 1 b の基板貫通ビア 1 0 4 を第 3 の通電ダイ 1 0 1 c の基板貫通ビア 1 0 4 と接続している。同様の装置が使用されて、第 3 のダイ 1 0 1 c を第 5 のダイ 1 0 1 e と接続し、第 2 のテスト 1 2 1 b に信号を送っている。このように、通常はダイが積層装置内にある場合にのみ明らかであるダイの動作の様子が、ダイが単一化され積層装置内に実際に

40

50

配置される前にテストされ得る。個々のダイがシミュレーションされる積層装置内で一緒にテストされてもよいが、単一化されると、ダイは、必ずしも、シミュレーション中に使用される同一のダイと共に積層される必要がない。

【0022】

図6Aおよび図6Bは、基板100により担持されている未完成ダイの基板貫通ビアを使用することにより、ダイ（例えば、無傷の完成ダイ）をテストする装置を示す。詳細には、基板100は通常は円形でありかつ完成ダイまたは全体ダイ101aは通常は矩形であるため、基板100の外周は、未完成ダイまたは部分ダイ101bの部分を含み得る。これらの未完成ダイ101bは、完成ダイ101aに関連する製造プロセスの少なくともいくつか、例えば基板貫通ビアの形成、を経た可能性がある。したがって、完成ダイ101aは第1の基板貫通ビア104aを有することができ、未完成ダイ101bは第2の基板貫通ビア104b有し得る。第2の基板貫通ビア104bが使用されて、第2のトランスレータ110bを使用して部分ダイまたは未完成ダイ101bの第2の基板貫通ビア104bと完成ダイ101aの第1の基板貫通ビア104aとの間で信号経路114に沿って信号を搬送することにより、第1のダイ101aへのアクセスを実現することができる。したがって、第2のビア104bは「通過」機能をもたらすことができる。

10

【0023】

図7Aおよび図7Bは、比較的薄い第1のトランスレータ110aおよび比較的薄い第2のトランスレータ110bにより、代表的な基板100がテストされる構成を示す。第2のトランスレータ110bは、基板100の外縁を越えて延びている縁部延長部115を含む「縁部が延長した」構成を有し得る。縁部延長部115は、例えばテストおよび／または他の外部デバイスに結合するための、追加機能領域をもたらすことができる。トランスレータ110a、110bは、薄い可撓性の層状の金属／誘電材料から形成されて、垂直方向に低い間隙をもたらすことができる。したがって、この装置は、テスト中の垂直間隙要件が狭い場合に特に適している。

20

【0024】

図8Aおよび図8Bは、比較的厚い構成を有する第1のトランスレータ810aと図7Aおよび図7Bを参照して前述されているものにおおよそ類似した薄い構成を有する第2のトランスレータ810bとの間に代表的な基板100が配置されている別の装置を示す。この装置は、基板100の上方の垂直間隙が基板100の下方の垂直間隙ほど狭くないかまたは限界的でない場合に使用され得る。

30

【0025】

図9Aおよび図9Bは、どちらも比較的厚い構成を有する2つのトランスレータ910aと910bとの間に基板100が配置されている別の装置を示す。この装置は、基板100の上方および下方の垂直間隙がどちらもそれほど狭くないかまたは限界的でない設置において使用することができる。

【0026】

図10Aおよび図10Bは、どちらも比較的薄く、どちらも図7Aおよび図7Bを参照して前述されている縁部延長装置を含まない、第1のトランスレータ1010aと第2のトランスレータ1010bとの間に配置されている、基板100を示す。したがって、この装置は、基板100へのかつそれからの通信が信号経路の密度を必要としない、および／または縁部延長装置を必要とするかまたは別の方法で必要とする他の特徴を必要としない例において使用され得る。

40

【0027】

本技術の特定の実施形態が、マイクロエレクトロニクス基板、例えば複数のダイを含むウェハ、をテストする方法に関する。代表的な方法が、マイクロエレクトロニクス基板に近接して第1の領域に第1のトランスレータを配置するステップを含む。マイクロエレクトロニクス基板は、第1の主要面と、第1の主要面とは逆方向に向いている第2の主要面とを有し、基板を貫通して延在する導電性の基板貫通ビアを有し、第1の領域はマイクロエレクトロニクス基板の第1の主要面から外側に延在し、第2の領域は第2の主要面から

50

外側に延在する。本方法は、第1の領域において第1のトランスレータをマイクロエレクトロニクス基板に対して取外し可能に固定するステップと、第1の領域において第1のトランスレータがマイクロエレクトロニクス基板に対して固定されている間に、第2の領域において第2のトランスレータをマイクロエレクトロニクス基板に対して取外し可能に固定するステップと、第1のトランスレータが第1の領域に配置されている間に、マイクロエレクトロニクス基板の第1の基板貫通ビアを第1のトランスレータで電氣的にアクセスするステップと、第1のトランスレータおよび第2のトランスレータの両方がマイクロエレクトロニクス基板に対して固定されている間に、マイクロエレクトロニクス基板の第1の基板貫通ビアまたは第2の基板貫通ビアを第2のトランスレータで電氣的にアクセスするステップとをさらに含み得る。

10

【0028】

さらなる特定の実施形態では、本方法は、マイクロエレクトロニクス基板を第1のトランスレータおよび第2のトランスレータの両方で同時に電氣的にアクセスするステップをさらに含む。さらなる特定の実施形態では、本方法は、第2のトランスレータにおいて第1のトランスレータからの第1の信号を受信するステップと、それに応答して、第1の信号または第2の信号をマイクロエレクトロニクス基板または第1のトランスレータに方向付けるステップとをさらに含む。さらなる実施形態では、第1のビアは第1のダイの一部であり、本方法は、第1のトランスレータからの信号を第1のダイの第1のビアを通して第2のトランスレータへ送ることにより、積層ダイをシミュレーションするステップと、第2のトランスレータを使用して、第1のビアからの信号を第2のビアへ送るステップと、第1のトランスレータにおいて第2のビアからの信号を受信するステップと、第1のトランスレータを使用して、第2のビアからの信号をマイクロエレクトロニクス基板の第3のビアへ送るステップであって、第3のビアは第1のダイとは異なる第2のダイの一部である、ステップとをさらに含む。

20

【0029】

本明細書に開示されている方法は、開示されているデバイスおよびシステムを作製し使用する方法に加えて、開示されているデバイスおよびシステムを作製し使用するように他者に教授する方法を含み、包含する。したがって、また、本明細書に開示されている使用および製造のありとあらゆる方法は、そのような使用および製造の方法を教授する対応する方法を完全に開示し、可能にする。そのような使用および製造を教授する方法は、コンピュータ可読媒体ベースの実行可能なプログラムまたはプロセスの形を取っていてもよい。

30

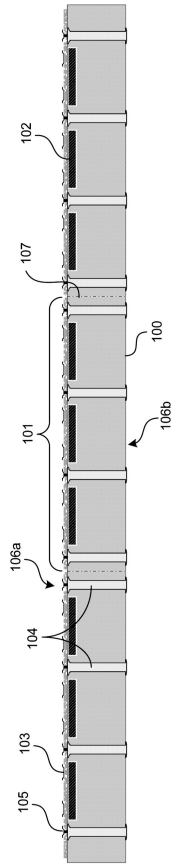
【0030】

上述から、本技術の特定の実施形態が例示目的で本明細書に記載されているが、当該技術から逸脱することなく種々の修正が施されてもよいことは言うまでもない。例えば、明示的に前述されているもの以外の構成を有するトランスレータが使用されて、基板の両面から基板へのアクセスを実現することができる。基板は、図に示されている通り概ね水平の配向で、または他の実施形態では垂直もしくは他の配向で、テストされ得る。いくつかの実施形態では、別のものから1つのトランスレータにより受信される同一の信号が、別の部位へ、例えば第1のトランスレータへ戻されまたはテスト下のダイへ、直接伝送される。いくつかの実施形態では、受信された信号は、さらなる伝送の前に修正されるか、または異なる信号の伝送に対する根拠を提供する。特定の実施形態の場合において記載されている本技術のある態様が、他の実施形態に組み込まれるかまたはそれらにおいて排除されてもよい。例えば、図2～図5Bの場合において記載されている信号経路は、比較的薄い外形または比較的厚い外形を有するトランスレータにおいて実施され得る。さらに、本技術のある実施形態に関連する利点がそれらの実施形態の場合において記載されている一方、他の実施形態もまたそのような利点を呈示してもよく、全ての実施形態が、必ずしも、本技術の範囲内に入るそのような利点を呈示する必要はない。したがって、本開示および関連技術は、本明細書に明示的に示されていないかまたは記載されていない他の実施形態を包含し得る。以下の例は、本技術の追加の代表的な実施形態を提供する。

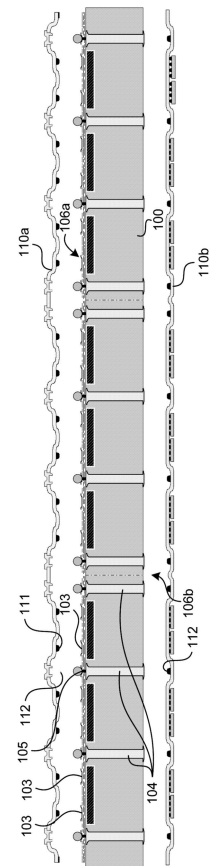
40

50

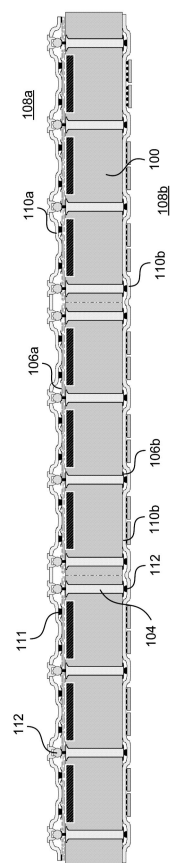
【図 1 A】



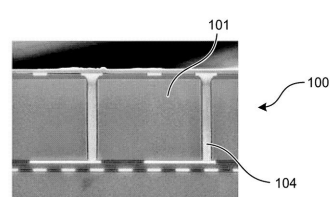
【図 1 B】



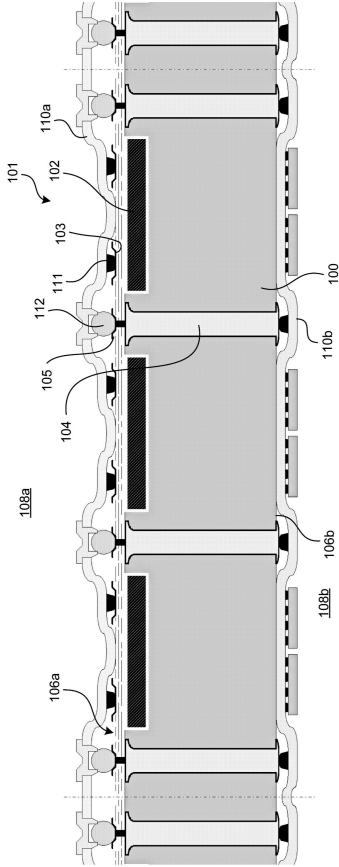
【図 1 C】



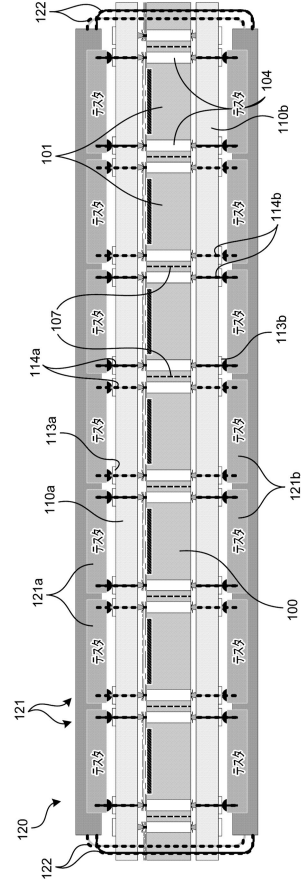
【図 1 D】



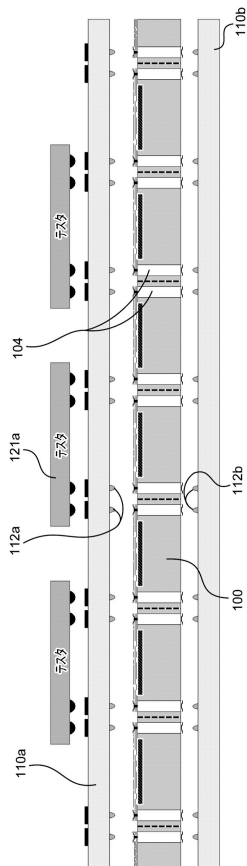
【図 1 E】



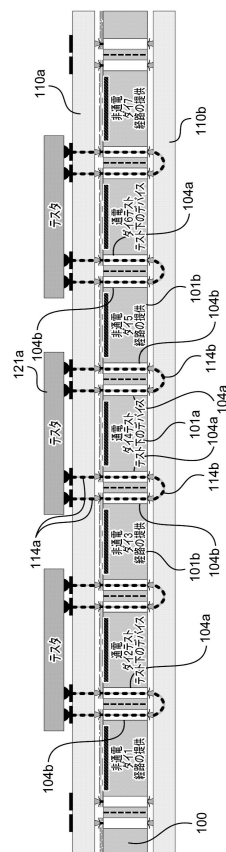
【図 2】



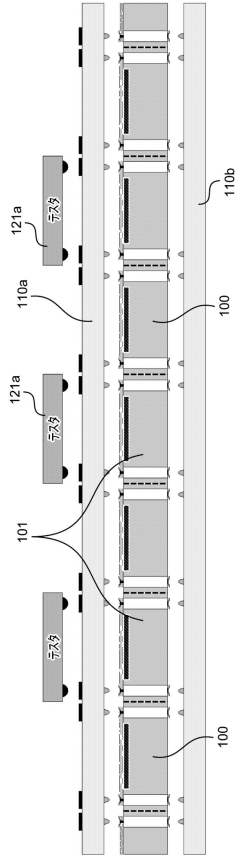
【図 3 A】



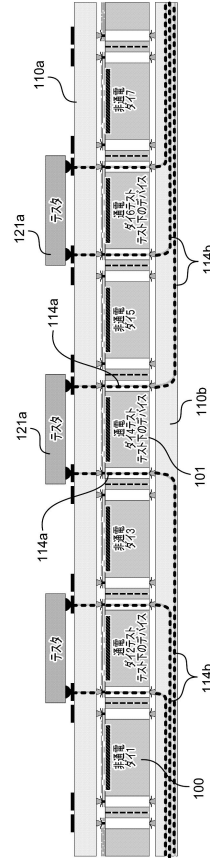
【図 3 B】



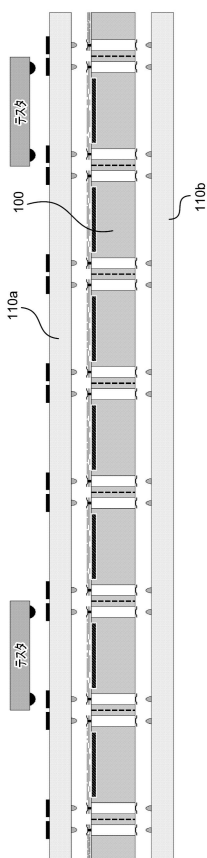
【図 4 A】



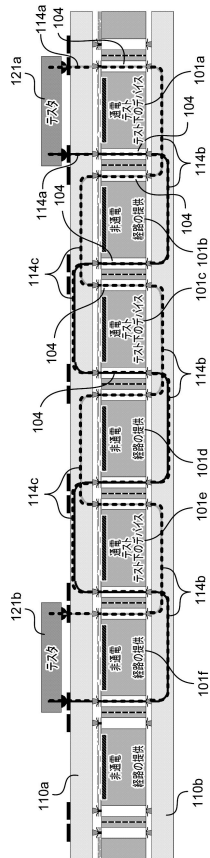
【図 4 B】



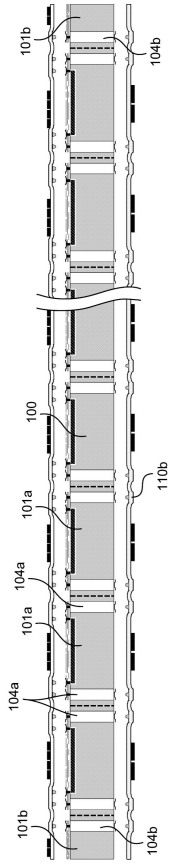
【図 5 A】



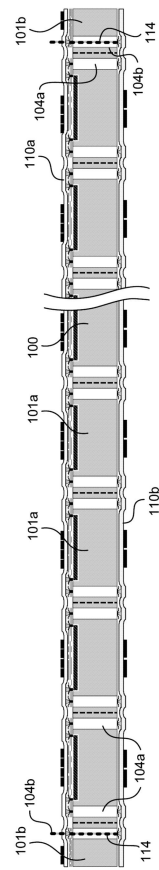
【図 5 B】



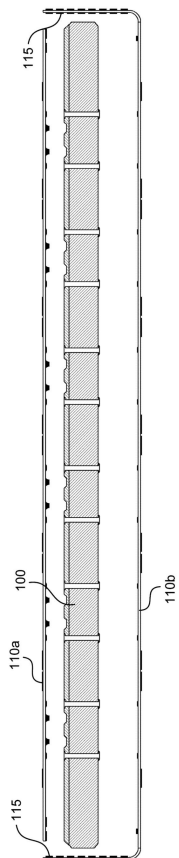
【図 6 A】



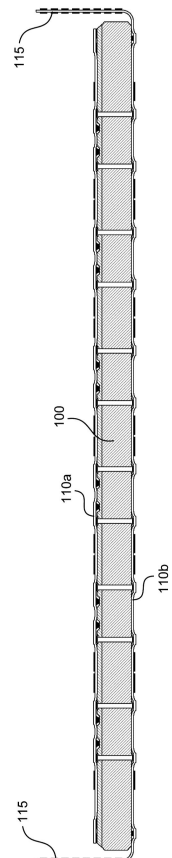
【図 6 B】



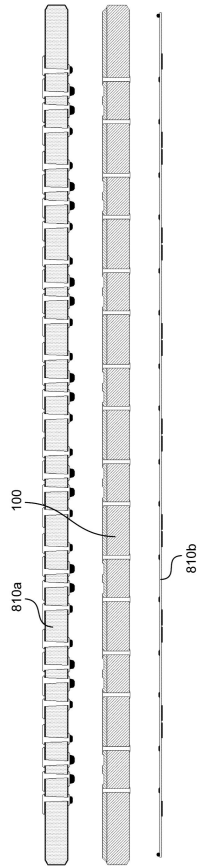
【図 7 A】



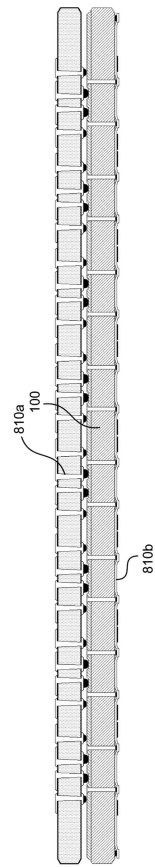
【図 7 B】



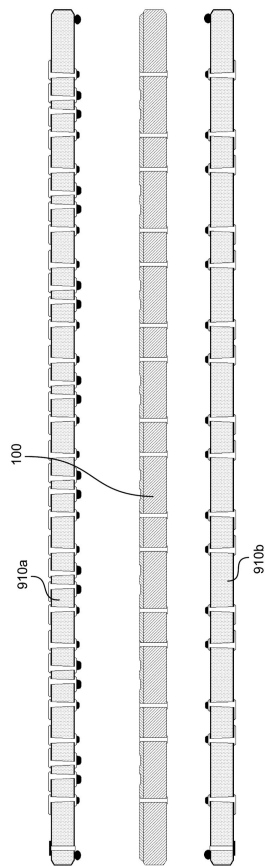
【図 8 A】



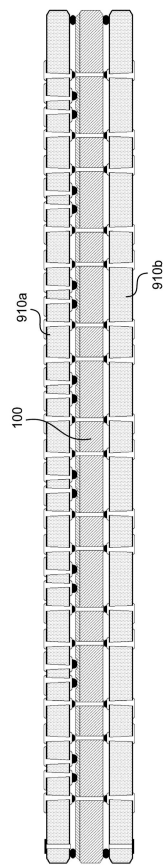
【図 8 B】



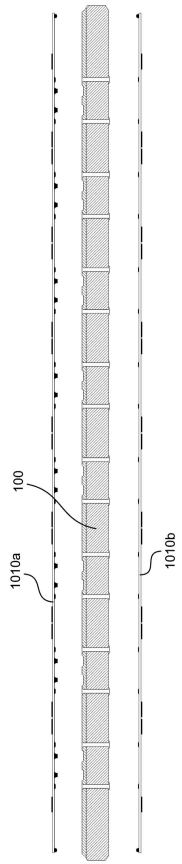
【図 9 A】



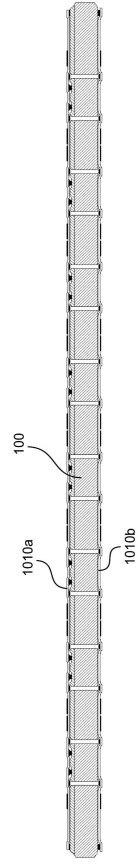
【図 9 B】



【図 10 A】



【図 10 B】



フロントページの続き

- (56)参考文献 米国特許出願公開第2006/0255826 (US, A1)
特開2006-010682 (JP, A)
米国特許出願公開第2011/0316572 (US, A1)
国際公開第2007/032184 (WO, A1)

(58)調査した分野(Int.Cl., DB名)

G01R	31/28
H01L	21/66
H01L	25/065
H01L	25/07
H01L	25/18