

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
【部門区分】第 1 部門第 2 区分  
【発行日】令和 6 年 1 月 25 日(2024.1.25)

【公開番号】特開 2023-142530(P2023-142530A)  
【公開日】令和 5 年 10 月 5 日(2023.10.5)  
【年通号数】公開公報(特許)2023-188  
【出願番号】特願 2022-49481(P2022-49481)  
【国際特許分類】

A 6 3 F 5/04(2006.01)

10

【F I】

A 6 3 F 5/04 6 0 1 B

A 6 3 F 5/04 6 9 9

【手続補正書】

【提出日】令和 6 年 1 月 16 日(2024.1.16)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

20

【補正の内容】

【特許請求の範囲】

【請求項 1】

遊技の進行を制御する主制御部と、遊技価値の管理に関する制御を行う遊技価値制御部と、が搭載された主制御基板を備える遊技機であって、

前記主制御基板には、前記主制御基板の表面側でその端子が半田付けされる複数の表面実装部品と、前記主制御基板を貫通するスルーホールに前記主制御基板の表面側からその端子を挿通させ、前記主制御基板の裏面側でその端子が半田付けされる複数のディップ実装部品と、が実装され、

前記複数の表面実装部品は、前記主制御部のマイクロプロセッサに接続された第 1 の集積回路と、前記遊技価値制御部のマイクロプロセッサに接続された第 2 の集積回路と、を少なくとも含み、

30

前記第 1 の集積回路及び前記第 2 の集積回路はそれぞれ複数の端子を有しており、前記第 1 の集積回路の複数の端子と前記第 2 の集積回路の複数の端子との間がそれぞれ複数の配線で接続され、

前記複数の配線全てにおいて、それぞれに接続された複数のテストポイントを設け、

前記複数のテストポイントは、全て前記主制御基板の表面側の所定領域に設けられ、

前記主制御部のマイクロプロセッサと前記遊技価値制御部のマイクロプロセッサとは同一の構成であることを特徴とする遊技機。

【手続補正 2】

40

【補正対象書類名】明細書

【補正対象項目名】0 0 0 2

【補正方法】変更

【補正の内容】

【0 0 0 2】

従来の遊技機において、主制御装置（主制御基板）に表面実装部品を用いるようにしたものが提案されている（例えば、特許文献 1 参照）。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 3

50

【補正方法】削除

【補正の内容】

【手続補正４】

【補正対象書類名】明細書

【補正対象項目名】０００４

【補正方法】変更

【補正の内容】

【０００４】

【特許文献１】特開２０２１－９０６２７号公報

【手続補正５】

【補正対象書類名】明細書

【補正対象項目名】０００５

【補正方法】変更

【補正の内容】

【０００５】

ところで、そのような制御基板では、回路の動作検証や故障箇所の特定等を目的として、例えばデジタルオシロスコープ等の測定器を用いた検査を行い得るように構成されることが望ましい。特に、遊技機の主制御基板は、遊技の主要な制御を行うものであり、遊技の公平性や信頼性を担保するためにはその必要性が極めて高い。

しかしながら、表面実装部品は、ディップ実装部品と比較すると、端子が細かったり、端子間が狭かったりするものが多い。そのため、そのような検査を適切に行えないおそれがある。もっとも、表面実装部品は、ディップ実装部品よりも入手しやすく安価であることも多い。そのような観点からすると、表面実装部品を使用せずに主制御基板を設計した場合にはその製造コストが増加してしまうという問題も生じる。

【手続補正６】

【補正対象書類名】明細書

【補正対象項目名】０００８

【補正方法】変更

【補正の内容】

【０００８】

遊技の進行を制御する主制御部（例えば、主制御部４１１ａ）と、遊技価値の管理に関する制御を行う遊技価値制御部（例えば、メダル数制御部４１１ｂ）と、が搭載された主制御基板（例えば、主制御基板４１１）を備える遊技機であって、

前記主制御基板には、前記主制御基板の表面側でその端子が半田付けされる複数の表面実装部品と、前記主制御基板を貫通するスルーホールに前記主制御基板の表面側からその端子を挿通させ、前記主制御基板の裏面側でその端子が半田付けされる複数のディップ実装部品と、が実装され、

前記複数の表面実装部品は、前記主制御部のマイクロプロセッサに接続された第１の集積回路（例えば、ＩＣ３）と、前記遊技価値制御部のマイクロプロセッサに接続された第２の集積回路（例えば、ＩＣ５）と、を少なくとも含み、

前記第１の集積回路及び前記第２の集積回路はそれぞれ複数の端子を有しており、前記第１の集積回路の複数の端子と前記第２の集積回路の複数の端子との間がそれぞれ複数の配線で接続され、

前記複数の配線全てにおいて、それぞれに接続された複数のテストポイントを設け、

前記複数のテストポイントは、全て前記主制御基板の表面側の所定領域に設けられ、

前記主制御部のマイクロプロセッサと前記遊技価値制御部のマイクロプロセッサとは同一の構成であることを特徴とする。

【手続補正７】

【補正対象書類名】明細書

【補正対象項目名】０００９

10

20

30

40

50

【補正方法】変更

【補正の内容】

【 0 0 0 9 】

この遊技機によれば、遊技の公平性や信頼性を損なうことなく、その製造コストの削減を図ることができる。

10

20

30

40

50