

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁷ G06F 13/38	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년12월06일 10-0533552 2005년11월29일
--	-------------------------------------	--

(21) 출원번호	10-1999-0055941	(65) 공개번호	10-2000-0052441
(22) 출원일자	1999년12월08일	(43) 공개일자	2000년08월25일

(30) 우선권주장 1998-348270 1998년12월08일 일본(JP)

(73) 특허권자

오쓰까, 간지
일본 도쿄도 히가시야마또시 고힌 2쵸메 1074-38

가부시끼가이샤 르네사스 테크놀로지
일본 100-6334 도쿄도 지요다구 마루노우찌 2-쵸메 4-1

마쯔시다덴기산교 가부시끼가이샤
일본국 오사카후 가도마시 오아자 가도마 1006반지

로무 가부시끼가이샤
일본 교토시 우교구 사이잉 미조사키쵸 21

산요덴키가부시끼가이샤
일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고

소니 가부시끼 가이샤
일본국 도쿄도 시나가와쿠 기타시나가와 6쵸메 7반 35고

오끼 덴끼 고힌가부시끼가이샤
일본 도쿄도 미나토쿠 도라노몬 1쵸메 7반 12고

후지쯔 가부시끼가이샤
일본국 가나가와켄 가와사키시 나카하라꾸 가미고다나카 4쵸메 1-1

우사미, 다모쯔
일본 도쿄도 고힌분지시 니시마찌 2쵸메 38-4

(72) 발명자

오쓰까, 간지
일본 도쿄도 히가시야마또시 고힌 2쵸메 1074-38

우사미, 다모쯔
일본 도쿄도 고힌분지시 니시마찌 2쵸메 38-4

(74) 대리인

장수길
주성민
구영창

심사관 : 나용수

(54) 전자 장치

요약

본 발명은 드라이버 회로의 회로 구성, 및 전송 선로의 특성 임피던스를 특정함으로써 버스 배선계의 신호 전송을 고속화할 수 있는 전자 장치를 제공하는 것을 목적으로 한다. 차동 상보 디지털 신호를 전달하는 전송 선로(1)와, 그것에 정합한 종단 회로인 종단 저항(2)으로 이루어지는 버스 배선계에 전류 스위치형의 차동 드라이버(3)를 조합한 입출력 회로를 구성하고, 전송 선로(1) 및 종단 저항(2)등을 갖는 배선 기관에 차동 드라이버(3)등을 갖는 집적 회로 칩이 장착되어 구성되는 전자 장치로서, 차동 드라이버(3)를 전류 스위치형으로 하고, 또한 전송 선로(1)를 25Ω 이하의 특성 임피던스를 갖는 선로의 병렬 동일 길이 배선으로 함으로써, 전송 중의 신호 에너지의 감쇠를 억제하고, 또한 근접하는 전송 선로(1) 사이의 전자계 간섭을 억제할 수 있다.

대표도

도 1

색인어

전자 장치, 전송 선로, 특성 임피던스, 종단 저항, 차동 드라이버, 버스 배선계

명세서

도면의 간단한 설명

도 1의 (a) 및 (b)는 본 발명의 일실시예인 전자 장치에 있어서, 전송 선로를 루프로 한 전류 스위치형의 드라이버 회로의 일례를 나타내는 개략 회로도.

도 2의 (a) 및 (b)는 본 발명의 일실시예의 전자 장치에 있어서, 전송 선로의 페어 선로(paired wires) 간의 절연층의 두께와 전자계 확대의 일례를 설명하기 위한 개략 단면도.

도 3의 (a) 및 (b)는 본 발명의 일실시예의 전자 장치에 있어서, 하나의 단위 버스 구조의 일례를 나타내는 개략 개념도.

도 4는 본 발명의 일실시예의 전자 장치에 있어서, 차동 수신기의 분기(branch) 구조의 일례를 나타내는 개략 사시도.

도 5는 본 발명의 일실시예의 전자 장치에 있어서, 도 3의 (a)에 대응하는 기본버스 구조의 일례를 나타내는 개략 평면도.

도 6은 본 발명의 일실시예의 전자 장치에 있어서, 도 3의 (b)에 대응하는 분기 배선이 필요한 분기 구조의 일례를 나타내는 개략 평면도.

도 7은 본 발명의 일실시예의 전자 장치에 있어서, 4층 배선층 구조의 일례를 나타내는 개략 단면도.

도 8은 본 발명의 일실시예의 전자 장치에 있어서, 차동 드라이버의 집적 회로 칩의 팬아웃 구조와 바이패스 캐패시터의 배치의 일례를 나타내는 개략 배치도.

도 9의 (a) 및 (b)는 본 발명의 일실시예의 전자 장치에 있어서, 분기 배선으로부터 컨트롤러의 차동 수신기로 신호를 전달하는 일방향 버스의 구조의 일례를 나타내는 개략 개념도와 등가 회로도.

도 10의 (a) 및 (b)는 본 발명의 일실시예의 전자 장치에 있어서, 분기 배선에 일정 길이를 필요할 때의 버스 트랜시버(bus transceiver)에 의한 접속 분기 구조의 일례를 나타내는 개략 개념도와 등가 회로도.

- 도 11은 본 발명의 일실시예의 전자 장치에 있어서, 왕복 전송 선로와 그 입출력 회로의 일례를 나타내는 개략 회로도.
- 도 12는 본 발명의 일실시예의 전자 장치에 있어서, 어떤 한 순간을 보았을 때의 전송 선로 내의 전압 프로파일의 일례를 나타내는 개략 구성도.
- 도 13은 본 발명의 일실시예의 전자 장치에 있어서, 컨트롤러 칩으로부터 분기 칩으로의 신호 전송과 제어계의 일례를 나타내는 개략 구성도.
- 도 14는 본 발명의 일실시예의 전자 장치에 있어서, 분기 칩으로부터 컨트롤러 칩으로의 신호 전송과 제어계의 일례를 나타내는 개략 구성도.
- 도 15는 본 발명의 일실시예의 전자 장치에 있어서, 분기 칩에 데이터를 전송할 때의 일례를 나타내는 타이밍도.
- 도 16은 본 발명의 일실시예의 전자 장치에 있어서, 복로(復路: return-way) 데이터 전송의 일례를 나타내는 타이밍도.
- 도 17은 본 발명의 전제가 되는 전자 장치에 있어서, 드라이버 및 수신기로 이루어지는 입출력 회로의 주요부를 나타내는 회로도.
- 도 18은 본 발명의 전제가 되는 전자 장치에 있어서, 신호의 천이 개시로부터 버스 종단으로의 전송이 종료하기 직전까지를 나타내는 등가 회로도.
- 도 19는 본 발명의 전제가 되는 전자 장치에 있어서, 신호가 종단 저항에 도달한 후를 나타내는 등가 회로도.

<도면의 주요 부분에 대한 부호의 설명>

- 1: 전송 선로
- 2: 종단 저항
- 3: 차동 드라이버
- 4: 대향 페어 선로
- 7: 차동 수신기

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전자 장치(electronic device)의 전송 기술에 관한 것으로, 특히 전송 선로와, 이것에 적합한 종단 회로로 이루어지는 버스 배선계(bus wiring system)에 드라이버 회로를 조합한 칩 입출력 회로 시스템에 유효하게 적용되는 기술에 관한 것이다.

예를 들면, 본 발명자가 검토한 기술로서, 종래, 칩 입출력 회로 시스템에 관해서는, 전자 장치를 구성하는 입출력 회로의 주요부를 나타내는 도 17과 같은 회로 구성 등을 생각할 수 있다. 이 입출력 회로는, 입력된 디지털 신호를 상보 신호화하여 송신하는 차동 드라이버(101)와, 상보 신호화된 디지털 신호를 수신하여 입력의 디지털 신호에 대응한 디지털 신호를 출력하는 차동 수신기(102)와, 차동 드라이버(101)와 차동 수신기(102)를 접속하는 한 쌍의 페어 신호 배선(103) 등으로 이루어지고, 차동 드라이버(101)로부터 출력되는 상보 디지털 신호를 페어 신호 배선(103)을 통해 차동 수신기(102)에 전송하도록 구성되어 있다.

이 전자 장치의 입출력 회로에서, 차동 드라이버(101) 및 차동 수신기(102)는, 각각 pMOS 트랜지스터 및 nMOS 트랜지스터로 이루어지는 CMOS 회로 구성의 드라이버(104, 106)와 인버터(105, 107)로 구성되고, 입력의 디지털 신호가 로우 레벨에서 하이 레벨, 또는 하이 레벨에서 로우 레벨로 천이함으로써 트랜지스터의 한쪽이 온, 다른 한쪽이 오프가 되도록 상보 동작한다. 이와 같이, 입력의 디지털 신호가 천이한 경우에, 차동 드라이버(101)로부터 상보 신호 에너지를 페어 신호 배선(103)에 공급함으로써, 상보 디지털 신호를 페어 신호 배선(103)을 통해 차동 수신기(102)로 전송하는 구성으로 되어 있다.

발명이 이루고자 하는 기술적 과제

그런데, 상기된 바와 같은 전자 장치의 기술에 대해, 본 발명자들이 검토한 결과, 이하와 같은 것이 분명해졌다. 예를 들면, 상기된 바와 같은 전자 장치에 있어서, 페어 신호 배선을 커플링 계수가 1에 가까운 평행 동일 길이 배선으로 하는 경우에는, 페어 신호 배선을 전자계를 거의 폐쇄시키는 전송 선로로 할 수 있어, 상보 디지털 신호를 TEM(Transversed Electromagnetic Mode) 전송에 가까운 모드(준 TEM)로 전송함으로써, 신호의 고속화를 꾀할 수 있다. 이 전송 선로는 속도가 빠른 신호를 전달하는 유일한 수단이다.

예를 들면, 전자 장치의 신호를 주고 받는 버스에 있어서, 이 버스를 전송 선로라고 하면, 신호를 공급하는 드라이버로부터 고에너지 신호(하이 상태의 신호)가 버스에 공급될 때는, 접지 레벨에 있는 버스 배선 전체(로우 레벨에 있는 상태)를 하이 레벨로 상승시키는 에너지를 필요로 한다. 이러한 작업은 신호 상승이 고속일 때, 드라이버가 신호를 수신기로 전달하기 전에 해야 하는 작업이다.

따라서, 신호의 상승 시간이 버스 배선 전체에 에너지를 공급하는 시간(버스 배선의 전송 지연 시간)보다 느린 경우는, 드라이버의 에너지 공급이 버스와 수신기에 거의 병행으로 행해져, 수신기에서 버스의 존재를 의식하게 되는 일은 거의 없다. 즉, 이러한 시리얼워크(serialwork)는 버스 배선의 지연 시간보다 신호 상승 시간이 빠를 때 고려해야 하는 현상이다. 당연히, 반대의 로우 레벨로 천이할 때도 동일하고 고에너지 상태의 버스 배선의 에너지를 방출하는 조작이 우선 필요로 된다.

이러한 드라이버의 설계는 신호 상승이 버스의 지연 시간보다 느릴 때는 수신기의 부하를 충전시키는 에너지만 있으면 된다. 그러나, 버스 전송 선로의 지연 시간보다 신호 상승 시간이 짧은 고속 신호가 통상의 시스템으로 된 현재로서는, 수신기의 특성보다도 우선적으로 버스로의 에너지 공급을 어떻게 해야 할지의 설계가 중요해지고 있다.

예를 들면, 양호한 수신기란 미약한 신호 에너지라도, 그것을 충분히 감지하여 자신의 상태를 천이시키는 것으로, 신호의 전기 에너지를 소비하지 않는다. 즉, 직류 저항이 높은 것, 예를 들면 1kΩ인 것으로 한다. 이에 대해, 버스 전송 선로의 특성 임피던스는 25~200Ω으로, 버스의 수신기보다 1자릿수 내지 2자릿수나 많이 에너지를 소비하게 된다.

즉, 버스 배선의 길이를 30cm, 신호 전파 속도를 2×10^8 m/s로 하면, 그 전파 시간은 1.5ns가 된다. 수신기의 분기(branch)가 어떤 위치에 있어도, 전송 선로의 전체 길이를 흐르는 동안, 즉 이 1.5ns 동안에는 버스에 에너지를 공급하는 시간이 되고, 드라이버는 그동안 에너지를 계속 공급해야 한다. 즉, 구동 능력은 특성 임피던스를 부하라고 보는 능력을 가져야 한다.

예를 들면, 신호의 천이 개시부터 버스 종단으로의 전송이 종료하기 직전까지의 등가 회로를 나타내는 도 18에 있어서, 전송 선로(111)의 시작단에 차동 드라이버(112)가 접속되어 구성되는 경우에, 1.5ns 동안, 전송 선로(111)에 의한 버스는 도 18과 같은 등가 회로에서 전류를 계속 흘려야 한다. 즉, 차동 드라이버(112)의 내부 저항을 50Ω, 부하 저항을 50Ω, Vdd 전압을 0.5V로 하면, 5mA일 때 50Ω이어야 한다. 이 값은 큰 구동 능력을 갖는 차동 드라이버(112)라고 간주할 수 있다. 이 등가 회로에서, 종단에 신호 에너지가 도달한 순간부터, 신호는 종단 저항을 인식하게 되고, 또한 전송 선로(111)로의 에너지 충전은 종료하기 때문에, 그 전송 선로(111)의 특성 임피던스와 등가인 부하 저항(113)은 소멸되어 등가 회로는 도 19와 같게 된다.

도 19에서, 지금 종단 저항(114)을 전송 선로(111)에 의한 버스의 특성 임피던스와 정합한 50Ω로 하면, 모든 에너지는 전부 이 종단 저항(114)에서 흡수되어 열로서 방출되는 결과, 반사 에너지는 귀환되지 않는다. 분기 등의 작은 기생 소자에 의한 공진 에너지에 의한 외란(disturbance)이 있어도, 이 흡수에 의해 다중 반사를 하는 일이 없다. 그러나, 종단 저항(114)은 버스의 특성 임피던스와 동일하기 때문에, 차동 드라이버(112)는 하이 상태로 되어 있는 한, 5mA의 전류를 계속 흘려야 한다. 따라서, 전송 선로(111)를 구동하는 차동 드라이버(112)는 전류 스위치 회로가 바람직하다.

또, 종단 저항(114)에서의 에너지 흡수는 버스 배선계의 소비 전력을 크게 하기 때문에, 그 흡수량을 작게 해야 한다. 즉, 차동 드라이버(112)의 구동 능력을 작게 하기 위해서는, 직류 저항을 삽입하여 전압을 감소시킬 수 밖에 없다. 예를 들면, 차동 수신기의 전압 감도를 올리면 50mV 정도까지는 가능하다. 전류 회로나 차동 회로등이 적절한 차동 드라이버라고 할 수 있다. 원리적으로, 얼마든지 신호 진폭을 작게 할 수 있다. 이러한 버스 구조가 고속 전송 선로의 이상형으로 된다.

그래서, 본 발명의 목적은 전송 선로로 하는 버스 구조에 착안하여, 이 전송 선로와 이것에 정합한 종단 회로로 이루어지는 버스 배선계에 드라이버 회로를 조합한 입출력 회로에서, 드라이버 회로의 회로 구성을 특정하고, 또한 전송 선로의 특성 임피던스를 특정함으로써 버스 배선계의 신호 전송을 고속화할 수 있는 전자 장치를 제공하는 것이다.

본 발명의 상기 및 그 밖의 목적과 신규한 특징은 본 명세서의 기술 및 첨부 도면으로부터 분명해질 것이다.

본원에서 개시되는 발명 중, 대표적인지만 개요를 간단히 설명하면, 다음과 같다.

즉, 본 발명의 전자 장치는, 전송 선로와, 이것에 정합한 종단 회로와, 전송 선로 및 종단 회로로 이루어지는 버스 배선계에 상보 신호를 공급하는 드라이버를 포함하고, 전송 선로 및 종단 회로를 갖는 배선 기관에 드라이버를 갖는 제1 집적 회로 칩이 탑재되어 이루어지는 전자 장치에 적용되고, 전송 선로는 대향 페어 선로 구조이고 25Ω 이하의 특성 임피던스를 갖는 선로가 병렬 동일 길이 배선되고, 25Ω 이하의 순저항으로 종단되는 버스 구조로 하는 것이다. 이에 따라, 전송 선로 및 종단 회로로 이루어지는 버스 배선계의 신호 전송을 고속으로 행할 수 있다.

이 구성에서, 드라이버는 전류 스위치형의 드라이버로 하고, 또한 순저항이 직렬로 접속되고, 전송 선로의 특성 임피던스와 동등이상, 바람직하게는 3배 이상의 ON-저항이 되도록 한 것이다.

또한, 제1 집적 회로 칩에서 제2 집적 회로 칩으로의 일방향의 신호 전달 구성에 관한 본 발명의 전자 장치는 전송 선로의 버스 상에서 분기하여 수신기를 갖는 제2 집적 회로 칩이 접속되는 구성에 있어서, 이 수신기는 순저항이 1kΩ 이상의 고임피던스이고, 또한 이 수신기를 4mm 이하의 전송 선로 구조의 분기 배선을 따라 접속할 때는, 이 분기 배선의 분기부에 0.4K ~ 1kΩ의 순저항이 대향 페어 선로의 양방에 직렬 접속되고, 또한 전송 선로와 분기 배선 간의 절연층 두께는 전송 선로 및 분기 배선의 대향 페어 선로 간의 절연층 두께의 수 배가 되도록 한 것이다. 이에 따라, 제1 집적 회로 칩으로부터 제2 집적 회로 칩으로의 일방향의 신호 전송을 고속으로 행할 수 있다.

또한, 드라이버를 갖는 제1 집적 회로 칩으로부터 팬아웃(fan-out)되는 전원·접지 배선을 전송 선로 구조로 하고, 또한 이 전원·접지 배선의 전송 선로는 신호선의 특성 임피던스와 동등하거나 그보다도 낮아지도록 한 것이다.

또한, 상기와는 반대로, 제2 집적 회로 칩으로부터 제1 집적 회로 칩으로의 일방향의 신호 전달 구성에 관한 본 발명의 전자 장치는 전송 선로의 버스 상에서 분기하여 전류 스위치형의 드라이버를 갖는 제2 집적 회로 칩이 접속되고, 제1 집적 회로 칩이 고임피던스의 수신기를 갖는 구성에 있어서, 제2 집적 회로 칩의 드라이버로부터 보내진 상보 신호를 제1 집적 회로 칩의 수신기에서 수신하는 것이다. 이에 따라, 제2 집적 회로 칩으로부터 제1 집적 회로 칩으로의 일방향의 신호 전송을 고속으로 행할 수 있다.

이 구성에 있어서, 드라이버로부터 전송 선로에 흐른 신호는 수신기 및 종단 회로의 방향으로 각각 1/2의 진폭으로 흐르고, 수신기에서는 신호 에너지가 전반사하여 원래의 진폭으로 됨으로써 수신기가 정상적으로 동작하고, 한편 종단 회로로 흐른 신호 에너지는 흡수되어 소거되도록 한 것이다.

또한, 드라이버를 전송 선로 구조의 분기 배선을 따라 접속할 때는, 이 분기 배선의 분기부에 액티브한(active) 분기 배선의 게이트만을 개방시키기 위한 버스 트랜시버 게이트(bus transceiver gate)의 칩이 삽입되고, 이 분기 배선은 전송 선로보다 낮은 특성 임피던스, 바람직하게는 1/2의 특성 임피던스를 갖고, 또한 이 버스 트랜시버 게이트의 칩은 전송 선로의 복수의 버스를 각각의 게이트로 연결하는 집합 칩(collected chip) 구성으로 하여 전원·접지 배선 위를 따르도록 비스듬히 배열되도록 한 것이다.

또한, 상기 제1 집적 회로 칩으로부터 제2 집적 회로 칩으로, 제2 집적 회로 칩으로부터 제1 집적 회로 칩으로의 양자를 합성한 쌍방향의 신호 전달 구성에 관한 본 발명의 전자 장치는 전송 선로의 버스 상에서 분기하여 수신기와 전류 스위치형의 드라이버를 갖는 제2 집적 회로 칩이 접속되고, 제1 집적 회로 칩이 드라이버와 고임피던스의 수신기를 갖는 구성에 있어서, 제1 집적 회로 칩의 드라이버 및 수신기와, 제2 집적 회로 칩의 수신기 및 드라이버 사이에서 쌍방향으로 상보 신호를 주고 받는 것이다. 이에 따라, 제1 집적 회로 칩과 제2 집적 회로 칩과의 쌍방향의 신호 전송을 고속으로 행할 수 있다.

이 구성에 있어서, 제1 집적 회로 칩의 드라이버 및 수신기의 합성 회로의 출구에, 출력시에는 고임피던스, 입력시에는 정합단이 되는 저항과 게이트를 직렬로 연결하는 회로가 전송 선로의 입출력단 사이에 삽입되도록 한 것이다.

또한, 제2 집적 회로 칩의 수신기 및 드라이버를 전송 선로 구조의 분기 배선을 따라 접속할 때는, 이 분기 배선의 분기부에 버스 트랜시버 게이트와 고저항이 병렬로 접속된 칩이 삽입되어, 제1 집적 회로 칩의 출력시에는 버스 트랜시버 게이트가 개방되고 입력시에는 버스 트랜시버 게이트가 폐쇄됨으로써 고저항에 에너지가 공급되도록 한 것이다.

또한, 전송 선로와의 클럭 타이밍 정합에 관한 본 발명의 전자 장치는 전송 선로의 버스 상에서 분기하여 제2~제n 복수의 집적 회로 칩이 접속되고, 제1 집적 회로 칩의 드라이버가 제어 기능을 갖는 구성에 있어서, 전송 선로 내에 수개 펄스의 신호가 진행할 때의 타이밍의 취득 방법은 제1 집적 회로 칩이 제2~제n 각 집적 회로 칩의 에코우 시간을 측정하고, 최장 에코우 시간을 갖는 집적 회로 칩으로 복로(復路) 클럭 액티브를 공급하고, 이 복로 클럭 액티브가 공급된 집적 회로 칩이 왕로(往路) 클럭 신호를 검출하고, 검출된 왕로 클럭에 기초하여 제1 집적 회로 칩이 복로 클럭 신호를 발생하고, 복로 클럭 액티브가 공급된 집적 회로 칩이 데이터 스트로브 신호를 귀환 발생시키는 것이다. 이에 따라, 제1 집적 회로 칩과 제2~제n 복수의 집적 회로 칩 사이에서 전송 선로와 클럭 신호와의 타이밍 정합을 취할 수 있다.

이 구성에 있어서, 제1 집적 회로 칩이 수신하는 데이터의 타이밍을 아는 방법은, 제1 집적 회로 칩으로부터의 제어 신호가 관독 명령일 때에만, 복로 클럭 신호를 발생시키는 집적 회로 칩이 데이터 스트로브 신호를 전송 선로로부터 재차 수신하여 이 데이터 스트로브 신호를 지연 데이터 스트로브 신호로서 귀환 발생하도록 한 것이다.

특히, 상기 전자 장치에 있어서, 전송 선로는 차동 상보 신호를 전달하는 차동 전송 선로이고, 드라이버는 차동 드라이버, 수신기는 차동 수신기로 하는 것이다. 본 발명은 주로, 차동 전송 선로를 특징으로 하지만, 통상의 전송 선로로 치환해도 본 발명을 적용하는 것이 가능한 것은 말할 필요도 없다. 또한, 제1 집적 회로 칩은 전송 선로의 시작단에 접속되는 컨트롤러 칩 등으로 하고, 제2 집적 회로 칩은 메모리·입출력 인터페이스 칩 등으로 한다.

따라서, 상기 전자 장치에 따르면, 전송 선로와, 이것에 정합한 종단 회로로 이루어지는 버스 배선계에 드라이버를 조합한 입출력 회로에서, 드라이버를 전류 스위치형으로 특정하고, 또한 전송 선로를 25Ω 이하의 특성 임피던스를 갖는 선로의 병렬 동일 길이 배선으로 특정함으로써, 전송 중의 신호 에너지의 감쇠 및 근접하는 전송 선로 간의 전자계 간섭을 억제시키고, 버스 배선계의 신호 전송을 고속화할 수 있다.

특히, 차동 전송 선로의 시작단에 접속되는 차동 드라이버 및 차동 수신기를 갖는 컨트롤러 칩과, 이 차동 전송 선로에서 분기하여 접속되는 차동 수신기 및 차동 드라이버를 갖는 메모리·입출력 인터페이스 칩 사이에서, 컨트롤러 칩으로부터 메모리·입출력 인터페이스 칩으로, 또한 메모리·입출력 인터페이스 칩으로부터 컨트롤러 칩으로의 일방향, 및 그 서로의 쌍방향에서의 신호 전송의 고속화를 위하여 버스 배선계의 고속 전송 선로를 실현할 수 있다.

발명의 구성 및 작용

이하, 본 발명의 실시예를 도 1~도 16의 도면에 기초하여 상세히 설명하기로 한다. 또, 실시예를 설명하기 위한 전 도면에서 동일 부재에는 동일 부호를 붙이고, 그에 대한 반복 설명은 생략하기로 한다.

우선, 도 1를 참조하여 본 발명의 일실시예인 전자 장치의 개요를 설명하기로 한다. 도 1은 본 실시예의 전자 장치에 있어서, 입출력 회로의 주요부인, 전송 선로를 루프로 한 전류 스위치형의 드라이버 회로의 일례를 나타내는 개략 회로도로서, (a)는 CMOS 회로로 구성한 경우, (b)는 바이폴러 회로로 구성한 경우를 나타낸다.

도 1과 같이, 본 실시예에서는 차동 상보 디지털 신호를 전달하는 전송 선로(1)와, 이것에 정합한 종단 회로인 종단 저항(2)으로 이루어지는 버스 배선계에 전류 스위치형의 차동 드라이버(3)를 조합한 입출력 회로를 구성하고, 전송 선로(1) 및 종단 저항(2)등을 갖는 배선 기판에 차동 드라이버(3) 등을 갖는 집적 회로 칩이 탑재되어 전자 장치가 구성되는 것이다. 이러한 구성에서는, 전송 선로(1)와 종단 저항(2)이 정합되면, 차동 드라이버(3)의 부하는 종단 저항(2)과 동일한 직류 저항이 삽입된 회로라고 말할 수 있다. 도 1은 이것을 전류 스위치형의 차동 드라이버(3)로 치환한 것이다.

CMOS 회로 구성에 의한 차동 드라이버(3a)는 도 1의 (a)과 같이, pMOS 트랜지스터 Q1과 nMOS 트랜지스터 Q2, nMOS 트랜지스터 Q3과 pMOS 트랜지스터 Q4, 전원 전압 Vdd 사이의 저항 R1, 접지 전압 사이의 저항 R2로 이루어지고, 입력

의 디지털 신호가 각 트랜지스터 Q1~Q4의 게이트에 입력되고, pMOS 트랜지스터 Q1과 nMOS 트랜지스터 Q2와의 접속 노드, nMOS 트랜지스터 Q3과 pMOS 트랜지스터 Q4와의 접속 노드로부터 각각 상보 디지털 신호가 추출되어 종단 저항(2)으로 이어지는 차동 페어 신호선의 전송 선로(1)로 전송된다.

바이폴러 회로 구성에 의한 차동 드라이버(3b)는 도 1의 (b)과 같이, npn 트랜지스터 Q5와 pnp 트랜지스터 Q6, pnp 트랜지스터 Q7과 npn 트랜지스터 Q8, 전원 전압 Vdd 사이의 저항 R3, 접지 전압 사이의 저항 R4로 이루어지고, 입력의 디지털 신호가 각 트랜지스터 Q5~Q8 베이스에 입력되고, npn 트랜지스터 Q5와 pnp 트랜지스터 Q6과의 접속 노드, pnp 트랜지스터 Q7과 npn 트랜지스터 Q8과의 접속 노드로부터 각각 상보 디지털 신호가 추출되어 종단 저항(2)으로 이어지는 차동 페어 신호선의 전송 선로(1)로 전송된다.

도 1의 (a)의 CMOS 회로, 도 1의 (b)의 바이폴러 회로에서도 동일하지만, 여기서는 주로 CMOS 회로의 구성에 대해 설명하기로 한다. 입력 디지털 신호가 하이에서 로우로 변환되면, nMOS 트랜지스터 Q2와 nMOS 트랜지스터 Q3이 온이 된다. 그리고, 전송 선로(1)의 한쪽의 상부 신호 배선에 전원 전압 Vdd로부터 전하가 흐르고, 하부 신호 배선은 전하가 접지 전압으로 방출된다. 따라서, 전송 선로(1)의 특성 임피던스 또는 종단 저항(2)을 통해 그 동안 전류가 흐르게 된다. 또한, 입력 디지털 신호가 로우에서 하이로 되면 반전하여 전류는 반대로 흐르게 된다. 전원 전압 Vdd에서 접지 전압을 보았을 때, 항상 일정한 전류가 흘러 전류 스위치라는 형태로 되어 있는 것이 판명된다.

따라서, ECL(Emitter Coupled Logic)과 같이 항상 전류가 흐르기 때문에, 저항 R1과 저항 R2는 적당한 크기를 제공하고, 가능한 한 작은 전류, 즉 적은 전하량의 이동으로 감지 가능한 수신기를 구비하도록 한다. CMOS 회로와 바이폴러 회로 어느 쪽이 유리한지는 디바이스의 구조에 의하지만, CMOS 회로의 임계치 전압의 변동을 작게 하는 것은 어렵고, 또한 게이트의 매우 얇은 산화막의 정전 파괴의 문제를 피하기 위해서는, ECL 등으로 실적(實績)이 있는 바이폴러 회로가 현저히 좋다. 나중에 기술될 수신기의 클램프 다이오드를 제거하고, 그 공핍층 용량을 제거하기 위해, 정전 파괴를 용이하게 하는 회로를 강하게 하기 위해서도 바이폴러 인터페이스 회로가 좋다. 물론, 내부 회로는 집적도가 유리한 CMOS 회로 등의 회로이다.

이상과 같이, 본 실시예에서는, 제1 요점으로서 전송 선로(1)와, 그것에 정합한 종단 저항(2)으로 이루어지는 버스 배선계에 전류 스위치형의 차동 드라이버(3)를 조합한 칩 입출력 회로를 특징으로 하는 것이다. 이 차동 드라이버(3)가 전류 스위치 회로이기 때문에, 전원·접지계는 항상 일정한 전류가 흐르기 때문에, 바이패스 캐패시터는 불필요해지는 이점이 있다. 그러나, 전송 선로(1) 상의 지연으로, 천이 상태일 때 전류 스위치할 때도 있고, 또한 수신기의 구동시에 정전류가 되지 않은 회로를 사용하는 경우도 있어, 입출력 회로계에 바이패스 캐패시터를 삽입하는 것은 적절하다.

이어서, 도 2를 참조하여 전송 선로(1)에 의한 버스 배선 구조에 대해, 여기서는 차동 전송 회로에 대해 설명하기로 한다. 도 2는 전송 선로의 페어 선로 간의 절연층 두께와 전자계 확산의 일례를 설명하기 위한 개략 단면도로서, (a)는 페어 선로 사이가 떨어져 있는 경우, (b)는 페어 선로 사이가 좁은 경우를 각각 나타낸다.

예를 들면, 프로세서 칩이나 메모리·입출력 컨트롤러 칩, 또는 메모리 칩으로부터 도출한 차동 페어 신호선은 수십부터 수백개가 병렬에 가까운 형태로 배선되어야 한다. 당연히, 인접 거리가 좁게 배치되어 신호선 간의 크로스토크가 커진다. 차동 페어 신호선의 신호 전송에 대한 전자계의 확산을 작게 하면, 이 크로스토크는 작아진다. 이것을 실현하기 위해서는 인접 신호선 간의 스페이스보다 상대적으로 페어 선로의 대향하는 상하 간격, 즉 그 사이의 절연층 두께를 작게 취하면 된다. 신호 배선 폭을 스페이스보다 작게 취하는 방법도 있지만, 표피 효과에 따른 직류 저항의 증대를 초래하여 바람직하지 못하다.

즉, 도 2의 (a)와 같이, 페어 선로(4) 간의 절연층(5)의 두께가 두꺼운 경우에는, 프린지(fringe) 효과가 크므로 전자계의 확산(6)이 커져, 전자계의 간섭이 발생하지만, 도 2의 (b)와 같이, 페어 선로(4)의 선폭을 그대로 하여, 페어 선로(4) 간의 절연층(5)의 층간 절연막을 얇게 취하면, 페어 선로(4) 사이에 전자계가 집중하여 전자간섭이 거의 없어짐과 함께, 페어 선로(4)의 특성 임피던스가 작아진다.

그러나, 작아진 특성 임피던스의 페어 선로(4)는 그 저항분 전류가 많이 흘러 전력 소비가 커진다. 이것을 방지하기 위해서는, 고임피던스의 직류 저항을 삽입한 차동 드라이버를 사용하면 된다. 예를 들면, 상기한 도 18의 회로 상태일 때에, 페어 선로(4)의 특성 임피던스가 15Ω일 때를 고려하면, 5mA(0.5V 진폭)로 하기 위해서는 차동 드라이버(3)의 전류 버스계의 전(全) 저항을 85Ω로 하면 된다. 당연히, 상기한 도 19의 상태일 때와 정합이 이루어져야 하므로 종단 저항(2)은 15Ω이다.

총래, 전송 선로(1)는 50Ω이나 75Ω의 특성 임피던스가 통상적으로, 이것은 전류손을 방지하기 위한 설정이었다. 확실한 정합단을 만들면 에너지는 전혀 반사되지 않기 때문에, 차동 드라이버(3)로 복귀하는 반사파는 0이다. 이것을 만족시키면,

25Ω 이하의 특성 임피던스를 설정해도 문제가 없다. 따라서, 낮은 특성 임피던스를 차동 신호의 전송 선로(1)에서 실현하기 위해서는, 얇은 절연층(5)에서 대향하는 도 2(b)와 같은 페어 선로(4)를 구성할 필요가 있다. 이 절연층(5)이 얇을수록 특성 임피던스가 작아진다.

예를 들면, 특성 임피던스 Z_0 의 근사식은

$$\begin{aligned}
 & \text{수학식 1} \\
 Z_0 &= (h/w) \times \sqrt{\mu_0 \cdot \mu_r / \epsilon_0 \cdot \epsilon_r} \\
 &= 377 \times (h/w) / \sqrt{\epsilon_r}
 \end{aligned}$$

와 같이 된다. 단, w =선폭, h =절연층 두께, μ_0 =진공중의 투자율, μ_r =비투자율, ϵ_0 =진공중의 유전율, ϵ_r =비유전율이다.

이와 같이, 본 실시예에서는 페어 선로(4) 간의 절연층(5)을 얇게 함으로써, 전자파가 보다 감소되고, 인접 크로스토크가 억제되고, 페어 선로(4)는 준TEM의 전송 선로(1)로서 유지되어, 손실 에너지에 상당하는 공진이나 반사가 없어짐으로써 모든 점에서 유리해진다.

이어서, 도 3을 참조하여 전송 선로(1)의 버스 상에서 다수의 차동 수신기의 분기를 취하는 구조에 대해 설명하기로 한다. 도 3은 하나의 단위 버스 구조의 일례를 나타내는 개략 개념도로서, (a)는 기본 버스 구조, (b)는 분기 배선이 필요한 분기 구조를 각각 나타낸다. 또, 페어 선로(4)에서 점선의 배선은 실선의 배선에 대해 하층에 위치하는 반대 위상의 배선이고, 또한 하나의 페어 선로(4)만을 도시했지만, 이것이 수십개 내지 수백개 병렬로 나열되어 있는 구조가 실용 버스이다.

도 3의 (a)와 같이, 전송 선로(1)에서는 전송 선로(1)의 버스 상에서 다수의 차동 수신기(7)의 분기를 취해야 한다. 상기한 바와 같이, 페어 선로(4)가 준 TEM의 전송 선로(1)를 유지하는 조건으로서, 차동 수신기(7)의 임피던스가 높은 직류 저항 성분만으로 되어야 한다. 그 때문에, 분기 배선의 길이가 거의 없는 실장 형태, 즉 나(裸) 칩 실장 형태가 필요해져, 차동 수신기(7)는 CMOS 게이트라도 좋지만 게이트 용량을 0.05pF 이하로 해야 한다. 여기서는, 클램프 다이오드의 삽입은 바람직하지 못하다. 또한, 바이폴러 회로에서도 베이스의 공핍층을 포함한 입력 용량은 0.05pF 이하로 되어야 한다. 공핍층 용량을 감소시키는 방법으로서 SOI(실리콘·온·절연체) 구조 등이 있고, 이들을 실현한 구조도 본 발명의 특허 범위에 속한다.

0.05pF 이하를 실현하는 것이 어려운 경우도 있어, 본 실시예에서는 도 3의 (b)와 같이, 차동 수신기(7)의 단부에 0.4k~1kΩ 정도의 저항(8)을 삽입하여 차동 수신기(7)가 비교적 큰 용량을 가지고 있어도 유도되는 전류가 작기 때문에, 버스의 대향의 페어 선로(4)에 끼치는 영향은 거의 없게 된다. 또한, 100개의 차동 수신기(7)의 분기를 연결하면 전압 과형은 100/1k~0.4k=10~25%만 감소하지만, 과형의 변형은 없기 때문에 신호 전송에 문제는 생기지 않는다.

또한, 차동 수신기(7)의 용량은 적은 전류로 반응을 신속히 해야 하므로, 시정수 1ns의 상승, 하강을 보증하기 위해서는 1p~2.5pF 이하로 할 필요가 있다. 이 때의 변화하는 전압 v 는

$$\begin{aligned}
 & \text{수학식 2} \\
 v &= V_0 \times \exp(-t/R \cdot C)
 \end{aligned}$$

이 된다. 단, R =저항, C =부하 용량, t =경과 시간, 시정수 $t_s=RC$ 일 때 $v(t_s)=0.63V_0$ 이고, V_0 은 분기 회로에 입력된 신호 최대 진폭이다. 그러나, 1차릿수 큰 차동 수신기(7)를 채용할 수 있다. 이 경우에, 시정수 0.2ps의 상승에서는 0.2~0.5pF의 용량을 실현해야 한다. 이들 값은 패키지 배선이 없으면, 집적 회로 칩의 수신기 용량으로서 가능한 영역이다.

만약 차동 수신기(7)의 분기 배선(9)에 일정 길이를 필요로 하는 경우에는, 도 3의 (b)와 같이, 이것을 준 TEM의 전송 선로 구조로 함으로써, 페어 선로(10)의 기생 리액턴스를 제거해도 전송이 가능하다. 이 분기 배선(9)의 배선계로부터 용량을 제거할 수 있는 효과는 커서 입력 회로의 게이트 용량이나 베이스 용량만으로 되는 이점이 있다. 이 특성 임피던스는 인접하는 분기와 간섭하지 않은 범위에서 높은 특성 임피던스라도 좋다. 어쨌든간에, 차동 수신기(7)의 단부에서 전반사하여 $v(t_s)=2V_0$ 이 되고, 상기 조건에서 천이 시간 0.5ns가 0.25ns가 되어 1/2를 달성할 수 있는 이점이 있다. 또, 이 경우, 분기 배선(9)의 선로 내에서 다중 반사하지만, 선로가 4mm 이내로 짧으면 이 최저 공진 주파수는 4.7GHz(=1.5m/s(광속)/0.04m×8, 왕복 선로에 1/4파장이 실리는 것으로 하여 1/8)로 높아 문제가 없다.

여기서, 이상에서 설명한 제2 요점을 정리하면 전송 선로(1)로 구성된 상기 도 2의 단면 구조와 같이, 대향 페어 선로(4)의 구조이고 25Ω 이하의 특성 임피던스를 갖는 선로가 병렬 동일 길이로 배선되고, 25Ω 이하의 종단 저항(2)에서 종단되는 구조의 버스 구조인 것을 특징으로 하는 것이다. 또한, 집적 회로 칩의 차동 드라이버(3)는 전송 선로(1)의 특성 임피던스와 동등이상, 바람직하게는 3배 이상의 ON-저항이 되는 것으로, 요약하면 차동 드라이버(3)에 순저항이 직렬로 접속되어 적절한 ON-저항이 되는 것이다. 또한, 전송 선로(1)의 버스 상에 접속되는 차동 수신기(7)는 고임피던스인 것을 특징으로 하는 것으로, 순저항은 $1k\Omega$ 이상을 조건으로 한다. 또한, 버스 상의 임의의 위치에 $4mm$ 이하의 전송 선로 구조의 분기 배선(9)을 따라 고임피던스의 차동 수신기(7)를 접속할 때는, 분기부에서 $0.4k\sim 1k$ 의 저항(8)을 페어 선로(10)의 양자에 직렬 접속하는 것을 특징으로 하는 구조이다. 이 원리 구조를 나타내면 상기 도 1과 같아지고, 이것을 기본 단위로 하여 인접하게 평행 동일 길이로 배선되는 버스 구조가 된다(상기 도 2). 또한, 차동 수신기(7)의 분기 구조는 상기 도 3과 같다.

이어서, 도 4~도 6를 참조하여 차동 수신기(7)의 분기 구조의 구체예를 설명하기로 한다. 도 4는 차동 수신기(7)의 분기 구조의 일례를 나타내는 개략 사시도, 도 5는 상기 도 3의 (a)에 대응하는 기본 버스 구조의 일례를 나타내는 개략 평면도, 도 6은 상기 도 3의 (b)에 대응하는 분기 배선(9)이 필요한 분기 구조의 일례를 나타내는 개략 평면도이다.

도 4와 같이, 전송 선로(1)의 대향 페어 선로(4)는 절연층(5)을 사이에 끼워 차동 수신기(7)의 집적 회로 칩이 실장되는 측의 상부 신호 배선(11)과 그 반대측의 하부 신호 배선(12)으로 이루어지고, 상부 신호 배선(11)은 이 배선으로부터 분기하여 분기 전극(13)이 설치되고, 하부 신호 배선(12)은 절연층(5) 내에 개공된(opened) 비어 홀(14)을 통해 상부에 분기 전극(15)이 설치되어 있다. 이들 분기 전극(13, 15)에 차동 수신기(7)의 집적 회로 칩을 실장하는 구조로 되어 있다.

이 차동 수신기(7)의 집적 회로 칩의 실장에서는, 도 5와 같이 대향 페어 선로(4)의 상부 신호 배선(11), 하부 신호 배선(12)으로 이어지는 분기 전극(13, 15) 상에 직접 집적 회로 칩(16)의 플립 칩 전극 접합부(17)를 실장하여 전기적으로 접속하는 경우와, 도 6과 같이 대향 페어 선로(4)의 상부 신호 배선(11), 하부 신호 배선(12)으로 이어지는 분기 전극(13, 15)과, 집적 회로 칩(16)이 실장되는 분기 배선(9)의 페어 선로(10) 사이에 저항(8)의 고저항 칩(18)을 실장하고, 페어 선로(4)와 집적 회로 칩(16)의 차동 수신기(7)를 전기적으로 접속하는 경우가 있다. 또, 도 6과 같이 고저항 칩(18)을 실장할 때에는, 당연히 페어 선로(10)의 하부 신호 배선으로 이어지는 배선은 상부로부터 비어 홀(19)을 통해 하부로 이어진다.

이어서, 도 7을 참조하여 전송 선로(1)와 분기 배선(9)의 배선층 구조에 대해 설명하기로 한다. 도 7은 4층의 배선층 구조의 일례를 나타내는 개략 단면도이다.

이 전송 선로(1)의 페어 선로(4)와 분기 배선(9)의 페어 선로(10)와의 배선층 구조에서, 대향 페어 선로(4)가 수십개 내지 수백개 있을 때의 분기는 당연히 다층 구조가 되고, 도 7과 같이 최상층(제1층)과 그 하부층(제2층)이 분기 배선(9)의 배선층이고, 제3층과 제4층이 전송 선로(1)의 버스 배선층으로 하면 구성할 수 있다. 이 4층 구조에서는, 버스 대향 페어 선로(4) 사이의 절연층(5)의 두께 t_1 은 $1\sim 5\mu m$ 정도이고, 분기 배선(9)의 대향 페어 선로(10) 사이의 절연층의 두께 t_2 도 동일하다. 또한, 전송 선로(1)의 버스와 분기 배선(9)은 직교하기 때문에, 그 크로스토크를 억제시키는 의미로부터, 그 사이의 절연층(20)의 두께 t_3 은 2배 내지 20배 정도의 것이면 좋지만, 비어 홀의 길이를 크게 하면, 이것은 부정합 배선으로, 전자(電磁) 외란이 생기는 원인이 되기 때문에, 수 배로 하는 것이 적절하다. 이 도 7에서는 기판 재료(21)의 하부에 배선은 없지만, 상부로부터 하부로 귀환 배선을 제공하는 것도 가능하다.

이어서, 도 8을 참조하여 차동 드라이버(3)의 집적 회로 칩으로부터 팬아웃하는 부분에 대해 설명하기로 한다. 도 8은 차동 드라이버(3)의 집적 회로 칩의 팬아웃 구조와 바이패스 캐패시터의 배치의 일례를 나타내는 개략 배치도이다.

도 8과 같이, 차동 드라이버(3)의 집적 회로 칩(22)은 차동 드라이버(3)등의 입출력 회로를 포함하는 주변 회로(23)와, 이 주변 회로(23)로 이어지는 내부 회로(24)등으로 이루어지고, 주변 회로(23)의 외단부에 집적 회로 칩(22)의 외부와 접속하기 위한 본딩 패드(25)가 설치되어 있다. 이 집적 회로 칩(22)은 전송 선로(1)가 형성된 배선 기판(26)의 주변 상에 실장되고, 와이어 본딩에 의한 본딩 와이어(27)에 의해 전송 선로(1)와 본딩 패드(25)가 전기적으로 접속되는 구조로 되어 있다.

이 집적 회로 칩(22)의 팬아웃 구조에서는, 전송 선로(1)의 대향 페어 배선은, 본딩 패드(25)로의 와이어 본딩에 의한 본딩 와이어(27) 직후부터 형성되고, 특성 임피던스가 일정해지도록 동일한 폭으로 팬아웃되어 있다. 또한, 차동 드라이버(3)의 근방에는 바이패스 캐패시터(28)가 삽입되어 있음과 함께, 이 차동 드라이버(3)를 구동하는 전원 전압 및 접지 전압의 공통 전원 리드, 공통 접지 리드에 의한 전원·접지 페어 선로(29)(전원: 상부, 접지: 하부)도 삽입되어 있다. 이 팬아웃 구조는 당연히 도 8의 화살표(→: 우측)의 방향으로 계속되고, 대향 페어의 신호 리드 및 반전 신호 리드에 의한 전송 선로(1)가 종단 저항(2)으로 이어진다.

또한, 이 차동 드라이버(3)는 미러상과 같은 신호 변화를 하기 때문에, 전원·접지 페어 선로(29)는 미러상과 같은 전하의 이동이 있어, 페어 선로로 함으로써 전자적(電磁的)인 외란을 방지할 수 있다. 즉, 리액턴스가 없는 배선이 형성되어 도 8에 도시된 바와 같은 배선 인덕턴스(30)를 제거할 수 있다. 이 구조에서는, 팬아웃 후에 스페이스적인 여유가 생기기 때문에, 그 부분에 바이패스 캐패시터(31)가 삽입되어 있다. 또한, 전송 선로(1)에서 분기하여 접속되는 차동 수신기(7)도, 미러상과 같은 전하 이동이 이루어지는 회로로서, 전원·접지 페어 배선으로 함으로써 얻어질 수 있는 바람직한 예가 된다.

이 팬아웃 구조에서는, 신호 배선의 페어 선로(4)의 특성 임피던스는 15Ω이지만, 차동 드라이버(3)의 직류 저항이 커, 전원·접지 페어 선로(29)의 특성 임피던스가 15Ω라도 충분히 대응할 수 있다. 그러나, 바람직하게는 더욱 특성 임피던스를 더욱 감소시키는 것이 바람직하고, 배선 폭을 신호선의 2배(7.5Ω), 4배(3.25Ω), 6배(2.5Ω) (Vdd=3.3V, 7.5% 전압 강하 조건에서 항상 100mA 전류 능력) 또한 그 이상으로 하는 것이 바람직하다. 신호선 10μm폭일 때, 20, 40, 60, ... μm이 되어 충분히 가능하다. 이에 따라, 1개의 전원·접지 페어 선로(29)에서 신호선 페어의 8개부터 16개를 커버할 수 있게 된다. 또한 바이패스 캐패시터의 채용으로 32개~64개나 가능해진다. 또, 이 때는 집적 회로 칩(22) 내의 전원·접지 배선이 길어지기 때문에, 동일한 특성 임피던스가 되도록 페어 선로 구조를 취하는 것이 바람직하다. 이에 따라 내부 회로에 전력을 공급할 수 있는 능력을 갖게 된다.

여기서, 제3 요점을 정리하면, 전원 전압, 접지 전압의 배선을 전원·접지 페어 선로(29)의 전송 선로 구조로 하는 것을 특징으로 하는 것으로, 이 제3 요점은 상기 제1, 제2 요점을 조합한 구조이다. 그리고, 전원·접지 페어 선로(29)의 전송 선로의 특성 임피던스는 신호선의 특성 임피던스와 동등하거나 그보다 낮은 것을 특징으로 하는 것이다.

이어서, 도 9를 참조하여, 전송 선로(1)로부터 분기된 차동 수신기(7)의 구조를 상세히 설명하기로 한다. 도 9는 분기 배선(9)으로부터 컨트롤러의 차동 수신기에 신호를 전달하는 일방향 버스 구조의 일례를 나타낸 도면으로서, (a)는 분기 배선(9)로부터 일방향으로 신호를 보내는 개략 개념도, (b)는 하나의 차동 드라이버가 액티브하게 되었을 때의 등가 회로도 나타낸다.

통상, 버스의 전송 선로(1)로 이어지는 차동 드라이버(3)는 구체적인 전자 장치에서는 메모리 컨트롤러나 버스 컨트롤러이다. 한편, 차동 수신기(7)는 메모리 칩이나 그래픽등의 입출력 인터페이스 칩이다. 당연한 일이지만, 메모리 칩이나 인터페이스 칩으로부터의 데이터 출력은 필요하고, 이 칩군도 차동 드라이버를 가져 신호가 출력된다. 상기 도 1~도 8에서 도시된 구조는 일방향 버스로서, 항상 차동 드라이버(3)로부터 차동 수신기(7)를 향해 신호가 전달되는 회로이다. 이에 대해, 메모리 칩이나 인터페이스 칩 등의 칩군, 즉 분기 포트가 차동 드라이버가 되었을 때도 동일한 일방향 버스의 전송 선로 회로를 만들면, 이 버스 배선계의 신호 전달 구성이 완성되게 된다.

그래서, 도 9와 같이, 전송 선로(1)의 시작단에 예를 들면 집적 회로 칩인 컨트롤러 칩(41)의 차동 수신기(42)를 접속하고 종단에 종단 저항(2)이 접속되는 버스 배선계에, 예를 들면 집적 회로 칩인 메모리·입출력 인터페이스 칩(43)의 차동 드라이버(44)가 접속되는 구조를 고려하면, 아래와 같다. 도 9의 (a)는 전송 선로(1)의 분기 배선(9)으로 이어지는 좌단의 차동 드라이버(44)가 액티브하였을 때의 예이고, 페어 선로(4)에서 점선의 배선은 실선의 배선의 하층에 위치하는 반대 위상의 배선이다.

이 구성에서도, 상기 도 1~도 8에서 설명한 구조와 동일한 전류 스위치형의 차동 드라이버(44)가 분기 칩의 메모리·입출력 인터페이스 칩(43)에도 장착되어 있다. 이로부터 신호가 출력되면, 대향 페어 선로(4)에 신호가 흐른다. 이 신호의 일부가, 컨트롤러 칩(41)의 차동 수신기(42)에 도달하고, 이 차동 수신기(42)가 이것을 감지한다. 그 등가 회로를 도시한 것이 도 9의 (b)이다. 여기서도, 메모리·입출력 인터페이스 칩(43)의 차동 드라이버(44)는 pMOS 트랜지스터 Q41과 nMOS 트랜지스터 Q42, nMOS 트랜지스터 Q43과 pMOS 트랜지스터 Q44, 전원 전압 Vdd 사이의 저항 R41, 접지 전압 사이의 저항 R42로 이루어지는 CMOS 회로 구성에 의한 전류 스위치 회로가 도시되지만, 바이폴러계쪽이 바람직한 경우가 많은 것은 상기한 바와 같다.

이러한 구성에서, 메모리·입출력 인터페이스 칩(43)의 차동 드라이버(44)로부터의 신호가 버스 배선계의 전송 선로(1)를 흐르면, 이 페어 선로(4)의 좌우 방향으로 흐르기 때문에, 출력 파형에 대해 진행파의 파형의 높이는 1/2이 된다. 우측 방향으로 흐르는 진행파의 파형은 전송 선로(1)와 정합한 종단 저항(2)으로 도달하면 완전히 열에너지로서 방출되고 파형은 소멸된다.

한편, 좌측 방향으로 흐르는 진행파의 파형은 컨트롤러 칩(41)의 차동 수신기(42)에 도달하지만, 이 차동 수신기(42)의 부하 저항(45)은 매우 높은 수 k 내지 1MΩ 정도로서, 전송 선로(1)의 15Ω과 비교하면, 개방단과 근사할 수 있기 때문에 거의 전반사한다. 이 때문에, 차동 수신기(42)의 부하단의 전압 파형은 차동 드라이버(44)가 출력한 파형과 거의 동일한 진폭의

과형을 만든다. 그리고, 전반사한 과형은 도시된 바와 같이 우측 방향으로 흐르고, 종단 저항(2)에서 열로서 소멸된다. 또, 분기되어 있는 어느 칩이 액티브되더라도 결과가 동일하다는 것을 용이하게 이해할 수 있을 것이다. 또한, 도 9에서는 하나의 페어 선로(4)만을 도시했지만, 이것이 수십개 내지 수백개 병렬로 나열되어 있는 구조가 실용 버스가 되는 것은 물론이다.

또한, 상기된 바와 같이, 분기 배선(9)에 일정 길이를 필요로 할 때는, 분기선을 전송 선로 구조로 한다. 타이밍만 정합되면 아무리 긴 분기 배선(9)이라도 도 9의 (b)의 과형 전송을 보증할 수 있다. 그러나, 몇개의 분기 배선(9)이 있기 때문에, 유효 신호가 이 분기점을 통과할 때마다 분기 배선(9)에서 에너지가 추출되어 진폭이 작아짐으로써 차동 수신기(42)의 임계치를 넘지 않을 가능성이 있다. 이 때문에, 분기 배선(9)의 분기점에 버스 트랜시버 칩을 삽입하는 구조가 채용되고 있다.

이어서, 도 10을 참조하여 분기 배선(9)의 분기점에 버스 트랜시버 칩을 삽입하는 경우에 대해 설명하기로 한다. 도 10은 분기 배선(9)에 길이가 필요할 때의 버스 트랜시버에 의한 접속 분기 구조의 일례를 나타낸 도면으로서, (a)는 버스 트랜시버 칩의 접속 구조를 나타내는 개략 개념도, (b)는 그 등가 회로도이다.

도 10의 (a)와 같이, 버스 트랜시버 칩(46)의 접속 구조에서는, 최상층의 2층은 대향의 페어 선로(10)에 의한 분기 배선(9)의 배선층이고, 그 하층의 2층(3층, 4층)은 대향의 페어 선로(4)에 의한 전송 선로(1)의 버스 배선층이다. 또한, 버스 트랜시버 칩(46)의 전원·접지 페어 선로(29)에 의한 전원 공급선은 또한 그 하층의 2층(5층, 6층)으로 되어 있어, 평행하는 버스 선로에서 분기하는 배선을 추출하는 접속점을 따라 비스듬히 배선되어 있다. 이 접속 단자부에 버스 트랜시버 칩(46)의 단체(單體) 칩이 플립 칩 접속으로 장착되어 있다. 또한, 분기 배선(9)의 배선층에는 칩 인에이블 신호의 배선도 배치되어 있다. 이 단체 칩의 차동 증폭기에 전기 에너지를 공급하기 위해, 전원·접지 페어 선로(29)의 배선층으로부터 비어 홀을 통해 버스 트랜시버 칩(46)에 플립 칩 접속되어 있지만 도면에서는 생략되어 있다.

이 접속 구조의 등가 회로는 도 10의 (b)와 같다. 차동 버스 배선의 전송 선로(1)의 양자에 대해 버스 트랜시버 칩(46)의 nMOS 트랜지스터 Q45, Q46에 의한 스위치가 작동하게 되어 있어 차동 인에이블 신호가 액티브해지면, 분기 배선(9)으로부터의 신호가 버스의 전송 선로(1)를 흐르게 된다. 메모리·입출력 인터페이스 칩(43)이 장착되어 있는 드라이버가 액티브해질 때만 이 상태가 되지만, 통상은 인에이블 신호가 논액티브(non-active)하게 되어 있어, 버스 트랜시버 칩(46)의 nMOS 트랜지스터 Q45, Q46의 게이트가 폐쇄되어 있다. 이 때는 수 k 내지 1MΩ 정도의 임피던스로 되어 버스의 전송 선로(1)와 차단된다. 버스 트랜시버 칩(46)의 인에이블 신호용 버퍼(47)를 구동하기 위한 전원·접지 페어 선로(29)의 접속은 여기서도 생략되어 있지만, 용이하게 상상할 수 있는 것이다.

이 접속 구조에서, 분기 배선(9)도 전송 선로로 되어 있어, 이 배선으로부터 본 버스 배선의 전송 선로(1)는, 양 사이드로 에너지가 흐르기 때문에, 버스 배선의 특성 임피던스의 1/2로 보인다. 따라서, 버스 배선의 접합부에서 반사를 하지 않도록 하기 위해서는 분기 배선(9)은 버스 배선의 1/2의 특성 임피던스를 갖는 것이 바람직하다. 그러나, 배선이 짧으면, 반사 노이즈의 영향은 신호 천이 시간동안 감소되어 큰 문제가 되지 않기 때문에, 반드시 정합 조건이 필요하지는 않다. 따라서, 바람직한 조건은 버스 배선의 전송 선로(1)의 특성 임피던스와 동일하던지 그 보다도 낮을 것이다. 또, 버스 트랜시버 칩(46)은 하나의 트랜지스터로 형성할 수 있기 때문에, 고속 동작이 가능해져, 고속 신호를 추종할 수 있다.

이상의 설명에서 알 수 있듯이, 본 실시예의 제4 요점은 신호가 차동 버스 배선의 전송 선로(1)로 연결되는 분기 칩의 메모리·입출력 인터페이스 칩(43)으로부터 차동 버스 배선의 시작단에 접속되어 있는 컨트롤러 칩(41)으로 흐를 때의 회로 구성과 구조를 규정하는 것이다. 즉, 분기 칩의 차동 드라이버(44)는 전류 스위치 회로로서, 컨트롤러 칩(41)의 차동 드라이버와 동일한 특성을 갖는 것이다. 이 차동 드라이버(44)의 진폭은 컨트롤러 칩(41)의 진폭과 동일하지만, 분기 배선(9)으로부터 전송 선로(1)로의 신호의 전달은 기본적으로 T형 분기로 되기 때문에, 버스 배선에 흐를 때는 양 사이드로 흐르기 때문에, 1/2이 된다. 그러나, 차동 수신기(42)의 단부에서는 신호 에너지가 전반사하여 진폭은 원래대로 됨으로써 차동 수신기(42)가 정상적으로 동작한다. 또한, 종단층으로 흐르는 신호 에너지를 소거하기 위해, 차동 버스 배선의 종단은 이 특성 임피던스에 정합한 직류 저항에 의한 종단 저항(2)이 직렬로 접속되어 있다.

또한, 차동 버스 배선은 25Ω 이하의 특성 임피던스를 가지고 있기 때문에, 전류의 절약을 피하기 위해, 전류 스위치 회로의 차동 드라이버(44)는 전원측과 접지측에 적절한 직류 저항이 삽입되는 것을 특징으로 한다. 또한, 분기 칩이 차동 버스 배선의 바로 윗쪽에 존재할 때는 버스 트랜시버 칩(46)의 회로는 분기 칩 내에 설치되는 것을 특징으로 한다. 또한, 분기 칩이 차동 버스 배선 상에 장착되지 않고, 분기 배선(9)에 일정 길이를 필요로 할 때는 분기단에 버스 트랜시버 칩(46)을 삽입하는 구조를 제공함으로써, 그 분기 배선(9)은 버스보다 낮은 특성 임피던스를 갖고, 바람직하게는 1/2의 임피던스를 갖는 것을 특징으로 하는 것이다.

즉, 액티브한 분기 배선(9)의 게이트만을 개방시키기 때문에, 주 선로 상의 분기 배선(9)의 비어 홀 근접의 패드 상에 버스트랜시버 칩(46)을 실장하는 구조도 부가함으로써 타이밍을 연구하면, 분기 배선(9)의 선로 길이를 자유롭게 조정할 수 있다. 또한, 버스트랜시버 칩(46)은 하나의 전송 선로마다의 작은 칩을 플립 칩으로 접속하는 것도 가능하지만, 복수의 버스를 각각의 게이트로 연결하는 집합 칩 구성(가늘고 긴 칩)으로 하는 것도 가능하다. 이 때 상기 도 10의 (a)의 전원선의 위치를 따르도록 비스듬히 배열하게 된다.

이상으로부터, 상기 도 1~도 8에 의한 요점은 컨트롤러 칩(41)으로부터 메모리·입출력 인터페이스 칩(43) 등의 분기 칩으로의 신호 전달 방법을 규정하는 것으로, 상기 도 9, 도 10에 의한 요점은 분기 칩으로부터 컨트롤러 칩(41)으로 전달하는 방법을 규정하는 것이다. 즉, 일방향의 신호 전달 버스 구조였다. 이후에는, 이 양자를 합성한 전달을 규정하는 구조를 제안하는 것이다.

이어서, 도 11을 참조하여 일방향의 신호 전달 버스 구조를 합성한 왕복의 신호 전달 버스 구조에 대해 설명하기로 한다. 도 11은 왕복 전송 선로와 그 입출력 회로의 일례를 나타내는 개략 회로도이다.

도 11에서는, 컨트롤러 칩(51)과 메모리·입출력 인터페이스 칩(52)이 버스트랜시버 칩(53)을 개재하여 차동 페어의 전송 선로(1)에서 결선된 상태를 나타낸다. 이 접속에서는, 컨트롤러 칩(51)과 메모리·입출력 인터페이스 칩(52) 각각의 차동 드라이버(54, 56)와 차동 수신기(55, 57)를 분리하는 회로는 번잡해지기 때문에 생략되어 있다. 통상 이용되고 있는 트랜지스터 게이트를 삽입하면 된다.

컨트롤러 칩(51)은 차동 드라이버(54)가 상기와 동일하게, pMOS 트랜지스터 Q51과 nMOS 트랜지스터 Q52, nMOS 트랜지스터 Q53과 pMOS 트랜지스터 Q54, 전원 전압 Vdd 사이의 저항 R51, 접지 전압 사이의 저항 R52로 이루어지는 CMOS 회로 구성에 의한 전류 스위치 회로로 이루어지고, 또한 차동 수신기(55)가 차동 감지 증폭기로 이루어지고, 이 차동 감지 증폭기의 입력단에 종단 저항(58)을 통해 pMOS 트랜지스터 Q55가 접속되어 구성되고 있다.

메모리·입출력 인터페이스 칩(52)은 차동 드라이버(56)가 상기와 동일하게, pMOS 트랜지스터 Q56과 nMOS 트랜지스터 Q57, nMOS 트랜지스터 Q58과 pMOS 트랜지스터 Q59, 전원 전압 Vdd 사이의 저항 R53, 접지 전압 사이의 저항 R54로 이루어지는 CMOS 회로 구성에 의한 전류 스위치 회로로 이루어지고, 또한 차동 수신기(57)가 차동 감지 증폭기로 구성되어 있다.

버스트랜시버 칩(53)은 컨트롤러 칩(51)에 접속되는 차동 페어 선로에 의한 전송 선로(1)와, 메모리·입출력 인터페이스 칩(52)에 접속되는 차동 페어 선로에 의한 분기 배선(9) 사이에 접속되고, 페어 선로의 각각에 접속되는 병렬 접속된 nMOS 트랜지스터 Q60, Q61과 분기 에너지 취득 제한용의 저항 R55, R56으로 구성되어 있다.

이 접속 구성에서, 컨트롤러 칩(51)의 차동 드라이버(54)에 의한 출력 회로가 액티브할 때는 인에이블 신호는 하이가 되어 결합되어 있는 pMOS 트랜지스터 Q55가 오프가 됨으로써, 이 부분이 고임피던스가 되어, 전송 선로(1)에 차동 드라이버(54)의 에너지가 그대로 출력된다. 이 신호가 메모리·입출력 인터페이스 칩(52)으로 연결 되는 버스트랜시버 칩(53)의 저항 R55, R56을 통해 분기 배선(9)에 입력되고, 분기 선로의 종단으로 이어지는 차동 수신기(57)인 감지 증폭기를 동작시켜, 입력을 달성한다. 전송 선로(1)에 의한 버스에 흐르는 에너지는 우단의 종단 저항(2)에서 열로서 흡수되어 반사되지 않는다.

한편, 메모리·입출력 인터페이스 칩(52)이 드라이버가 될 때도 동일하게, 차동 드라이버(56)의 전류 스위치가 동작하여 에너지가 분기 배선(9)에 출력된다. 이 때, 버스트랜시버 칩(53)의 nMOS 트랜지스터 Q60, Q61이 온이 되어 상기 도 9의 (b)와 같이 차동 페어 선로에 의한 전송 선로(1)의 양단을 향해 분류된다. 우측으로 흐르는 신호는 종단 저항(2)에서 흡수되어 소멸된다. 좌측으로 흐르는 신호는 컨트롤러 칩(51)의 차동 수신기(55)에서 수신되어 입력되지만, 감지 증폭기는 고임피던스이므로 전반사하여 우측으로 두번째의 낭비 신호(dead signal)가 흐른다.

이러한 낭비 신호가 전송 선로(1)에 부유하기 때문에, 각 칩으로부터의 신호의 교착이 있어 타이밍을 취하기 어려워진다. 이것을 방지하기 위해, 컨트롤러 칩(51)의 단부도 정합단으로 하는 종단 저항(58)이 삽입되어 있다. 컨트롤러 칩(51)에 신호가 입력할 때는, 인에이블 신호의 pMOS 트랜지스터 Q55가 온이 되어, 이것에 직렬로 연결되어 있는 종단 저항(58)이 생겨 에너지의 대부분이 흡수되어 반사하지 않는다. 이 종단 저항(58) 간의 전압을 차동 수신기(55)의 감지 증폭기가 감지할 수 있지만, 진폭이 차동 드라이버(56)의 반으로 되어 있는 신호를 취득하게 되기 때문에, 그것을 느끼는 감도가 있어야 한다.

이상으로부터, 제5 요점을 정리하면 전송 선로(1)를 왕복 선로로 하는 구성도 본 실시예로 규정한다. 이것은, 상기 도 1~도 8에 의한 회로와, 상기 도 9, 도 10에 의한 회로를 합성한 것으로, 차동 드라이버(56)와 차동 수신기(57)의 칩 내에서의 결합은 게이트에 의해 행하고, 고임피던스 분리가 달성될 수 있는 것으로 한다. 이 왕복 회로에서는, 신호가 교착하기 때문에 전송 선로(1)의 전송 상태를 방해하지 않는 낭비 신호의 부유 전송을 적게 하는 연구를 행하는 것이 이 경우의 특징이다. 즉, 컨트롤러 칩(51)의 차동 드라이버(54), 차동 수신기(55)의 합성 회로의 출구에 출력시에는 고임피던스, 입력시는 정합단이 되는 종단 저항(58)과 pMOS 트랜지스터 Q55에 의한 게이트를 직렬로 연결하는 회로를 전송 선로(1)의 입출력 단 사이에 삽입함으로써 이 목적을 달성할 수 있다.

또한, 분기 배선(9)의 비어 홀 근방의 패드에는 버스 트랜시버 칩(53)의 nMOS 트랜지스터 Q60, Q61에 의한 게이트와 저항 R55, R56이 병렬로 삽입되고, 분기 칩인 메모리·입출력 인터페이스 칩(52)으로부터의 출력시에는 게이트가 개방되고, 분기 칩으로의 입력시는 게이트가 폐쇄되고, 저항 R55, R56에 의해 에너지가 소량 흐르는 회로로 공급되는 것을 특징으로 한다. 피제어측의 칩의 차동 드라이버(56), 차동 수신기(57)의 결합은 게이트로 행하고, 상호 고임피던스의 분리가 이루어지는 것에 대한 기재는 논할 필요는 없다.

당연하지만, 차동 전송 선로를 기본으로 하여 설명했지만, 통상 전송 선로로 치환해도, 즉 한쪽의 전극을 접지로 하고, 공통으로 하는 회로 구성도 취할 수 있는 것은 전기 에너지의 전송 기본, 펄스 에너지가 진행될 때에는 근방의 배선에 반대 위상의 에너지가 병렬로 전송된다는 기본으로부터 보아 당연히 가능한 것으로, 본 특허의 범위에 속하는 것은 물론이다.

이어서, 도 12를 참조하여, 전송 선로(1) 내에 수 펄스의 신호가 진행할 때의 타이밍의 취득 방법에 대해 설명하기로 한다. 도 12는 어느 한 순간을 보았을 때의 전송 선로내의 전압 프로파일의 일례를 나타내는 개략 구성도이다.

도 12에서는, 전송 선로(1)의 시작단에 접속되는 컨트롤러 칩(61)과, 이 전송 선로(1)에 복수의 분기 칩(62)이 분기하여 결선된 상태를 나타낸다. 도 12와 같이, 신호 펄스의 주기가 짧아지고, 전송 선로(1)가 상대적으로 길어지면 전송 선로(1) 내에는 신호가 수 펄스 직렬로 진행하게 된다. 즉, 분기 칩(62)은 어느 한 순간 여러가지 타이밍 단계에 있고, 이 버스 배선계를 획일적으로 제어해야 한다. 이들 신호를 의미있게 하기 위해서도 클럭 신호와 정합한 프로토콜이 상호 칩 간의 액세스에 필요해진다. 즉, 도 12의 상태를 만드는 조건으로서, 전송 선로(1)의 선로 길이를 400mm, 클럭 신호를 2클럭으로 하면, 전송 선로(1)의 광속을 1.5×10^8 m/s로 하여 7.5GHz가 산출된다.

이러한 구성에서는, 클럭 신호를 전송 선로(1)에 송신하고 그 클럭 신호가 각각의 선로 상의 분기 칩(62)에 도달한 시간을 기점으로 하여, 수신측의 분기 칩(62)은 구동하게 된다. 따라서, 기본적으로는 소스 싱크로너스 방식(source synchronous system)으로 한다. 전송 선로(1)의 종단에는 정합의 종단 저항(2)이 제공되기 때문에, 송신 칩인 컨트롤러 칩(61)을 기점으로 하여 클럭 신호가 흐르고, 이 종단에서 소멸한다. 클럭 신호를 발생하는 칩은 도 12와 같이, 버스 배선계를 제어하는 전송 선로(1)의 시작단에 위치하고 있는 컨트롤러 칩(61)으로 하는 것이 가장 제어하기 쉽다.

이어서, 도 13 및 도 14를 참조하여, 분기 칩으로의 기록시, 분기 칩으로부터의 판독시의 데이터의 액세스 순서에 대해 설명하기로 한다. 도 13은 컨트롤러 칩으로부터 분기 칩으로의 신호 전송과 제어계의 일례를 나타내는 개략 구성도, 도 14는 분기 칩으로부터 컨트롤러 칩으로의 신호 전송과 제어계의 일례를 나타내는 개략 구성도이다.

도 13과 같이, 어드레스 신호의 일부가 칩 선택 신호라고 하면, 컨트롤러 칩(61)의 환경 조건 초기 설정에서 각 분기 칩(62)의 예코우 시간을 도 14의 복로 데이터 스트로브선을 이용하여 측정하고, 최장 예코우 시간을 갖는 분기 칩(62)에 복로 클럭 액티브를 공급하는 것으로 한다. 도 13에서, 그 분기 칩(62)을 선택함과 함께 클럭/데이터 선택 신호를 클럭 선택으로 한다. 이것은 버스 배선계가 동작하는 동안에는 고정이다. 칩 선택 비트수(어드레스)에 여유가 있으면 가능하다. 이 복로 클럭 액티브가 공급된 분기 칩(62)은 도 13의 컨트롤러 칩(61)으로부터 발생한 왕로 클럭 신호를 감지하여, 이를 기초로 하여 드라이버가 복로 클럭 신호를 발생한다. 이 클럭 신호는 도 14의 복로 클럭선으로 흐른다. 이 복로 클럭 액티브의 분기 칩(62)은 또, 데이터 스트로브 신호를 귀환 발생한다. 이상이 클럭 발생 기구이다.

계속해서, 도 13을 참조하여 분기 칩(62)으로의 기록시의 데이터의 액세스 순서를 설명한다. 이 분기 칩(62)으로의 기록시에는, 왕로 클럭 신호의 타이밍으로 데이터용 칩 선택 신호와 어드레스의 RAS(Row Address Strobe)가 지정되고, 계속해서 CAS(Column Address Strobe)가 지정되고, CAS 레이턴시(latency) 후, 라인 사이즈의 데이터가 버스트 입력된다. 전송 선로(1) 상의 컨트롤러 칩(61)으로부터 분기 칩(62)이 멀어질수록 입력은 지연되지만, 동일한 왕로 클럭 신호의 펄스 타이밍을 사용하면, 제어 신호도 동일 길이 배선 때문에, 타이밍 스큐(skew)는 없어 전송 선로(1) 상에서의 충돌은 일어나지 않는다.

한편, 분기 칩(62)으로부터의 데이터의 판독 시에는, 칩 선택 신호로부터 CAS의 지정까지는 상기 도 13의 송신측의 전송 선로(1)로 행하지만, 그 후에는 최원단의 분기 칩(62)에 도달한 데이터 스트로브 신호와 페어가 된 클럭 신호가 도 14의 복로 클럭 신호로 되어 귀환된다(여기서도 스트로브 신호와 페어로 되어 있음). 이 타이밍을 대기하여 분기 칩(62)이 라인 사이즈의 데이터를 복로 데이터선으로 유입시킨다. 복로 클럭 신호를 분기 칩(62)이 수취하는 것이 분기 배선(9)의 배선 길이라는 임의의 설정항으로 변화하기 때문에, 이것을 보증하는 지연 클럭 신호의 타이밍으로 데이터를 출력한다. CAS 레이턴시는 이들 대기 시간 중에 은폐된다. 복로 지연 클럭 신호의 타이밍으로 분기 칩(62)으로부터 출력된 판독 데이터는 동기하여 컨트롤러 칩(61)으로 입력된다.

또, 미스히트(mishit)를 알리는 신호등, 분기 칩(62)의 환경 통지 신호가 복로의 버스에 포함되는 것은 물론이다. 이상, 배치 방향 전송 선로의 버스 구조에 대해 설명했지만, 이 버스 배선계의 클럭 타이밍 차트에 대해서는 이하와 같다.

이어서, 도 15 및 도 16을 참조하여 버스 배선계의 클럭 타이밍 차트에 대해 설명하기로 한다. 도 15는 분기 칩으로 데이터를 전송할 때의 일례를 나타내는 타이밍도, 도 16은 복로 데이터 전송의 일례를 나타내는 타이밍도이다.

도 15와 같이, 왕로 데이터의 전송은 매우 간단하고, 최근접의 분기 칩(62)으로부터 전송 선로(1)인 버스의 지연 시간분(t_{pd})만큼, 최원단의 분기 칩(62)의 액세스는 지연된다. 그러나, 클럭 신호와 데이터 스트로브 신호의 지연 시간도 동일하여 분기 칩(62)이 수신하는 신호원은 평행 이동하며 동일한 타이밍이다. 도 15에서는 3클럭의 지연으로 되어 있다. 그러나, 송신 레이턴시는 물리적으로 0이다.

한편, 복로 데이터 전송에 대해서는 여러 연구가 필요하다. 초기 설정에서 최원단의 분기 칩(62)이 복로 클럭 신호와 데이터 스트로브 신호를 발생시킨다. 도 16과 같이, 왕로의 제어 신호와 어드레스는 분기 칩(62)에 입력되지만, 데이터 스트로브가 없기 때문에, 출력 래치에서 출력을 대기하는 상태가 된다. 도 16에 도시된 바와 같이 대기 시간(t_{pdx})은 각 분기 칩(62)에 대해 변수이다. 컨트롤러 칩(61)에 가장 가까운 분기 칩(62)의 대기 시간은 최대 $2t_{pd}$ 가 된다.

이 복로 데이터 전송에서는, 데이터 스트로브 신호의 도착에 의해 대기하고 있던 분기 칩(62)의 데이터가 출력되지만, 출력 래치의 지연 시간(t_{rd})과 분기 배선(9)으로부터 버스의 전송 선로(1)까지 전송하기 위한 지연 시간(t_{bid})이 가산된 후에 버스 선로에 유입된다. 이것을 도 16에서 $t_{bd}(=t_{rd}+t_{bid})$ 로 표현하였다. 따라서, 컨트롤러 칩(61)이 수취하는 데이터의 타이밍을 아는 방법이 없기 때문에, 제어 신호가 판독 명령일 때에만, 복로 클럭 신호를 발생하는 분기 칩(62)은 데이터 스트로브 신호를 버스 선로로부터 재차 수신하여 귀환 발생시킨다. 이것을 지연 데이터 스트로브 신호라고 칭하고, 이것은 복로 데이터 전송의 타이밍과 동일해진다. 각 분기 칩(62)의 분기 배선(9)이 허용될 정도로 동일한 길이면, t_{bd} 는 일정한 것으로 간주할 수 있다. 컨트롤러 칩(61)은 스트로브 신호의 수신에 의해 데이터 입력의 대기 상태가 되고, 지연 데이터 스트로브 신호에 의해 데이터를 취득하게 된다.

따라서, 판독 명령에 대해, 제어 신호의 데이터 스트로브 신호를 발생하고 나서, 데이터를 수신기까지 $2t_{pd}+2t_{bid}+t_{rd}$ 가 필요로 된다. 버스 내에 부유하고 있는 클럭 펄스를 2클럭($t_{pd}=2T$, T =클럭 주기), t_{bid} 를 1클럭으로 하면, $6T+t_{rd}$ 의 물리적 레이턴시가 발생한다. 데이터선이 일방 통행인 구성에서는, 그 동안 기록 데이터를 전송하고, 프리차지를 하는 등의 조작을 할 수 있다. 데이터선이 공통이면, 이 레이턴시는 피할 수 없다. 버스 선로가 길수록 레이턴시는 커지는 결점이 나타나기 때문에, 긴 버스 배선계에서는 일방 통행의 버스 선로가 유리하다.

이 프로토콜의 특징은 데이터 기록에 대해 레이턴시가 아니라, 판독시에 전송 선로(1)의 길이의 함수로 레이턴시가 표현되지만, 일방향 데이터 버스에서는 이 레이턴시의 시간을 다른 동작에 이용할 수 있다. 쌍방향 데이터 선로에서는 이 레이턴시를 피할 수는 없지만, 통상의 싱크로너스 전송에서의 레이턴시와 그다지 차가 없기 때문에, 이것으로도 유용하다. 즉, 전송 선로(1)의 광속을 1.5×10^8 m/s, $t_{pd}=2T$ 로 하면, 400MHz에서는 750mm, 1GHz에서는 300mm, 3GHz에서는 100mm이 버스 선로의 길이로 되어 충분히 설계가 가능한 값이다.

이상으로부터, 제6 요점을 정리하면 본 실시예에서는, 전송 선로(1) 내에 수개 펄스의 신호가 진행할 때의 타이밍의 취득 방법에 대해서도 규정하는 것으로, 컨트롤러 칩(61)에 대해 최장 예코우 시간을 갖는 분기 칩(62)에 복로 클럭 액티브를 공급하고, 이 분기 칩(62)이 데이터 스트로브 신호를 귀환 발생하는 것을 특징으로 하는 것이다. 또한, 컨트롤러 칩(61)이 수신하는 데이터의 타이밍을 아는 방법으로서, 분기 칩(62)으로부터의 제어 신호가 판독 명령일 때만, 복로 클럭 신호를 받

생시키는 분기 칩(62)이 데이터 스트로브 신호를 전송 선로(1)로부터 재차 수신하고, 이것도 지연 데이터 스트로브 신호로서 귀환 발생하는 것이 특징이다. 이에 따라, 전송 선로(1)의 광속을 $1.5 \times 10^8 \text{m/s}$, $t_{pd}=2T$ 로 하면, 100mm의 버스 선로의 길이에 의해 30GHz의 전송 속도를 달성할 수 있다.

이상, 본 발명자들에 의해 이루어진 발명을 상기 실시예에 기초하여 구체적으로 설명했지만, 본 발명은 상기 실시예에 한정되는 것이 아니라, 그 요지를 일탈하지 않은 범위에서 여러가지 변경 가능한 것은 물론이다.

예를 들면, 상기 실시예에서는, 차동 상보 디지털 신호를 전달하는 차동 전송 선로에 대해 설명했지만, 한쪽 전극을 접지로 하고, 공통으로 하는 회로 구성에 의한 통상 전송 선로로 치환하여 적용하는 것도 가능하다. 또한, CMOS 회로 구성에 의한 드라이버 회로를 주로 설명했지만, CMOS 회로의 임계치 전압의 변동을 작게 하는 것이 어렵다는 점, 매우 얇은 게이트 산화막의 정전 파괴의 문제점을 생각하면, 바이폴러 회로가 좋다는 것은 말할 필요도 없다.

발명의 효과

본원에서 개시되는 발명 중, 대표적인 것에 의해 얻을 수 있는 효과를 간단히 설명하면, 이하와 같다.

본 발명의 전자 장치에 따르면, 전송 선로와, 이것에 정합한 종단 회로로 이루어지는 버스 배선계에 드라이버를 조합한 입출력 회로에서, 드라이버를 전류 스위치형으로 특정하고, 또한 전송 선로를 25Ω 이하의 특성 임피던스를 갖는 선로의 병렬 동일 길이 배선으로 특정함으로써, 전송 중의 신호 에너지의 감쇠를 억제하고, 또한 근접하는 전송 선로 간의 전자계 간섭을 억제할 수 있으므로, 버스 배선계에서의 신호 전송의 고속화를 실현하는 것이 가능해진다.

특히, 차동 전송 선로의 시작단에 접속되는 차동 드라이버 및 차동 수신기를 갖는 컨트롤러 칩과, 이 차동 전송 선로에서 분기하여 접속되는 차동 수신기 및 차동 드라이버를 갖는 메모리·입출력 인터페이스 칩 사이에서, 일방향 및 쌍방향에서의 신호 전송의 고속화를 꾀할 수 있으므로, 버스 배선계의 고속 전송 선로를 실현할 수 있는 전자 장치를 제공하는 것이 가능해진다.

(57) 청구의 범위

청구항 1.

전자 장치에 있어서,

제1 배선 및 제2 배선을 구비한 대향 페어 배선(opposed paired wires)을 포함하는 전송 선로와,

상기 전송 선로에 정합한 종단 회로(termination circuit)와,

상기 전송 선로 및 상기 종단 회로를 포함하는 버스 배선계(bus wiring system)에 상보 신호를 공급하는 드라이버 회로와,

상기 전송 선로 및 상기 종단 회로를 포함하는 배선 기관과,

상기 드라이버 회로를 포함하고 상기 배선 기관 상에 장착된 제1 집적 회로 칩을 포함하고,

상기 드라이버 회로는 입력 노드, 제1 내지 제4 노드, 상기 제1 노드와 상기 제3 노드 간에 전류 경로를 가지며 상기 입력 노드에 접속된 제어 전극을 갖는 제1 트랜지스터, 상기 제3 노드와 상기 제2 노드 간에 전류 경로를 가지며 상기 입력 노드에 접속된 제어 전극을 갖는 제2 트랜지스터, 상기 제1 노드와 상기 제4 노드 간에 전류 경로를 가지며 상기 입력 노드에 접속된 제어 전극을 갖는 제3 트랜지스터, 상기 제4 노드와 상기 제2 노드 간에 전류 경로를 가지며 상기 입력 노드에 접속된 제어 전극을 갖는 제4 트랜지스터를 포함하며, 상기 제1 및 제4 트랜지스터는 제1 도전형이고, 상기 제2 및 제3 트랜지스터는 제2 도전형이고, 상기 제1 배선은 상기 제3 노드에 접속되고, 상기 제2 배선은 상기 제4 노드에 접속되며,

상기 제1 배선 및 상기 제2 배선은 25Ω 이하의 특성 임피던스와 등가의 길이를 가지며, 서로 평행하게 배열되며,

상기 종단 회로는 상기 제1 배선 및 상기 제2 배선 각각에 직렬 접속된 25Ω 이하의 순저항을 포함하는 전자 장치.

청구항 2.

제1항에 있어서, 상기 드라이버 회로는 전류 스위치형의 드라이버 회로인 전자 장치.

청구항 3.

제2항에 있어서, 상기 드라이버 회로에 순저항을 직렬로 접속함으로써 상기 전송 선로의 특성 임피던스와 동등이상 바람직하게는 3배 이상의 ON-저항이 형성되는 전자 장치.

청구항 4.

제1항에 있어서, 수신기 회로가 상기 전송 선로의 버스에서 분기하여 접속되는 제2 집적 회로 칩이 접속되고, 상기 수신기 회로는 1k Ω 이상의 고 임피던스 갖는 전자 장치.

청구항 5.

제4항에 있어서, 상기 수신기 회로가 4mm 이하의 전송 선로 구조를 갖는 분기 배선에 접속되면, 상기 분기 배선의 분기부에서 0.4K~1k Ω 의 순저항이 대향 페어 배선 양쪽 각각에 직렬 접속되는 전자 장치.

청구항 6.

제5항에 있어서, 상기 전송 선로와 상기 분기 배선 간의 절연층은 상기 전송 선로와 상기 분기 배선 각각의 상기 대향 페어 배선 간의 절연층 두께의 수 배의 두께를 갖는 전자 장치.

청구항 7.

제1항에 있어서, 상기 드라이버 회로를 갖는 상기 제1 집적 회로 칩으로부터 팬아웃(fan-out)되는 전원·접지 배선을 전송 선로 구조로 하는 전자 장치.

청구항 8.

제7항에 있어서, 대향 전원 배선 및 접지 배선을 포함하는 상기 전원·접지 배선의 상기 전송 선로는 신호선의 특성 임피던스와 동등하거나 그 보다도 낮은 특성 임피던스를 갖는 전자 장치.

청구항 9.

제1항에 있어서, 전류 스위치형의 드라이버 회로를 갖는 제2 집적 회로 칩이 상기 전송 선로의 버스에서 분기하여 접속되며, 상기 제1 집적 회로 칩은 고 임피던스의 수신기 회로를 포함하고, 상기 제2 집적 회로 칩의 상기 드라이버 회로로부터 전송된 상보 신호를 상기 제1 집적 회로 칩의 상기 수신기 회로에서 수신하는 전자 장치.

청구항 10.

제9항에 있어서, 상기 제2 집적 회로 칩의 상기 드라이버 회로로부터 상기 전송 선로로 흐르는 신호는 상기 전송 선로에서의 원래 진폭의 절반인 진폭으로 흐르고, 상기 신호는 상기 수신기 회로 및 상기 종단 회로의 방향으로 흐르고, 상기 신호의 에너지는 상기 수신기 회로에서 전부 반사되어 상기 원래 진폭으로 복원됨으로써, 상기 수신기 회로가 정상적으로 동작하는 한편, 상기 종단 회로로 흐르는 신호 에너지는 흡수되어 소거되는 전자 장치.

청구항 11.

제10항에 있어서, 상기 드라이버 회로가 전송 선로 구조를 갖는 분기 배선에 접속되면, 상기 분기 배선의 분기부에 액티브한 분기 배선의 게이트만을 개방시키기 위한 버스 트랜시버 게이트(bus transceiver gate)의 칩이 삽입되고, 상기 분기 배선은 상기 전송 선로보다 낮은 특성 임피던스, 바람직하게는 1/2의 특성 임피던스를 갖는 전자 장치.

청구항 12.

제11항에 있어서, 상기 버스 트랜시버 게이트의 상기 칩은 상기 전송 선로의 복수의 버스를 그들 각각의 게이트를 통해 연결되는 집합 칩(collected chip) 구조로 구성되고, 상기 전원·접지 배선의 위를 추종하도록 비스듬히 배열되는 전자 장치.

청구항 13.

제1항에 있어서, 수신기 회로와 전류 스위치형의 드라이버 회로를 갖는 제2 집적 회로 칩이 상기 전송 선로의 버스에서 분기하여 접속되며, 상기 제1 집적 회로 칩은 상기 드라이버 회로와 고 임피던스의 수신기 회로를 포함하고, 상기 제1 집적 회로 칩의 상기 드라이버 회로 및 수신기 회로와, 상기 제2 집적 회로 칩의 상기 수신기 회로 및 드라이버 회로 사이에서 양방향으로 상보 신호가 전달되는 전자 장치.

청구항 14.

제13항에 있어서, 상기 제1 집적 회로 칩의 상기 드라이버 회로와 상기 수신기 회로의 결합 회로의 출구에 출력 동안은 고 임피던스를 갖고, 입력 동안은 정합단(matched end)이 되는 저항과 게이트를 직렬로 연결한 회로가 상기 전송 선로의 입력단과 출력단 사이에 삽입되는 전자 장치.

청구항 15.

제14항에 있어서, 상기 제2 집적 회로 칩의 상기 수신기 회로 및 드라이버 회로가 전송 선로 구조의 분기 배선에 접속되면, 상기 분기 배선의 분기부에 버스 트랜시버 게이트와 고 저항이 병렬로 접속된 칩이 삽입되고, 상기 제1 집적 회로 칩의 출력시에는 상기 버스 트랜시버 게이트가 개방되고, 상기 제1 집적 회로 칩의 입력시에는 상기 버스 트랜시버 게이트가 폐쇄됨으로써, 상기 고 저항에 에너지가 공급되는 전자 장치.

청구항 16.

제13항에 있어서, 상기 전송 선로는 미분 상보 신호를 전달하는 미분 전송 선로이며, 상기 제1 집적 회로의 상기 드라이버 회로는 미분 드라이버 회로이며, 상기 수신기 회로는 미분 수신기 회로인 전자 장치.

청구항 17.

제13항에 있어서, 상기 제1 집적 회로 칩은 상기 전송 선로의 시작단에 연결된 제어기 칩이며, 상기 제2 집적 회로 칩은 메모리/입력/출력 인터페이스 칩인 전자 장치.

청구항 18.

제1항에 있어서, 복수의 제2~제n 집적 회로 칩이 상기 전송 선로의 버스에서 분기하여 접속되며, 상기 제1 집적 회로 칩의 상기 드라이버 회로는 제어 기능을 가지며, 상기 전송 선로 내를 수 개(several) 펄스의 신호가 진행할 때의 타이밍 취득 방법은 상기 제1 집적 회로 칩이 상기 제2~제n 집적 회로 칩의 에코우 시간을 측정하고, 최장 에코우 시간을 갖는 집적 회로 칩에 복로 클럭 액티브를 공급하고, 상기 복로 클럭 액티브가 공급된 상기 집적 회로 칩이 왕로 클럭 신호를 검출하고, 상기 검출된 왕로 클럭 신호에 기초하여 상기 제1 집적 회로 칩이 복로 클럭 신호를 발생시키고, 상기 복로 클럭 액티브가 공급된 상기 집적 회로 칩이 데이터 스트로브 신호를 귀환(by return) 발신하는 전자 장치.

청구항 19.

제18항에 있어서, 상기 제1 집적 회로 칩이 수신하는 데이터의 타이밍을 아는 방법은 상기 제1 집적 회로 칩으로부터의 제어 신호가 판독 명령일 때만, 복로 클럭 신호를 발생시키는 집적 회로 칩이 데이터 스트로브 신호를 상기 전송 선로로부터 재차 수신하여 상기 데이터 스트로브 신호를 지연 데이터 스트로브 신호로서 귀환 발신하는 전자 장치.

청구항 20.

전자 장치에 있어서,

전송 선로와,

상기 전송 선로에 정합한 종단 회로와,

상기 전송 선로 및 상기 종단 회로를 포함하며, 버스 배선계에 상보 신호를 공급하는 드라이버 회로와,

상기 전송 선로 및 상기 종단 회로를 포함하는 배선 기관과,

상기 드라이버 회로를 포함하고 상기 배선 기관 상에 장착된 제1 집적 회로 칩을 포함하고,

상기 전송 선로는 25Ω 이하의 특성 임피던스를 가지며 대향 페어 배선을 포함한 구조를 갖는 선로가 상기 대향 페어 배선이 서로에 대해 평행하며 동일한 길이를 갖도록 배선되어지는 버스 구조로 되어 있으며,

수신기 회로가 상기 전송 선로의 버스에서 분기되어 접속되는 제2 집적 회로 칩이 장착 접속되고, 상기 수신기 회로는 $1k\Omega$ 이상의 고 임피던스를 가지며, 상기 수신기 회로가 $4mm$ 이하의 전송 선로 구조를 갖는 분기 선로에 연결되면, 상기 분기 선로의 분기부에서 $0.4k\Omega$ 내지 $1k\Omega$ 의 순저항이 대향 페어 배선 양쪽 각각에 직렬로 접속되는 전자 장치.

청구항 21.

제20항에 있어서, 상기 전송 선로와 상기 분기 배선 간의 절연층은 상기 전송 선로와 상기 분기 배선 각각의 상기 대향 페어 배선 간의 절연층 두께의 수 배의 두께를 갖는 전자 장치.

청구항 22.

전자 장치에 있어서,

전송 선로와,

상기 전송 선로에 정합한 종단 회로와,

상기 전송 선로 및 상기 종단 회로를 포함하며, 버스 배선계에 상보 신호를 공급하는 드라이버 회로와,

상기 전송 선로 및 상기 종단 회로를 포함하는 배선 기판과,

상기 드라이버 회로를 포함하고 상기 배선 기판 상에 장착된 제1 집적 회로 칩을 포함하고,

상기 전송 선로는 25Ω이하의 특성 임피던스를 가지며 대향 페어 배선을 포함한 구조를 갖는 선로가, 상기 대향 페어 배선이 서로에 대해 평행하며 동일한 길이를 갖도록 배선되어지는 버스 구조로 되어 있으며,

전류 스위칭형의 드라이버 회로를 갖는 제2 집적 회로 칩이 상기 전송 선로의 버스로부터 분기되어 접속되며, 상기 제1 집적 회로 칩은 고 임피던스의 수신기 회로를 가지며, 상기 제2 집적 회로 칩의 상기 드라이버 회로로부터 전송된 상보 신호는 상기 제1 집적 회로 칩의 상기 수신기 회로에 의해 수신되며,

상기 제2 집적 회로 칩의 상기 드라이버 회로로부터 상기 전송 선로로 흐르는 신호는 상기 전송 선로에서의 원래 진폭의 절반인 진폭으로 흐르고, 상기 신호는 상기 수신기 회로 및 상기 종단 회로의 방향으로 흐르고, 상기 신호의 에너지는 상기 수신기 회로에서 전부 반사되어 상기 원래 진폭으로 복원됨으로써, 상기 수신기 회로가 정상적으로 동작하는 한편, 상기 종단 회로로 흐르는 신호 에너지는 흡수되어 소거되며,

상기 드라이버 회로가 전송 선로 구조를 갖는 분기 배선에 접속되면, 상기 분기 배선의 분기부에 액티브한 분기 배선의 게이트만을 개방시키기 위한 버스 트랜시버 게이트의 칩이 삽입되고, 상기 분기 배선은 상기 전송 선로보다 낮은 특성 임피던스, 바람직하게는 1/2의 특성 임피던스를 가지며,

상기 버스 트랜시버 게이트의 상기 칩은 상기 전송 선로의 복수의 버스를 그들 각각의 게이트를 통해 연결되는 집합 칩(collected chip) 구조로 구성되고, 상기 전원·접지 배선의 위를 추종하도록 비스듬히 배열되는 전자 장치.

청구항 23.

전자 장치에 있어서,

전송 선로와,

상기 전송 선로에 정합한 종단 회로와,

상기 전송 선로 및 상기 종단 회로를 포함하며, 버스 배선계에 상보 신호를 공급하는 드라이버 회로와,

상기 전송 선로 및 상기 종단 회로를 포함하는 배선 기판과,

상기 드라이버 회로를 포함하고 상기 배선 기판 상에 장착된 제1 집적 회로 칩을 포함하고,

상기 전송 선로는 25Ω이하의 특성 임피던스를 가지며 대향 페어 배선을 포함한 구조를 갖는 선로가 상기 대향 페어 배선이 서로에 대해 평행하며 동일한 길이를 갖도록 배선되어지는 버스 구조로 되어 있으며,

상기 제1 집적 회로 칩의 상기 드라이버 회로와 상기 수신기 회로의 결합 회로의 출구에 출력 동안은 고 임피던스를 갖고, 입력 동안은 정합단(matched end)이 되는 저항과 게이트를 직렬로 연결한 회로가 상기 전송 선로의 입력단과 출력단 사이에 삽입되며,

수신기 회로와 전류 스위치형의 드라이버 회로를 갖는 제2 집적 회로 칩이 상기 전송 선로의 버스에서 분기하여 접속되며, 상기 제1 집적 회로 칩은 상기 드라이버 회로와 고 임피던스의 수신기 회로를 포함하고, 상기 제1 집적 회로 칩의 상기 드라이버 회로 및 수신기 회로와, 상기 제2 집적 회로 칩의 상기 수신기 회로 및 드라이버 회로 사이에서 양방향으로 상보 신호가 전달되며,

상기 제1 집적 회로 칩의 상기 드라이버 회로 및 수신기 회로의 결합 회로의 출구에 출력 동안은 고 임피던스를 갖고, 입력 동안은 정합단(matched end)이 되는 저항과 게이트를 직렬로 연결한 회로가 상기 전송 선로의 입력단과 출력단 사이에 삽입되는 전자 장치.

청구항 24.

제23항에 있어서, 상기 제2 집적 회로 칩의 상기 수신기 회로 및 드라이버 회로가 전송 선로 구조의 분기 배선에 접속되면, 상기 분기 배선의 분기부에 버스 트랜시버 게이트와 고 저항이 병렬로 접속된 칩이 삽입되고, 상기 제1 집적 회로 칩의 출력시에는 상기 버스 트랜시버 게이트가 개방되고, 상기 제1 집적 회로 칩의 입력시에는 상기 버스 트랜시버 게이트가 폐쇄됨으로써, 상기 고 저항에 에너지가 공급되는 전자 장치.

청구항 25.

전자 장치에 있어서,

전송 선로와,

상기 전송 선로에 정합한 종단 회로와,

상기 전송 선로 및 상기 종단 회로를 포함하며, 버스 배선계에 상보 신호를 공급하는 드라이버 회로와,

상기 전송 선로 및 상기 종단 회로를 포함하는 배선 기관과,

상기 드라이버 회로를 포함하고 상기 배선 기관 상에 장착된 제1 집적 회로 칩을 포함하고,

상기 전송 선로는 25Ω이하의 특성 임피던스를 가지며 대향 페어 배선을 포함한 구조를 갖는 선로가 상기 대향 페어 배선이 서로에 대해 평행하며 동일한 길이를 갖도록 배선되어지는 버스 구조로 되어 있으며,

복수의 제2~제n 집적 회로 칩이 상기 전송 선로의 버스에서 분기하여 접속되며, 상기 제1 집적 회로 칩의 상기 드라이버 회로는 제어 기능을 가지며, 상기 전송 선로 내를 수 개 펄스의 신호가 진행할 때의 타이밍 취득 방법은 상기 제1 집적 회로 칩이 상기 제2~제n 집적 회로 칩의 에코우 시간을 측정하고, 최장 에코우 시간을 갖는 집적 회로 칩에 복로 클럭 액티브를 공급하고, 상기 복로 클럭 액티브가 공급된 상기 집적 회로 칩이 왕로 클럭 신호를 검출하고, 상기 검출된 왕로 클럭 신호에 기초하여 상기 제1 집적 회로 칩이 복로 클럭 신호를 발생시키고, 상기 복로 클럭 액티브가 공급된 상기 집적 회로 칩이 데이터 스트로브 신호를 귀환(by return) 발신하는 전자 장치.

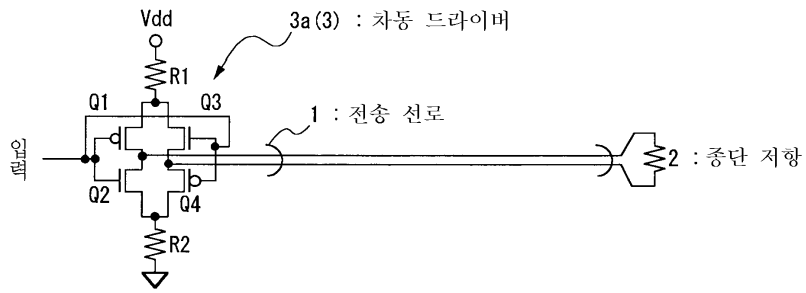
청구항 26.

제25항에 있어서, 상기 제1 집적 회로 칩이 수신하는 데이터의 타이밍을 아는 방법은 상기 제1 집적 회로 칩으로부터의 제어 신호가 관독 명령일 때만, 복로 클럭 신호를 발생시키는 집적 회로 칩이 데이터 스트로브 신호를 상기 전송 선로로부터 재차 수신하여 상기 데이터 스트로브 신호를 지연 데이터 스트로브 신호로서 귀환 발신하는 전자 장치.

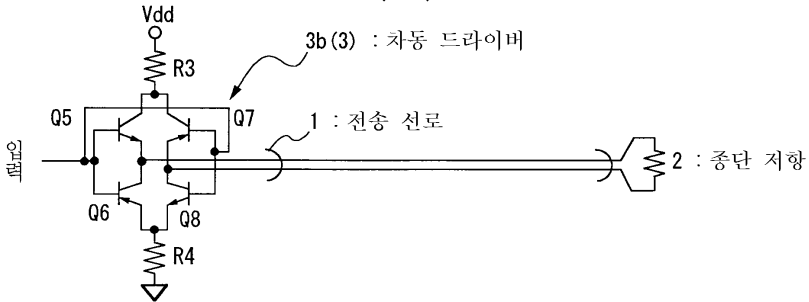
도면

도면1

(a)

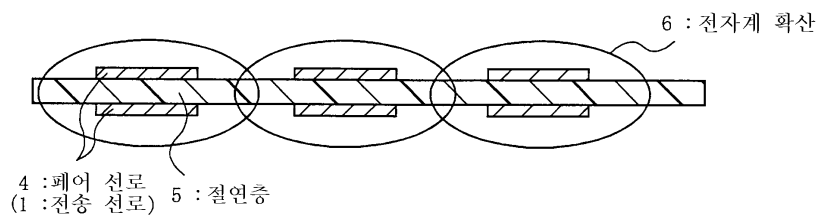


(b)

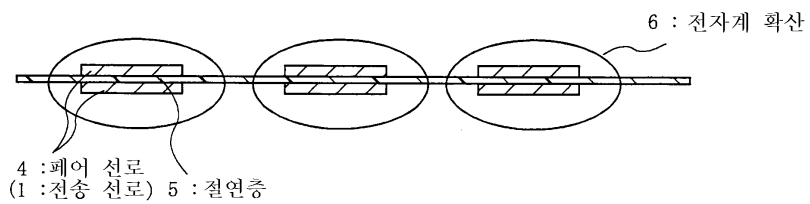


도면2

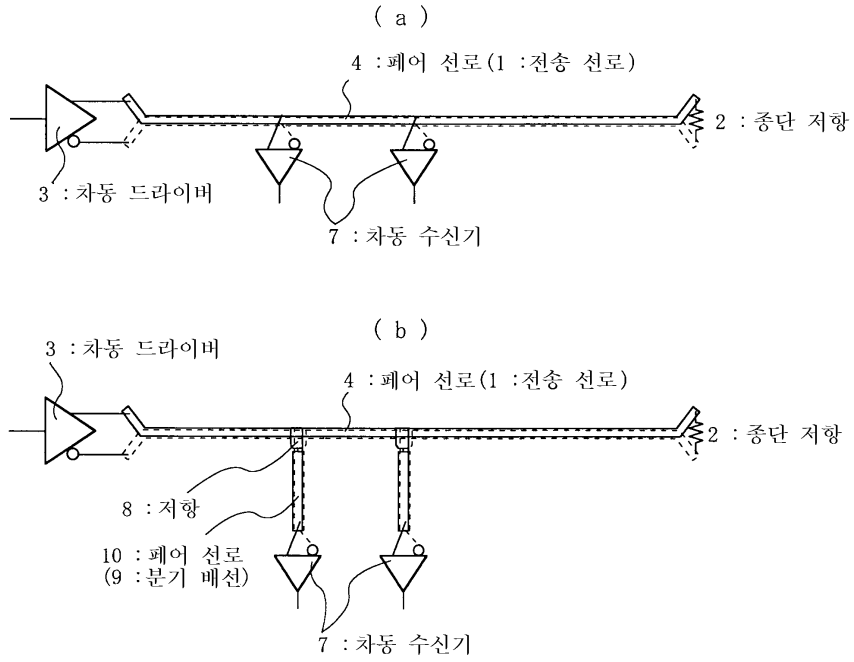
(a)



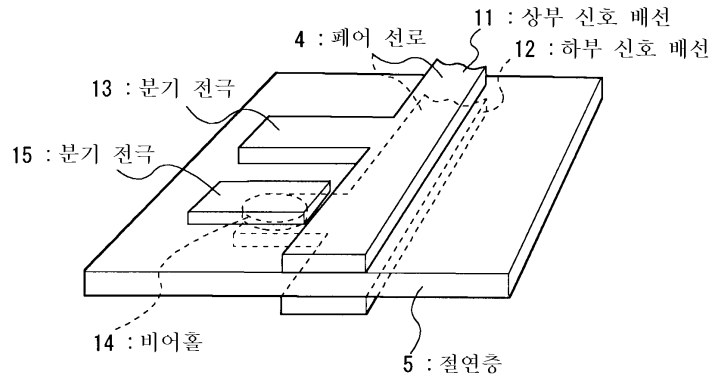
(b)



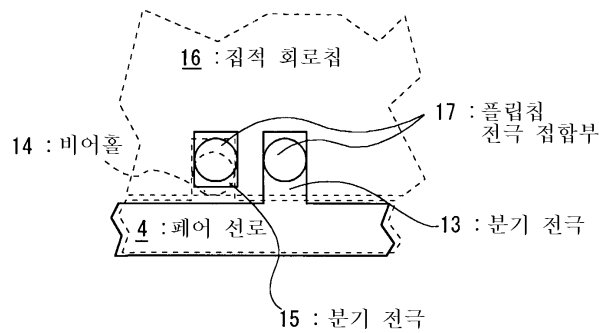
도면3



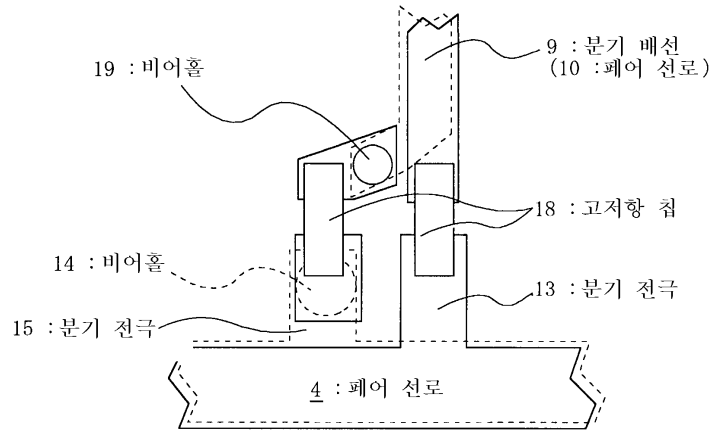
도면4



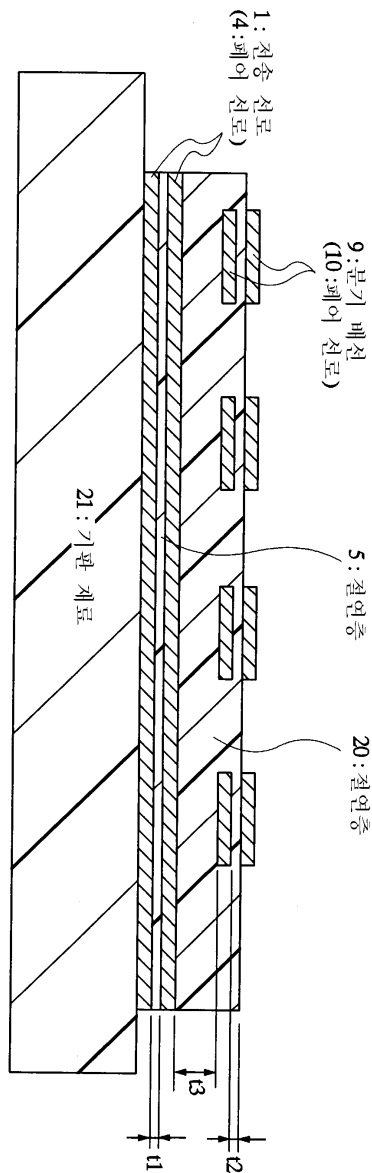
도면5



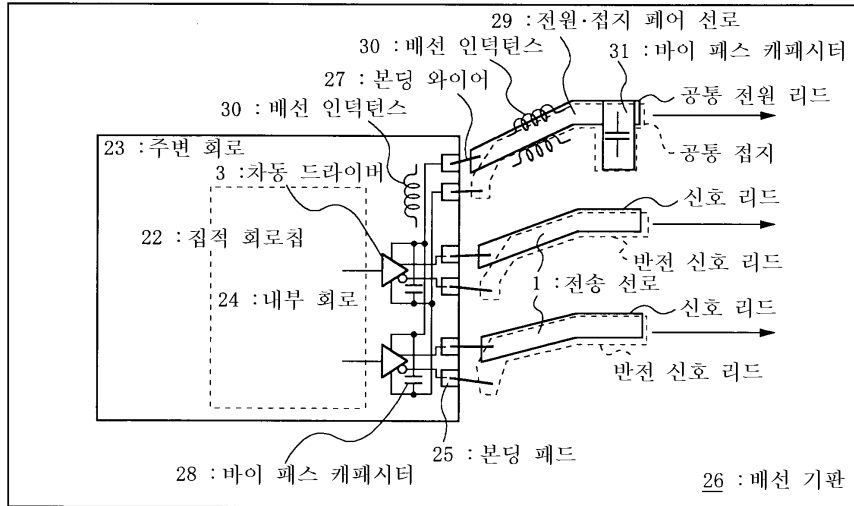
도면6



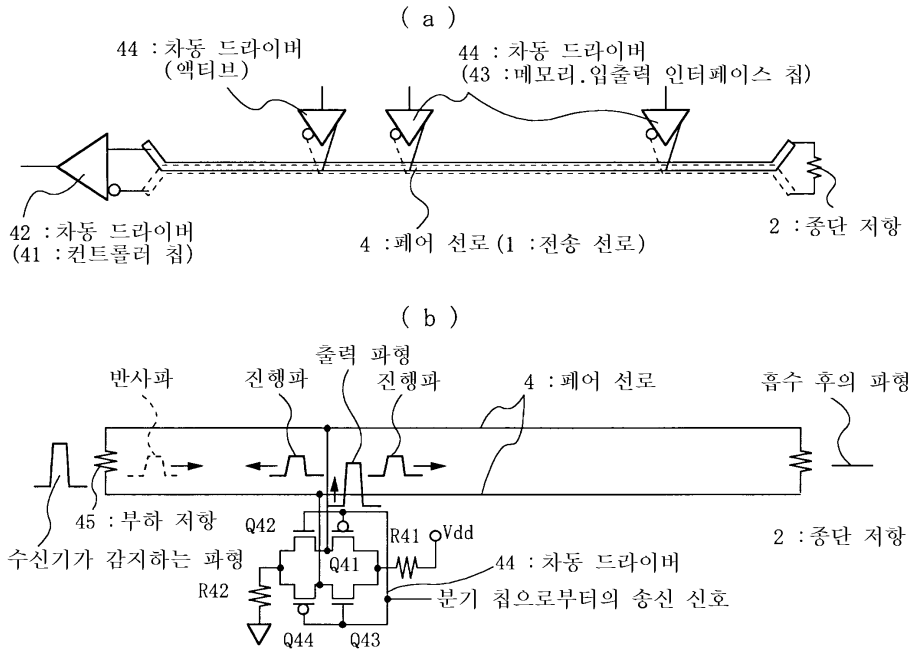
도면7



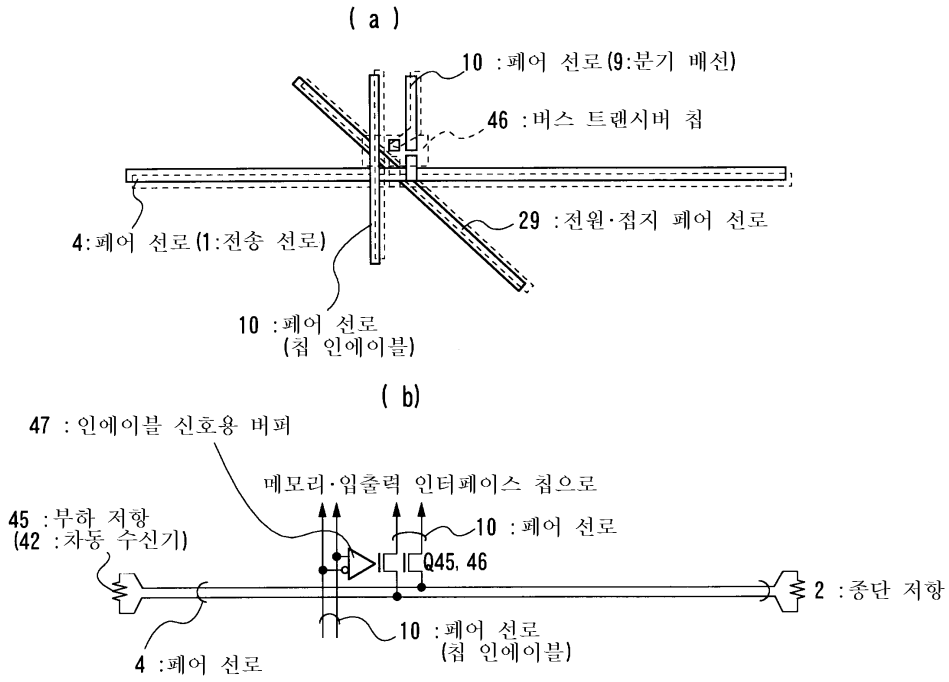
도면8



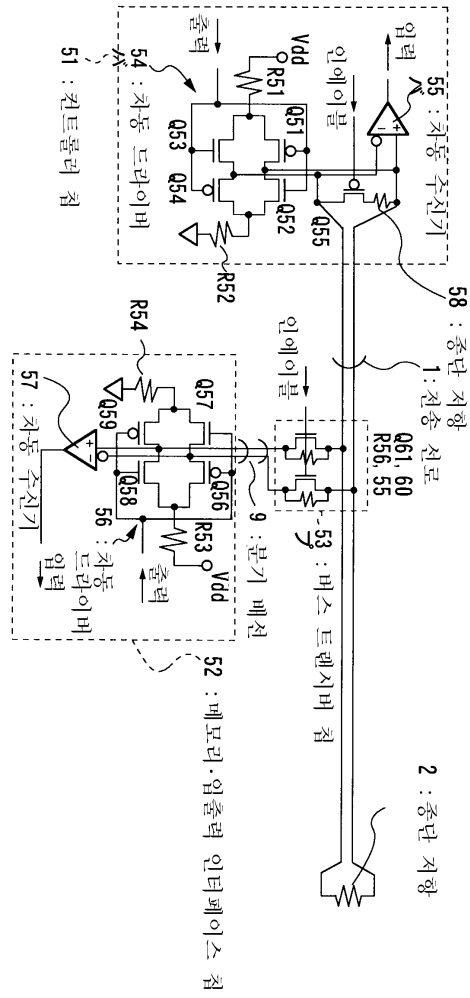
도면9



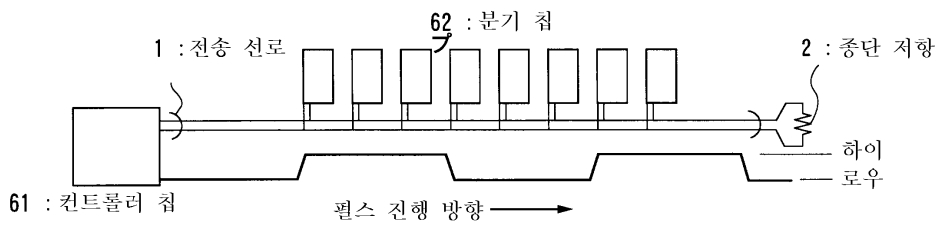
도면10



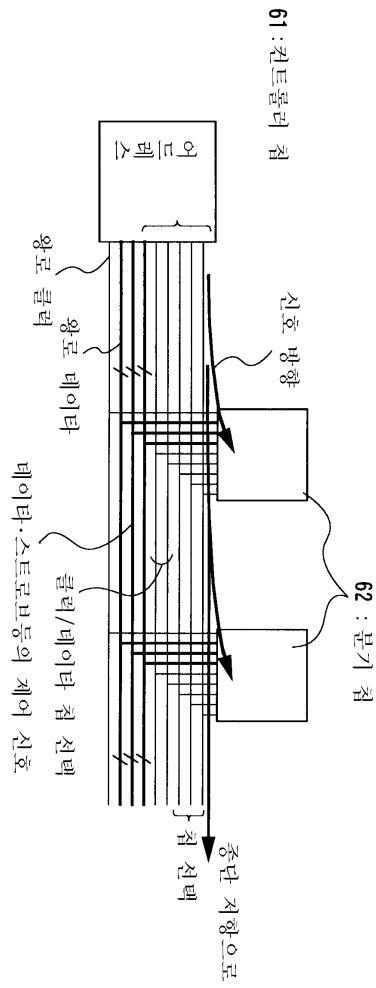
도면11



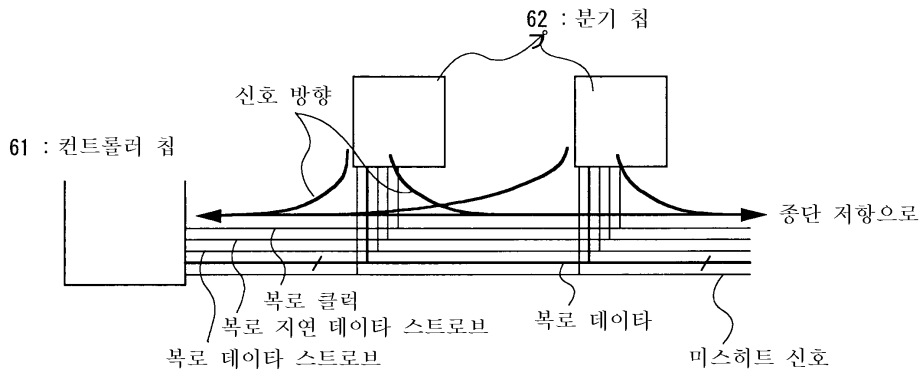
도면12



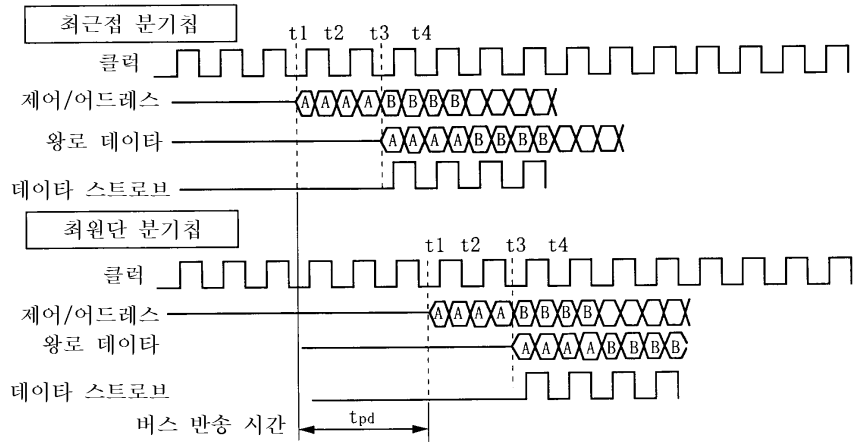
도면13



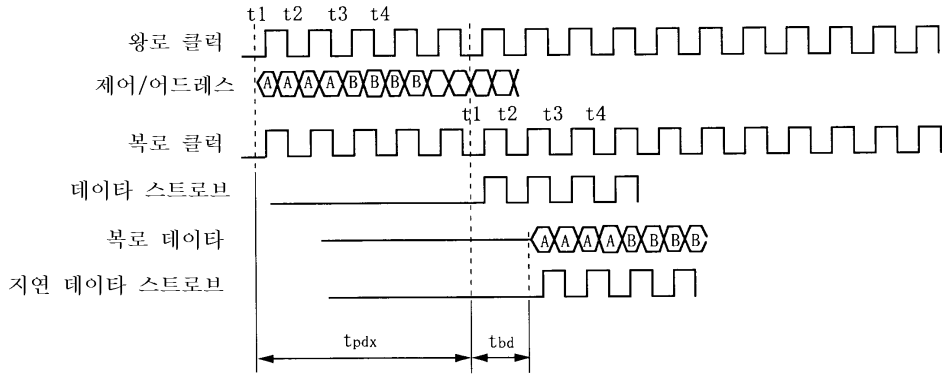
도면14



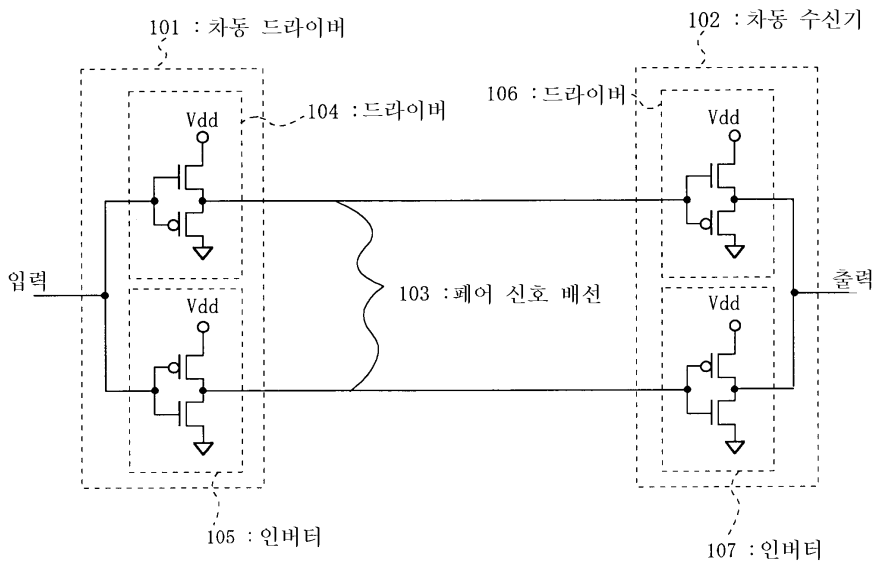
도면15



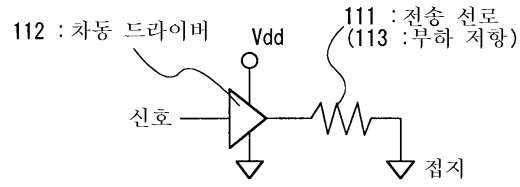
도면16



도면17



도면18



도면19

