(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3760008号

(P3760008)

(45)発行日　平成18年3月29日(2006.3.29)　(24)登録日　平成18年1月13日(2006.1.13)

(51)Int.Cl.　F I

G02F 1/1368 (2006.01)　G02F 1/1368

G02F 1/1343 (2006.01)　G02F 1/1343

請求項の数 7　(全 18 頁)

(21)出願番号　特願平8-319843

(22)出願日　平成8年11月29日(1996.11.29)

(65)公開番号　特開平10-161152

(43)公開日　平成10年6月19日(1998.6.19)

審査請求日　平成12年6月29日(2000.6.29)

審判番号　不服2003-17259(P2003-17259/J1)

審判請求日　平成15年9月4日(2003.9.4)

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号

(74)代理人　100095728
弁理士　上柳　雅誉

(74)代理人　100107076
弁理士　藤綱　英吉

(74)代理人　100107261
弁理士　須澤　修

(72)発明者　村出　正夫
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

最終頁に続く

(54)【発明の名称】液晶パネル用基板およびそれを用いた液晶パネル並びに投写型表示装置

(57)【特許請求の範囲】

【請求項１】

基板上にマトリックス状に配列された複数の走査線及び複数のデータ線と、前記複数の走査線と複数のデータ線に対応して設けられた複数の薄膜トランジスタと、前記複数の薄膜トランジスタに対応して設けられた複数の画素電極と、検査用の端子あるいは外部回路との接続用の端子と、前記端子に接続された配線とを有する液晶パネル用基板において、

前記端子は、前記薄膜トランジスタのゲート電極と同一のポリシリコン層で形成された第１パッド電極部と、前記第１パッド電極部の表面上に前記画素電極と同一のＩＴＯ膜で形成される第２パッド電極部で構成されてなり、

前記配線は、前記薄膜トランジスタ上の絶縁膜を介して設けられた前記データ線と同一のアルミニウム層もしくはその合金層で形成され、前記第１パッド電極部に前記絶縁膜に形成されたコンタクトホールを介して接続されることを特徴とする液晶パネル用基板。

【請求項２】

基板上にマトリックス状に配列された複数の走査線及び複数のデータ線と、前記複数の走査線と複数のデータ線に対応して設けられた複数の薄膜トランジスタと、前記複数の薄膜トランジスタに対応して設けられた複数の画素電極と、検査用の端子あるいは外部回路との接続用の端子と、前記端子に接続された配線とを有する液晶パネル用基板において、

前記端子は、前記薄膜トランジスタのゲート電極と同一のメタルシリサイド層で形成された第１パッド電極部と、前記第１パッド電極部の表面上に前記画素電極と同一のＩＴＯ膜で形成される第２パッド電極部で構成されてなり、

前記配線は、前記薄膜トランジスタ上の絶縁膜を介して設けられた前記データ線と同一のアルミニウム層もしくはその合金層で形成され、前記第１パッド電極部に前記絶縁膜に形成されたコンタクトホールを介して接続されることを特徴とする液晶パネル用基板。

【請求項３】

請求項１または２のいずれかに記載の液晶パネル用基板と、対向電極を有する対向基板とが適当な間隔をおいて配置されるとともに、前記液晶パネル用基板と前記対向基板との間隙内に液晶が封入されていることを特徴とする液晶パネル。

【請求項４】

光源と、前記光源からの光を変調して透過もしくは反射する請求項３に記載の構成の液晶パネルと、これらの液晶パネルにより変調された光を集光し拡大投写する投写光学手段とを備えていることを特徴とする投写型表示装置。

【請求項５】

基板上にマトリックス状に配列された複数の走査線及び複数のデータ線と、前記複数の走査線と複数のデータ線に対応して設けられた複数の薄膜トランジスタと、前記複数の薄膜トランジスタに対応して設けられた複数の画素電極と、検査用の端子あるいは外部回路との接続用の端子とを有する液晶パネル用基板の製造方法において、

前記絶縁基板上に前記薄膜トランジスタの能動層を形成する工程と、

前記薄膜トランジスタのゲート電極および前記端子を構成する第１パッド電極とを同一のポリシリコン層で形成する工程と、

前記能動層並びに前記ゲート電極および走査線の上方に第１層間絶縁膜を形成する工程と、

前記第１層間絶縁膜にコンタクトホールを開孔して前記薄膜トランジスタに接続されるデータ線を形成すると同時に、前記第１層間絶縁膜にコンタクトホールを開孔して前記データ線と同一材料で前記第１パッド電極に接続される前記配線を形成する工程と、

前記データ線および前記配線の上に第２層間絶縁膜を形成する工程と、

前記第２層間絶縁膜及び前記第１層間絶縁膜にコンタクトホールを開孔して前記薄膜トランジスタに接続されるＩＴＯ膜でなる前記画素電極を形成すると同時に、前記第２層間絶縁膜及び前記第１層間絶縁膜にコンタクトホールを開孔して前記画素電極と同一材料で前記端子を構成する前記第１パッドの表面に第２パッドを形成する工程と、を有することを特徴とする液晶パネル用基板の製造方法。

【請求項６】

基板上にマトリックス状に配列された複数の走査線及び複数のデータ線と、前記複数の走査線と複数のデータ線に対応して設けられた複数の薄膜トランジスタと、前記複数の薄膜トランジスタに対応して設けられた複数の画素電極と、検査用の端子あるいは外部回路との接続用の端子とを有する液晶パネル用基板の製造方法において、

前記絶縁基板上に前記薄膜トランジスタの能動層を形成する工程と、

前記薄膜トランジスタのゲート電極および前記端子を構成する第１パッド電極とを同一のメタルシリサイド層で形成する工程と、

前記能動層並びに前記ゲート電極および走査線の上方に第１層間絶縁膜を形成する工程と、

前記第１層間絶縁膜にコンタクトホールを開孔して前記薄膜トランジスタに接続されるデータ線を形成すると同時に、前記第１層間絶縁膜にコンタクトホールを開孔して前記データ線と同一材料で前記第１パッド電極に接続される前記配線を形成する工程と、

前記データ線および前記配線の上に第２層間絶縁膜を形成する工程と、

前記第２層間絶縁膜及び前記第１層間絶縁膜にコンタクトホールを開孔して前記薄膜トランジスタに接続されるＩＴＯ膜でなる前記画素電極を形成すると同時に、前記第２層間絶縁膜及び前記第１層間絶縁膜にコンタクトホールを開孔して前記画素電極と同一材料で前記端子を構成する前記第１パッドの表面に第２パッドを形成する工程と、を有することを特徴とする液晶パネル用基板の製造方法。

【請求項７】

前記第２パッド電極は異方性導電膜を介してポリイミドテープに配した電極と接続されてなることを特徴とする請求項５または６に記載の液晶パネル用基板の製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、アクティブマトリックス型液晶表示装置に用いられる液晶パネルの外部入出力端子の構造およびその製造方法に関し、特に基板上に形成されたポリシリコン薄膜トランジスタ（以下ＴＦＴと称す。）によって画素電極を駆動するアクティブマトリックス型液晶表示装置用の液晶パネルおよびそれを構成する基板およびその製造方法に適用して好適な技術に関する。本発明はさらに投写型表示装置に利用して好適な技術に関する。

【０００２】

【従来の技術】

従来、アクティブマトリックス型液晶表示装置としては、ガラス基板上にマトリックス状にＩＴＯ（Indium-Tin Oxide）等からなる画素電極を形成すると共に、各画素電極に対応してアモルファスシリコンやポリシリコンを用いたＴＦＴを形成して、各画素電極にＴＦＴにより電圧を印加して液晶を駆動するようにした構成の液晶表示装置が実用化されている。

【０００３】

前記アクティブマトリックス型液晶表示装置のうちポリシリコンＴＦＴを用いた装置は、シフトレジスタや駆動回路等の周辺回路を構成するトランジスタも同一の工程で形成することができるため高集積化に適しており注目されている。

【０００４】

ポリシリコンＴＦＴを用いた従来のアクティブマトリックス型液晶表示装置にあっては、外部駆動ＩＣ等と接続するための接続用端子や検査時にプローブが接触される検査用端子等の外部入出力端子となるいわゆるパッドと呼ばれる電極が、内部配線（例えば各ＴＦＴを介して画素電極に印加される電圧を供給するデータ線）に用いられる導電層と同一のアルミニウム層またはアルミニウム合金層により構成されていた。

【０００５】

【発明が解決しようとする課題】

前記のようにパッド電極がアルミニウム製であると、ＩＴＯ膜をパターニングするエッチング液やＩＴＯ膜形成の際のスパッタリングによって腐食されるおそれがあるため、ＩＴＯ膜のパターニングが終了するまで層間絶縁膜でパッド電極の上を覆っておき、ＩＴＯ膜からなる画素電極形成後にパッド電極の上の絶縁膜を取り除いて開孔するエッチングを行なわなくてはならないので、工程数が増えるという問題点があった。

【０００６】

また、アルミニウム層またはアルミニウム合金層により構成されたパッド電極にあっては、プローブ検査のときにプローブの先端がパッド電極に接触され、それが検査終了後に切り離されるときにパッド電極の表面が盛り上がったりめくれ上がって突起が形成されてしまうことがある。

【０００７】

ところで、前記検査用の端子は、レイアウトの都合上基板の周縁でなく対向基板の対向電極が形成されている部分と対向する位置に形成されることがある。そのような場合に、プローブ検査によってパッド電極表面に前記のような突起が生じると、その突起が対向基板に設けられる対向電極と接触してしまい、所望の回路動作が行なえなくなるおそれがある。さらに、マトリックス状に配置される画素電極はその間隔が非常に狭くパターニング不良等により隣接する画素電極間が短絡する不良が多発した際に、検査でそのような短絡が発見されると画素電極間を離間するための再生処理と呼ばれるエッチング処理を再度行なうことがある。そして、その場合、パッド電極を構成するアルミニウムは耐エッチング性が悪いのでパッド電極上の開孔部分をレジストで覆っておくこととなるが、前記のような突起が生じているとその突起がレジストから露出し、その突起に沿ってエッチング液がし

み込んでパッド電極を腐食してしまい、不良品となるおそれがあるという問題点があることが分かった。

【０００８】

本発明は前記の課題を解決するものであり、その目的は、製造プロセスの工程数を減らすことが可能な端子となるパッド電極形成方法を提供することにある。

【０００９】

この発明の他の目的は、アクティブマトリックス型液晶表示装置において、プローブ検査のときにプローブの先端が外部端子としてのパッド電極に接触しても電極の表面に突起が形成されることがない信頼性の高い基板を提供することにある。

【００１０】

【課題を解決するための手段】

本発明に係る液晶パネル用基板は、基板上にマトリックス状に配列された複数の走査線及び複数のデータ線と、前記複数の走査線と複数のデータ線に対応して設けられた複数の薄膜トランジスタと、前記複数の薄膜トランジスタに対応して設けられた複数の画素電極と、検査用の端子あるいは外部回路との接続用の端子と、前記端子に接続された配線とを有する液晶パネル用基板において、前記端子は、前記薄膜トランジスタのゲート電極と同一のポリシリコン層で形成された第１パッド電極部と、前記第１パッド電極部の表面上に前記画素電極と同一のＩＴＯ膜で形成される第２パッド電極部で構成されてなり、前記配線は、前記薄膜トランジスタ上の絶縁膜を介して設けられた前記データ線と同一のアルミニウム層もしくはその合金層で形成され、前記第１パッド電極部に前記絶縁膜に形成されたコンタクトホールを介して接続されることを特徴とする。

【００１１】

また、本発明に係る液晶パネル用基板は、基板上にマトリックス状に配列された複数の走査線及び複数のデータ線と、前記複数の走査線と複数のデータ線に対応して設けられた複数の薄膜トランジスタと、前記複数の薄膜トランジスタに対応して設けられた複数の画素電極と、検査用の端子あるいは外部回路との接続用の端子と、前記端子に接続された配線とを有する液晶パネル用基板において、前記端子は、前記薄膜トランジスタのゲート電極と同一のメタルシリサイド層で形成された第１パッド電極部と、前記第１パッド電極部の表面上に前記画素電極と同一のＩＴＯ膜で形成される第２パッド電極部で構成されてなり、前記配線は、前記薄膜トランジスタ上の絶縁膜を介して設けられた前記データ線と同一のアルミニウム層もしくはその合金層で形成され、前記第１パッド電極部に前記絶縁膜に形成されたコンタクトホールを介して接続されることを特徴とする。

【００１２】

また、本発明に係る液晶パネル用基板の製造方法は、基板上にマトリックス状に配列された複数の走査線及び複数のデータ線と、前記複数の走査線と複数のデータ線に対応して設けられた複数の薄膜トランジスタと、前記複数の薄膜トランジスタに対応して設けられた複数の画素電極と、検査用の端子あるいは外部回路とを有する液晶パネル用基板の製造方法において、前記絶縁基板上に前記薄膜トランジスタの能動層を形成する工程と、前記薄膜トランジスタのゲート電極および前記端子を構成する第１パッド電極とを同一のポリシリコン層で形成する工程と、前記能動層並びに前記ゲート電極および走査線の上方に第１層間絶縁膜を形成する工程と、前記第１層間絶縁膜にコンタクトホールを開孔して前記薄膜トランジスタに接続されるデータ線を形成すると同時に、前記第１層間絶縁膜にコンタクトホールを開孔して前記データ線と同一材料で前記第１パッド電極に接続される前記配線を形成する工程と、前記データ線および前記配線の上に第２層間絶縁膜を形成する工程と、前記第２層間絶縁膜及び前記第１層間絶縁膜にコンタクトホールを開孔して前記薄膜トランジスタに接続されるＩＴＯ膜でなる前記画素電極を形成すると同時に、前記第２層間絶縁膜及び前記第１層間絶縁膜にコンタクトホールを開孔して前記画素電極と同一材料で前記端子を構成する前記第１パッドの表面に第２パッドを形成する工程と、を有することを特徴とする。

また、本発明に係る液晶パネル用基板の製造方法は、上記特徴のポリシリコン層に代え

てメタルシリサイド層でも良い。

【００１３】

前記した手段によれば、パッド電極がアルミニウムに比べて膜強度の高いＩＴＯ膜で構成されているためプローブ検査によってパッド電極表面に前記のような突起が生じにくくなり、これによって対向基板に設けられる対向電極との接触により生じる上下導通不良を防止する。また、一般にＩＴＯのフォトリソグラフィ工程時にレジスト残り等の原因により画素電極間同士が短絡して点欠陥を生じることがあるが、このような際に、画素電極間短絡部分を再度ＩＴＯパターン形成用マスクを使用して、フォトリソグラフィ工程を行って切断する事により、エッチング液によってパッド電極が腐食されることがないため、再生処理を行うことができる。

【００１４】

【発明の実施の形態】

以下、本発明の好適な実施例を図面を用いて、画素の部分とパッド電極の部分とを対比させながら説明する。

【００１５】

図１および図２は、本発明を適用した液晶パネル用基板の第１の実施例の平面レイアウトおよび断面図を示す。図１（ａ）および図２（ａ）にはマトリックス状に配置されている画素のうち一画素部分のレイアウトおよび断面構造を、また図１（ｂ）および図２（ｂ）はパッド電極部分のレイアウトおよび断面構造を示す。なお、図２（ａ）は図１（ａ）におけるＡ－Ａ線に沿った断面構造を、図２（ｂ）は図１（ｂ）におけるＢ－Ｂ線に沿った断面である。

【００１６】

先ず、画素部分について説明すると、図１（ａ）において、１ａはＴＦＴの能動層（ソース・ドレイン・チャネル領域）を構成する１層目のポリシリコン層であり、このポリシリコン層１ａの表面には図２（ａ）に示されているように、熱酸化によるゲート絶縁膜１２が形成されている。２ａはＴＦＴのゲート電極となる走査線、３ａは前記走査線２ａと交差するように配設されたＴＦＴのソース領域（もしくはドレイン領域）に画素電極に印加すべき電圧を供給するデータ線で、走査線２ａは二層めのポリシリコン層によって、またデータ線３ａはアルミニウム層のような導電層によってそれぞれ形成されている。

【００１７】

また、４はＩＴＯ膜からなる画素電極６ａとポリシリコン層１のＴＦＴのドレイン領域（もしくはソース領域）とを接続するためのコンタクトホール、５はデータ線３ａと前記ポリシリコン層１ａのＴＦＴのソース領域とを接続するためのコンタクトホールである。

【００１８】

図１（ａ）におけるＡ－Ａ線に沿った断面を示す図２（ａ）において、１０はガラス基板や石英基板のような基板、１２はＴＦＴの能動層となるポリシリコン層１ａの表面に形成された酸化シリコン膜等のゲート絶縁膜であり、熱酸化等により形成される。また、１３はＮＳＧ膜（ボロンやリンを含まないシリケートガラス膜）等からなる第１層間絶縁膜、１５はＢＰＳＧ膜（ボロンおよびリンを含むシリケートガラス膜）等からなる第２層間絶縁膜である。これらは後述のように、高温ＣＶＤおよび低温ＣＶＤ法によりそれぞれ形成される。

【００１９】

次に、パッド電極部分について説明する。図２（ａ）に示すように、この実施例のパッド電極は、ポリシリコン層からなる第１パッド電極２２の上にＩＴＯ膜からなる第２パッド電極２６を形成した２層構造とされている。第１パッド電極２２はＴＦＴのゲート電極２を構成するポリシリコン層と同一のポリシリコン層によって構成されている。一方、第２のパッド電極２６は画素電極６ａを構成するＩＴＯ膜と同一のＩＴＯ膜によって構成されている。そして、第１パッド電極２２と第２パッド電極２６は第２層間絶縁膜１５に形成されたコンタクトホール２４を介して接続されている。また第１パッド電極２２には、アルミニウム層からなる配線層２３の一端が第１層間絶縁膜１３に形成されたコンタクトホ

ール２５にて接続されている。配線層２３は、データ線３を構成するアルミニウム層と同一のアルミニウム層によって構成されている。

【００２０】

この実施例においては、第２パッド電極２６がアルミニウムに比べて膜強度の高いＩＴＯ膜で構成されているため、プローブを使用したパネル検査の際にプローブが接触されても電極の表面に突起が生じにくくなる。また、以下に説明するように、製造プロセスが簡単になる。

【００２１】

なお、本実施例では、導電性透明電極膜としてＩＴＯ膜を使用する場合について述べたが、これに限定されるものではなく、例えば、ＳｎＯx，ＺｎＯx等のような融点の高い金属酸化物などからなる透明電極材料を使用することも可能である。

【００２２】

また、本実施例では、ポリシリコン層からなる第１パッド電極２２の上に直接ＩＴＯ膜からなる第２パッド電極２６を形成した場合について述べたが、モリブデン（Ｍｏ），タンタル（Ｔａ），チタン（Ｔｉ）等のバッファ層を介してＩＴＯ膜を設けるようにしてもよい。

【００２３】

次に、図３～図８を参照しながら、本実施例の液晶パネル用基板の製造プロセスの一例について説明する。図３～図５は順次進行する画素駆動用のＴＦＴ部の形成工程を、図６～図８はパッド電極部の形成工程をそれぞれ示し、図３～図５における（１）～（１４）の工程と図６～図８における（１）～（１４）の工程とは、互いに対応している。なお、図３～図５は図１（ａ）のＡ－Ａ線に沿った断面を、また図６～図８は図１（ｂ）のＢ－Ｂ線に沿った断面を示す。以下、ＴＦＴ部とパッド電極部の工程を、図３～図５と図６～図８の同一工程を対比しながら説明する。

【００２４】

先ず、（１）の工程では、ガラス基板（例えば、無アルカリ基板）あるいは石英基板等の基板１０上に、減圧ＣＶＤ法等によりポリシリコン層１を、５００～２０００オングストローム好ましくは約１０００オングストロームのような厚さで基板全面に堆積する。

【００２５】

（２）の工程では、フォトリソグラフィ工程、エッチング工程等により、ポリシリコン層１をパターニングすることで、ＴＦＴ部には島状の能動層１ａを形成する（図３）。このとき、パッド電極部ではポリシリコン層１が全て除去されて基板１０の表面が露出される（図６）。

【００２６】

（３）の工程では、ポリシリコン層（１ａ）の表面を熱酸化することにより、能動層１ａ上にゲート絶縁膜１２を形成する（図３）。この工程により、能動層１ａは最終的に３００～１５００オングストローム、好ましくは３５０～４５０オングストロームのような厚さとなり、ゲート絶縁膜１２は約６００～１５００オングストロームとなる。

【００２７】

次に、能動層１ａを構成するポリシリコン層のうちのデータ線３に沿って上方へ延在されて保持容量を形成する延設部１ｂ（図１参照）に、不純物（例えばリン）を適当なドーズ量（例えば3×10^{12}atms／cm^2）でドープして、その部 分のポリシリコン層（１ｂ）を低抵抗化させる。このドーズ量の下限は、ポリシリコン層の保持容量を形成するために必要な導電性を確保する観点から求められ、また上限は、ゲート酸化膜の劣化を抑える観点から求められる。このときパッド部にはポリシリコン層がないので何もなされない。

【００２８】

（４）の工程では、ＴＦＴ部ではゲート絶縁膜１２の上に、またパッド電極部では絶縁基板上に直接、ゲート電極及び走査線となるべき低抵抗のポリシリコン層２を減圧ＣＶＤ法等により堆積する。

【００２９】

（５）の工程では、ポリシリコン層２をフォトエッチングによりパターニングして、ＴＦＴ部ではゲート電極（走査線を含む）２ａを、またパッド電極部では１層目の電極（第１パッド電極）２２を形成する。走査線２ａおよび第１パッド電極２２の材料としては、ポリシリコンの他、Ｍｏ，Ｔａ，Ｔｉ，Ｗ等の高融点金属あるいはこれらのメタルシリサイドを用いることができる。

【００３０】

（６）の工程では、ゲート電極２ａをマスクとした不純物（例えばリン）のイオン打込みにより、ＴＦＴ部では能動層１ａに自己整合されたソース領域およびドレイン領域となる高濃度半導体領域を形成する。このときパッド電極部では第１パッド電極２２に対して全体的にイオン打込みがなされることで低抵抗化される。

【００３１】

ソース・ドレイン領域は、不純物（リン）を1×10^{13}／cm^2～3×10^{13}／cm^2のドーズ 量にてライトドープして低濃度領域を形成した後に、ゲート電極の幅よりも広いマスク層を走査線２ａ上に形成して、さらに不純物（リン）を1×10^{15}／cm^2～3×10^{15}／cm^2ドーズ量で打ち込みすることによりマスクされた領域がライトリー・ドープ ト・ドレイン（ＬＤＤ）構造となるようにしても良い。あるいはライトリー・ドープせずにゲート電極２の幅よりも広いマスクを使用してパターンを形成し、続いてイオンを打ち込んでソース・ドレインを形成した後にゲート電極をオーバーエッチングすることにより、オフセット構造となるようにしてもよい。

【００３２】

（７）の工程（図４および図７参照）では、ゲート電極２ａおよび第１パッド電極２２を覆うように、ＮＳＧ膜（ボロンおよびリンを含まないシリケートガラス膜）等からなる第１の層間絶縁膜１３を、例えばＣＶＤ法等により例えば８００度のような温度下で５０００～１５０００オングストロームのような厚さに堆積する。

【００３３】

（８）の工程（図４および図７参照）では、この第１の層間絶縁膜１３にドライエッチング等により、ＴＦＴ部ではソース領域に対応した位置にコンタクトホール５を、またパッド電極部では第１パッド電極２２の基板中央側の縁部に対応した位置にコンタクトホール２５をそれぞれ開孔する。

【００３４】

ここで、コンタクトホール５は、ゲート絶縁膜１２および第１の層間絶縁膜１３の重ね膜を貫通して形成され、また、コンタクトホール２５は第１の層間絶縁膜１３のみを貫通して形成される。

【００３５】

また、コンタクトホール５の形成に際し、ポリシリコン層１はエッチングストッパーとして機能し、コンタクトホール２５の形成に際しては、第１パッド電極２２がエッチングストッパーとして機能する。

【００３６】

（９）の工程では、ソース電極を兼ねるデータ線３ａとなるアルミニウム等の低抵抗導電層３をスパッタ法により堆積する。この低抵抗導電層３は、ＴＦＴ部ではコンタクトホール５にて能動層１ａのソース領域に、またパッド電極部ではコンタクトホール２５にて第１パッド電極２２に接続される。

【００３７】

（10）の工程では、低抵抗導電層３をフォトエッチングによりパターニングして、ＴＦＴ部ではソース電極を兼ねるデータ線３ａを、またパッド電極部では第１パッド電極２２とデータ線とを接続するための配線２３を形成する。

【００３８】

（11）の工程（図５および図８参照）では、データ線３ａおよび配線２３を覆うように、ＢＰＳＧ膜（ボロンとリンを含むシリケートガラス膜）のような第２の層間絶縁膜１５を、例えばＣＶＤ法により例えば５００度のような低温下で５０００～１５０００オングス

トロームのような厚さに形成する。
【００３９】
（12）の工程では、ＴＦＴ部において、第２の層間絶縁膜１５およびその下の第１の層間絶縁膜１３とゲート絶縁膜１２からなる重ね膜に対してドライエッチング等によりドレイン領域に対応した位置にコンタクトホール４を形成する。また、パッド電極部において、第２の層間絶縁膜１５およびその下の第１の層間絶縁膜１３からなる重ね膜に対してドライエッチング等により第１パッド電極２２の中央に対応した位置にコンタクトホール２４を開孔する。この時コンタクトホール端２４から配線２３までの距離Ｌにおける抵抗を１０Ω以下にしておくと実用上問題ない。
【００４０】
（13）の工程では、パッド電極部において、画素電極６ａとなるＩＴＯ膜６をスパッタ法で、例えば１５００オングストロームのような厚さに形成する。このときＴＦＴ部では、ＩＴＯ膜１４がコンタクトホール４にて能動層１ａのドレイン領域に接続され、パッド電極部ではＩＴＯ膜６がコンタクトホール２４にて第１パッド電極２２に接続される。
【００４１】
（14）の工程では、ＩＴＯ膜６に対してフォトエッチングによりパターニングを行なうことで、ＴＦＴ部では画素電極６ａを、またパッド電極部では第２パッド電極２６を形成する。
以上の説明から、前記プロセスにおいては、パッド電極部の構造は画素ＴＦＴ部の製造工程と同時によって実現されていることが分かる。
【００４２】
なお、本実施例では、ＩＴＯを使用する場合について述べたが、これに限定されるものではなく、例えばＳｎＯx，ＺｎＯx等のような融点の高い金属酸化物などからなる透明電極材料を使用することも可能であり、その場合にもコンタクトホール内部でのステップカバレージは実用に耐えるものである。
【００４３】
また、ＩＴＯ膜６は、全製造プロセスの最終段階で形成されるため、基板がＩＴＯの組成物である錫（Ｓｎ）やインジウム（Ｉｎ）によって汚染されるおそれも少ない。さらにＩＴＯのフォトリソグラフィ工程時にレジスト残り等の原因により画素電極６ａ同士が短絡して点欠陥を生じることがある。このような際には、前記工程の後に、検査した結果、画素電極の短絡があった場合、画素電極間短絡部分を再度ＩＴＯパターンエッチング用マスクを使用してフォトリソグラフィ工程を行って切断する工程を付加することができる。
【００４４】
なお、図示しないが、その後画素電極６ａおよび第２層間絶縁膜１５上にかけてはポリイミド等からなる配向膜を約２００～１０００オングストロームのような厚さに形成して、ラビング（配向処理）を行なうことで液晶パネル用基板とされる。
【００４５】
次に、図９～図１１を用いて、ポリシリコン層とＩＴＯ膜の２層構造のパッド電極を有する本実施例の液晶パネル用基板のプロセスが、従来例のアルミニウム層からなるパッド電極を有する液晶パネル用基板の参考プロセスに比べて工程数が少なくなる理由を説明する。
【００４６】
図１６（ａ)は一画素パターンの平面図を示し、図１６（ｂ）は端子部のレイアウトの平面図を示す。図１７（ａ)は図１６（ａ)のＡ－Ａ断面図を、図１７（ｂ）は図１６（ｂ）のＢ－Ｂ断面図を示す。
【００４７】
図９～図１１は従来のパッド部の形成工程をそれぞれ示し、図９～図１１における（１’）～（１４’）の工程は、図３～図５における（１）～（１４）の工程および図６～図８における（１）～（１４）の工程と互いに対応している。
【００４８】

図９および図１０に示されている工程（１’）～工程（８’）を見れば明らかなように、従来のアルミニウムあるいはアルミニウム合金により形成されたパッド電極を有する液晶パネル用基板の製造プロセスにおいては、ＴＦＴの能動層１ａとなるポリシリコン層１や走査線２ａとなるポリシリコン層２は、パッド電極部では完全に除去され、第１層間絶縁膜１３のみが基板上に残る。そして、工程（９’），（１０’）でＴＦＴ部においてアルミニウム層からなるデータ線３ａを形成する際に、パッド電極部では、スパッタ法で形成されたアルミニウム層３がエッチングによりパターニングされてパッド電極３ｂが形成される。

【００４９】

その後、工程（１１’）で第２層間絶縁膜１５がＴＦＴ部とパッド電極部で同時に形成されるものの、ＴＦＴ部で画素電極のドレイン領域への接続のためのコンタクトホール４を形成する工程（１２’）の際にはパッド電極部はレジスト等で覆われていてコンタクトホールの形成はなされず、さらに工程（１３’）でＩＴＯ膜６が形成されても、次の画素電極形成のためのエッチング工程（１４’）の際にパッド電極部のＩＴＯ膜６は除去される。そして、その後、パッド電極部に対する開孔７形成のためのエッチング工程（１５’）が実行される。

【００５０】

図１２に図６～図１１を１つの図面に表した製造プロセスの比較工程図を示す。図１２において、左側は従来例の参考プロセスを、また右側は本実施例のプロセスを示す。図１２を参照すれば明らかなように、従来のアルミニウムあるいはアルミニウム合金により形成したパッド電極部を有する液晶パネル用基板を製造するには、ＴＦＴ部の構造が完成した後にパッド電極上方の層間絶縁膜１３，１５に開孔部７を形成する工程だけ余分な工程（１５）が必要であることが分かる。

【００５１】

これに対して、本実施例のようにポリシリコン層とＩＴＯ膜の２層構造のパッド電極部を有する液晶パネル用基板によれば、上述のように第２の層間絶縁膜１５およびその下の第１の層間絶縁膜１３からなる重ね膜を貫通して一挙に開孔部を形成することができるため開孔部の形成工程が一回で済み、全体的な製造プロセスを前記従来例の参考プロセスより簡素化することができるという利点がある。

【００５２】

図１３は、本実施例の液晶パネルのＴＦＴ側の基板のシステム構成例を示す。図において、９０は互いに交差するように配設された走査線２とデータ線３との交点に対応してそれぞれ配置された画素で、各画素９０はＩＴＯ等からなる画素電極６ａとこの画素電極６ａにデータ線３上の画像信号に応じた電圧を印加するＴＦＴ９１とからなる。同一行のＴＦＴ９１はそのゲート電極が同一の走査線２に接続され、ドレインが対応する画素電極１４に接続されている。また、同一列のＴＦＴ９１はそのソース電極が同一のデータ線３に接続されている。この実施例においては、周辺回路（Ｘ、Ｙシフトレジスタやサンプリング手段）５０，６０を構成するトランジスタが画素を駆動するＴＦＴと同様にポリシリコン層を動作層とするいわゆるポリシリコンＴＦＴで構成されており、周辺回路５０，６０を構成するトランジスタは画素駆動用ＴＦＴとともに同一プロセスにより、同時に形成される。

【００５３】

この実施例では、表示領域（画素マトリックス）２０の一側（図では上側）にデータ線３を順次選択するシフトレジスタ（以下、Ｘシフトレジスタと称する）５１が配置され、画素マトリックスの他の一側には走査線２を順次選択駆動するシフトレジスタ（以下、Ｙシフトレジスタと称する）６１が設けられている。また、Ｙシフトレジスタ６１の次段には必要に応じてバッファ６３が設けられる各データ線３の他端にはＴＦＴで構成されたサンプリング用スイッチ５２が設けられており、これらのサンプリング用スイッチ５２は外部端子７４，７５，７６に入力される画像信号ＶＩＤ１～ＶＩＤ３を伝送するビデオ信号線５４、５５、５６との間に接続され、Ｘシフトレジスタ５１から出力されるサンプリング

信号によって順次オン／オフされるように構成されている。Ｘシフトレジスタ５１は、端子７２，７３を介して外部より入力されるクロック信号ＣＬＸ１、ＣＬＫ２に基づいて１水平走査期間中にすべてのデータ線３を順番に１回ずつ選択するようなサンプリング信号Ｘ１，Ｘ２，Ｘ３，……Ｘｎを形成してサンプリング用スイッチ５２の制御端子に供給する。一方、前記Ｙシフトレジスタ６１は、端子７７，７８を介して外部から入力されるクロック信号ＣＬＹ１，ＣＬＹ２に同期して動作され、各走査線２を順次駆動する。

【００５４】

図１４（ａ）および（ｂ）には前記液晶パネル用基板を適用した液晶パネル３０の断面構成および平面レイアウト構成を示す。図１４（ａ）に示すように、液晶パネル用基板１０の表面側には透明導電膜（ＩＴＯ）からなる対向電極３３およびブラックマトリックス（必要に応じてカラーフィルタ層が設けられることもある）１３を有する入射側の対向基板３１が適当な間隔をおいて配置され、周囲をシール材３６で封止された間隙内にＴＮ（Twisted Nematic）型液晶またはＳＨ（Super Homeotropic）型液晶３７などが充填されて液晶パネル３０として構成されている。また、周辺回路５０，６０の上方は、例えば対向基板３１に設けられるブラックマトクックス等により遮光されるように構成される。３８は対向基板３１側に設けられる液晶注入口、３９は対向基板３１に設けられるクロム層等からなる見切り用の遮光層である。

【００５５】

図１４（ｂ）に示すように、対向基板３１はＴＦＴ側基板１０よりも一回り小さな形状とされ、対向基板３１よりも外側に露出するＴＦＴ側基板１０の表面に外部入力端子としてのパッド電極７０が形成されており、前述したように、周辺回路５０，６０へクロック信号やスタート信号、ビデオ信号等を入力したりするのに使用される。

【００５６】

次に本実施例の液晶パネルと外部回路との接続について図１８を用いて説明する。図１８は本実施例の外部入力用端子であるパッド電極部７０の第２パッド電極２６と導電粒子１００を接着剤１０１中に分散した異方性導電膜（以下、ＡＣＦと称す。）を介してポリイミドテープに端子を配したＦＰＣ（Ｆｉｌｍ　Ｐｒｉｎｔｅｄ　Ｃｉｒｃｕｉｔ）１０２の端子電極１０３と接続した断面図を示す。ＴＦＴ側基板上の第２パッド電極２６とＦＰＣの端子電極１０３との間にＡＣＦを挟み、加熱加圧によって導電粒子１００を介して電気的に接続し、接着剤１０１によって両電極間を固定保持する。ファイン・ピッチで多数の端子を一括して接続できるため、効率的な方法である。導電粒子１００としてはハンダニッケルなどの金属粒子や金属メッキしたプラスチックボールなどを用いる。

【００５７】

また、図１４（ｂ）に示されるように、ＴＦＴ側基板１０の周縁部には、上記のような外部入出力用のパッド電極部７０の他に、プローブによる検査の際に信号を入出力するのに使用される検査用端子としてのパッド電極１７０が設けられている。一方、対向基板３１にも検査用端子としてのパッド電極２７０が設けられており、これらのパッド電極は、データ線の短絡や画素電極の欠陥等を検査するための信号の入出力に使用される。

【００５８】

なお、８０は対向基板側設けられた対向電極３３に、ＴＦＴ基板１０側から共通電極電位を与えるための上下基板間導通用端子であり、この導通用端子８０も前記実施例（図２（ｂ））と同様な構造とされて、このような構造のパッド電極の上に所定の径を有する導電性接着剤を介在させて対向基板と導通を図るように構成されている。

【００５９】

図１５は前本実施例の液晶パネルをライトバルブとして応用した投写型表示装置の一例としてビデオプロジェクタの構成例が示されている。

【００６０】

図１５において、３７０はハロゲンランプやメタルハライドランプ等の光源、３７１は放物ミラー、３７２は熱線カットフィルター、３７３，３７５，３７６はそれぞれ青色反射、緑色反射、赤色反射のダイクロイックミラー、３７４，３７７は反射ミラー、３７８，

３７９，３８０は本実施例の液晶パネルからなるライトバルブ、３８３はダイクロイックプリズムである。

【００６１】

この実施例のビデオプロジェクタにおいては、光源３７０から発した白色光は放物ミラー３７１により集光され、熱線カットフィルター３７２を通過して赤外域の熱線が遮断されて、可視光のみがダイクロイックミラー系に入射される。そして先ず、青色反射ダイクロイックミラー３７３により、青色光（概ね５０ｎｍ以下の波長）が反射され、その他の光（黄色光）は透過する。反射した青色光は、反射ミラー３７４により方向を変え、青色変調ライトバルブ３７８に入射する。

【００６２】

一方、前記青色反射ダイクロイックミラー３７３を透過した光は緑色反射ダイクロイックミラー３７５に入射し、緑色光（概ね５００～６００ｎｍの波長）が反射され、その他の光である赤色光（概ね６００ｎｍ以上の波長）は透過する。ダイクロイックミラー３７５で反射した緑色光は、緑色変調ライトバルブ３７９に入射する。また、ダイクロイックミラー３７５を透過した赤色光は、反射ミラー３７６，３７７により方向を変え、赤色変調ライトバルブ３８０に入射する。

【００６３】

ライトバルブ３７８，３７９，３８０は、図示しないビデオ信号処理回路から供給される青、緑、赤の原色信号でそれぞれ駆動され、各ライトバルブに入射した光はそれぞれのライトバルブで変調された後、ダイクロイックプリズム３８３で合成される。ダイクロイックプリズム３８３は、赤色反射面３８１と青色反射面３８２とが互いに直交するように形成されている。そして、ダイクロイックプリズム３８３で合成されたカラー画像は、投射レンズ３８４によってスクリーン上に拡大投射され、表示される。

【００６４】

前記実施例の液晶パネル用基板はＴＦＴでのリークが少ないため、これを使用した液晶パネルをライトバルブとした前記ビデオプロジェクターにあっては、コントラストの高い表示画像を得ることができる。

【００６５】

【発明の効果】

以上説明したように、従来は端子としてのパッド電極部がアルミニウム製の場合にはＩＴＯをパターニングするエッチング液やＩＴＯ形成の際のスパッタリングによって腐食されるおそれがあるため、ＩＴＯのパターニングが終了するまで層間絶縁膜でパッドの上を覆っておき、ＩＴＯ画素電極形成後にパッドの上の絶縁膜を開孔するエッチングを行なわなくてはならなかった。そのため、工程数が増えるという問題を有していた。

【００６６】

これに対して、本発明に係る液晶パネル用基板の製造方法は、端子としてのパッド電極部を構成する１層目の導電層（第１パッド電極）をＴＦＴを構成するポリシリコン層と同一の工程で形成するとともに、パッド電極部を構成する２層目の導電層（第２パッド電極）を画素電極を構成するＩＴＯ膜と同一の工程で形成するようにした。このように、本発明方法によれば、パッド電極部分における開孔部の形成を、画素電極とＴＦＴのドレイン領域との接続のためのコンタクトホール形成と同時に行なっておいて、画素電極と同時にパッド電極を形成することができるため、パッド電極部分の開孔形成工程を省略することが可能となり、製造プロセスを簡略化することができるという効果がある。

【００６７】

また、本発明に係る液晶パネル用基板は、端子としてのパッド電極を画素電極を構成するＩＴＯ膜のような導電性透明電極膜で構成するようにしたので、パッド電極がアルミニウムに比べて強度の高いＩＴＯ膜で構成されているためプローブ検査によってパッド電極表面に突起が生じにくくなり、これによって対向基板に設けられる対向電極との接触により生じる上下導通不良を防止するとともに、画素電極６ａ間の短絡部分を再度ＩＴＯパターン用のマスクを使用してフォトリソグラフィ工程により切断する際にエッチング液によっ

てパッド電極が腐食されることがないため、再生処理が行えるという効果がある。

【図面の簡単な説明】

【図１】本発明を適用した液晶パネル用基板の一実施例において、（ａ）は一画素の平面レイアウト図、（ｂ）は端子部の平面図。

【図２】本発明を適用した液晶パネル用基板の一実施例の断面図。

【図３】実施例の液晶パネル用基板のＴＦＴ部の製造プロセス（前半）を工程順に示す断面図。

【図４】実施例の液晶パネル用基板のＴＦＴ部の製造プロセス（中盤）を工程順に示す断面図。

【図５】実施例の液晶パネル用基板のＴＦＴ部の製造プロセス（後半）を工程順に示す断面図。

【図６】実施例の液晶パネル用基板のパッド部の製造プロセス（前半）を工程順に示す断面図。

【図７】実施例の液晶パネル用基板のパッド部の製造プロセス（中盤）を工程順に示す断面図。

【図８】実施例の液晶パネル用基板のパッド部の製造プロセス（後半）を工程順に示す断面図。

【図９】従来の液晶パネル用基板のパッド部の製造プロセス（前半）を工程順に示す断面図。

【図１０】従来の液晶パネル用基板のパッド部の製造プロセス（中盤）を工程順に示す断面図。

【図１１】従来の液晶パネル用基板のパッド部の製造プロセス（後半）を工程順に示す断面図。

【図１２】図３～図１１を１つの図面に表した製造プロセスの比較工程図。

【図１３】本実施例を適用して好適な液晶パネル用基板のシステム構成例を示すブロック図。

【図１４】本実施例に係る液晶パネル用基板を用いた液晶パネルの構成例を示す断面図および平面図。

【図１５】実施例の液晶パネル用基板を用いたＬＣＤをライトバルブとして応用した投射型表示装置の一例としてビデオプロジェクタの概略構成図。

【図１６】従来の液晶パネル用基板において、（ａ）は一画素の平面図を、（ｂ）は端子部の平面図。

【図１７】従来の液晶パネル用基板において、（ａ）は図１６（ａ）におけるＡ－Ａ断面図、（ｂ）は、図１６（ｂ）におけるＢ－Ｂ断面図。

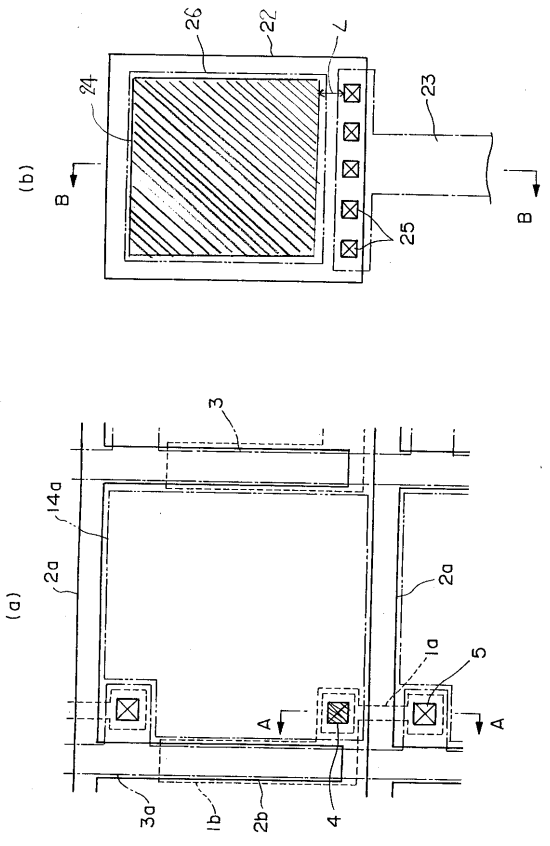
【図１８】本実施例に係わる液晶パネル用基板を用いた液晶パネルの実施例を示す断面図。

【符号の説明】

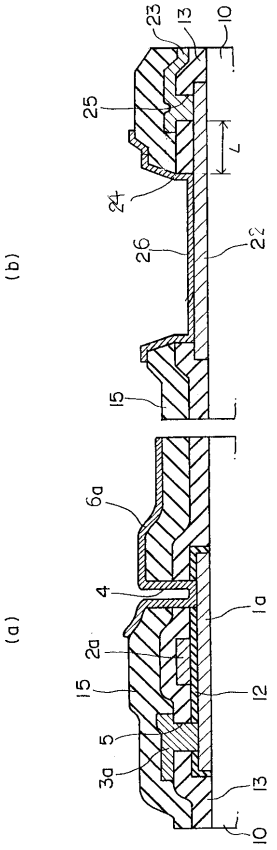
１　ポリシリコン層
１ａ　半導体層（能動層）
２ａ　走査線（ゲート電極）
３　低抵抗導電層（アルミニウム層）
３ａ　データ線
４　画素電極とＴＦＴドレイン領域とのコンタクトホール
５　データ線とＴＦＴソース領域とのコンタクトホール
１０　ガラス基板又は石英基板
１２　ゲート絶縁膜
１３　第１層間絶縁膜
６　ＩＴＯ膜
６ａ　画素電極
１５　第２層間絶縁膜

２０　表示領域
３０　液晶パネル
３１　対向基板
３３　対向電極
３６　シール材
３７　液晶
５０，６０　周辺回路
５１　Ｘシフトレジスタ
５２　サンプリング用スイッチ
５４～５６　ビデオ信号線
６１　Ｙシフトレジスタ
７２～７８　外部入力端子
９０　画素
９１　画素駆動用ＴＦＴ
３７０　ランプ
３７３，３７５，３７６　ダイクロイックミラー
３７４，３７７　反射ミラー
３７８，３７９，３８０　ライトバルブ
３８３　ダイクロイックプリズム
３８４　投射レンズ

【図１】



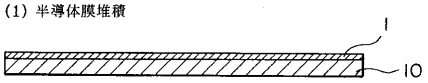
【図２】



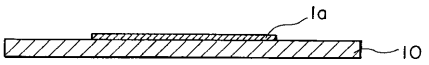
【図３】

<画素ＴＦＴ部>

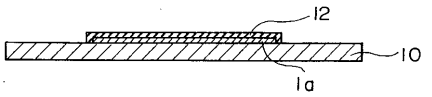
(1) 半導体膜堆積



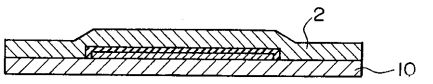
(2) 半導体膜フォト・エッチング



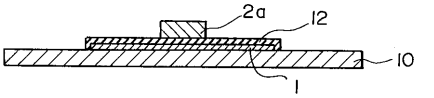
(3) ゲート酸化膜形成



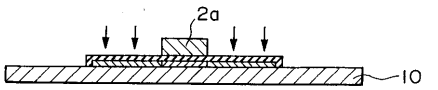
(4) ゲート電極 (Poly-Si) 膜堆積



(5) ゲート電極 (Poly-Si) フォト・エッチング

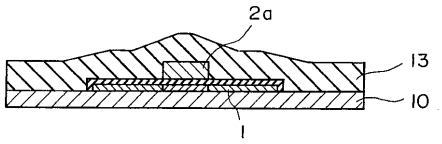


(6) イオン打ち込み (ソース・ドレイン形成)

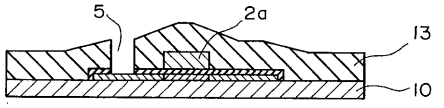


【図４】

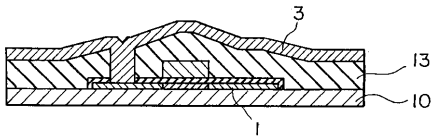
(7) 第１層間絶縁膜（ＮＳＧ）堆積



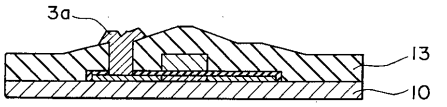
(8) ソース電極（ＡＬ）導通部開孔



(9) ソース電極（ＡＬ）膜形成

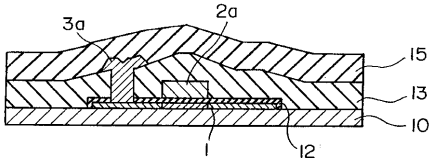


(10) ソース電極（ＡＬ）フォト・エッチング

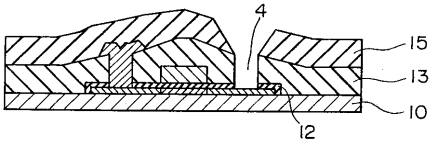


【図５】

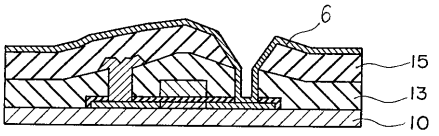
(11) 第２層間絶縁膜（ＢＰＳＧ）堆積



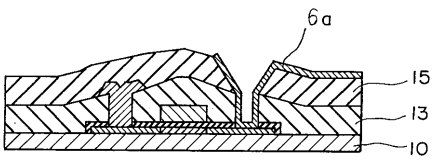
(12) 画素電極（ＩＴＯ）導通部開孔



(13) 画素電極（ＩＴＯ）膜形成



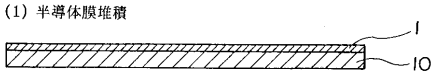
(14) 画素電極（ＩＴＯ）フォト・エッチング



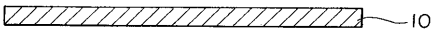
【図６】

<本発明端子部>

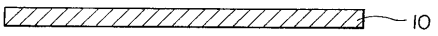
(1) 半導体膜堆積



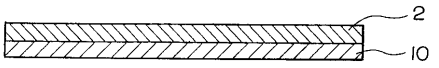
(2) 半導体膜フォト・エッチング



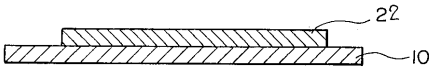
(3) ゲート酸化膜形成



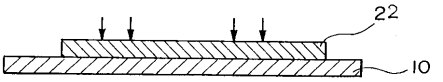
(4) ゲート電極 (Poly-Si) 膜堆積



(5) ゲート電極 (Poly-Si) フォト・エッチング

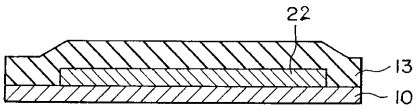


(6) イオン打ち込み (ソース・ドレイン形成)

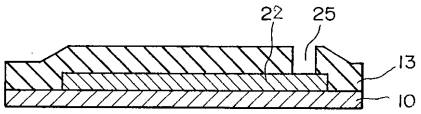


【図７】

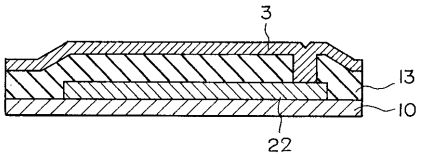
(7) 第１層間絶縁膜（ＮＳＧ）堆積



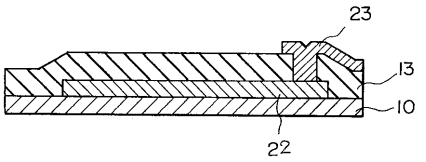
(8) ソース電極（ＡＬ）導通部開孔



(9) ソース電極（ＡＬ）膜形成

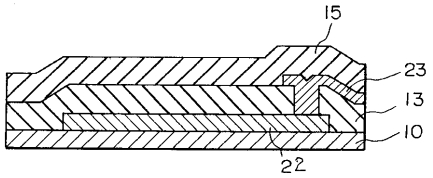


(10) ソース電極（ＡＬ）フォト・エッチング

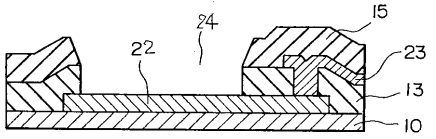


【図８】

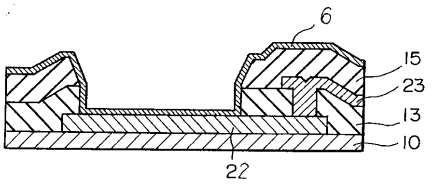
(11) 第２層間絶縁膜（ＢＰＳＧ）堆積



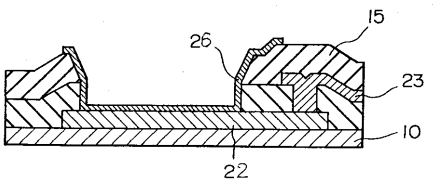
(12) 画素電極（ＩＴＯ）導通部開孔



(13) 画素電極（ＩＴＯ）膜形成



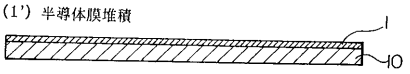
(14) 画素電極（ＩＴＯ）フォト・エッチング



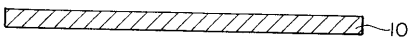
【図９】

<従来端子部>

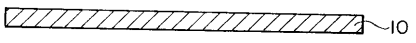
(1') 半導体膜堆積



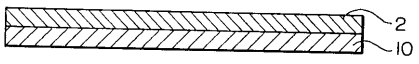
(2') 半導体膜フォト・エッチング



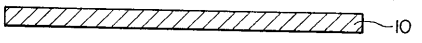
(3') ゲート酸化膜形成



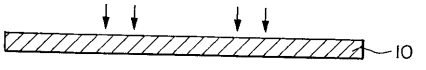
(4') ゲート電極（Poly-Si）膜堆積



(5') ゲート電極（Poly-Si）フォト・エッチング

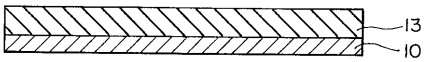


(6') イオン打ち込み（ソース・ドレイン形成）

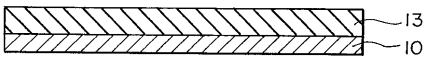


【図１０】

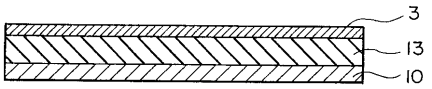
(7') 第１層間絶縁膜（ＮＳＧ）堆積



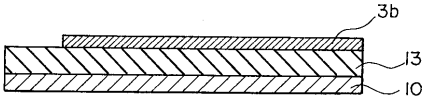
(8') ソース電極（ＡＬ）導通部開孔



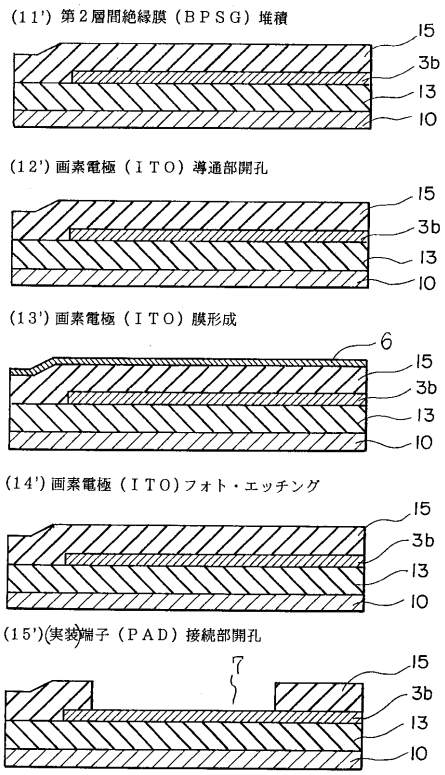
(9') ソース電極（ＡＬ）膜形成



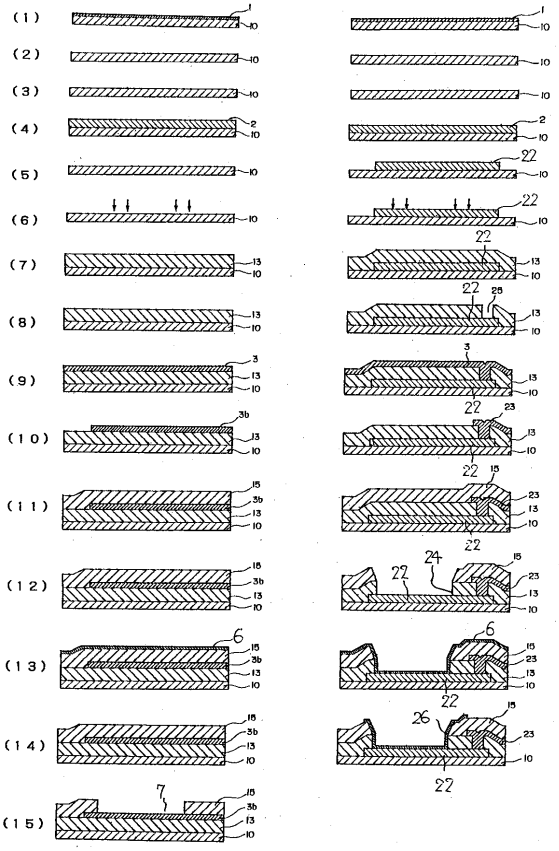
(10') ソース電極（ＡＬ）フォト・エッチング



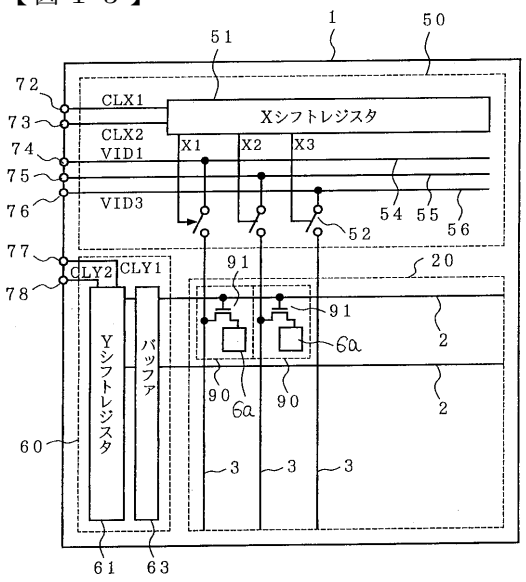
【図１１】



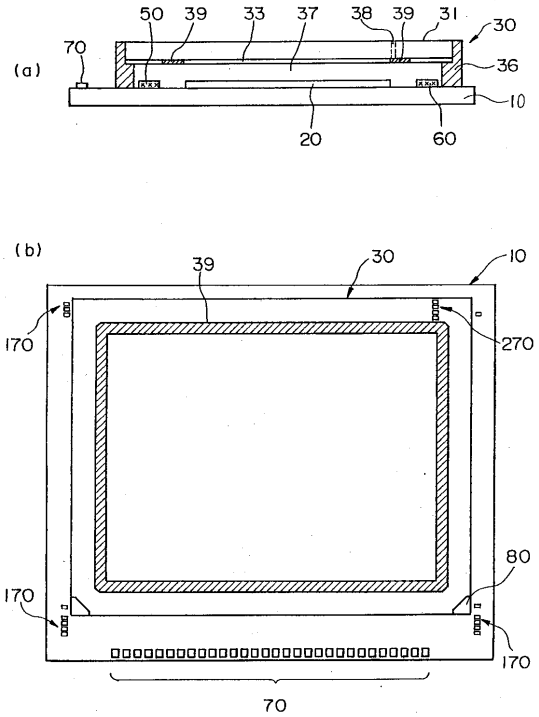
【図１２】



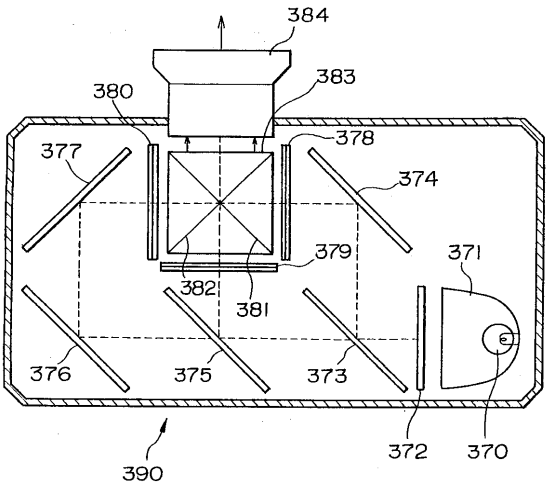
【図１３】



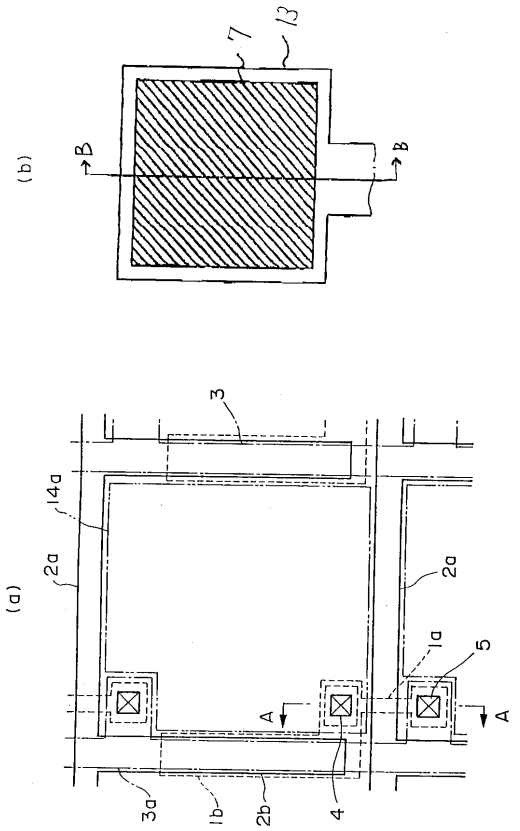
【図１４】



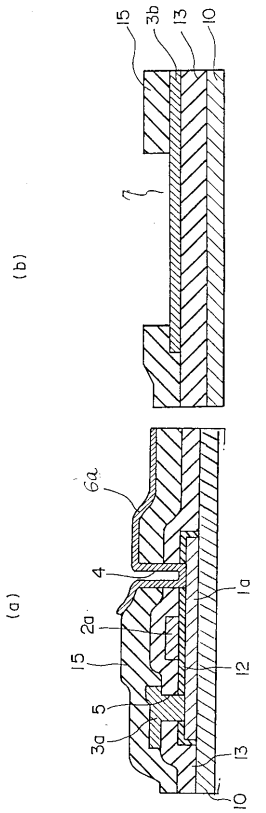
【図１５】



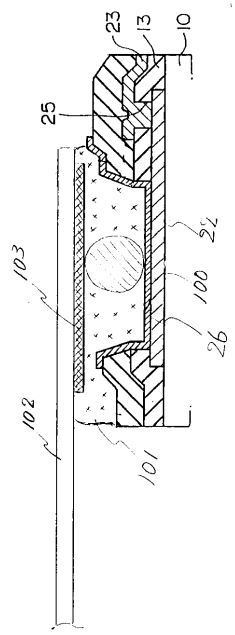
【図１６】



【図１７】



【図１８】



フロントページの続き

合議体
審判長　向後　晋一
審判官　樋口　信宏
審判官　鈴木　俊光

(56)参考文献　特開平１－２３７６２２（ＪＰ，Ａ）
特開昭６４－１９３２４（ＪＰ，Ａ）