



(12) 发明专利

(10) 授权公告号 CN 107092572 B

(45) 授权公告日 2020. 12. 29

(21) 申请号 201611121220.5

(22) 申请日 2010.09.24

(65) 同一申请的已公布的文献号
申请公布号 CN 107092572 A

(43) 申请公布日 2017.08.25

(30) 优先权数据
2009-219691 2009.09.24 JP
2009-221468 2009.09.25 JP

(62) 分案原申请数据
201080039726.6 2010.09.24

(73) 专利权人 东芝存储器株式会社
地址 日本东京都

(72) 发明人 藤本曜久

(74) 专利代理机构 北京市中咨律师事务所
11247

代理人 刘瑞东 段承恩

(51) Int.Cl.
G06F 13/42 (2006.01)
G06F 12/06 (2006.01)

审查员 徐生芹

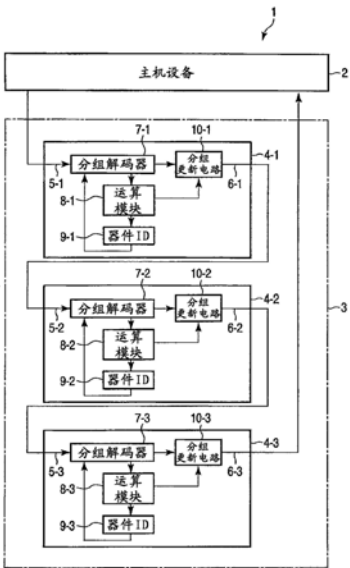
权利要求书2页 说明书16页 附图10页

(54) 发明名称

半导体装置及主机设备

(57) 摘要

本发明提供半导体装置及主机设备。半导体装置(3)具备第1器件(4-1)及第2器件(4-2),它们分别具备:解析接收的分组指令,确定由分组指定的处理的解码器(7);根据分组内的信息产生固有的器件编号的产生电路(8);保持产生的固有的器件编号的寄存器(9);和更新并输出分组内的信息的更新电路(10)。第2器件(4-2)接收第1器件(4-1)中更新了信息的分组,并且第2器件(4-2)的产生电路(8-1)产生不同于第1器件(4-1)的器件编号。



1. 一种半导体装置，

具备器件，上述器件具备：解析接收的分组指令，确定由上述分组指定的处理的解码器；根据上述分组内的信息产生固有的器件编号的产生电路；保持产生的上述固有的器件编号的寄存器；和更新并输出上述分组内的信息的更新电路，

在从主机分发的上述分组经由一个或多个上述器件返回主机的广播分组中，上述分组为确定固有器件编号的指令分组的情况下，上述指令分组包含第1字段的第1值和第2字段的第2值，

上述器件根据上述第2字段的第2值，判断是否从上述主机最初接受了确定上述固有器件编号的上述指令分组，

在判断为从上述主机最初接受了确定上述固有器件编号的上述指令分组的情况下，在上述第1值为特定的值的情况下，上述器件编号由从上述主机最初接受了上述指令分组的器件确定为0以外的值，在上述第1值为特定的值以外的值的情况下，上述器件编号由上述主机确定，将确定的上述器件编号设定在上述寄存器，将上述指令分组内的上述第1值更新为上述确定的上述器件编号，作为上述器件编号的初始值，使上述指令分组内的上述第2值增量，作为上述器件编号的最终值，并在存在下一个器件的情况下，将上述指令分组仅发送至下一个器件，在不存在下一个器件的情况下，将上述指令分组发送至上述主机，

在判断为没有从上述主机最初接受确定上述固有器件编号的上述指令分组的情况下，通过接收的上述指令分组内的上述第1值，算出与已确定器件编号的其他器件不同且为0以外的值的器件编号，将其设定在上述寄存器，不更新上述指令分组内的上述第1值，将上述指令分组内的上述第2值增量，作为上述器件编号的最终值，并在存在下一个器件的情况下，将上述指令分组仅发送至下一个器件，在不存在下一个器件的情况下，将上述指令分组发送至上述主机，

上述第1值及第2值的更新数据，在上述指令分组内，记录在与更新前的数据相同的字段。

2. 一种半导体装置，

具备器件，上述器件具备：解析接收的分组指令，确定由上述分组指定的处理的解码器；根据上述分组内的信息产生固有的器件编号的产生电路；保持产生的上述固有的器件编号的寄存器；和更新并输出上述分组内的信息的更新电路，

在从主机分发的上述分组经由一个或多个上述器件返回主机的广播分组中，上述分组为确定固有器件编号的指令分组的情况下，上述指令分组包含第1字段的第1值和第2字段的第2值，

上述器件，

在判断为从上述主机最初接受了确定上述固有器件编号的上述指令分组的情况下，在上述第1值为特定的值的情况下，上述器件编号由从上述主机最初接受了上述指令分组的器件确定为0以外的值，在上述第1值为特定的值以外的值的情况下，上述器件编号由上述主机确定，将确定的上述器件编号设定在上述寄存器，将上述指令分组内的上述第1值更新为上述确定的上述器件编号，作为上述器件编号的初始值，使上述指令分组内的上述第2值更新为1，作为上述器件的器件数，在存在下一个器件的情况下，将上述指令分组仅发送至下一个器件，在不存在下一个器件的情况下，将上述指令分组发送至上述主机，

在判断为没有从上述主机最初接受确定上述固有器件编号的上述指令分组的情况下，通过接收到的上述指令分组内的上述第1值，算出与已确定器件编号的其他器件不同且为0以外的值的器件编号，将其设定在上述寄存器，不更新上述指令分组内的上述第1值，将上述指令分组内的上述第2值增量，作为上述器件数，并在存在下一个器件的情况下，将上述指令分组仅发送至下一个器件，在不存在下一个器件的情况下，将上述指令分组发送至上述主机，

上述第1值及第2值的更新数据，在上述指令分组内，记录在与更新前的数据相同的字段。

3. 如权利要求2所述的半导体装置，

没有从上述主机最初接受上述指令分组的上述器件的器件编号是接收的上述指令分组内的上述第1值和上述第2值相加的值。

4. 一种主机设备，其连接有多个器件，

上述主机设备，

向第1器件分发将第1字段的第1值及第2字段的第2值设定成预定的值的第1分组，并且，经由全部上述器件，仅从最终器件接收对上述第1值和上述第2值分别进行修正后的最终分组，

将上述接收到的最终分组中的上述第1值识别为分配给各个上述器件的器件编号的初始值，将上述第2值识别为最终值，根据上述最终分组内的修正后的上述第1值及上述第2值，识别连接的上述器件的数及向上述器件分配的器件编号，

通过将上述第1值设为特定的值，上述第1器件的器件编号由上述第1器件确定为0以外的值，通过将上述第1值设为特定的值以外的值，上述第1器件的器件编号由上述主机设备确定，

上述第1值及第2值的修正数据，在上述第1分组内，记录在与修正前的数据相同的字段。

5. 一种主机设备，其连接有多个器件，

上述主机设备，

向第1器件分发将第1字段的第1值和第2字段的第2值设定成预定的值的第1分组，并且，经由全部的上述器件，仅从最终器件接收对上述第1值和第2值分别进行修正后的最终分组，

上述主机设备将上述最终分组内的修正后的上述第1值识别为上述第1器件的器件编号，上述第2值识别为器件数，

根据上述最终分组内的修正后的上述第1值和上述第2值，算出上述多个器件的上述器件编号，

通过将上述第1值设为特定的值，上述第1器件的器件编号由上述第1器件确定为0以外的值，通过将上述第1值设为特定的值以外的值，上述第1器件的器件编号由上述主机设备确定，

上述第1值及第2值的修正数据，在上述第1分组内，记录在与修正前的数据相同的字段。

半导体装置及主机设备

[0001] 本申请是申请日为2010年9月24日、申请号为201080039726.6、发明名称为“半导体装置及主机设备”的中国专利申请的分案申请。

技术领域

[0002] 本发明的实施方式涉及半导体装置及主机设备。

背景技术

[0003] 作为采用NAND型闪速存储器的存储系统已知有SD™卡。另外，作为SD卡和主机设备之间的接口已知有SD接口。

[0004] 专利文献1：美国专利第6,820,148号说明书。

发明内容

[0005] 本发明提供可抑制构成的复杂化，并向各器件赋予固有的ID的半导体装置及主机设备。

[0006] 实施方式的半导体装置，具备第1器件及第2器件，上述第1器件及第2器件分别具备：解析接收的分组的指令，确定由上述分组指定的处理的解码器；根据上述分组内的信息产生固有的器件编号的产生电路；保持产生的上述固有的器件编号的寄存器；和更新上述分组内的信息并进行输出的更新电路。上述第2器件接收由上述第1器件更新了上述信息的上述分组，并且，上述第2器件的上述产生电路产生不同于上述第1器件的上述器件编号。

[0007] 另一实施方式的半导体装置，

[0008] 具备器件，上述器件具备：解析接收的分组的指令，确定由上述分组指定的处理的解码器；根据上述分组内的信息产生固有的器件编号的产生电路；保持产生的上述固有的器件编号的寄存器；和更新并输出上述分组内的信息的更新电路，

[0009] 在从主机分发的上述分组经由一个或多个上述器件返回主机的广播分组中，上述分组为确定固有器件编号的指令分组的情况下，上述指令分组包含表示上述器件编号的初始值和最终值的参数，

[0010] 上述器件根据上述最终值，判断是否从上述主机最初接受了确定上述固有器件编号的上述指令分组，

[0011] 在判断为从上述主机最初接受了确定上述固有器件编号的上述指令分组的情况下，根据接收的上述指令分组的上述初始值确定器件编号，将确定的上述器件编号设定在上述寄存器，将上述指令分组内的上述初始值及最终值更新为上述确定的上述器件编号，并将上述指令分组发送至下一个器件或上述主机，并且在上述初始值为特定的值的情况下，上述器件编号由从上述主机最初接受了上述指令分组的器件确定为0以外的值，在上述初始值为特定的值以外的值的情况下，由上述主机确定，

[0012] 在判断为没有从上述主机最初接受确定上述固有器件编号的上述指令分组的情况下，通过使接收的上述指令分组内的上述最终值增量，算出与已确定器件编号的其他器

件不同且为0以外的值的器件编号,将其设定在上述寄存器,不更新上述指令分组内的上述初始值,将上述最终值更新为上述算出的上述器件编号,并将上述指令分组发送至下一个器件或上述主机,

[0013] 上述初始值及最终值的更新数据,在上述指令分组内,记录在与更新前的数据相同的字段。

[0014] 另一实施方式的半导体装置,

[0015] 具备器件,上述器件具备:解析接收的分组的指令,确定由上述分组指定的处理的解码器;根据上述分组内的信息产生固有的器件编号的产生电路;保持产生的上述固有的器件编号的寄存器;和更新并输出上述分组内的信息的更新电路,

[0016] 在从主机分发的上述分组经由一个或多个上述器件返回主机的广播分组中,上述分组为确定固有器件编号的指令分组的情况下,上述指令分组包含表示上述器件编号的初始值和最终值的参数,

[0017] 上述器件,

[0018] 在判断为从上述主机最初接受了确定上述固有器件编号的上述指令分组的情况下,根据接收的上述指令分组的上述初始值确定器件编号,将确定的上述器件编号设定在上述寄存器,将上述指令分组内的上述初始值更新为上述确定的上述器件编号,并将上述器件数更新为1,将上述指令分组发送至下一个器件或上述主机,并且在上述初始值为特定的值的情况下,上述器件编号由从上述主机最初接受了上述指令分组的器件确定为0以外的值,在上述初始值为特定的值以外的值的情况下,由上述主机确定,

[0019] 在判断为没有从上述主机最初接受确定上述固有器件编号的上述指令分组的情况下,通过使接收的上述指令分组内的上述器件数增量,算出与已确定器件编号的其他器件不同且为0以外的值的器件编号,将其设定在上述寄存器,不更新上述指令分组内的上述初始值,将上述器件数更新为增量后的值,并将上述指令分组发送至下一个器件或上述主机,

[0020] 上述初始值及器件数的更新数据,在上述指令分组内,记录在与更新前的数据相同的字段。

[0021] 另一实施方式的主机设备,其连接有多个器件,其特征在于,

[0022] 上述主机设备,

[0023] 向第1器件分发将器件编号的初始值及最终值设定成预定的值的第1分组,并且,经由全部上述器件,从最终器件接收上述初始值及上述最终值的修正后的最终分组,

[0024] 根据上述最终分组内的修正后的上述初始值及上述最终值,识别连接的上述器件的数及向上述器件分配的器件编号,

[0025] 通过将上述初始值设为特定的值,上述第1器件的器件编号由上述第1器件确定为0以外的值,通过将上述初始值设为特定的值以外的值,上述第1器件的器件编号由上述主机设备确定,

[0026] 上述初始值及最终值的修正数据,在上述第1分组内,记录在与修正前的数据相同的字段。

[0027] 另一实施方式的主机设备,其连接有多个器件,其特征在于,

[0028] 上述主机设备,

[0029] 向第1器件分发将器件编号的初始值及器件数设定成预定的值的第1分组,并且,经由全部的上述器件,从最终器件接收上述初始值及上述器件数的修正后的最终分组,

[0030] 上述主机设备将上述最终分组内的修正后的上述初始值识别为上述第1器件的上述器件ID,

[0031] 根据上述最终分组内的修正后的上述初始值和上述器件数,算出上述多个器件的上述器件编号,

[0032] 通过将上述初始值设为特定的值,上述第1器件的器件编号由上述第1器件确定为0以外的值,通过将上述初始值设为特定的值以外的值,上述第1器件的器件编号由上述主机设备确定,

[0033] 上述初始值及最终值的修正数据,在上述第1分组内,记录在与修正前的数据相同的字段。

附图说明

[0034] 图1是第1实施方式的半导体系统的方框图。

[0035] 图2是第1实施方式的帧格式的概念图。

[0036] 图3是第1实施方式的主机设备的动作流程图。

[0037] 图4是第1实施方式的器件的动作流程图。

[0038] 图5是第1实施方式的半导体系统的方框图。

[0039] 图6是第2实施方式的存储系统的方框图。

[0040] 图7是第2实施方式的半导体系统的方框图。

[0041] 图8是第2实施方式的半导体系统的方框图。

[0042] 图9是第2实施方式的半导体系统的方框图。

[0043] 图10是第3实施方式的存储系统的方框图。

[0044] 图11是第1至第3实施方式的主机设备的方框图。

[0045] 图12是第1至第3实施方式的变形例的帧格式的概念图。

[0046] 图13是第1至第3实施方式的变形例的器件的动作流程图。

[0047] 图14是第1至第3实施方式的变形例的半导体系统的方框图。

[0048] 图15是第1至第3实施方式的变形例的帧格式的概念图。

[0049] 标号说明:

[0050] 1…半导体系统,2…主机设备,3…半导体装置,4-1~4-5…电子器件,5-1~5-3,30…输入信号引脚(pin),6-1~6-3,31…输出信号引脚,7-1~7-3,33…分组(packet)解码器,8-1~8-3,34…运算模块,9-1~9-5…寄存器,10-1~10-3…分组更新电路,11…分组,11-1~11-5…字段,12,12-1,12-2…集线器,20…存储系统,21…控制器,22…卡槽,23…CPU,24…系统存储器,25-1~25-5…控制器,26-1~26-5…器件部,36…分组产生部,32…输入输出引脚,35…存储器

具体实施方式

[0051] SD接口中,根据选择器件的地址(relative card address:RCA),可将多个器件连接到一条总线。但是,若要采用该方法由一个主机设备控制更多的器件,则存在主机设备的

构成、设计复杂化且器件的地址可能重复的问题。

[0052] 以下,参照附图说明几个实施方式。在该说明时,在全部附图向共同部分附上共同的参考标号。但是,附图只是示意,当然也包含附图相互间相互尺寸的关系和/或比率不同的部分。

[0053] 另外,以下所示各实施方式例示了将本技术思想具体化的装置、方法,该技术思想不限于构成部件的材质、形状、构造、配置等。该技术思想可以在权利要求的范围中附加各种变更。

[0054] 另外,各实施方式中的各功能块可以由硬件、计算机软件之一或两者的组合实现。因而,为了明确各块,以下从功能的观点概略进行说明。这样的功能作为硬件执行或作为软件执行,依赖于具体对实施形态或系统整体的设计制约。本专业技术人员可以在各个具体实施形态以各种方法实现这些功能,这样的实现也是本发明的范畴所包含的。

[0055] [第1实施方式]

[0056] 说明第1实施方式的半导体装置及主机设备。图1是具备本实施方式的半导体装置及主机设备的半导体系统的一例方框图。

[0057] <半导体系统的构成>

[0058] 图示的半导体系统1具备主机设备2和半导体装置3。

[0059] 主机设备1及各电子器件中,主机设备1包括至少一个输入端口和输出端口,经由该端口,主机设备1控制半导体装置3的动作,负责半导体系统1的动作。例如,各端口由LVDS (low voltage differential Signaling, 低压差分信号) 方式等的动作对构成。

[0060] 主机设备2将包含指令、数据的分组(packet, 数据包) 组装,向半导体装置3发送,控制半导体装置3的动作。另外,接收从半导体装置3发送的分组,根据接收的分组进行动作。

[0061] 半导体装置3具备多个电子器件4。图1作为一例,例示了包含3个电子器件4的情况。以下,区别称呼3个电子器件4时,分别称为电子器件4-1~4-3。

[0062] 本例中,电子器件4分别具备输入信号引脚5、输出信号引脚6、分组解码器7、运算模块8、寄存器9及分组更新电路10。同样对于这些,在区别称呼电子器件4-1~4-3时,分别称为输入信号引脚5-1~5-3、输出信号引脚6-1~6-3、分组解码器7-1~7-3、运算模块8-1~8-3、寄存器9-1~9-3及分组更新电路10-1~10-3。

[0063] 由多个信号构成的输入信号引脚5起到至少一个输入端口的功能,接收从外部提供的分组。然后将接收的分组向分组解码器7转送。

[0064] 分组解码器7构成为可解析从输入信号引脚5转送的分组。分组解码器7根据分组报头内的指令编号,识别分组的种类。然后,分组解码器7命令运算模块8以根据分组的种类进行必要的运算。如果需要,命令分组更新电路10以更新接收的分组。

[0065] 运算模块8构成为可根据分组解码器7的命令执行必要的运算。运算内容的一例是器件ID的算出。在器件ID算出时,将其在寄存器9保持。器件ID是各电子器件4固有的编号,通过器件ID,主机设备2可识别各电子器件4。另外,分组解码器7在接收的分组不是广播(broadcast) 的场合(例如单播(unicast) 或多播(multicast)),通过比较在分组内作为目的地信息包含的器件ID和寄存器9内的器件ID,可判断该分组是否发往自身。

[0066] 分组更新电路10更新接收的分组的载荷(payload) 的内容,从由多个信号构

成且起到至少一个输出端口的功能的输出信号引脚6向外输出分组。例如在运算模块8中算出器件ID的场合,根据该算出结果更新有效载荷的内容。

[0067] 具有上述构成的3个电子器件4-1~4-3与图1所示主机设备2链接(或称为链式连接)。即,从主机设备2发送的分组首先由电子器件4-1接收,然后从电子器件4-1向电子器件4-2转送,再从电子器件4-2向电子器件4-3转送,从电子器件4-3的输出信号引脚6-3输出的分组返回主机设备2。另外,图1的半导体装置3也包含后述的图6所示的包括电子器件4-1~4-3及集线器(hub)12的情况。

[0068] <分组的构成>

[0069] 接着,说明上述分组的构成。图2是分组的概念图,作为一例,表示了指定各电子器件4的器件ID时分发的分组。

[0070] 如图示,分组11大致包含分组报头和有效载荷。分组中有效载荷是成为要发送内容的正文的数据部分,分组报头是其附加信息。

[0071] 分组报头至少包含字段(field)11-1、11-2。在字段11-1存储成为该分组的目的地器件ID。在字段11-2存储指令编号,对该分组进行的动作由该指令编号指定。图2中,虽然图示省略,分组报头除了这些字段,还可以包含存储成为分组的发送源的器件ID(或主机设备2的ID)和/或分组的尺寸等的信息的字段。

[0072] 有效载荷根据要发送的内容,存储各种数据。在指定器件ID时分发的分组中,至少包含字段11-3、11-4。字段11-3是表示开始器件ID(start device number,开始器件编号)的字段,该值由从主机设备2最初接收分组的电子器件4确定。字段11-4存储电子器件4的数。分组在各电子器件4周转的过程中,通过使字段11-4的值增量,主机设备2可以识别电子器件4的总数。另外,主机设备2根据字段11-3、11-4的值,可以指定各电子器件4的器件ID。以下详述本动作。

[0073] 另外,字段11-4除了电子器件4的数以外,还可以显示最终器件编号(last device number)。若知道最终器件编号和最初器件编号,则可以通过减法计算器件数,因此可以与本实施方式同样处理。最终器件编号信息包含于分组的场合,与本实施方式不同,将在后说明。

[0074] <主机设备2的动作>

[0075] 接着,用图3说明指定电子器件4的器件ID时上述构成的主机设备2的动作。图3是器件ID指定时的主机设备2的动作流程图。

[0076] 如图示,主机设备2首先组装用于指定器件ID的分组(步骤S10)。即,在分组报头的指令编号(字段11-2)设置用于指定器件ID的指令(以下,称为初始化指令),作为有效载荷的开始器件ID(字段11-3)和器件数(字段11-4)的值,设置初始值(本实施方式为零)。

[0077] 然后,主机设备2将步骤S10组装的分组向电子器件4发送(步骤S11)。分组通过广播发送或通过单播(或多播)发送,这按指令预先确定。初始化指令是广播指令。从而,无视(忽视)分组报头的字段11-1中的目的地,在为图1的连接关系的场合,分组向链接的最初的电子器件4-1发送。另外在广播的场合,表示分组的目的地字段11-1被无视。

[0078] 然后主机设备2从链接的最初的电子器件4-1接收分组(步骤S12)。这样,主机设备2读取接收的分组内的最初的器件ID(字段11-3)和器件数(字段11-4)(步骤S13)。字段11-3的值是链接的最初的电子器件4-1的器件ID,字段11-4的值是链接的电子器件4-1~4-3的

总数(本例为3个)。

[0079] 接着主机设备2采用字段11-3、11-4的值进行预定的运算,掌握各电子器件4-2、4-3的器件ID和全器件数(步骤S14)。可识别的器件数由器件ID字段的比特数确定。预定的运算是指电子器件4-2、4-3相对于开始器件ID算出自身的ID的法则,例如按器件数加一。从而,例如,从电子器件4-3接收的分组中的开始器件ID的值为“n(n是自然数)”时,可知电子器件4-1的器件ID为“n”,电子器件4-2的器件ID为“n+1”,电子器件4-3的器件ID为“n+2”。

[0080] 然后,主机设备2采用步骤S14获得的器件ID,如下分别管理电子器件4-1~4-3。然后,用该器件ID与各电子器件4-1~4-3通信,掌握电子器件4-1~4-3的种类(例如是存储器或I/O设备或卡器件等),结束初始化。

[0081] <电子器件4的动作>

[0082] 接着,用图4说明电子器件4的动作。图4是接收包含初始化指令的分组时的电子器件4的动作流程图,是电子器件4-1~4-3共同的流程图。

[0083] 如图示,电子器件4在输入信号引脚5接收分组(步骤S20)。然后,分组解码器7从接收的分组的字段11-2的指令编号识别到该分组包含初始化指令后,命令运算模块8进行自身的器件ID的算出。

[0084] 接受命令的运算模块8确认接收的分组的字段11-3的值(开始器件ID)是否为主机设备2设定的预定的值(本实施方式为零)(步骤S21)。若为零(步骤S22,是),则运算模块8确定零以外的任意的编号为自身的器件ID,并命令分组更新电路10,将字段11-3的值(开始器件ID)更新为确定的器件ID。从而分组更新电路10更新字段11-3。另外,使用零以外的编号的理由是:零是作为主机设备2的器件ID而分配的。

[0085] 另一方面,字段11-3的值若不是主机设备2设定的预定的值(步骤S22,否),则维持字段11-3的值(步骤S24)。即,运算模块8不命令分组更新电路10进行字段11-3的值的更新。然后,采用字段11-3进行预定的运算,算出自身的器件ID(步骤S25)。本步骤S25中的运算与图3的步骤S14进行的运算相同,例如使字段11-3(开始器件ID)按与字段11-4(器件数)相应的次数增量。

[0086] 然后,运算模块8将步骤S23或S25确定的自身的器件ID在寄存器9存储(步骤S26)。

[0087] 而且,按照分组解码器7或运算模块8的命令,分组更新电路10更新(增量)接收的分组的字段11-4的值。然后,分组更新电路10输出更新了字段11-4或更新了字段11-3和11-4的两者的分组。

[0088] <半导体系统1的动作>

[0089] 接着,用图5说明指定电子器件4的器件ID时的半导体系统1全体的动作。图5是半导体系统1的方框图。图中,在各设备间的箭头旁边附记的四角符表示分组的有效载荷的内容,左侧是字段11-3(开始器件ID),右侧是字段11-4(器件数)。

[0090] 如图示,首先从主机设备2广播包含初始化指令的分组。此时,分组的字段11-3、11-4的值是由主机设备2设定的预定的值(零)(图3的步骤S10、S11)。该分组首先由电子器件4-1接收。

[0091] 电子器件4-1中,字段11-3的值为“0”(图4的步骤S22,是),因此将任意的编号确定为自身的器件ID。图5的例中是“5”。然后,字段11-3从“0”更新为“5”(同图步骤S23),使字段11-4的值增一,从“0”更新为“1”(同图步骤S27),并将其输出。

[0092] 从电子器件4-1输出的分组接着由电子器件4-2接收。电子器件4-2中,字段11-3的值不是“0”(图4的步骤S22,否),因此,通过预定的运算方法算出自身的器件ID(同图步骤S25)。即,通过使字段11-3的值以字段11-4的值增量,将自身的器件ID确定为“5”+“1”=“6”。然后维持字段11-3的值(同图步骤S24),使字段11-4的值增量,从“1”更新为“2”(同图步骤S27),并将其输出。

[0093] 从电子器件4-2输出的分组接着由电子器件4-3接收。字段11-3的值仍然不是“0”(图4的步骤S22,否),因此,电子器件4-3通过预定的运算方法算出自身的器件ID(同图步骤S25)。即,通过使字段11-3的值以字段11-4的值增量,将自身的器件ID确定为“5”+“1”+“1”=“7”。然后,维持字段11-3的值(同图步骤S24),使字段11-4的值增量,从“2”更新为“3”(同图步骤S27),并将其输出。

[0094] 从电子器件4-3输出的分组由主机设备2接收。该分组的字段11-3的值为“5”,字段11-4的值为“3”。从而,主机设备可以掌握电子器件4-1的器件ID为“5”,电子器件4的总数为“3”(图3的步骤S13)。然后,主机设备2掌握链接的第2个电子器件4-2的器件ID是电子器件4-1的器件ID“5”加“1”后的“6”,链接的第3个电子器件4-3的器件ID是电子器件4-1的器件ID“5”加“2”后的“7”(步骤S14)。

[0095] 然后,主机设备2分别通过“5”~“7”的器件ID管理电子器件4-1~4-3。即,例如对电子器件4-2发送数据的场合,作为分组的目的地,在字段11-1设置器件ID=“6”。这样,电子器件4-2中,由于接收的分组的字段11-1的值和寄存器9的值一致,因此可以判断其是发往自身的分组。另一方面,电子器件4-1、4-3中,由于接收的分组的字段11-1的值和寄存器9内的值不一致,因此可知其不是发往自身的分组。另外,电子器件4成为发送源,向主机设备2发送分组时,作为其目的地,在字段11-1设置器件ID=“0”。

[0096] 另外,也可以在电子器件4间进行分组的收发。例如主机设备2命令电子器件4-1向电子器件4-3转送数据的场合,在分组的字段11-1设置器件ID=“5”。另外作为有效载荷,设置要转送的数据和成为其目的地的器件ID=“7”。接收它的电子器件4-3在字段11-1设置器件ID=“7”,发送在有效载荷设置了要转送的数据的分组。这样,该分组可以在电子器件4-3中接收。

[0097] <本实施方式的效果>

[0098] 如上所述,根据第1实施方式的半导体装置及主机设备,可以抑制构成的复杂化,并向各器件赋予固有的ID。以下说明本效果。

[0099] 传统,已知各种将多个电子器件与同一总线连接的方法。但是,若是由主机控制并设定固有编号的传统方法,则为了识别各电子器件,必须为电子各器件准备不同信号线并用各信号线连接电子器件和主机设备,或需要用于产生识别用的ID的追加信号,存在构成复杂化的问题。近年,更多内置器件与一个主机设备连接的要求越来越高。从而,例如在对每个内置器件准备信号线的方法中,存在构成更复杂化且无效率的问题。

[0100] 另外如背景技术所述,SD接口中,通过采用RCA,可以将多个器件连接到一个总线。请求RCA的指令在SD接口中,准备了指令CMD3。CMD3分发后,电子器件产生RCA并向主机设备发送。但是,各电子器件在不考虑其他电子器件的RCA的情况下随机产生RCA。RCA例如为16比特的值,连接的电子器件数若不多,则电子器件间RCA重复的可能性小。但是该可能性不为零,因此,主机设备必须确认各电子器件分发的RCA是否在电子器件间重复。若重复则必

须命令电子器件再度产生RCA。

[0101] 这样,根据本实施方式的构成,可以消除上述传统的问题。首先,主机设备2广播请求各电子器件4的器件ID的分组。该分组被分发给各电子器件4中的各个器件ID,并按照连接顺序依次在电子器件4间转送。从而,不必为电子各器件准备信号线,主机设备具有至少一个输出端口和一个输入端口即可。因此,构成可以简化。

[0102] 另外,可设定按电子器件4各异的器件ID。这是因为在每次通过电子器件4时,分组内的器件ID相关的信息更新。具体地说,从主机设备2最初接收分组的电子器件4-1任意确定自身的器件ID。然后,在分组内存储自身的器件ID相关的信息(器件ID和器件数),向下一个电子器件4-2转送。接着接收分组的电子器件4-2从接收的分组可以知道电子器件4-1的器件ID。从而,电子器件4-2通过对电子器件4-1的器件ID进行预定的运算,可以将不同于电子器件4-1的器件ID设定为自身的器件ID。

[0103] 该情况在以下的电子器件4-3也同样。即在电子器件4-3接收的分组存储了电子器件4-1的器件ID与电子器件4-3间通过的电子器件数。从而,电子器件4-3可以掌握电子器件4-1、4-2的器件ID。因此,电子器件4-3可以将不同于电子器件4-1、4-2的器件ID设定为自身的器件ID。

[0104] 结果,各电子器件4可以设定互异的器件ID。因此,主机设备2不必确认器件ID的重复的有无,可以使初始化动作简化。

[0105] 另外,主机设备2仅仅从最后的电子器件4-3接收对包含初始化指令的分组的响应,不必从其他电子器件4-1、4-2接收任何的响应。这是因为,不必为了能够防止器件ID的重复而在初始化动作时与各电子器件4-1~4-3分别通信。即,主机设备2的处理可以简化出来。结果,主机设备2中的图3的处理可容易通过硬件实现。从而,可以使初始化处理高速化。

[0106] 这是基于如下理由。由软件进行处理时,例如对半导体系统1对接通电源时,必须等待OS(operating system)等的启动。OS的启动结束后,读出初始化处理的程序,进行图3的处理。但是,由硬件进行图3的处理时,不必等到OS等的启动。因此,主机设备2可以高速掌握各电子器件4的器件ID。

[0107] [第2实施方式]

[0108] 接着,说明第2实施方式的半导体装置及主机设备。本实施方式涉及上述第1实施方式中电子器件4的各种连接方法。以下中,省略与第1实施方式相同的说明。

[0109] <第1连接例>

[0110] 上述第1实施方式中,举例说明图1所示电子器件4链接的情况。但是,作为本实施方式的第1连接例,也可以采用集线器。图6是本实施方式的第1连接例的半导体系统1的一例方框图。

[0111] 图示的半导体系统1具备主机设备2、电子器件4-1~4-3及集线器12。例如,集线器12具备4个端口P1~P4,按照端口P1~P4的顺序转送分组。集线器12的端口P1与主机设备2连接,端口P2~P4分别与电子器件4-1~4-3连接。主机设备2及电子器件4的构成及动作如第1实施方式所说明。图6的四角符与第1实施方式的图5同样,表示有效载荷的字段11-3(开始器件ID)和字段11-4(器件数)。

[0112] 接着参照图6说明图6的构成中的初始化动作时的分组的流向。主机设备2在字段11-2设置初始化指令,并广播在字段11-3、11-4分别设置初始值(零)的分组。集线器12将从

主机设备2接收的分组向电子器件4-1转送。

[0113] 电子器件4-1将自身的器件ID设定成“5”，将把字段11-3、11-4的值分别更新为“5”、“1”的分组返回集线器12。

[0114] 接着，集线器12将从电子器件4-1接收的分组向电子器件4-2转送。电子器件4-2将自身的器件ID设定成从“5”增一的“6”。然后，将把字段11-4的值更新为“2”的分组返回集线器12。

[0115] 接着，集线器12将从电子器件4-2接收的分组向电子器件4-3转送。电子器件4-3将自身的器件ID设定成“5”加“2”后的“7”。然后，将把字段11-4的值更新为“3”的分组返回集线器12。

[0116] 最后，集线器12将从电子器件4-3接收的分组返回主机设备2。此时，分组的字段11-3、11-4的值分别是“5”、“3”。

[0117] <第2连接例>

[0118] 接着，用图7说明第2连接例。图7是第2连接例的半导体系统1的方框图。本例涉及二级集线器连接。

[0119] 如图示，半导体系统1具备主机设备2、电子器件4-1~4-5及集线器12-1、12-2。例如，集线器12-1、12-2分别具备4个端口P1~P4，按照端口P1~P4的顺序转送分组。集线器12-1的端口P1与主机设备2连接，端口P2、P4与电子器件4-1、4-5连接，端口P3与集线器12-2的端口P1连接。集线器12-2的端口P2~P4分别与电子器件4-2~4-4连接。主机设备2及电子器件4的构成及动作如第1实施方式所说明。图6的四角符与第1实施方式的图5同样，表示有效载荷的字段11-3（器件ID的初始值）和字段11-4（器件数）。

[0120] 接着参照图7说明图7的构成中的初始化动作时的分组的流向。主机设备2在字段11-2设置初始化指令，并广播在字段11-3、11-4分别设置了初始值（零）的分组。集线器12-1将从主机设备2接收的分组向电子器件4-1转送。

[0121] 电子器件4-1将自身的器件ID设定成“5”，将把字段11-3、11-4的值分别更新为“5”、“1”的分组返回集线器12。

[0122] 接着集线器12-1将从电子器件4-1接收的分组向集线器12-2转送。接着，集线器12-2将从集线器12-1接收的分组向电子器件4-2转送。电子器件4-2将自身的器件ID设定成“5”加一后的“6”。然后，将把字段11-4的值更新为“2”的分组返回集线器12-2。

[0123] 接着，集线器12-2将从电子器件4-2接收的分组向电子器件4-3转送。电子器件4-3将自身的器件ID设定成“5”加“2”后的“7”。然后，将把字段11-4的值更新为“3”的分组返回集线器12-2。

[0124] 接着，集线器12-2将从电子器件4-3接收的分组向电子器件4-4转送。电子器件4-4将自身的器件ID设定成“5”加“3”后的“8”。然后，将把字段11-4的值更新为“4”的分组返回集线器12-2。

[0125] 从电子器件4-4接收分组的集线器12-2将其返回集线器12-1。然后，集线器12-1将从集线器12-2接收的分组向电子器件4-5转送。电子器件4-5将自身的器件ID设定成“5”加“4”后的“9”。然后，将把字段11-4的值更新为“5”的分组返回集线器12-1。

[0126] 最后，集线器12-1将从电子器件4-5接收的分组返回主机设备2。此时，分组的字段11-3、11-4的值分别是“5”、“5”。

[0127] <第3连接例>

[0128] 接着,说明第3连接例。图8是第3连接例的半导体系统1的方框图。本例是在作为第1连接例说明的图6的构成中没有电子器件4-2的情况。

[0129] 如图示,电子器件4-1若将自身的器件ID设定为“8”,则集线器12从电子器件4-1接收的分组的字段11-3、11-4的值分别是“8”、“1”。

[0130] 集线器12将从电子器件4-1接收的分组从端口P3发送,但是端口P3未与电子器件连接。从而,发送的分组原样返回端口P3。从而,集线器12将返回的分组接着向电子器件4-3转送。

[0131] 然后的动作与第1连接例相同。

[0132] 链接中,没有从电子器件4-1取下电子器件4-3,因此,虽然是面向嵌入系统(embedded system),但是为了使该构成支持可拆卸器件(removable device),可以通过具有集线器12而将电子器件4-4构成为可拆卸卡。集线器12在未与电子器件4-4连接的场合,来自输入端口的分组直接向输出端口输出。

[0133] <第4连接例>

[0134] 接着,说明第4连接例。图9是第4连接例的半导体系统1的方框图。本例在第1实施方式说明的图1的连接例还组合了集线器12。

[0135] 如图示,集线器在电子器件4-3和主机设备2之间连接,任一端口与电子器件4-4连接。

[0136] 集线器12从电子器件4-3接收的分组的字段11-3、11-4的值分别是“5”、“3”。然后,集线器12将该分组向电子器件4-4转送。然后,集线器12从电子器件4-4接收字段11-4的值更新为“4”的分组,将其返回主机设备2。

[0137] <本实施方式的效果>

[0138] 如上所述,上述第1实施方式说明的构成不限于链接,也可在集线器连接的场合适用,可获得第1实施方式说明的效果。另外,分组从主机设备2广播时将其向电子器件4转送的功能是集线器12原本具有的功能。从而,主机设备2不必掌握多个电子器件4的连接关系。

[0139] [第3实施方式]

[0140] 接着,说明第3实施方式的半导体装置及主机设备。本实施方式是上述第1、第2实施方式的具体例。以下,与第1实施方式同样的部分的说明省略。

[0141] 图10是本实施方式的存储系统的一例的方框图。如图示,存储系统20具备主机控制器21、卡槽22、CPU(central processing unit,中央处理单元)23、系统存储器24、电子器件4-1~4-4及集线器12。

[0142] CPU23控制存储系统20的全部动作,按照未图示的ROM(read only memory,只读存储器)存储的程序等而动作。系统存储器24用于由CPU23暂时地保存各种数据,或者在执行可执行程序中采用。

[0143] 主机控制器21与上述第1、第2实施方式说明的主机设备2相当。主机控制器21包含可以与该主机控制器21连接的器件(要素)通信所必要的各种硬件、软件、安排等。具体地说,主机控制器21构成可通过多个信号线与电子器件4通信。信号线例如包含转送分组的信号线、转送时钟的信号线及电源线等。主机控制器21的部分功能按照预先设定的预定对这些信号线进行输出或者取入。更具体地说,解析经由信号线供给的信号,从该信号识别预先

设定的比特图形,从该信号中取入指令。另外,同样,识别预定的比特图形,从信号中取入数据。在主机控制器21中定义的指令中准备了各种指令。主机控制器21为了实现这样的功能,例如可以作为通过软件控制执行的CPU的功能的一部分或者半导体芯片而实现。

[0144] 更具体地说,主机控制器21支持转送分组的信号线及转送时钟的信号线。即主机控制器21构成为采用这些进行数据的转送。更具体地说,主机控制器21构成为可控制例如SD接口。

[0145] 电子器件4-1~4-4是在存储系统20内置的器件。作为电子器件4-1~4-4,可以采用经由主机控制器21可与CPU23通信的所有类型的器件,例如存储器件、无线LAN(local area network)器件等。可采用作为电子器件4-1~4-4的器件的主要部分可以根据各电子器件4-1~4-4的功能由公知的技术实现。电子器件4-1~4-4可以利用SD卡等的便携器件中密封的半导体芯片实现。

[0146] 电子器件4-1~4-4,分别具备用于执行电子器件4-1~4-4的主要功能(例如存储器功能、无线LAN功能等)的器件部26-1~26-4。而且,电子器件4-1~4-4分别具备控制器(器件控制器)25-1~25-4。各控制器25-1~25-4构成为可采用接口并经由主机控制器21与CPU23通信。即,包含用于支持这样的接口的硬件及软件构成。

[0147] 主机控制器21支持SD接口时,控制器25-1~25-4也构成为支持SD接口。控制器25-1~25-4也可以由从器件部26-1~26-4独立的CPU及/或半导体芯片实现。或,也可以由控制器25-1~25-4和器件部26-1~26-4分别成为一体的半导体芯片实现。

[0148] 各控制器25-1~25-4分别具备第1实施方式说明的输入信号引脚5、输出信号引脚6、分组解码器7、运算模块8、寄存器9及分组更新电路10。以下,在相互区别控制器25-1~25-4分别具有的输入信号引脚5、输出信号引脚6、分组解码器7、运算模块8、寄存器9及分组更新电路10时,称为输入信号引脚5-1~5-4、输出信号引脚6-1~6-4、分组解码器7-1~7-4、运算模块8-1~8-4、寄存器9-1~9-4及分组更新电路10-1~10-4。图10中,这些构成要素中仅仅图示了寄存器9-1~9-4。

[0149] 电子器件4-1、4-2是存储器件。该电子器件4-1、4-2包含NAND型闪速存储器作为器件部26-1。NAND型闪速存储器包括多个页面作为存储区域。各页面包含串联连接的多个存储单元晶体管。各存储单元晶体管包括所谓的堆叠栅极构造的MOS晶体管。堆叠栅极构造的MOS晶体管包含:隧道绝缘膜、电荷积蓄层(例如浮置栅极电极)、电极间绝缘膜及控制栅极电极依次层叠而成的栅极电极;源极/漏极扩散层。各存储单元晶体管根据在电荷积蓄层积蓄的电子数,改变阈值电压,存储与该阈值电压的差异相应的信息。包含存储器的读出放大器、电位发生电路等的控制电路具有可向存储单元晶体管写入多比特的数据并读出多比特的数据的构成。数据的写入及读出按页面单位进行。另外,数据的删除按包括多个页面的块单位进行。

[0150] 电子器件4-3、4-4是例如SD IO器件,作为器件部26-3、26-4,例如具有无线LAN功能等。

[0151] 卡槽22包含该卡槽22支持的存储系统及其他器件,构成为可拔插可拆卸卡型的电子器件4-5(以下称为卡器件4-5)。

[0152] 卡槽22具有与这些卡器件4-5连接的端子,将接口中的各线与对应于这些的端子连接。主机控制器21支持SD接口的场合,SD接口所必要的端子在卡槽22设置。

[0153] 卡器件4-5包含SD存储卡及SD IO卡等经由SD接口可与主机控制器21通信的所有卡器件。图10的例中,卡器件4-5是SD存储卡。卡器件4-5与电子器件4-1~4-4同样,具备控制器25-5及器件部26-5。

[0154] 控制器25-5具备第1实施方式说明的输入信号针脚5、输出信号针脚6、分组解码器7、运算模块8、寄存器9及分组更新电路10。以下,在将控制器25-5具备的输入信号针脚5、输出信号针脚6、分组解码器7、运算模块8、寄存器9及分组更新电路10区别于电子器件4-1~4-4的控制器25-1~25-4的场合,称为输入信号针脚5-5、输出信号针脚6-5、分组解码器7-5、运算模块8-5、寄存器9-5及分组更新电路10-5。图10中,这些要素中仅仅图示了寄存器9-5。

[0155] 器件部26-5包含NAND型闪速存储器。器件部26-5的构成与器件部26-1、26-2同样。

[0156] 上述主机控制器21、电子器件4-1~4-4、集线器12及卡槽22的连接关系与第2实施方式说明的图9大致同样。即,从主机设备2发送的分组首先由电子器件4-1接收,然后从电子器件4-1向电子器件4-2转送,再从电子器件4-2向电子器件4-3转送,再从电子器件4-3向电子器件4-4转送,从电子器件4-4的输出信号针脚6-4输出的分组提供给集线器12。

[0157] 集线器12将从电子器件4-4转送的分组根据需要向卡槽22转送,从而,分组提供给向卡槽22插入的卡器件4-5。然后,从卡器件4-5的输出信号针脚6-5输出的分组及/或从电子器件4-4的输出信号针脚6-4输出的分组经由集线器12返回主机控制器21。

[0158] 指定电子器件4-1~4-5的器件ID时,分组从控制器21开始按照电子器件4-1、4-2、4-3、4-4、集线器12、卡器件4-5、集线器12及主机控制器21的顺序依次转送。图10中,各设备间的箭头旁边附记的四角符表示器件ID指定时的分组的有效载荷的内容,左侧是字段11-3(开始器件ID),右侧是字段11-4(器件数)。另外,在寄存器9-1~9-5记载的数字是各电子器件的器件ID。

[0159] 即,电子器件4-1将自身的器件ID设定成“5”后,从电子器件4-1输出的分组的字段11-3、11-4分别是“5”、“1”。从而,电子器件4-2的器件ID成为“6”,从电子器件4-2输出的分组的字段11-3、11-4分别是“5”、“2”。这样,电子器件4-3的器件ID成为“7”,从电子器件4-3输出的分组的字段11-3、11-4分别是“5”、“3”。接着,电子器件4-4的器件ID成为“8”,从电子器件4-4输出的分组的字段11-3、11-4分别是“5”、“4”。从电子器件4-4输出的分组经由集线器12及卡槽22发送到卡器件4-5。然后,卡器件4-5的器件ID成为“9”,从卡器件4-5输出的分组的字段11-3、11-4分别是“5”、“5”。该分组经由卡槽22及集线器12返回主机控制器21。

[0160] 以上的动作与从主机控制器21供给各电子器件4-1~4-5的时钟同步执行。

[0161] <上述实施方式的变形例等>

[0162] 如上所述,第1至第3实施方式的半导体装置3,具备第1器件4-1及第2器件4-2,上述第1器件4-1及第2器件4-2分别具备:解析接收的分组的指令,确定由该分组指定的处理的解码器7;根据该分组内的信息产生固有的器件编号的产生电路8;保持产生的固有的器件编号的寄存器9;更新并输出分组内的信息的更新电路10。第2器件4-2接收在第1器件4-1中更新了信息的分组,并且,第2器件4-2的产生电路8-2产生不同于第1器件4-1的上述器件编号。

[0163] 另外,第1至第3实施方式的主机设备2(及主机控制器21),是可与多个器件4连接的主机设备2,主机设备2向第1器件4-1分发将器件编号的初始值(开始器件ID:字段11-3)

及器件数(字段11-4)设定成零的第1分组,并且,不从第1器件4-1接收对该第1分组的响应,从第2器件(图1的例中是电子器件4-3)接收初始值(字段11-3)及器件数(字段11-4)的修正后的第2分组,根据第2分组内的修正后的初始值(字段11-3)及器件数(字段11-4)识别连接的器件4的数及向器件4分配的器件编号。

[0164] 即,确定器件4的器件ID时,由主机设备2分发的分组在多个器件4间依次周转。此时,接受分组的器件4根据分组内的信息确定自身的器件ID,并且将分组内的信息更新为与自身的器件ID关联的信息的同时,不将该分组的响应返回主机设备2,而是向下一个器件4转送。然后,最后的器件4将分组返回主机设备2。

[0165] 换言之,主机设备2分发的分组依次通过器件4,最终返回主机设备2。但是,此时,返回的分组中的有效载荷具有与最初用于器件ID的确定而分发的分组不同的内容的值。

[0166] 通过以上的构成,主机设备2可以由更简便构成向各个器件4赋予固有的ID。上述构成通过在例如进行高速串行传送的存储器件适用,可以获得大的效果。

[0167] 另外,上述说明的第1至第3实施方式可以有各种变形。例如,作为图4的步骤S25中采用的运算方法,上述实施方式中,举例说明了以一为增量的情况。但是,运算方法不限于此,也可以是以2为增量的场合或者在运算模块8保持其他函数并用该函数算出器件ID的情况。即,只要是主机设备2和电子器件4共同的运算法则,则没有限定。

[0168] 另外,图4的步骤S23中,举例说明了器件ID的任意的编号为“0”以外的情况。例如器件ID为4比特,且器件ID的运算方法为增量时,器件ID的值可表现为“0”~“15”。其中,“0”分配为主机设备2的ID,因此,最大可以连接15个电子器件4。然后,某电子器件4的器件ID为“15”时,若加一则返回“0”,但是这是主机设备2的ID,因此下一个电子器件4的器件ID不是“0”,而且增量为“1”。

[0169] 另外,通过安装,主机设备2的ID不限于“0”,也可以是其他值。向电子器件4分配的器件ID与主机设备2的ID不同即可。

[0170] 另外上述实施方式中,图4的步骤S23中,举例说明了最初的电子器件4-1任意选择自身的器件ID的情况。但是,也可以是由主机设备2指定的情况。即,主机设备2在有效载荷存储电子器件4-1的器件ID,组装分组11并广播。然后,接收该分组11的电子器件4-1读出有效载荷内的器件ID,将其设定成自身的器件ID。也可以采用这样的方法。

[0171] 但是,在传统的SD存储卡使用的RCA随机产生。从而,与传统的SD接口友好性的观点看,步骤S23中的器件ID也最好随机产生。另外,上述实施方式说明的器件ID的设定方法也可以不排除RCA的使用,可同时使用RCA。

[0172] 另外,上述实施方式说明的图3至图4的动作可以在对半导体系统1、存储系统20接通电源时进行。另外,在电子器件4之一从主机设备2取下的情况和逆向追加的情况下,都必须重新设定器件ID,因此可以进行图3至图4的动作。

[0173] 而且,电子器件4也可以是SD存储卡、UHS(ultra high speed)-II卡及SD IO器件等具有SD接口的器件,也可以是其他器件。另外,电子器件4为存储器件的场合,该存储器构造不限于NAND型闪速存储器,也可以是NOR型闪速存储器和/或闪速存储器以外的半导体存储器。

[0174] 另外,主机设备2(及主机控制器21)的动作可由硬件、软件执行。图11是主机设备2的硬件构成的一例方框图。如图示,主机设备2具备输入信号针脚30、输出信号针脚31、输入

输出信号针脚32、分组解码器33、运算模块34、存储器35及分组产生部36。

[0175] 输入信号针脚30起到至少一个输入端口的功能,接收从电子器件4提供的分组。然后将接收的分组向分组解码器33转送。

[0176] 分组解码器33构成为可解析从输入信号针脚30转送的分组。分组解码器33通过分组报头内的指令编号,识别电子器件4请求的处理。然后,分组解码器33根据请求的处理,命令运算模块34进行必要运算。

[0177] 运算模块34构成为可根据分组解码器33的命令执行必要运算。运算内容的一例是器件ID的算出,保持与电子器件4同样的运算法则。然后,从电子器件4接收的分组的有效载荷的信息获得与主机设备2连接的全部电子器件4的器件ID。获得的器件ID在存储器35保持。

[0178] 输入输出信号针脚32向上位层发送信号,或从上位层接收信号。

[0179] 分组产生部36根据来自上位层的请求,组装包含指令、数据的分组。此时,从存储器35读出分组目的地的电子器件4的器件ID。然后,将组装的分组从输出信号针脚31向电子器件4发送。电源接通时等,用于指定各电子器件4的器件ID的分组11也在分组产生部36中产生。存储器35也可以具有表示各指令是否为广播的信息等。

[0180] 主机设备2也可以具有以上的硬件构成。当然,分组解码器33、运算模块34及分组产生部36也可以是CPU等的处理器。然后,可以例如通过执行在存储器35保持的程序,处理器起到分组解码器33、运算模块34及分组产生部36的功能,执行图3所示步骤。

[0181] 该情况在电子器件4中也同样,CPU等的处理器也可以具备分组解码器7、运算模块8及分组更新电路10的功能。该场合也同样,可以通过执行在电子器件4保持的程序,处理器起到分组解码器7、运算模块8、及分组更新电路10的功能,执行图4(或后述图13)的步骤。

[0182] 另外,上述说明中,分组11也可以取代器件数(字段11-4)而包含最终器件编号(last device No.:字段11-5)。图12是该场合的分组11的构造的示意图。最终器件编号是该分组最后通过的电子器件4的器件ID的值。

[0183] 即使在采用图12的分组的场合,主机设备2及电子器件4的动作也与第1实施方式大致同样。图13是电子器件4的动作的流程图。电子器件4的动作中,与第1实施方式说明的图4的不同点在于,步骤S26后,在最终器件编号(字段11-5)设置自身的器件ID(步骤S30)。其他与第1实施方式同样。

[0184] 主机设备2的动作与图3大致同样,但是步骤S13中,读取开始器件编号和最终器件编号。然后,根据这些的至少一个,算出电子器件4的总数和各电子器件4的器件ID。

[0185] 图14是采用图12的分组时的半导体系统1的方框图。与图5同样,图中各设备间的箭头旁边附记的四角符表示分组的有效载荷的内容,左侧是字段11-3(开始器件ID),右侧是字段11-5(最终器件ID)。

[0186] 如图示,首先,从主机设备2分发的分组的字段11-3、11-5的值是由主机设备2设定的预定的值(零)。该分组由电子器件4-1接收后,电子器件4-1将自身的器件ID确定为“5”。然后,该值设置在字段11-3、11-5的两方。

[0187] 从电子器件4-1输出的分组接着由电子器件4-2接收。电子器件4-2中,根据字段11-3(及/或字段11-5)的值,通过预定的运算方法,将自身的器件ID确定为“6”。然后,字段11-3的值维持,将字段11-5的值更新为自身的器件ID即“6”并输出。电子器件4-3也同样,将

自身的器件ID设置在字段11-5。

[0188] 以上的结果为,主机设备2从电子器件4-3接收的分组的字段11-3的值为“5”,字段11-5的值为“7”。从而,主机设备掌握电子器件4-1、4-3的器件ID分别为“5”、“7”。另外,根据器件ID的运算方法(例如增量),可以掌握电子器件4的总数为3个的情况(=最终器件ID-开始器件ID+1)以及各电子器件4的器件ID。

[0189] 也可以采用以上的方法。另外,即使该场合,作为各电子器件4的器件ID也是向主机设备2分配的值(例如“0”)以外的值。另外,开始器件ID的最初的值(最初接收分组11的电子器件4-1任意设定的值)为“1”时,可知器件数(字段11-4)是最终器件ID。另外,如图15的示意图所示,分组11的有效载荷也可以包含开始器件ID(字段11-3)、器件数(字段11-4)及最终器件ID(字段11-5)。图15的例中,分组11的有效载荷按照开始器件ID、最终器件ID、及器件数的顺序保持信息。该场合,各电子器件4的动作是与图4及图13的组合,更新字段11-4、11-5和(必要的话)字段11-3。另外,主机设备2根据字段11-3~11-5的至少一个,掌握电子器件4的总数和各器件ID。

[0190] 上述实施方式中,图4的步骤S21中,举例说明了电子器件4在确认分组11的有效载荷的开始器件ID(字段11-3)的值并在为零时(步骤S22,是)将自身的器件ID设定成任意的值的情况。但是,任意的器件ID的设定方法,换言之,判断自身是否为从主机设备2最初接收分组11的电子器件的方法可以采用各种方法。

[0191] 例如,也可以根据最终器件ID(或器件数)是否为“0”来判断。即,接收分组11的电子器件4在图4的步骤S21中,判断最终器件ID(字段11-5)或器件数(字段11-4)的值是否为零。如前述,开始器件ID的最初的值(最初接收分组11的电子器件4-1任意设定的值)为“1”时,器件数和最终器件ID同义。最终器件ID或器件数为零时(步骤S22,是),电子器件4设置任意的值作为自身的器件ID。若非零(步骤S22,否),则进入步骤S24。

[0192] 即,电子器件4自身是否为开始器件即最初接收由主机设备2分发的分组11的电子器件的判断可以观察分组11内的开始器件ID(字段11-3)及/或最终器件ID(字段11-5)的值来判断。例如,开始器件ID或最终器件ID为“0”时,判断自身是开始器件,产生自身的器件ID。若非“0”无,则判断自身不是开始器件。

[0193] 另外,步骤S24中,关于确定开始器件ID的最初的值的可考虑由主机设备2指定编号的方法和由电子器件4确定的方法的两种。首先,接收的分组11的字段11-3(开始器件ID)的值为指定的值的场合,电子器件4产生任意的值,作为自身(电子器件4-1)的器件ID。另一方面,字段11-3的值不是指定的值的场合,电子器件4执行预定的函数,设定自身的器件ID。该函数为增量的场合,在字段11-3的值加“1”后的值成为自身的器件ID。即,换言之,电子器件4根据分组11内的开始器件ID和最终器件ID的至少一方的值,判断自身是否为最初接受分组11的器件,判断是最初接受的场合,自身的器件编号可以任意确定,或根据开始器件ID确定。

[0194] 而且,上述实施方式中,用各种流程图说明动作。但是,各流程图只是一例,可以进行步骤的变更,另外多个步骤可同时执行,也可以根据情况省略几个步骤。

[0195] 虽然说明了本发明的几个实施方式,但是这些实施方式只是作为例示而不是限定发明的范围。这些新实施方式可以其他方式实施,在不脱离发明的要旨的范围,可以进行各种省略、置换、变更。这些实施方式及其变形也是发明的范围和要旨所包含的,同时也是权

利要求的范围所述的发明及其均等的范围所包含的。

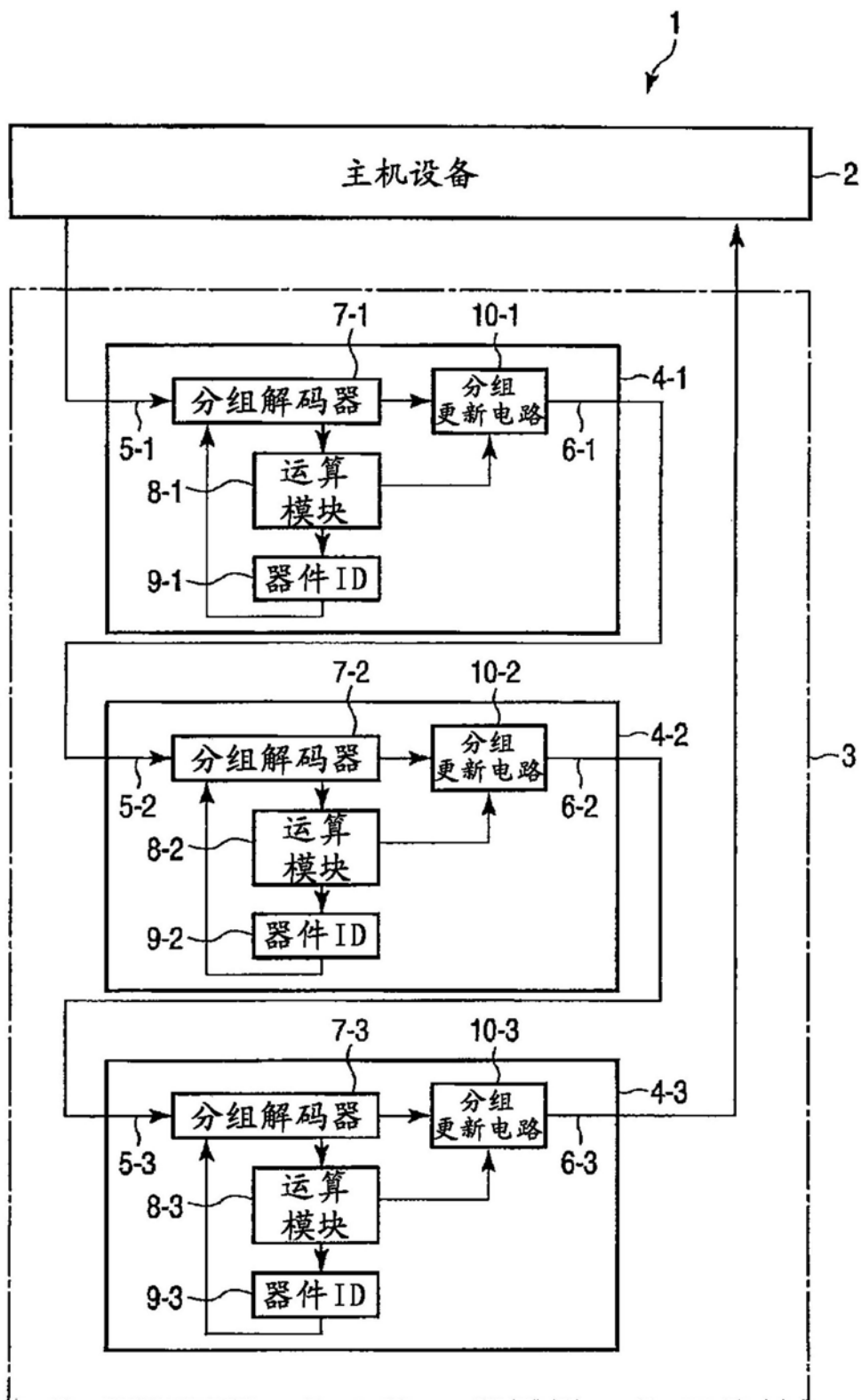


图1

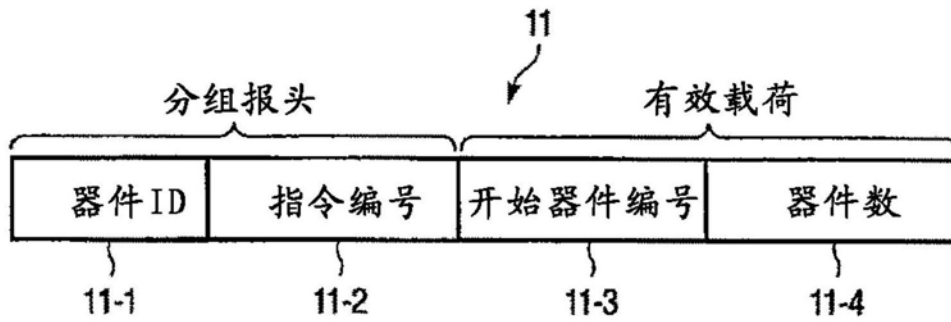


图2

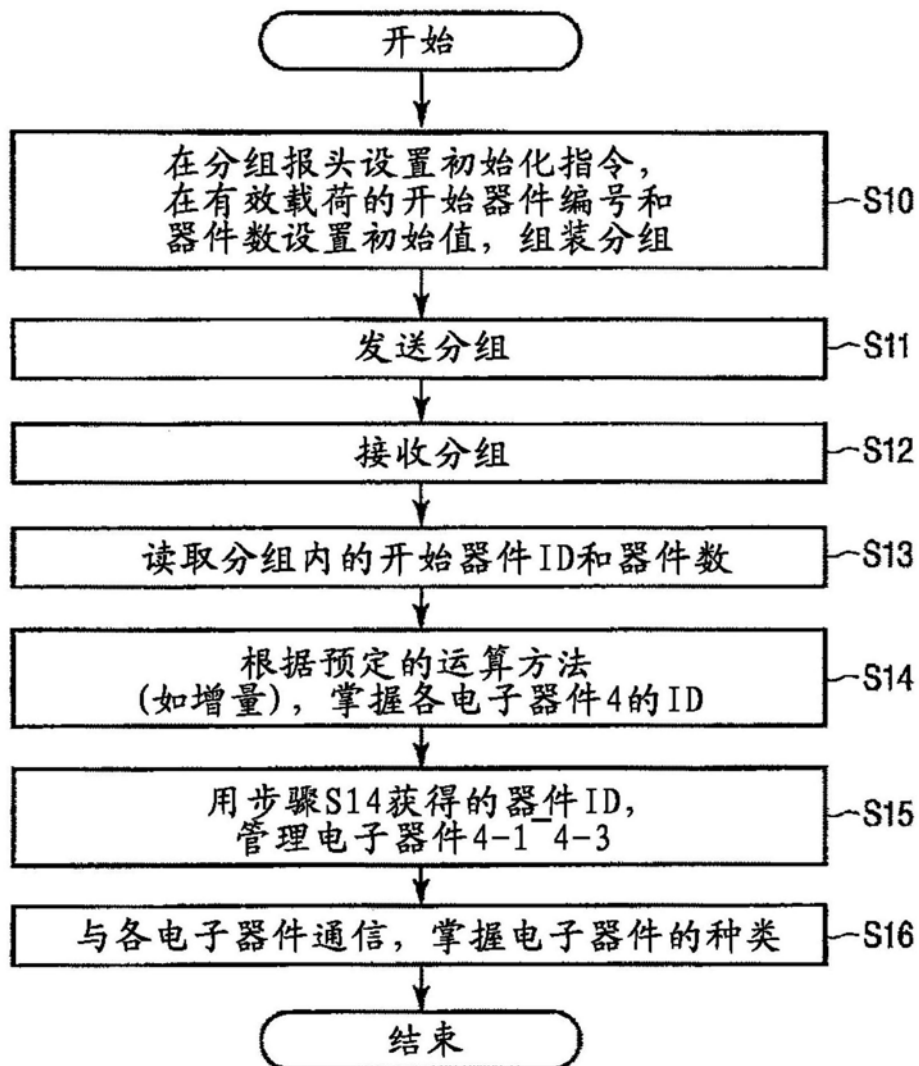


图3

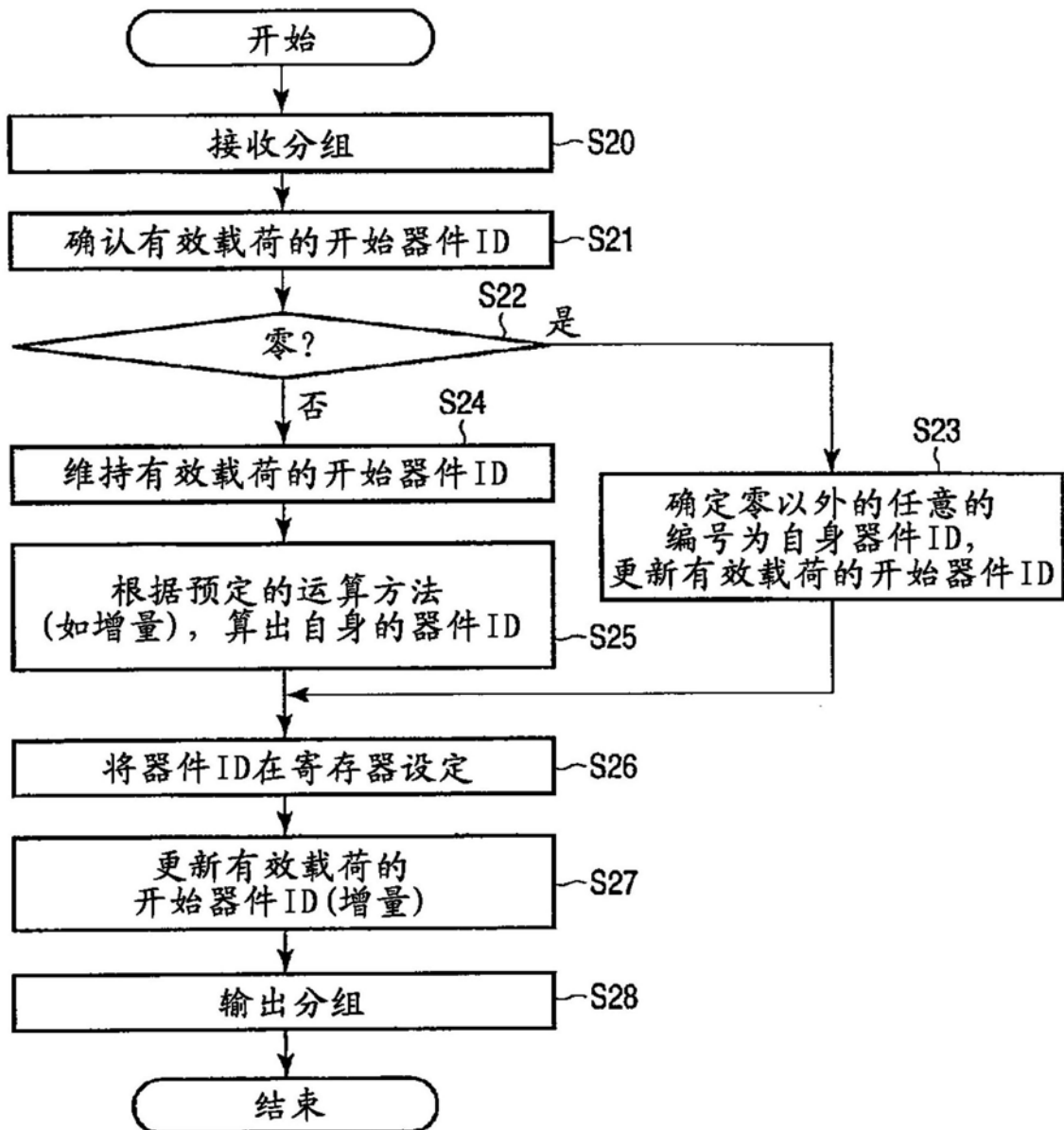


图4

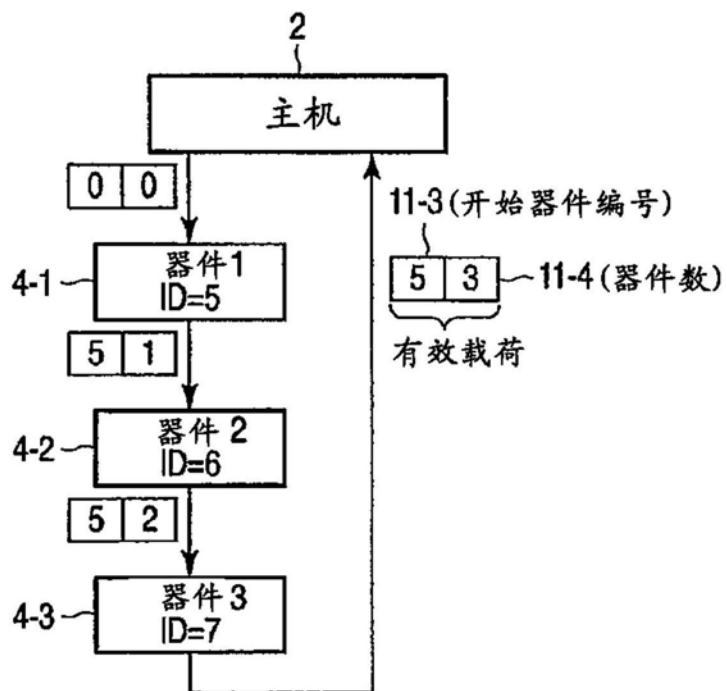


图5

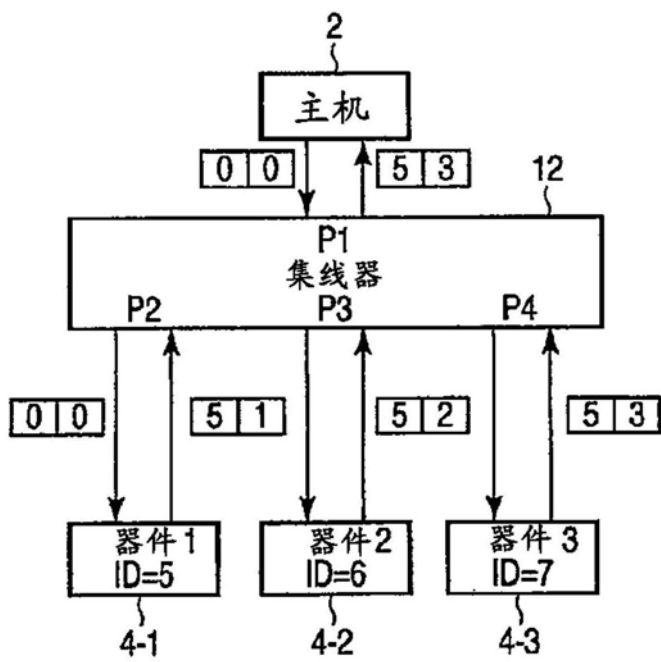


图6

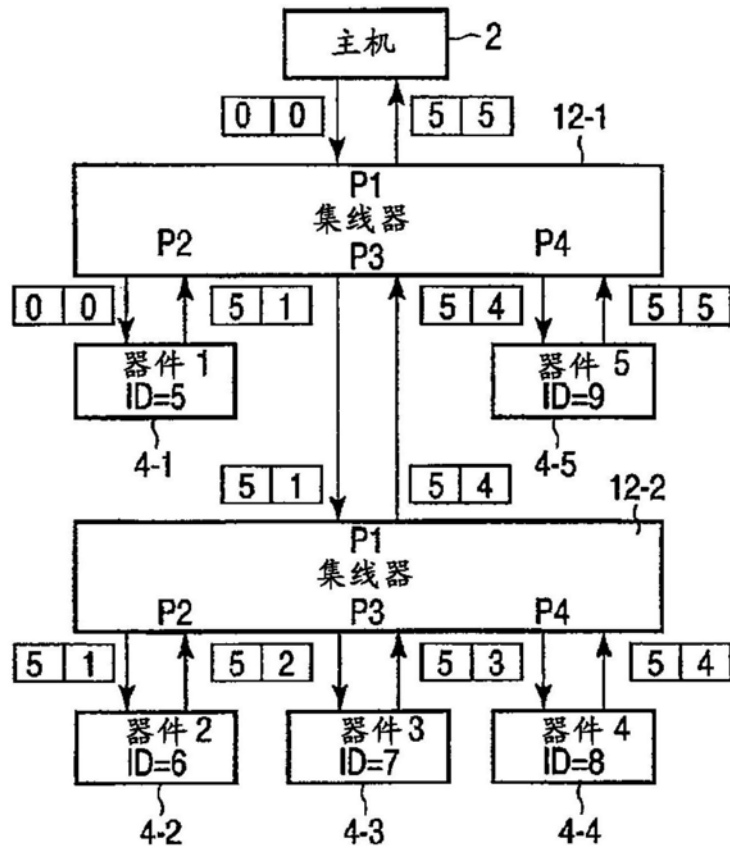


图7

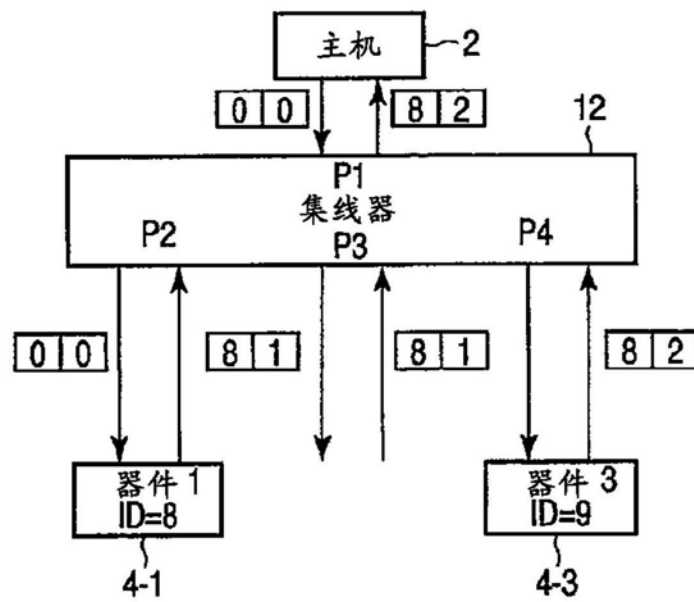


图8

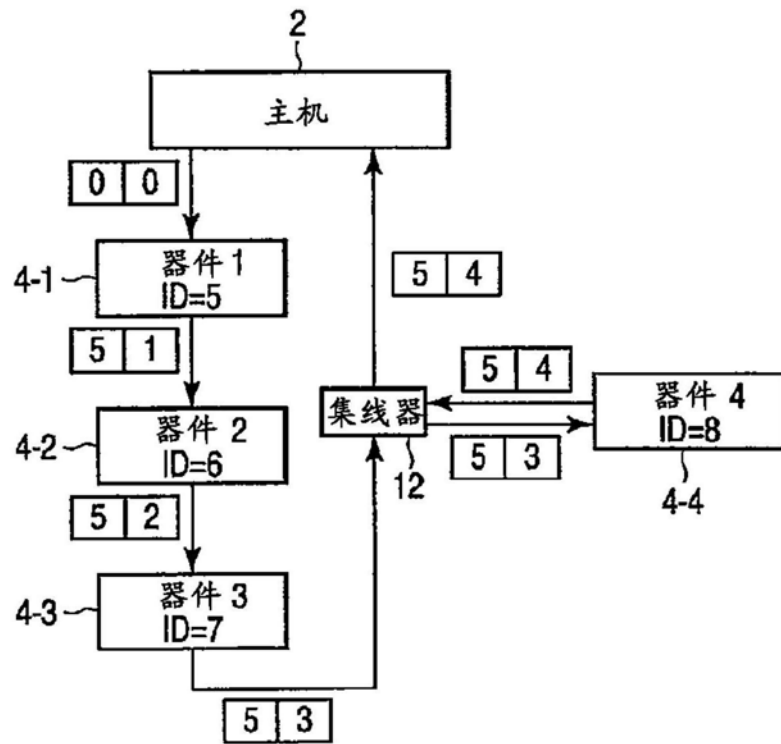


图9

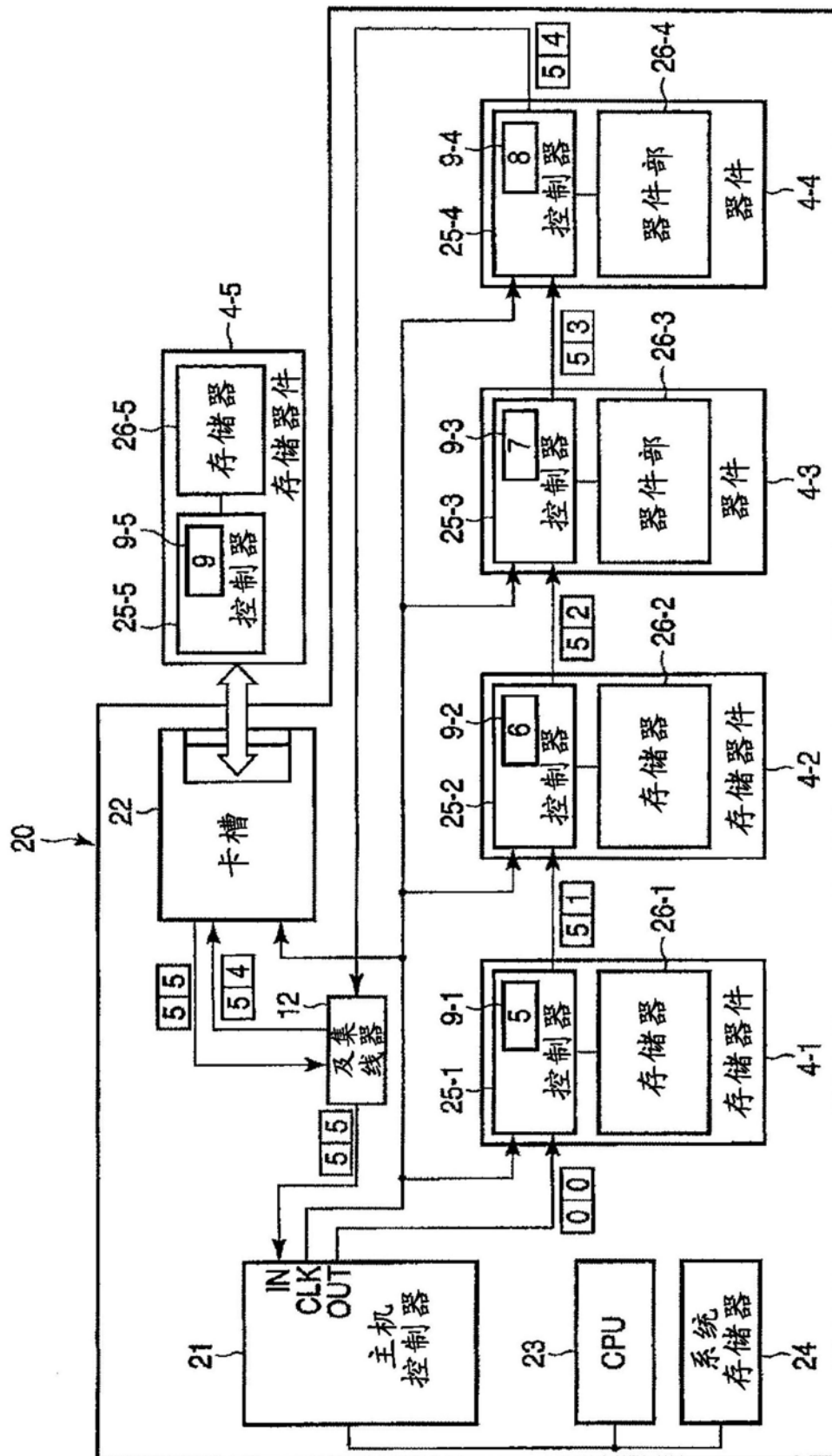


图10

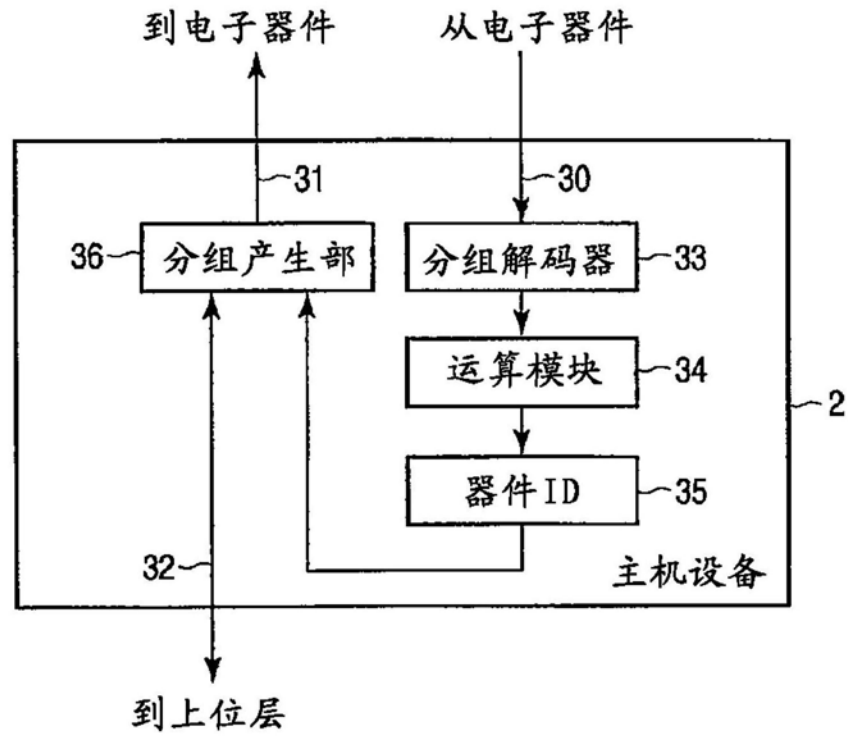


图11

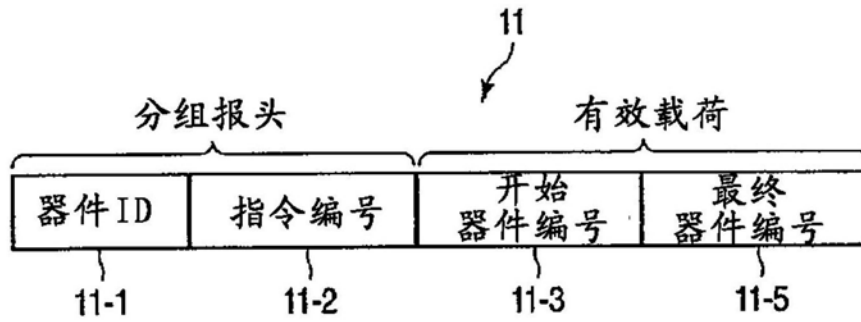


图12

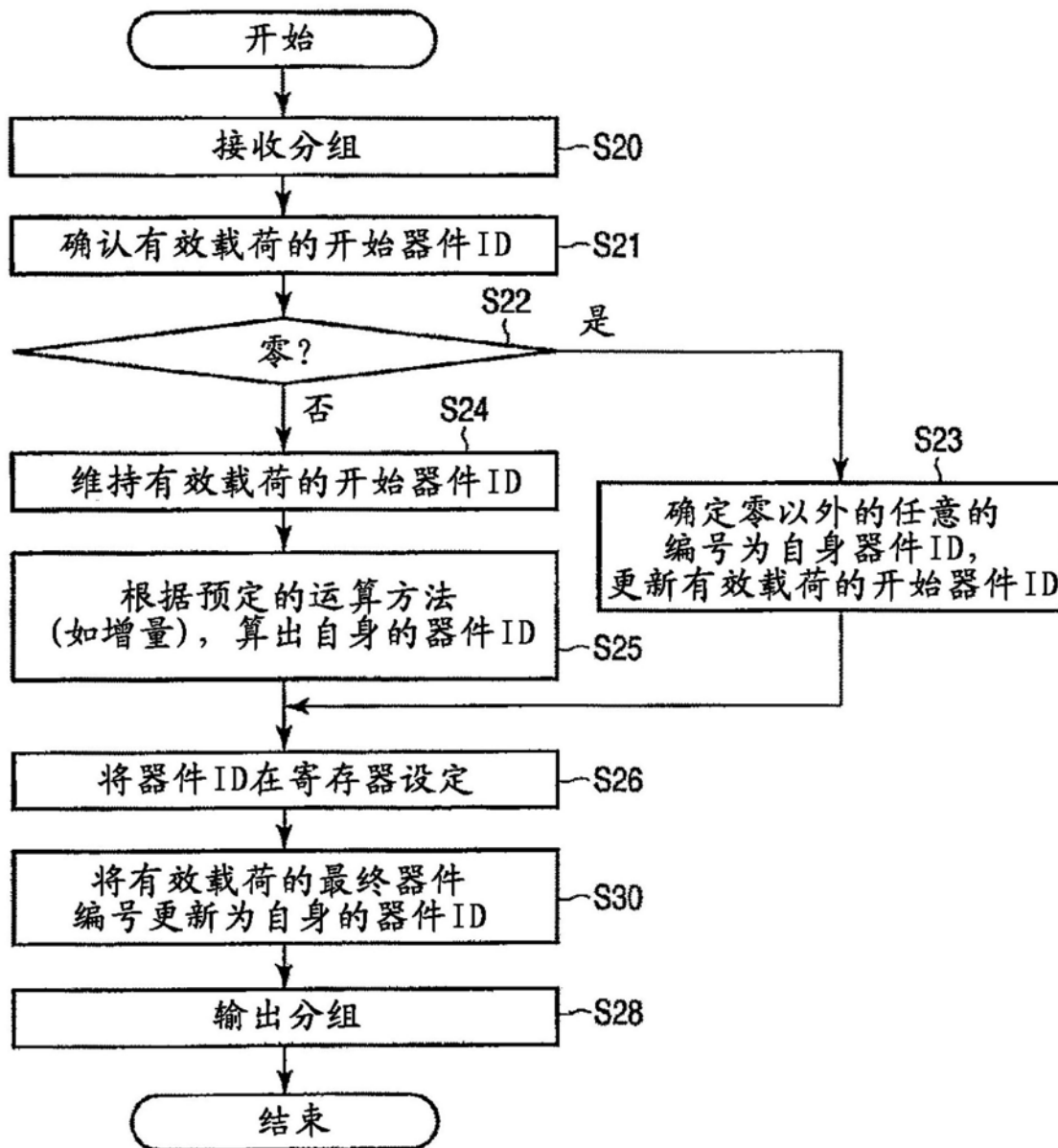


图13

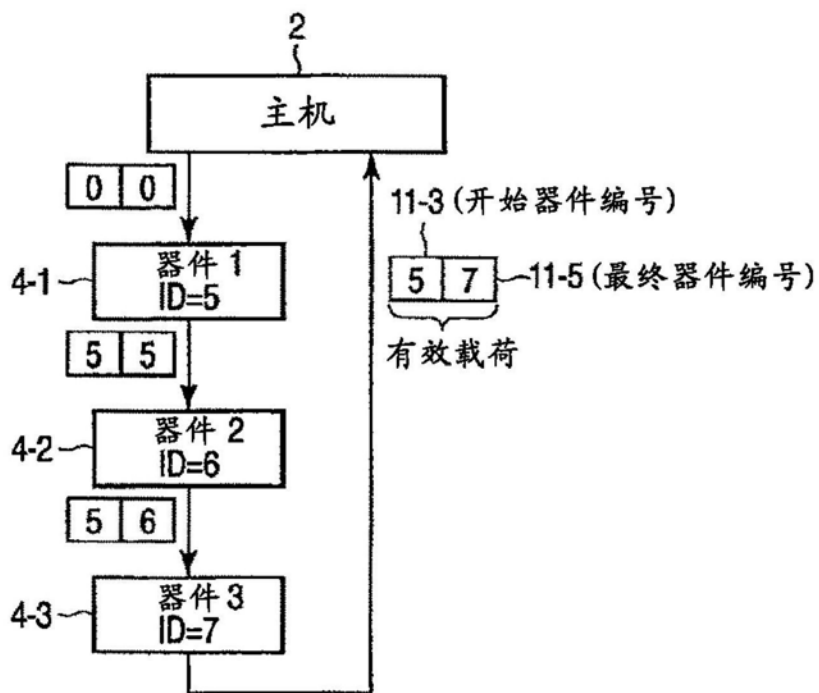


图14

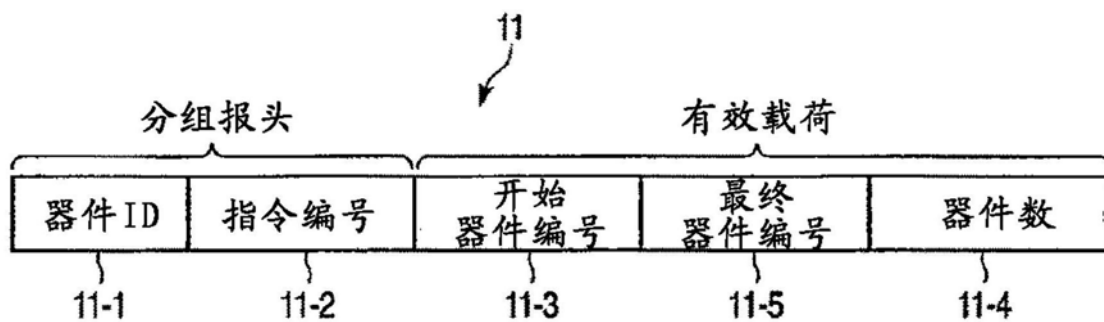


图15