(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4140331号
(P4140331)
(45)発行日　平成20年8月27日(2008.8.27)　(24)登録日　平成20年6月20日(2008.6.20)

(51)Int.Cl.		FI		
H01L 21/822	(2006.01)	H01L	27/04	T
H01L 27/04	(2006.01)	H01L	21/82	T
H01L 21/82	(2006.01)	H01L	27/04	E
G01R 31/28	(2006.01)	H01L	21/82	P
G01R 31/3185	(2006.01)	G01R	31/28	V

請求項の数 2　(全 16 頁)　最終頁に続く

(21)出願番号　特願2002-288530(P2002-288530)
(22)出願日　平成14年10月1日(2002.10.1)
(65)公開番号　特開2004-128122(P2004-128122A)
(43)公開日　平成16年4月22日(2004.4.22)
審査請求日　平成17年8月23日(2005.8.23)

(73)特許権者　000000295
沖電気工業株式会社
東京都港区虎ノ門１丁目７番１２号
(74)代理人　100083840
弁理士　前田　実
(74)代理人　100116964
弁理士　山形　洋一
(72)発明者　寺石　利夫
東京都港区虎ノ門１丁目７番１２号　沖電気工業株式会社内

審査官　池渕　立

最終頁に続く

(54)【発明の名称】アナログ電圧出力ドライバＬＳＩチップ

(57)【特許請求の範囲】
【請求項１】
多数のアナログ電圧出力チャンネルを有するアナログ電圧出力ドライバＬＳＩにおいて、
上記アナログ電圧出力の本数の半分のビット数のテスト用シフトレジスタ回路と、
上記アナログ電圧出力の本数の半分の個数のテスト用スイッチ回路と、
上記テスト用スイッチ回路が共通接続されたテスト出力端子と
を備え、
上記テスト用シフトレジスタ回路のビット出力で上記テスト用スイッチ回路を個別にＯＮ／ＯＦＦ制御し、
上記テスト用スイッチ回路のそれぞれを上記アナログ電圧出力の内の互いに反転が可能な２本の出力のいずれかに個別に接続し、
上記テスト用スイッチ回路の内の任意の１つをＯＮして、そのテスト用スイッチ回路が接続している１つのアナログ電圧出力を上記テスト出力端子に出力する
ことを特徴とするアナログ電圧出力ドライバＬＳＩチップ。
【請求項２】
多数のアナログ電圧出力チャンネルを有するアナログ電圧出力ドライバＬＳＩにおいて、
上記アナログ電圧出力の本数に応じたビット数のテスト用シフトレジスタ回路と、
上記アナログ電圧出力の本数に応じた個数のテスト用スイッチ回路と、

上記テスト用スイッチ回路が共通接続されたテスト出力端子と

を備え、

上記テスト用シフトレジスタ回路のビット出力で上記テスト用スイッチ回路を個別にＯＮ／ＯＦＦ制御し、

上記テスト用スイッチ回路の内の任意の１つをＯＮして、そのテスト用スイッチ回路が接続している１つのアナログ電圧出力を上記テスト出力端子に出力し、

上記テスト用シフトレジスタ回路に、上記任意の１つのテスト用スイッチ回路をＯＮさせるためのデータを保持しておくダミービットを設けた

ことを特徴とするアナログ電圧出力ドライバＬＳＩチップ。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、ＴＦＴソースドライバＬＳＩチップなどの多数の出力チャンネルを有するアナログ電圧出力ドライバＬＳＩチップであって評価や解析をするためのテスト回路を設けたアナログ電圧出力ドライバＬＳＩチップに関するものである。

【０００２】

【従来の技術】

多数の出力チャンネルを有するアナログ電圧出力ドライバの代表的なものとして、液晶パネルなどに用いられるＴＦＴソースドライバは、階調表示のためのアナログ電圧出力端子を数百本も有する多出力チャンネルのアナログ電圧出力ドライバである。

【０００３】

図６は従来のＴＦＴソースドライバＬＳＩチップの構成図であって、３８４本のアナログ電圧出力チャンネルを有するＴＦＴソースドライバのＬＳＩチップである。

【０００４】

図６の従来のＬＳＩチップ１００は、コントローラ１０１と、抵抗ストリング１０２と、２ｎビット双方向シフトレジスタ１０３と、データレジスタ１０４と、レベルシフタ１０５と、マルチプレクサ１０６と、出力回路１０７とを備えている。

【０００５】

また、図６の従来のＬＳＩチップ１００は、電源ＶＤＤ，ＶＣＣの入力端子と、基準電源ＶＳＳの入力端子と、それぞれ２ｎ（＝ｍ）本の電圧ＶＨ（２ｎ：０），ＶＬ（２ｎ：０）の入力端子と、それぞれｎビットのデータＡ，Ｂ，Ｃ，Ｄ，Ｅ，Ｆの入力端子ＤＡ（２：０），ＤＢ（２：０），ＤＣ（２：０），ＤＤ（２：０），ＤＥ（２：０），ＤＦ（２：０）と、クロックパルスＣＰの入力端子と、出力極性信号ＰＯＬの入力端子と、ロードパルスＬＯＡＤの入力端子と、ダウンシフト信号ＥＤの入力端子と、アップシフト信号ＥＵの入力端子と、３８４本のアナログ電圧出力Ｏ００１，Ｏ００２，…，Ｏ３８４の出力端子とを備えている。

【０００６】

ＴＦＴソースドライバＬＳＩチップは、キャリアテープやフィルムなどのチップキャリアのユーザエリア内に実装され、このＴＦＴソースドライバＬＳＩチップを実装したチップキャリアは、テープ・キャリア・パッケージ（ＴＣＰ）またはチップ・オン・フィルム（ＣＯＦ）などのキャリアパッケージとして、上記ユーザエリアで個片に切り抜かれる。なお、ＴＣＰ実装とＣＯＦ実装とは、チップキャリアの材料などに違いはあるが、基本構成は同じである。

【０００７】

このようにして、ＴＦＴソースドライバＬＳＩチップをキャリアパッケージに実装（ＴＣＰ実装またはチップＣＯＦ実装など）したＴＦＴソースドライバデバイスが製造される。そして、このＴＦＴソースドライバデバイスが、ＴＦＴ液晶パネルやそのプリント基板に組込まれる。

【０００８】

図７は従来のＬＳＩチップ１００を実装したチップキャリアの上面構成図である。図７の

従来のチップキャリア２００は、ユーザエリア２０１内にＬＳＩチップ１００が実装されており、このユーザエリア２０１で個片に切り抜かれて、ＴＦＴソースドライバデバイスのキャリアパッケージになる。
【０００９】
図７の従来のチップキャリア２００には、ＬＳＩチップ１００のそれぞれの入力端子に個別に接続する複数の入力リード２０２と、ＬＳＩチップ１００のアナログ電圧出力Ｏ００１－Ｏ３８４の出力端子のそれぞれに個別に接続する多数の出力リード２０３と、出力リード２０３のそれぞれに個別に接続する多数のテストパッド２０４とが設けられている。
【００１０】
テストパッド２０４は、ユーザエリア２０１の外部に設けられており、チップキャリア２００に実装されたＬＳＩチップ１００の電気的特性の測定による選別や出荷検査において、テスト針の針当をするために設けられたパッドである。テストパッド２０４をユーザエリア２０１の外部に設けることによって、針痕がユーザエリア２０１内（個片のキャリアパッケージ）に残らないというメリットがある。
【００１１】
さらに、数百本もの多出力チャンネルを有するＴＦＴソースドライバでは、出力リード２０３のパターンピッチが狭くなるため、多数のテストパッド２０４を配置することが困難になる。このため、テストパッド２０４の配列を数段に積み重ねるといった配置の工夫によって、テスト針の接触容易性を高めることも可能である。あるいは、例えば特開２０００－１３１３９３号公報に記載されているように、ユーザエリア２０１の外部において、多数の出力リード２０４を共通接続することによって、テストパッド２０４の数を減らすことも可能である。
【００１２】
【発明が解決しようとする課題】
しかしながら、上記従来の技術では、個片のキャリアパッケージにテストパットが残らないために、デバイスの返品時などにおいてＬＳＩチップの評価や解析が必要になったときには、狭ピッチの出力リードの全てに探針して数百本もの出力チャネルのアナログ出力電圧を測定しなければならない。出力リードのピッチは例えば８０［μｍ］であり、これら狭ピッチの出力リードの全てに高精度マニピュレータで探針しなければならない。また、３８４本の出力を確認するためには、マニピュレータの針当てが３８４回も必要であった。
【００１３】
このように従来の技術では、デバイスになったあとに針当てをすることが困難であるために、デバイスの返品時などにおいて評価や解析のためのアナログ電圧出力ドライバＬＳＩチップの電気特性の確認が困難であるという課題があった。
【００１４】
本発明は、このような従来の課題を解決するためになされたものであり、個片のキャリアパッケージに実装されたアナログ電圧出力ドライバＬＳＩチップの電気特性を容易に確認できるようにすることを目的とするものである。
【００１５】
【課題を解決するための手段】
　本発明のアナログ電圧出力ドライバＬＳＩチップは、
　多数のアナログ電圧出力チャンネルを有するアナログ電圧出力ドライバＬＳＩにおいて、
　上記アナログ電圧出力の本数の半分のビット数のテスト用シフトレジスタ回路と、
　上記アナログ電圧出力の本数の半分の個数のテスト用スイッチ回路と、
　上記テスト用スイッチ回路が共通接続されたテスト出力端子と
　を備え、
　上記テスト用シフトレジスタ回路のビット出力で上記テスト用スイッチ回路を個別にＯＮ／ＯＦＦ制御し、

上記テスト用スイッチ回路のそれぞれを上記アナログ電圧出力の内の互いに反転が可能な２本の出力のいずれかに個別に接続し、
上記テスト用スイッチ回路の内の任意の１つをＯＮして、そのテスト用スイッチ回路が接続している１つのアナログ電圧出力を上記テスト出力端子に出力する
ことを特徴とするものである。
【００１６】
また、本発明の他のアナログ電圧出力ドライバＬＳＩチップは、
多数のアナログ電圧出力チャンネルを有するアナログ電圧出力ドライバＬＳＩにおいて、
上記アナログ電圧出力の本数に応じたビット数のテスト用シフトレジスタ回路と、
上記アナログ電圧出力の本数に応じた個数のテスト用スイッチ回路と、
上記テスト用スイッチ回路が共通接続されたテスト出力端子と
を備え、
上記テスト用シフトレジスタ回路のビット出力で上記テスト用スイッチ回路を個別にＯＮ／ＯＦＦ制御し、
上記テスト用スイッチ回路の内の任意の１つをＯＮして、そのテスト用スイッチ回路が接続している１つのアナログ電圧出力を上記テスト出力端子に出力し、
上記テスト用シフトレジスタ回路に、上記任意の１つのテスト用スイッチ回路をＯＮさせるためのデータを保持しておくダミービットを設けた
ことを特徴とするものである。
【００１８】
【発明の実施の形態】
実施の形態１
図１は本発明の実施の形態１のＴＦＴソースドライバＬＳＩチップの構成図であって、３８４本のアナログ電圧出力チャンネルを有するＴＦＴソースドライバである。なお、図１において、図６と同じものには同じ符号を付してある。
【００１９】
図１の実施の形態１のＬＳＩチップ１は、コントローラ１０１と、抵抗ストリング１０２と、２ｎビット双方向シフトレジスタ１０３と、データレジスタ１０４と、レベルシフタ１０５と、マルチプレクサ１０６と、出力回路１０７と、３８４ビットシフトレジスタ１１と、スイッチＳ００１，Ｓ００２，…，Ｓ３８４とを備えている。
【００２０】
また、図１の実施の形態１のＬＳＩチップ１は、電源ＶＤＤ，ＶＣＣの入力端子と、基準電源ＶＳＳの入力端子と、それぞれ２ｎ（＝ｍ）本の電圧ＶＨ（２ｎ：０），ＶＬ（２ｎ：０）の入力端子と、それぞれｎビットの階調データＤＡ（ｎ：０），ＤＢ（ｎ：０），ＤＣ（ｎ：０），ＤＤ（ｎ：０），ＤＥ（ｎ：０），ＤＦ（ｎ：０）の入力端子と、クロックパルスＣＰの入力端子と、出力極性信号ＰＯＬの入力端子と、ロードパルスＬＯＡＤの入力端子と、ダウンシフト信号ＥＤの入力端子と、アップシフト信号ＥＵの入力端子と、３８４本のアナログ電圧出力Ｏ００１，Ｏ００２，…，Ｏ３８４の出力端子と、テストイネーブル信号ＴＥＳＴ　ＥＮの入力端子と、テスト出力ＴＥＳＴ　ＯＵＴの出力端子とを備えている。
【００２１】
この実施の形態１のＬＳＩチップ１は、従来のＬＳＩチップ１００（図６参照）において、テスト回路を設けたものである。実施の形態１のテスト回路は、アナログ電圧出力本数に相当するビット数の３８４ビットシフトレジスタ１１と、上記アナログ電圧出力本数に相当する数のスイッチＳ００１－Ｓ３８４と、テストイネーブル信号ＴＥＳＴ　ＥＮの入力端子と、テスト出力ＴＥＳＴ　ＯＵＴの出力端子とによって構成されている。
【００２２】
コントローラ１０１は、１出力当たりｎビットの計６出力分の階調データＤＡ（ｎ：０），ＤＢ（ｎ：０），ＤＣ（ｎ：０），ＤＤ（ｎ：０），ＤＥ（ｎ：０），ＤＦ（ｎ：０）

に応じて、それぞれの出力ごとに２ｎビットのアナログ階調データを生成して双方向シフトレジスタ１０３に出力し、双方向シフトレジスタ１０３およびデータレジスタ１０４ならびにマルチプレクサ１０６の動作を制御するとともに、入力された出力極性信号ＰＯＬに応じて出力回路１０７の出力反転機能を制御する。

【００２３】

抵抗ストリング１０２は、抵抗分圧によって、上記ｎビットの階調データに応じたアナログ階調電圧を生成し、マルチプレクサ１０６に出力する。

【００２４】

双方向シフトレジスタ１０３は、コントローラ１０１から入力された上記２ｎビットのアナログ階調データを、６出力分ずつクロックパルスＣＰに同期して取り込む。この双方向シフトレジスタ１０３は、ダウンシフト信号ＥＤおよびアップシフト信号ＥＵに従って、アップまたはダウンの双方向のシフト動作を切替可能である。

【００２５】

データレジスタ１０４は、双方向シフトレジスタ１０３に取り込まれた上記アナログ階調データを、ロードパルスＬＯＡＤに同期してラッチし、レベルシフタ１０５に出力する。

【００２６】

レベルシフタ１０５は、入力信号の電圧振幅を変換するものであって、例えば、３［Ｖ］振幅の信号を１０［Ｖ］振幅の信号に電圧変換する。

【００２７】

マルチプレクサ１０６は、データレジスタ１０４でラッチされた１出力当たり２ｎビットのアナログ階調データのそれぞれに相当するアナログ階調電圧を、抵抗ストリングス１０２で生成されたアナログ階調電圧から選択し、出力回路１０７に出力する。

【００２８】

出力回路１０７は、マルチプレクサ１０６で選択されたアナログ階調電圧を、電流駆動能力を増幅してアナログ電圧出力Ｏ００１－Ｏ３８４として出力する。

【００２９】

実施の形態１のテスト回路において、３８４ビットシフトレジスタ１１は、テストイネーブル信号ＴＥＳＴ　ＥＮが入力されているテストモードのとき（例えばＴＥＳＴ　ＥＮがＨレベルのとき）に、イネーブルとなり、クロックパルスＣＰに同期してデータを１ビットずつシフトし、３８４ビットの内のいずれか１ビットを順次”１”（例えばＨレベル）にする。また、３８４ビットシフトレジスタ１１は、ＴＥＳＴ　ＥＮが入力されていないオペレーションモードのとき（例えばＴＥＳＴ　ＥＮがＬレベルのとき）には、ディスエーブルになり、３８４ビットを全て”０”（例えばＬレベル）にする。

【００３０】

スイッチＳ（ｎ）（ｎ＝００１，００２，…，３８４）は、３８４ビットシフトレジスタ１１の第ｎビットの出力によって個別にＯＮ／ＯＦＦ制御され、上記の第ｎビットの出力が”１”のときにＯＮして導通端子間を導通し、上記第ｎビットの出力が”０”のときにＯＦＦして導通端子間を非導通にする。スイッチＳ（ｎ）の制御端子は、３８４ビットシフトレジスタ１１の第ｎビットの出力に接続されており、スイッチＳ（ｎ）の一方の導通端子は、アナログ電圧出力Ｏ（ｎ）に接続されている。スイッチＳ０００－Ｓ３８４の他方の導通端子は、全てテスト出力ＴＥＳＴ　ＯＵＴに共通接続されている。

【００３１】

図２は実施の形態１のＬＳＩチップ１を実装したチップキャリアの上面図である。なお、図２において、図７と同じものには同じ符号を付してある。図２の実施の形態１のチップキャリア２０は、ユーザエリア２０１内にＬＳＩチップ１が実装されており、このユーザエリア２０１で個片に切り抜かれて、ＴＦＴソースドライバデバイスのキャリアパッケージになる。

【００３２】

図２の実施の形態１のチップキャリア２０には、ＬＳＩチップ１のそれぞれの入力端子に個別に接続する複数の入力リード２０２と、ＬＳＩチップ１００のアナログ出力電圧Ｏ０

０１－Ｏ３８４の出力端子のそれぞれに個別に接続する多数の出力リード２０３と、出力リード２０３のそれぞれに個別に接続する多数のテストパッド２０４と、ＬＳＩチップ1のテストイネーブル信号ＴＥＳＴ　ＥＮの入力端子に接続するテスト入力パッド（テスト入力リード）２１と、ＬＳＩチップ１のテスト出力ＴＥＳＴ　ＯＵＴの出力端子に接続するテスト出力パッド（テスト出力リード）２２とが設けられている。

【００３３】

この実施の形態１のチップキャリア２０は、上記従来のチップキャリア２００（図７参照）において、ユーザエリア２０１内に、テスト入力パッド２１およびテスト出力パッド２２を設けたものである。

【００３４】

従って、この実施の形態１のチップキャリア２０では、ユーザエリア２０１は、テスト入力パッド２１、テスト出力パッド２２、複数の入力リード２０２、および複数の出力リードが設けられており、ＬＳＩチップ１が実装され、個片に切り抜かれてＴＦＴソースドライバデバイスのキャリアパケージとなるエリアであって、出力リード２０３の端部にそれぞれ設けられたテストパッド２０４を含まないエリアである。

【００３５】

テスト入力パッド２１およびテスト出力パッド２２は、複数の入力リード２０２の配列側に設けられている。入力リード２０２の本数は出力リード２０３のそれよりも少なく、入力リード２０２の幅（ピッチ）は出力リード２０３のそれよりも広くすることができる。従って、テスト出力パッド２２を、複数の出力リード２０３の配列側ではなく、出力リード２０３とは反対側の入力リード２０２側に配置することによって、幅が広いテスト出力パッド２２を設けることできるので、テスト出力パッド２２の探針が容易になる。

【００３６】

実施の形態１のテスト回路のテストモードにおいての動作を以下に説明する。テストモード（例えばテストイネーブル信号ＴＥＳＴ　ＥＮがＨレベル）では、３８４ビットシフトレジスタ１１は、イネーブルになり、クロックパルスＣＰが最初に入力されると、第００１ビットの出力のみが”１”（例えばＨレベル）になり、スイッチＳ００１のみをＯＮにする。

【００３７】

３８４ビットシフトレジスタ１１は、３８４ビットの出力の内の１ビットのみを”１”とし、その他のビットを”０”（例えばＬレベル）にするので、スイッチＳ００１がＯＮのときには、他のスイッチＳ００２－Ｓ３８４はＯＦＦである。

【００３８】

これによって、出力回路１０７のアナログ電圧出力Ｏ００１－Ｏ３８４の内、出力Ｏ００１のみが、スイッチＳ００１を介してテスト出力ＴＥＳＴ　ＯＵＴに出力され、従ってキャリアパッケージ上のテスト出力パッド２２に出力される。

【００３９】

次に、３８４ビットシフトレジスタ１１は、２つ目のクロックパルスＣＰが入力されると、データをシフトさせ、第００１ビットの出力はＬレベルになって、第００２ビットの出力のみがＨレベルになり、スイッチＳ００１をＯＦＦして、スイッチＳ００２のみをＯＮする。スイッチＳ００３－Ｓ３８４は、ＯＦＦのままである。

【００４０】

これによって、アナログ電圧出力Ｏ００２のみが、スイッチＳ００２を介してテスト出力ＴＥＳＴ　ＯＵＴに出力され、従ってキャリアパッケージ上のテスト出力パッド２２に出力される。

【００４１】

以下同様に、クロックパルスＣＰの入力ごとに３８４ビットシフトレジスタ１１の上位ビットが順次Ｈレベルとなり、そのＨレベルの１つのビットに応じて、１つのスイッチＳのみが順次ＯＮになり、１本のアナログ電圧出力Ｏのみがキャリアパッケージ上のテスト出力パッド２２に順次出力される。

【００４２】
このテストモードでは、ＬＳＩチップ１に設けたテスト回路によってテスト出力パッド２２に全てのアナログ電圧出力を順次出力することができるので、ＴＦＴソースドライバデバイスのキャリアパッケージ上において、探針が困難な狭ピッチの出力リード２０３に探針することなく、探針が容易なリードである入力リード２０２およびテスト入力パッド２１ならびにテスト出力パッド２２に探針すれば、全てのアナログ電圧出力を順次測定することができる。
【００４３】
以上のように実施の形態１によれば、狭ピッチのため探針が困難である出力リードを探針することなく、個片のキャリアパッケージに実装されたＴＦＴソースドライバＬＳＩチップの全てのアナログ電圧出力を容易に測定できる。
【００４４】
実施の形態２
図３は本発明の実施の形態２のＴＦＴソースドライバＬＳＩチップの構成図であって、３８４本のアナログ電圧出力チャンネルを有するＴＦＴソースドライバである。なお、図３において、図１と同じものあるいはそれに相当するものには同じ符号を付してある。
【００４５】
図３の実施の形態２のＬＳＩチップ２は、コントローラ１０１と、抵抗ストリング１０２と、２ｎビット双方向シフトレジスタ１０３と、データレジスタ１０４と、レベルシフタ１０５と、マルチプレクサ１０６と、出力回路１０７と、１９２ビットシフトレジスタ１２と、スイッチＳ００１，Ｓ００２，…，Ｓ３８４とを備えている。
【００４６】
また、図３の実施の形態２のＬＳＩチップ２は、電源ＶＤＤ，ＶＣＣの入力端子と、基準電源ＶＳＳの入力端子と、それぞれ２ｎ（＝ｍ）本の電圧ＶＨ（２ｎ：０），ＶＬ（２ｎ：０）の入力端子と、それぞれｎビットの階調データＤＡ（ｎ：０），ＤＢ（ｎ：０），ＤＣ（ｎ：０），ＤＤ（ｎ：０），ＤＥ（ｎ：０），ＤＦ（ｎ：０）と、クロックパルスＣＰの入力端子と、出力極性信号ＰＯＬの入力端子と、ロードパルスＬＯＡＤの入力端子と、ダウンシフト信号ＥＤの入力端子と、アップシフト信号ＥＵの入力端子と、３８４本のアナログ電圧出力Ｏ００１，Ｏ００２，…，Ｏ３８４の出力端子と、テストイネーブル信号ＴＥＳＴ　ＥＮの入力端子と、テスト出力ＯＤＤ　ＴＥＳＴ　ＯＵＴの出力端子と、テスト出力ＥＶＥＮ　ＴＥＳＴ　ＯＵＴの出力端子とを備えている。
【００４７】
この実施の形態２のＬＳＩチップ２は、上記実施の形態１のＬＳＩチップ１０（図１参照）において、テスト回路の構成を簡略にしたものである。実施の形態２のテスト回路は、アナログ電圧出力本数の半分に相当するビット数の１９２ビットシフトレジスタ１２と、アナログ電圧出力本数に相当する数のスイッチＳ００１－Ｓ３８４と、テストイネーブル信号ＴＥＳＴ　ＥＮの入力端子と、２本のテスト出力ＯＤＤ　ＴＥＳＴ　ＯＵＴ，ＥＶＥＮ　ＴＥＳＴ　ＯＵＴの出力端子とによって構成されている。
【００４８】
実施の形態２のテスト回路において、１９２ビットシフトレジスタ１２は、テストイネーブル信号ＴＥＳＴ　ＥＮが入力されているテストモードのとき（例えばＴＥＳＴ　ＥＮがＨレベルのとき）に、イネーブルとなり、クロックパルスＣＰに同期してデータを１ビットずつシフトし、１９２ビットの内のいずれか１ビットを順次”１”（例えばＨレベル）にする。また、１９２ビットシフトレジスタ１２は、ＴＥＳＴ　ＥＮが入力されていないオペレーションモードのとき（例えばＴＥＳＴ　ＥＮがＬレベルのとき）には、ディスエーブルになり、１９２ビットを全て”０”（例えばＬレベル）にする。
【００４９】
スイッチＳ（２ｎ－１）（ｎ＝００１，００２，…，１９２）およびＳ（２ｎ）は、１９２ビットシフトレジスタ１２の第ｎビットの出力が”１”のときにＯＮして導通端子間を導通し、上記第ｎビットの出力が”０”のときにＯＦＦして導通端子間を非導通にする。

スイッチＳ（２ｎ－１）およびＳ（２ｎ）の制御端子は、１９２ビットシフトレジスタ１２の第ｎビットの出力に接続されている。スイッチＳ（２ｎ－１）の一方の導通端子は、アナログ電圧出力Ｏ（２ｎ－１）に接続されており、スイッチＳ（２ｎ）の一方の導通端子は、アナログ電圧出力Ｏ（２ｎ）に接続されている。奇数番目のスイッチＳ００１，Ｓ００３，…，Ｓ３８３の他方の端子は、テスト出力ＯＤＤ　ＴＥＳＴ　ＯＵＴに共通接続されており、偶数番目のスイッチＳ００２，Ｓ００４，…，Ｓ３８４の他方の端子は、テスト出力ＥＶＥＮ　ＴＥＳＴ　ＯＵＴに共通接続されている。

【００５０】

実施の形態２のＬＳＩチップ２を実装したチップキャリアは、上記実施の形態１のチップキャリア２０（図２参照）において、ユーザエリア２０１内のテスト出力パッド２２を２本にして、テスト出力ＯＤＤ　ＴＥＳＴ　ＯＵＴに接続するテスト出力パッド２２（２２－ＯＤＤとする）と、テスト出力ＥＶＥＮ　ＴＥＳＴ　ＯＵＴの出力端子に接続するテスト出力パッド２２（２２－ＥＶＥＮとする）を設けたものである。

【００５１】

従って、この実施の形態２のチップキャリアでは、上記実施の形態１と同様に、ユーザエリア２０１は、テスト入力パッド２１、テスト出力パッド２２－ＯＤＤ，２２－ＥＶＥＮ、複数の入力リード２０２、および複数の出力リードが設けられており、ＬＳＩチップ１が実装され、個片に切り抜かれてＴＦＴソースドライバデバイスのキャリアパケージとなるエリアであって、出力リード２０３の端部にそれぞれ設けられたテストパッド２０４を含まないエリアである。

【００５２】

また、上記実施の形態１と同様に、テスト入力パッド２１ならびにテスト出力パッド２２－ＯＤＤおよび２２－ＥＶＥＮは、複数の入力リード２０２の配列側に設けられている。このようにテスト出力パッド２２－ＯＤＤおよび２２－ＥＶＥＮを入力リード２０２側に配置することによって、上記実施の形態１と同様に、幅が広いテスト出力パッド２２－ＯＤＤおよび２２－ＥＶＥＮを設けることできるので、テスト出力パッド２２－ＯＤＤおよび２２－ＥＶＥＮの探針が容易になる。

【００５３】

実施の形態２のテスト回路のテストモードにおいての動作を以下に説明する。テストモード（例えばテストイネーブル信号ＴＥＳＴ　ＥＮがＨレベル）では、１９２ビットシフトレジスタ１２は、イネーブルになり、クロックパルスＣＰが最初に入力されると、第００１ビットの出力のみが”１”（例えばＨレベル）になり、スイッチＳ００１およびＳ００２のみをＯＮにする。

【００５４】

１９２ビットシフトレジスタ１２は、１９２ビットの出力の内の１ビットのみを”１”とし、その他のビットを”０”（例えばＬレベル）にするので、スイッチＳ００１およびＳ００２がＯＮのときには、他のスイッチＳ００３－Ｓ３８４はＯＦＦである。

【００５５】

これによって、出力回路１０７のアナログ電圧出力Ｏ００１－Ｏ３８４の内、出力Ｏ００１は、スイッチＳ００１を介してテスト出力ＯＤＤ　ＴＥＳＴ　ＯＵＴに出力され、従ってキャリアパッケージ上のテスト出力パッド２２－ＯＤＤに出力される。また、アナログ電圧出力Ｏ００２は、スイッチＳ００２を介してテスト出力ＥＶＥＮ　ＴＥＳＴ　ＯＵＴに出力され、従ってキャリアパッケージ上のテスト出力パッド２２－ＥＶＥＮに出力される。

【００５６】

次に、１９２ビットシフトレジスタ１２は、２つ目のクロックパルスＣＰが入力されると、データをシフトさせ、第００１ビットの出力はＬレベルになって、第００２ビットの出力のみがＨレベルになり、スイッチＳ００１およびＳ００２をＯＦＦして、スイッチＳ００３およびＳ００４をＯＮする。スイッチＳ００５－Ｓ３８４は、ＯＦＦのままである。

【００５７】

これによって、アナログ電圧出力Ｏ００３が、スイッチＳ００３を介してテスト出力ＯＤＤ　ＴＥＳＴ　ＯＵＴに出力され、従ってキャリアパッケージ上のテスト出力パッド２２－ＯＤＤに出力される。また、アナログ電圧出力Ｏ００４が、スイッチＳ００４を介してテスト出力ＥＶＥＮ　ＴＥＳＴ　ＯＵＴに出力され、従ってキャリアパッケージ上のテスト出力パッド２２－ＥＶＥＮに出力される。

【００５８】
以下同様に、クロックパルスＣＰの入力ごとに１９２ビットシフトレジスタ１２の上位ビットが順次Ｈレベルとなり、そのＨレベルの１つのビットに応じて、２つのスイッチＳのみが順次ＯＮになり、２本のアナログ電圧出力Ｏがキャリアパッケージ上のテスト出力パッド２２－ＯＤＤおよび２２－ＥＶＥＮにそれぞれ順次出力される。

【００５９】
このテストモードでは、ＬＳＩチップ２に設けたテスト回路によって２本のテスト出力パッド２２（２２－ＯＤＤおよび２２－ＥＶＥＮ）に全てのアナログ電圧出力を順次出力することができるので、ＴＦＴソースドライバデバイスのキャリアパッケージ上において、探針が困難な狭ピッチの出力リード２０３に探針することなく、探針が容易なリードである入力リード２０２およびテスト入力パッド２１ならびに２本のテスト出力パッド２２に探針すれば、全てのアナログ電圧出力を順次測定することができる。

【００６０】
以上のように実施の形態２によれば、テスト回路のシフトレジスタのビット数を上記実施の形態１の半分にした構成で、上記実施の形態１と同様の効果が得られる。さらに、テスト出力の本数を３本，４本，…に増やすことが可能であれば、シフトレジスタのビット数を上記実施の形態１の１／３，１／４，…にすることも可能である。

【００６１】
実施の形態３
図４は本発明の実施の形態３のＴＦＴソースドライバのＬＳＩチップの構成図であって、３８４本のアナログ電圧出力チャンネルを有するＴＦＴソースドライバである。なお、図４において、図３と同じものには同じ符号を付してある。

【００６２】
図４の実施の形態３のＬＳＩチップ３は、コントローラ１０１と、抵抗ストリング１０２と、２ｎビット双方向シフトレジスタ１０３と、データレジスタ１０４と、レベルシフタ１０５と、マルチプレクサ１０６と、出力回路１０７と、１９２ビットシフトレジスタ２１と、スイッチＳ００１，Ｓ００２，…，Ｓ１９２とを備えている。

【００６３】
また、図４の実施の形態３のＬＳＩチップ３は、電源ＶＤＤ，ＶＣＣの入力端子と、基準電源ＶＳＳの入力端子と、それぞれ２ｎ（＝ｍ）本の電圧ＶＨ（２ｎ：０），ＶＬ（２ｎ：０）の入力端子と、それぞれｎビットの階調データＤＡ（ｎ：０），ＤＢ（ｎ：０），ＤＣ（ｎ：０），ＤＤ（ｎ：０），ＤＥ（ｎ：０），ＤＦ（ｎ：０）の入力端子と、クロックパルスＣＰの入力端子と、出力極性信号ＰＯＬの入力端子と、ロードパルスＬＯＡＤの入力端子と、ダウンシフト信号ＥＤの入力端子と、アップシフト信号ＥＵの入力端子と、３８４本のアナログ電圧出力Ｏ００１，Ｏ００２，…，Ｏ３８４の出力端子と、テストイネーブル信号ＴＥＳＴ　ＥＮの入力端子と、テスト出力ＴＥＳＴ　ＯＵＴの出力端子とを備えている。

【００６４】
この実施の形態３のＬＳＩチップ３０は、上記実施の形態２のＬＳＩチップ２０（図３参照）において、テスト回路の構成をさらに簡略にしたものである。実施の形態３のテスト回路は、アナログ電圧出力本数の半分に相当するビット数の１９２ビットシフトレジスタ１２と、上記アナログ電圧出力本数の半分に相当する数のスイッチＳ００１－Ｓ１９２と、テストイネーブル信号のＴＥＳＴ　ＥＮの入力端子と、テスト出力ＴＥＳＴ　ＯＵＴの出力端子とによって構成されている。

【００６５】

実施の形態３のテスト回路において、スイッチＳ（ｎ）（ｎ＝００１，００２，…，１９２）は、１９２ビットシフトレジスタ１２の第ｎビットの出力によって個別にＯＮ／ＯＦＦ制御され、上記の第ｎビットの出力が”１”のときにＯＮして導通端子間を導通し、上記第ｎビットの出力が”０”のときにＯＦＦして導通端子間を非導通にする。スイッチＳ（ｎ）の制御端子は、１９２ビットシフトレジスタ１２の第ｎビットの出力に接続されており、スイッチＳ（ｎ）の一方の導通端子は、アナログ電圧出力Ｏ（２ｎ－１）に接続されている。スイッチＳ０００－Ｓ１９２の他方の導通端子は、全てテスト出力ＴＥＳＴＯＵＴに共通接続されている。

【００６６】

実施の形態３のＬＳＩチップ３を実装したチップキャリアは、上記実施の形態１のチップキャリア２０（図２参照）と同様である。

【００６７】

従って、この実施の形態３のチップキャリアでは、上記実施の形態１と同様に、ユーザエリア２０１は、テスト入力パッド２１、テスト出力パッド２２、複数の入力リード２０２、および複数の出力リードが設けられており、ＬＳＩチップ１が実装され、個片に切り抜かれてＴＦＴソースドライバデバイスのキャリアパケージとなるエリアであって、出力リード２０３の端部にそれぞれ設けられたテストパッド２０４を含まないエリアである。

【００６８】

また、上記実施の形態１と同様に、テスト入力パッド２１およびテスト出力パッド２２は、複数の入力リード２０２の配列側に設けられている。このようにテスト出力パッド２２を入力リード２０２側に配置することによって、幅が広いテスト出力パッド２２を設けることできるので、テスト出力パッド２２の探針が容易になる。

【００６９】

ＴＦＴソースドライバの出力回路１０７は、出力極性信号ＰＯＬに従って、奇数番目の出力Ｏ（２ｎ－１）と、偶数番目の出力Ｏ（２ｎ）とを入れ替えることができるようになっている。

【００７０】

図５は出力回路１０７の構成図である。図５において、出力回路１０７は、出力アンプＰＡおよびＮＡと、セレクタＰＳおよびＮＳとを備えている。

【００７１】

出力アンプＰＡは、マルチプレクサ１０６のデコード出力Ｐをセンスおよび増幅してセレクタＰＳに出力し、出力アンプＮＡは、マルチプレクサ１０６のデコード出力Ｎをセンスおよび増幅してセレクタＮＳに出力する。

【００７２】

セレクタＰＳは、デコード出力Ｐを出力極性信号ＰＯＬに従って奇数番目の出力Ｏ（２ｎ－１）または偶数番目の出力Ｏ（２ｎ）に出力し、セレクタＮＳは、デコード出力Ｎを出力極性信号ＰＯＬに従って偶数番目の出力端子Ｏ（２ｎ）または奇数番目の出力Ｏ（２ｎ－１）に出力する。

【００７３】

出力極性信号ＰＯＬが”０”（例えばＬレベル）のときには、デコード出力Ｐは出力Ｏ（２ｎ－１）に、デコード出力Ｎは出力Ｏ（２ｎ）にそれぞれ出力され、出力極性信号ＰＯＬが”１”（例えばＨレベル）のときには、出力が反転して、デコード出力Ｐは出力Ｏ（２ｎ）に、デコード出力Ｎは出力Ｏ（２ｎ－１）にそれぞれ出力される。

【００７４】

このように、出力回路１０７は、出力極性信号ＰＯＬに応じて、奇数番目の出力Ｏ（２ｎ－１）と偶数番目の出力Ｏ（２ｎ）とを入れ替えることができるので、ＶＨ側の出力およびＶＬ側の出力のいずれをも選択して奇数番目の出力Ｏ（２ｎ－１）に出力することができる。

【００７５】

この出力回路１０７の出力反転機能を用いて、出力極性信号ＰＯＬのＨレベルおよびＬレ

ベルのそれぞれについて、奇数番目の出力Ｏ（２ｎ－１）をキャリアパッケージ上のテスト出力パッド２２で測定すれば、３８４本の全てのアナログ電圧出力特性を測定できる。

【００７６】

実施の形態３のテスト回路のテストモードにおいての動作を以下に説明する。まず、出力極性信号ＰＯＬを”０”（例えばＬレベル）に固定してテストモードにする。これによって、アナログ電圧出力Ｏ（２ｎ－１）はデコード出力Ｐとなる。

【００７７】

テストモード（例えばテストイネーブル信号ＴＥＳＴ　ＥＮがＨレベル）では、１９２ビットシフトレジスタ１２は、イネーブルになり、クロックパルスＣＰが最初に入力されると、第００１ビットの出力のみが”１”（例えばＨレベル）になり、スイッチＳ００１のみをＯＮにする。

【００７８】

１９２ビットシフトレジスタ１２は、１９２ビットの出力の内の１ビットのみを”１”とし、その他のビットを”０”（例えばＬレベル）にするので、スイッチＳ００１がＯＮのときには、他のスイッチＳ００２－Ｓ１９２はＯＦＦである。

【００７９】

これによって、出力回路１０７のアナログ電圧出力Ｏ００１－Ｏ３８４の内、出力Ｏ００１（デコード出力Ｐ）のみが、スイッチＳ００１を介してテスト出力ＴＥＳＴ　ＯＵＴに出力され、従ってキャリアパッケージ上のテスト出力パッド２２に出力される。

【００８０】

次に、１９２ビットシフトレジスタ１２は、２つ目のクロックパルスＣＰが入力されると、データをシフトさせ、第００１ビットの出力はＬレベルになって、第００２ビットの出力のみがＨレベルになり、スイッチＳ００１をＯＦＦして、スイッチＳ００２のみをＯＮする。スイッチＳ００３－Ｓ１９２は、ＯＦＦのままである。

【００８１】

これによって、アナログ電圧出力Ｏ００３（デコード出力Ｐ）のみが、スイッチＳ００２を介してテスト出力ＴＥＳＴ　ＯＵＴに出力され、従ってキャリアパッケージ上のテスト出力パッド２２に出力される。

【００８２】

以下同様に、クロックパルスＣＰの入力ごとに１９２ビットシフトレジスタ１１の上位ビットが順次Ｈレベルとなり、そのＨレベルの１つのビットに応じて、１つのスイッチＳのみが順次ＯＮになり、１本のアナログ電圧出力Ｏ（デコード出力Ｐ）のみがキャリアパッケージ上のテスト出力パッド２２に順次出力される。

【００８３】

１９２ビットシフトレジスタ１２の第１９２ビットがＨレベルとなり、アナログ電圧出力Ｏ３８３（デコード出力Ｐ）がキャリアパッケージ上のテスト出力パッド２２に出力されたら、出力極性信号ＰＯＬを”１”（例えばＨレベル）に反転させる。これによって、アナログ電圧出力Ｏ（２ｎ－１）は、デコード出力Ｐからデコード出力Ｎに反転する。つまり、アナログ電圧出力Ｏ（２ｎ－１）は、出力極性信号ＰＯＬがＬレベルだったときのアナログ電圧出力Ｏ（２ｎ）となり、アナログ電圧出力Ｏ（２ｎ）は、出力極性信号ＰＯＬがＬレベルだったときのアナログ電圧出力Ｏ（２ｎ－１）となる。

【００８４】

この出力極性信号ＰＯＬがＨレベルに反転したテストモードでは、クロックパルスＣＰの入力ごとに１９２ビットシフトレジスタ１１の上位ビットが順次Ｈレベルとなり、そのＨレベルの１つのビットに応じて、１つのスイッチＳのみが順次ＯＮになり、１本のアナログ電圧出力Ｏ（デコード出力Ｎ）のみがキャリアパッケージ上のテスト出力パッド２２に順次出力される。

【００８５】

この出力極性信号ＰＯＬをＬレベルおよびＨレベルとしたテストモードでは、ＬＳＩチップ３に設けたテスト回路によってテスト出力パッド２２に全てのアナログ電圧出力を順次

出力することができるので、ＴＦＴソースドライバデバイスのキャリアパッケージ上において、探針が困難な狭ピッチの出力リード２０３に探針することなく、探針が容易なリードである入力リード２０２およびテスト入力パッド２１ならびにテスト出力パッド２２に探針すれば、全てのアナログ電圧出力を順次測定することができる。

【００８６】

なお、この実施の形態３では、奇数番目のアナログ電圧出力Ｏをスイッチ Ｓに接続した構成を説明したが、偶数番目のアナログ電圧出力Ｏをスイッチ Ｓに接続した構成も可能である。

【００８７】

以上のように実施の形態３によれば、テスト回路のシフトレジスタのビット数およびスイッチ Ｓの数を上記実施の形態１の半分にした構成で、上記実施の形態１と同様の効果が得られる。

【００８８】

なお、上記実施の形態１－３のテスト回路のシフトレジスタは、テストイネーブル信号ＴＥＳＴ　ＥＮによってイネーブルとなり、ＴＦＴソースドライバのクロックパルスＣＰに同期してデータをシフトさせる構成であるが、リセットまたはセット付きのシフトレジスタを設け、テストイネーブル信号ＴＥＳＴ　ＥＮの入力端子からシフトレジスタの動作クロックを入力する構成も可能である。この構成では、オペレーションモードにするときにはクロックを入力せず、テストモードにするときにはクロックを入力する。オペレーションモードでは、全てのビット出力がリセットまたはセットされている。また、テストモードでは、クロックを入力するごとに、ただ１つのＨレベルのビットが第００１ビットから順次上位ビットにシフトし、上記実施の形態１－３と同様の動作ができる。また、シフトレジスタの先頭または最終ビットにダミービットを設け、オペレーションモードでは、ただ１つのＨレベルのビットをダミービットに保持しておき、テストモードにおいてのクロック入力ごとに、上記ただ１つのＨレベルのビットが上記ダミービットから順次シフトする構成も可能である。

【００８９】

また、ＴＦＴソースドライバのアナログ電圧出力部（ＨＶ部）は、一般に１０［Ｖ］ほどの高電圧を出力するように構成されており、入力部（ＬＶ部）は、３－５［Ｖ］の入力電圧で動作するように構成されている。ＨＶ部とＬＶ部の回路構成の場合、テスト回路のシフトレジスタおよびスイッチは、ＨＶ部で構成すればよい。しかしながら、ＨＶ部は面積の大きな回路になってしまうので、上記シフトレジスタをＬＶ部で構成し、上記スイッチをＨＶ部で構成するほうが経済的である。この場合には、シフトレジスタのビット出力であるＬＶ部の電圧レベルをスイッチのＯＮ／ＯＦＦ制御のＨＶ部の電圧レベルに変換することが必要であるため、それぞれのノードに電圧レベル変換回路（電圧レベルシフト回路）を挿入する。

【００９０】

また、テスト入力リード（テスト入力パッド）２１およびテスト出力リード（テスト出力パッド）２２は、針当てをしやすい任意の形態で、ユーザエリア内に設けることが可能である。

【００９１】

【発明の効果】

以上説明したように本発明によれば、個片のキャリアパッケージに実装されたアナログ電圧出力ドライバＬＳＩチップの電気特性を容易に確認できるという効果がある。

【図面の簡単な説明】

【図１】　本発明の実施の形態１のＴＦＴソースドライバＬＳＩチップの構成図である。

【図２】　図１のＬＳＩチップを実装したチップキャリアの上面構成図である。

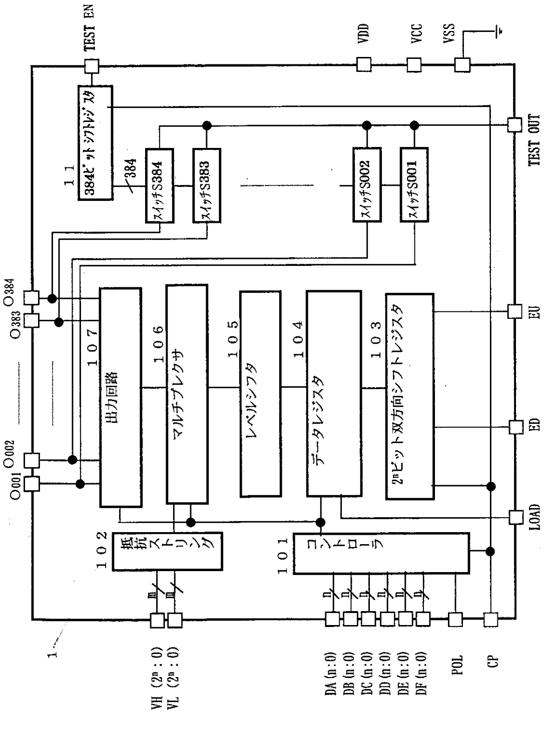
【図３】　本発明の実施の形態２のＴＦＴソースドライバＬＳＩチップの構成図である。

【図４】　本発明の実施の形態３のＴＦＴソースドライバＬＳＩチップの構成図である。

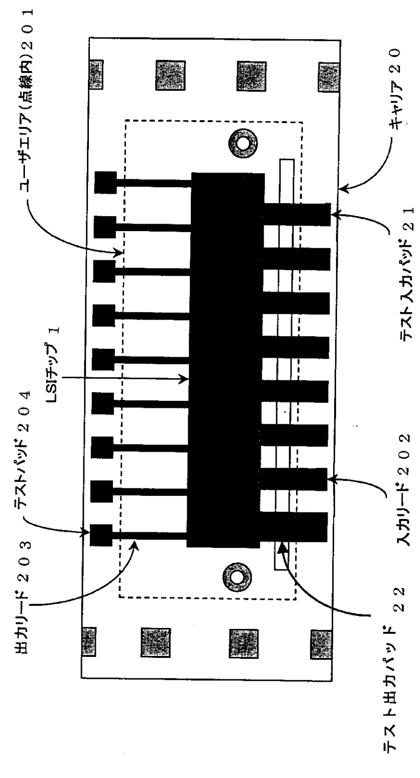
【図５】　ＴＦＴソースドライバＬＳＩチップにおいての出力回路の構成図である。

【図６】　従来のＴＦＴソースドライバＬＳＩチップの構成図である。
【図７】　図６のＬＳＩチップを実装したチップキャリアの上面構成図である。
【符号の説明】
１，２，３　ＴＦＴソースドライバＬＳＩチップ、　１１，１２　シフトレジスタ、　Ｓ００１，Ｓ００２，…，Ｓ３８４　スイッチ、　２０　チップキャリア、　２１　テスト入力リード（テスト入力パッド）、　２２　テスト出力リード（テスト出力パッド）。

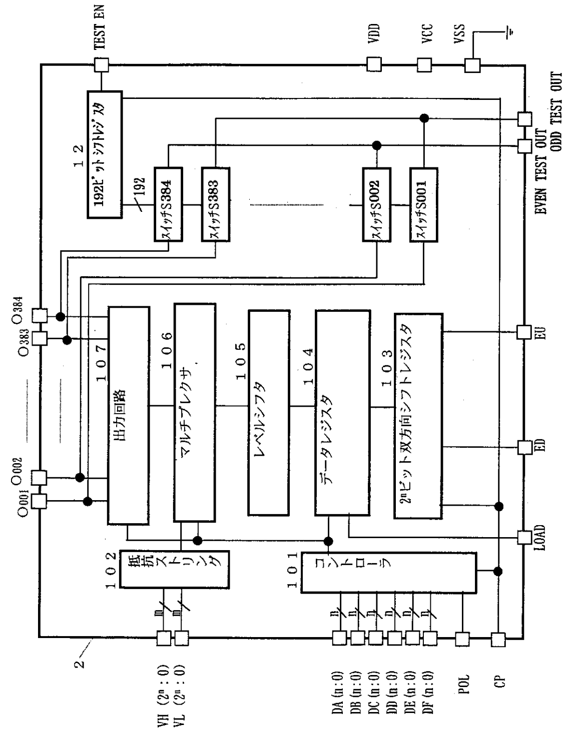
【図１】



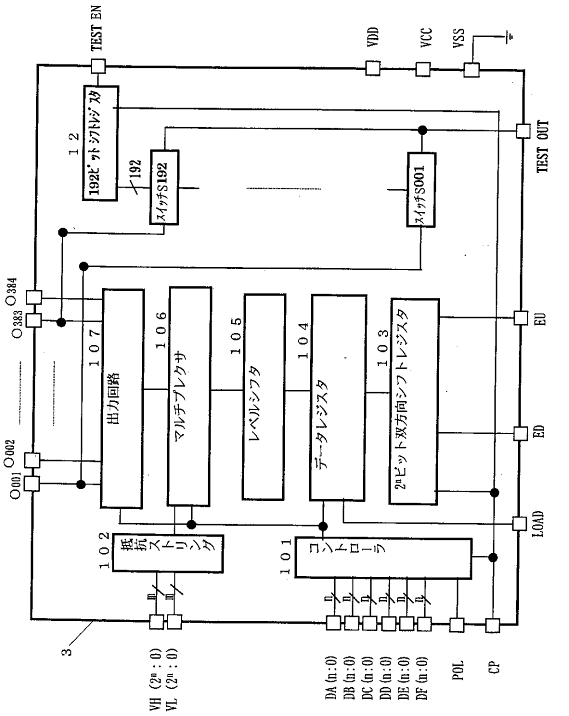
【図２】



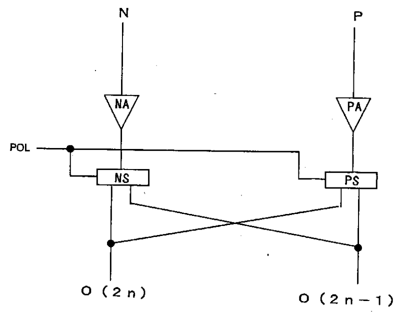
【図３】


TEST EN
VDD
VCC
VSS
１２
192ビットシフトレジスタ
192
スイッチS384
スイッチS383
スイッチS002
スイッチS001
EVEN TEST OUT
ODD TEST OUT
O384
O383
O002
O001
１０７
出力回路
１０６
マルチプレクサ
１０５
レベルシフタ
１０４
データレジスタ
１０３
2^nビット双方向シフトレジスタ
EU
ED
LOAD
１０２
抵抗ストリング
１０１
コントローラ
2
VH (2^n : 0)
VL (2^n : 0)
DA (n:0)
DB (n:0)
DC (n:0)
DD (n:0)
DE (n:0)
DF (n:0)
POL
CP

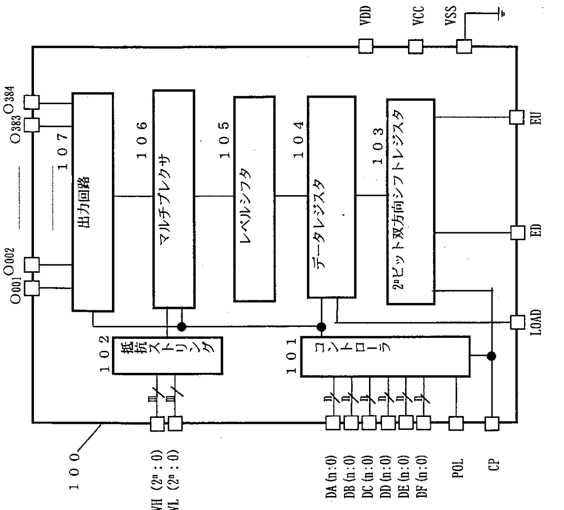
【図４】


TEST EN
VDD
VCC
VSS
１２
192ビットシフトレジスタ
192
スイッチS192
スイッチS001
TEST OUT
O384
O383
O002
O001
１０７
出力回路
１０６
マルチプレクサ
１０５
レベルシフタ
１０４
データレジスタ
１０３
2^nビット双方向シフトレジスタ
EU
ED
LOAD
１０２
抵抗ストリング
１０１
コントローラ
3
VH (2^n : 0)
VL (2^n : 0)
DA (n:0)
DB (n:0)
DC (n:0)
DD (n:0)
DE (n:0)
DF (n:0)
POL
CP

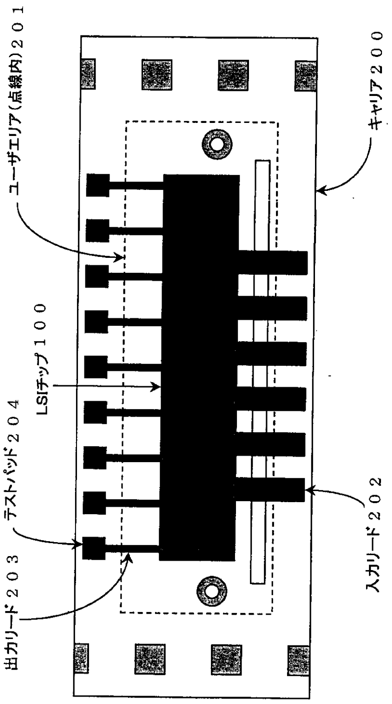
【図５】


N
P
NA
PA
POL
NS
PS
O (2n)
O (2n−1)

【図６】


VDD
VCC
VSS
O384
O383
O002
O001
１０７
出力回路
１０６
マルチプレクサ
１０５
レベルシフタ
１０４
データレジスタ
１０３
2^nビット双方向シフトレジスタ
EU
ED
LOAD
１０２
抵抗ストリング
１０１
コントローラ
１００
VH (2^n : 0)
VL (2^n : 0)
DA (n:0)
DB (n:0)
DC (n:0)
DD (n:0)
DE (n:0)
DF (n:0)
POL
CP

【図７】


ユーザエリア(点線内)２０１
キャリア２００
LSIチップ１００
テストパッド２０４
出力リード２０３
入力リード２０２

フロントページの続き

(51)Int.Cl.　　　　　　　　　　ＦＩ
Ｇ０１Ｒ　31/316　　(2006.01)　　　Ｇ０１Ｒ　31/28　　　Ｗ
　　　　　　　　　　　　　　　　　　　　Ｇ０１Ｒ　31/28　　　Ｃ

(56)参考文献　特開平０５－２８８８１２（ＪＰ，Ａ）
　　　　　　　特開平１０－３３５３７５（ＪＰ，Ａ）
　　　　　　　特開平１０－２０９２０１（ＪＰ，Ａ）
　　　　　　　特開平１１－０６７８４５（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L　21/822
H01L　21/82
H01L　27/04
H01L　21/60