



ÚŘAD PRO VYNÁLEZY  
A OBJEVY

# POPIS VYNÁLEZU

## K AUTORSKÉMU OSVĚDČENÍ

214 004

(11) (B1)

(61)

(23) Výstavní priorita  
(22) Přihlášeno 07 12 78  
(21) PV 8123 - 78

(51) Int. Cl.<sup>3</sup> G 06 F 7/52

(40) Zveřejněno 31 10 80  
(45) Vydáno 01 06 84

(75)

Autor vynálezu OBDRŽÁLEK JAN RNDr. CSc., PRAHA

(54) Digitální obvod k násobení užitím druhých mocnin

### 1.

Vynález se týká digitálního obvodu k násobení celých čísel užitím druhých mocnin.

Násobení celých čísel je natolik často užívanou operací na počítačích, že příslušná instrukce bývá součástí pokud ne přímo základního souboru instrukcí, tedy již prvního rozšíření instrukčních kódů. Délka slova u starších mikroprocesorů je  $N = 4$  bitů, u moderních  $N = 8$  bitů a u všech minipočítačů a většiny počítačů má celé číslo se znaménkem délku  $N = 16$  bitů. Při nejužívanějším zobrazení záporných čísel užitím dvojkového doplňku, tedy  $(-A)$  vyjádřeno jako  $2^N - A$ ; umožňuje délka  $N = 16$  bitů zobrazit celá čísla v mezích  $-32\,768$  až  $32\,767$ . Zatímco sčítání je běžně realizováno kombinačním obvodem v jediném tekutě činnosti stroje, bývá násobení jako složitější operace realizováno většinou sériově v několika taktech.

Dosavadní stav techniky násobení v počítačích je charakterizován hlavně sériovým zpracováním argumentů, tj. posuvy operandu  $A$  a jeho přičítáním k tvořenému výsledku, je-li na odpovídajícím bitu čísla  $B$  hodnota 1. Posuv a přičítání je nutno v principu provést tolikrát, kolik bitů má číslo  $B$ , tedy většinou 16x. Jsou možné menší, nikoli však principiální úspory. Perspektivy prudkého rozvoje velkokapacitních pamětí realizovaných integrovanými obvody s vysokou hustotou integrace vedly různé autory k přímočarému paralelnímu řešení pomocí paměti, obsahující předem všechny možné součiny. Výsledek se pak dostane zadáním obou argumentů jako adres. Rychlost takového násobení je vysoká a je dána prakticky jen četí dobou z paměti, ovšem kapacita  $P$  takové paměti musí být obrovská, pokud má celé číslo  $N$  bitů, musí mít paměť

kapacitu  $P(N) = N \cdot 2^{2N+1}$  bitů, organizovaných jako  $2^{2N} \times 2N$ . Pro  $N = 8$ , tj. mikroprocesory, je  $P(8) = 1\,048\,576$ , pro minipočítače nejzajímavější počet bitů  $N = 16$  je  $P(16)$  více než 137 miliard. Tyto požadavky lze různým způsobem snižovat. Van Holten, *Microelectronics* 9, No. 1, 1978, str. 25 až 26, přináší řešení, snižující potřebu paměti o více než polovinu užitím symetrie vůči záměně operandů a identity  $OxK = K$  pro libovolné  $K$ . Pokud by se navíc organizoval výpočet tak, že by byly násobeny jen absolutní hodnoty a znaménko výsledku bylo vytvořeno paralelně kombinační cestou místo úschovy v paměti, klesl by požadavek dále na čtvrtinu, tedy  $P(8) = 113\,792$ , resp.  $P(16) = 16\,105\,635\,840$  bitů. I tak zůstávají zřejmě požadavky na paměť neúměrně vysoké.

Podstata vynálezu spočívá v digitálním obvodu k násobení užitím druhých mocnin s paralelním vstupem dat, který se skládá z bloku součtu, na který je připojen mocninový blok, a bloku rozdílu, na který je připojen druhý mocninový blok. Výstupy obou mocninových bloků jsou přivedeny do bloku odečítání, jehož výstup je výstupem žádaného součinu.

Podstata vynálezu je v dalším textu blíže popsána s odkazem na připojené výkresy, kde obr. 1 značí blokové schéma digitálního obvodu k násobení užitím druhých mocnin podle vynálezu, obr. 2 až 6 jsou příklady provedení a zapojení jednotlivých součástí bloků digitálního obvodu podle vynálezu.

Digitální obvod k násobení užitím druhých mocnin se skládá z bloku 2 součtu, na který je napojen mocninový blok 4, a bloku 3 rozdílu, na který je napojen druhý mocninový blok 5, přičemž výstupy obou mocninových bloků 4, 5 jsou napojeny na blok 6 odečítání, jehož výstup je výstupem žádaného součinu.

Funkce obvodu podle vynálezu je zřejmá z obr. 1. Součin dvou čísel  $A, B$  je upraven podle vzorce

$$A \cdot B = |A + B|^2 / 4 - |A - B|^2 / 4.$$

Čísla  $A, B$  jsou zadávána paralelně do bloků 2 a 3. Blok 2 součtu vytváří absolutní hodnotu součtu a přivádí ji jako argument; tj. jako adresu, do mocninového bloku 4, obsahujícího trvalou paměť čtvrtin druhých mocnin. Podobně blok 3 rozdílu vytváří absolutní hodnotu rozdílu a přivádí ji do mocninového bloku 5, obsahujícího trvalou paměť čtvrtin druhých mocnin. Výsledné hodnoty z mocninových bloků 4 a 5 jdou do bloku 6 rozdílu. Výstup z tohoto bloku je výstupem z celého obvodu, neboť poskytuje právě požadovaný součin  $AB$ . Trvalé paměti v mocninových blocích 4 a 5 mohou být stejné, což je výhodné z hlediska výroby. Mění-li se čísla  $A, B$  v mezích od  $-2^{N-1}$  do  $2^{N-1} - 1$ , mění se veličina  $|A + B|$  od 0 do  $2^N$ , zatímco  $|A - B|$  se mění od 0 do  $2^N - 1$ . Vzhledem k tomu, že argument  $2^N$  vzniká jediným možným způsobem, a to při násobení  $(-2^{N-1}) \cdot (-2^{N-1})$ , lze snadno právě tento výsledek  $2^{2N-2}$  generovat přímo, a tím omezit argumenty obou mocninových bloků 4, 5 na stejný obor 0 až  $2^{N-1}$ , popsateľný pomocí  $N$  bitů.

Vynález je blíže popsán na podkladě připojených výkresů, obr. 2 až 6, na kterých je znázorněn příklad provedení a zapojení jednotlivých součástí bloků 2 až 6, jejichž celkové zapojení je na obr. 1.

Všechny na obr. 2 až 6 znázorněné obvody mohou být sestaveny ze standardních integrovaných obvodů TTL, tj. logiky tranzistor-tranzistor. Příslušný typ obvodu na obrázcích je zjednodušeně označen jen dvojičíslem či trojičíslem s apostrofem, např. '04 značí typ 7 404.

Předpokládá se, že záporné číslo je zobrazeno svým dvojkovým doplňkem. Dvě zobrazení stejného čísla, lišící se jen počtem bitů, jsou označena týmž písmenem a odlišena čárkou, např. A a A'. Invertování bitů je označeno pruhem nad písmenem, např.  $\overline{B}$ .

Vnitřní sestava a zapojení bloku 2 součtu je na obr. 2. Skládá se ze dvou sumátorů '283, mezi nimiž je vložen obvod '86 nonekvivalence. Do bloku 2 vložená čísla A, B o N bitech se rozšíří o 1 bit na A', B' a sečtou v prvním sumátoru '283. Bity 1 až N součtu jsou přivedeny jako číslo C' na vstup obvodu '86 nonekvivalence a jsou jím invertovány či neinvertovány podle toho, zda nejvyšší bit součtu C byl roven I či 0. Vystupující signál D' je doplněn o jeden bit a zaveden jako číslo D do dalšího sumátoru '283, který k D přičte 0 nebo 1 podle toho, zda nejvyšší bit u C je roven 0 nebo 1. Na výstupu tohoto sumátoru je výsledek  $E = |A + B|$ .

Vnitřní sestava a zapojení bloku 3 rozdílu je na obr. 3. Skládá se ze sumátoru '283, na jehož jednom vstupu a jednom výstupu je invertor '04 a obvodu '86 nonekvivalence. Do bloku rozdílu vložená čísla A a B se rozšíří o jeden bit na A' a B' a číslo B' je po bitech invertováno v invertoru '04 na B' a přivedeno spolu s A' na vstup sumátoru '283, na jehož přenosový vstup CI je přiveden v invertoru '04 invertovaný nejvyšší bit výsledného součtu G. Bity 1 až N součtu G jsou přivedeny jako číslo G' na vstup obvodu '86 nonekvivalence a jsou jím invertovány či neinvertovány podle toho, zda nejvyšší bit součtu G byl roven I či 0. Na výstupu tohoto obvodu je výsledek  $H = |A - B|$ .

Vnitřní sestava a zapojení mocninového bloku 4 je na obr. 4. Skládá se z trvalé paměti '188. Bity čísla E jsou přivedeny jako E' na adresový vstup trvalé paměti '188, nejvyšší bit E je vyveden přímo jako nejvyšší bit výsledku F. Paměť obsahuje na každé adrese čtverec čísla adresy lomený čtyřmi a zaokrouhlený dolů na celé číslo. Výstup F' z paměti '188 dává po doplnění nejvyšším bitem výsledek F.

Vnitřní sestava a zapojení mocninového bloku 5 je na obr. 5. Funkce je stejná jako u bloku 4 s tím zjednodušením, že na adresní vstup trvalé paměti '188 je zavedeno celé číslo H z bloku 3 rozdílu a výstup této paměti dává přímo výsledek J.

Vnitřní sestava a zapojení bloku 6 odčítání je na obr. 6. Skládá se ze sumátoru '283, který je na jednom vstupu opatřen invertorem '04. Číslo J přivedené z mocninového bloku 5 je invertováno invertorem '04, doplněno nejvyššími bity rovnými I a přivedeno jako J' do sumátoru '283 spolu s číslem F z mocninového bloku 4, doplněného nejvyšším bitem rovným 0 na číslo F'. Na vstup CI přenosu z nižšího řádu je přivedena logická hodnota I, takže výsledek na výstupu sumátoru '283 je  $K = F' + J' + 1$ . Přitom  $K = AB$  podle obr. 1 a představuje tedy konečný výsledek.

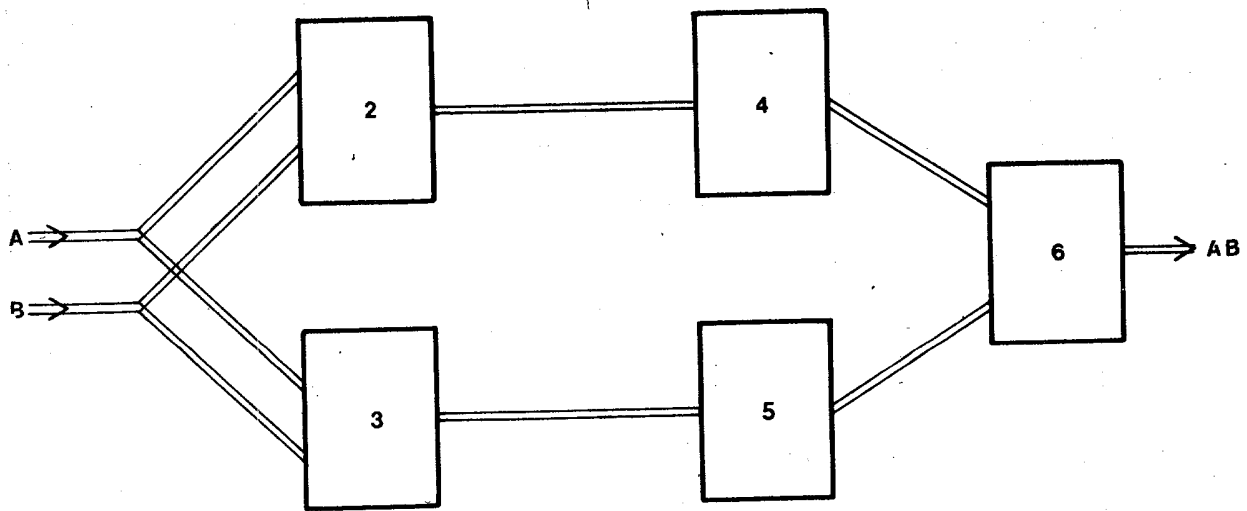
Výhodou vynálezu proti sériovému zpracování dat je podstatně vyšší rychlost výpočtu, při použití mimo počítač pak skutečnost, že jde o kombinační digitální obvod, nevyžadující synchronizační signály. Výhodou vynálezu proti dosevadním návrhům na paralelní zpracování dat užitím tabulky součinů je mnohem menší nárok na kapacitu paměti, která je zde jediným limitujícím faktorem. Násobící obvod podle vynálezu pro  $N = 16$  bitů vyžaduje paměť stejného rozsahu jako pro  $N = 9$  bitů podle výše citovaného článku. Taková paměť je na hranicích současných možností sériové výroby. Obvod podle vynálezu pro  $N = 8$  bitů lze bez obtíží sestavit z existující součástkové základny, zatímco obvod pro tytéž veličiny podle citovaného článku vyžaduje nestandardní, speciálně navržený paměťový obvod s kapacitou více než 30x větší.

Vynález je použitelný při konstrukci především počítačů a procesorů, v nichž je třeba násobit celá čísla co nejrychleji. Jako kombinační obvod se dále může uplatnit ve všech ostatních digitálních zařízeních, která potřebují generovat součin, např. digitální měřicí přístroje, generátory funkcí, speciální převodníky apod.

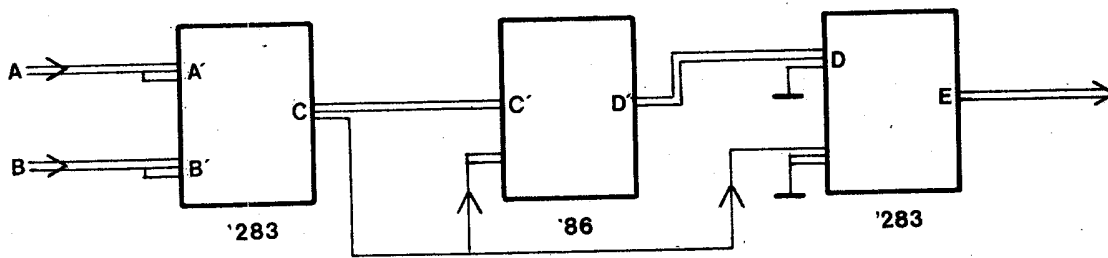
#### PŘEDMĚT VYNÁLEZU

Digitální obvod k násobení užitím druhých mocnin, vyznačený tím, že se skládá z bloku (2) součtu, na který je napojen mocninový blok (4) a bloku (3) rozdílu, na který je napojen druhý mocninový blok (5), přičemž výstupy obou mocninových bloků (4, 5) jsou napojeny na blok (6) odečítání, jehož výstup je výstupem žádaného součinu.

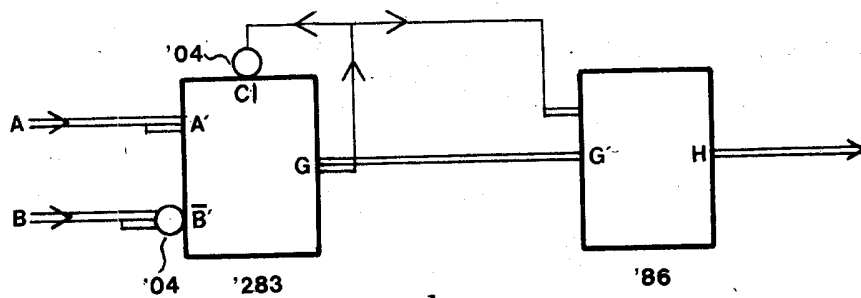
Z výkresy



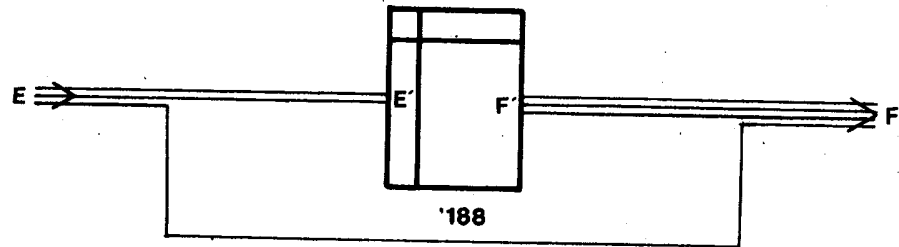
Obr. 1



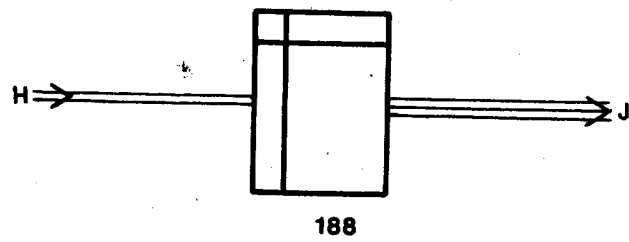
Obr. 2



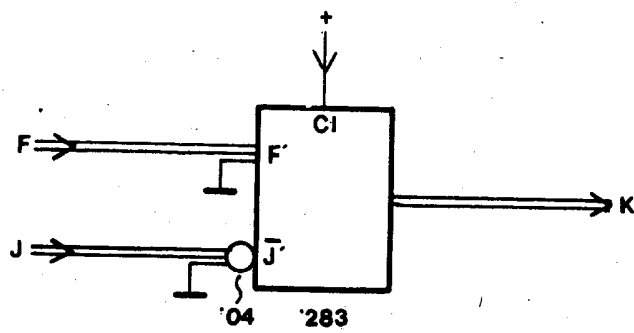
Obr. 3



Obr. 4



Obr. 5



Obr. 6