



(12) 发明专利申请

(10) 申请公布号 CN 103199071 A

(43) 申请公布日 2013. 07. 10

(21) 申请号 201310109201. 0

(22) 申请日 2013. 03. 29

(71) 申请人 日月光半导体制造股份有限公司

地址 中国台湾高雄市楠梓加工出口区经三
路 26 号

(72) 发明人 洪嘉临

(74) 专利代理机构 上海专利商标事务所有限公
司 31100

代理人 陆勍

(51) Int. Cl.

H01L 23/488 (2006. 01)

H01L 25/00 (2006. 01)

H01L 21/60 (2006. 01)

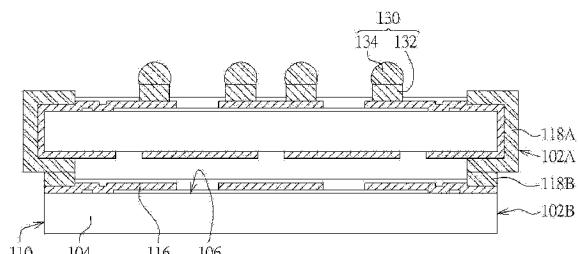
权利要求书3页 说明书8页 附图9页

(54) 发明名称

堆迭式封装结构及其制造方法

(57) 摘要

一种堆迭式封装结构及其制造方法。堆迭式封装结构的制造方法，包括以下步骤。提供第一晶粒及第二晶粒。第一晶粒与第二晶粒各具有一第一表面、一第二表面与一边缘表面，第一表面是相对于第二表面，边缘表面介于第一表面与第二表面之间。形成数个导电连接元件于第一晶粒的第一表面、第二表面与边缘表面上。导电连接元件包括焊料部。使焊料部物理连接并电性连接于第二晶粒的第一表面上的元件。



1. 一种堆迭式封装结构,其特征在于,包括:

一第一晶粒;

一第二晶粒,其中该第一晶粒与该第二晶粒各具有一第一表面、一第二表面与一边缘表面,该第一表面是相对于该第二表面,该边缘表面介于该第一表面与该第二表面之间,其中该第一晶粒的该第二表面面对该第二晶粒的该第一表面;

一第一线路层,包含多个线路,位于该第一晶粒的该第一表面;

一第二线路层,包含多个线路,位于该第一晶粒的该第二表面,其中该第一线路层的该些线路中至少一个经由该第一晶粒的该边缘表面与该第二线路层的该些线路中至少一个电性连结;

一第三线路层,包含多个线路,位于该第二晶粒的该第一表面,其中所述第三线路层面对所述第二线路层;以及

数个导电连接元件,包含导电部及 / 或焊料部,该些导电连接元件物理连接并电性连接于该第一晶粒上的该第二线路层与该第二晶粒上的该第三线路层。

2. 如权利要求 1 所述的堆迭式封装结构,其特征在于,该导电部的材质是铜或金。

3. 如权利要求 1 所述的堆迭式封装结构,其特征在于,该焊料部包括:

一第一焊料部分,配置在该第一晶粒上的该第一线路层上;

一第二焊料部分,配置在该第一晶粒上的该第二线路层及该第二晶粒上的该第三线路层之间,并电性连结及物理连结该第二线路层及该第三线路层;以及

一第三焊料部分,配置在该第一晶粒、该第二晶粒或该二晶粒的该边缘表面上。

4. 如权利要求 3 所述的堆迭式封装结构,其特征在于,该第一线路层上更包括:

一金属柱体,其中该金属柱体的表面包含第一焊料部分。

5. 一种堆迭式封装结构,其特征在于,包括:

一第一晶粒;

一第二晶粒,其中该第一晶粒与该第二晶粒各具有一第一表面、一第二表面与一边缘表面,该第一表面是相对于该第二表面,该边缘表面介于该第一表面与该第二表面之间,其中该第一晶粒的该第二表面面对该第二晶粒的该第一表面;

一第一线路层,包含多个线路,位于该第一晶粒的该第一表面;

一第二线路层,包含多个线路,位于该第一晶粒的该第二表面,其中该第一线路层的该些线路中至少一个经由该第一晶粒的该边缘表面与该第二线路层的该些线路中至少一个电性连结;

一第三线路层,包含多个线路,位于该第二晶粒的该第一表面;

一第四线路层,包含多个线路,位于该第二晶粒的该第二表面,其中该第三线路层的该些线路中至少一个经由该第二晶粒的该边缘表面与该第四线路层的该些线路至少一个电性连结;以及

数个导电连接元件,包含导电部及 / 或焊料部,该些导电连接元件物理连接并电性连接于该第一晶粒上的该第二线路层与该第二晶粒上的该第三线路层。

6. 一种堆迭式封装结构的制造方法,其特征在于,包括:

提供第一晶粒及第二晶粒,其中该第一晶粒与该第二晶粒各具有一第一表面、一第二表面与一边缘表面,该第一表面是相对于该第二表面,该边缘表面介于该第一表面与该第

二表面之间；

形成数个导电连接元件于该第一晶粒的该第一表面、该第二表面与该边缘表面上，其中该些导电连接元件包括焊料部；以及

使该些焊料部物理连接并电性连接于该第二晶粒的该第一表面上的元件。

7. 如权利要求 6 所述的堆迭式封装结构的制造方法，其特征在于，更包括：

在一晶圆上形成一第一线路层；

切割该晶圆以形成数个该第一晶粒；

在该第一晶粒的该第二表面形成一第二线路层，其中该第一线路层中至少一个线路经由该第一晶粒的该边缘表面与该第二线路层的线路电性连结。

8. 如权利要求 6 所述的堆迭式封装结构的制造方法，其特征在于，形成该些焊料部于该第一晶粒的该第一表面、该第二表面与该边缘表面上的方法包括：

将数个该第一晶粒以一空隙互相隔开；

形成一光阻于该些第一晶粒上，其中该光阻具有一开口露出该些第一晶粒之间的该空隙；

以焊料材料填充该光阻的该开口所露出的该空隙；

移除该光阻；以及

切割该焊料材料以形成该些焊料部。

9. 一种堆迭式封装结构，其特征在于，包括：

一第一晶粒；

一第二晶粒，其中该第一晶粒与该第二晶粒各具有一第一表面、一第二表面与一边缘表面，该第一表面是相对于该第二表面，该边缘表面介于该第一表面与该第二表面之间，其中该第一晶粒的该第一表面是面向该第二晶粒的该第二表面；

一第一线路层，包含多个线路，位于该第一晶粒的该第一表面；

一第二线路层，包含多个线路，位于该第一晶粒的该第二表面，其中该第一线路层的该些线路的至少一个经由该第一晶粒的该边缘表面与该第二线路层的该些线路的至少一个电性连结；

一第三线路层，包含多个线路，位于该第二晶粒的该第一表面；以及

数个导电凸起连接件，包含导电部，物理连接并电性连接该第一晶粒上的该第二线路层与该第二晶粒上的该第三线路层。

10. 如权利要求 9 所述的堆迭式封装结构，其特征在于，该导电部的高度是 $3 \mu m \sim 100 \mu m$ ，该导电部的宽度是 $10 \mu m \sim 100 \mu m$ 。

11. 如权利要求 10 所述的堆迭式封装结构，其特征在于，该数个导电连接元件，进一步包含焊料部。

12. 一种堆迭式封装结构的制造方法，其特征在于，包括：

提供第一晶粒及第二晶粒，其中该第一晶粒与该第二晶粒各具有一第一表面、一第二表面与一边缘表面，该第一表面是相对于该第二表面，该边缘表面介于该第一表面与该第二表面之间；

形成数个导电凸起连接件于该第一晶粒的该第一表面上；以及

使该些导电凸起连接件物理连接并电性连接于该第二晶粒的该第二表面上的元件。

13. 如权利要求 12 所述的堆迭式封装结构的制造方法, 其特征在于, 更包括 :
形成数个金属柱体于该第一晶粒的该第一表面上 ; 以及
形成数个焊料球在该些金属柱体上, 其中该些焊料球与该些金属柱体是形成该些导电
凸起连接件。
14. 如权利要求 12 所述的堆迭式封装结构的制造方法, 其特征在于, 更包括 :
在一晶圆上形成一第一线路层 ;
在该第一线路层上形成该些导电凸起连接件 ;
切割该晶圆以形成数个该第一晶粒 ;
在该第一晶粒的该第二表面形成一第二线路层, 其中该第一线路层中至少一个线路经
由该第一晶粒的该边缘表面与该第二线路层的线路电性连结。

堆迭式封装结构及其制造方法

技术领域

[0001] 本发明是有关于一种堆迭式封装结构及其制造方法。

背景技术

[0002] 在现今的资讯社会中,使用者均是追求高速度、高品质、多功能性的电子产品。就产品外观而言,电子产品的设计是朝向轻、薄、短、小的趋势迈进。为了达到上述目的,许多公司在进行电路设计时,均融入系统化的概念,使得单颗芯片可以具备有多种功能,以节省配置在电子产品中的芯片数目。另外,就电子封装技术而言,为了配合轻、薄、短、小的设计趋势,亦发展出诸如多芯片模块 (multi-chip module ;MCM) 的封装设计概念、芯片尺寸构装 (chip scale package ;CSP) 的封装设计概念及芯片堆迭式封装结构的封装设计的概念等。

[0003] 堆迭式封装结构一般是指将一晶粒配置于另一晶粒上,其基本目的是要增加密度以在每单位空间中产生更大的功能性,以及更好的区域性效能,因此可降低整个堆迭式封装结构的总面积,同时也降低其成本。

[0004] 一般晶粒相对表面的接点是经由硅穿孔结构 (through silicon via) 来达成。然而,硅穿孔结构的制造方法复杂且成本高,且其形成也容易让晶粒受到额外的力量而造成损坏,因此降低晶粒的良率。

发明内容

[0005] 本发明有关于一种堆迭式封装结构及其制造方法。制造方法简单、成本低。

[0006] 根据本发明的一方案,提出一种堆迭式封装结构,包括一第一晶粒、一第二晶粒、一第一线路层、一第二线路层、一第三线路层与数个导电连接元件。第一晶粒与第二晶粒各具有一第一表面、一第二表面与一边缘表面,第一表面是相对于第二表面,边缘表面介于第一表面与第二表面之间。第一晶粒的第二表面面对第二晶粒的第一表面。第一线路层包含多个线路,位于第一晶粒的第一表面。第二线路层包含多个线路,位于第一晶粒的第二表面。第一线路层的线路中至少一个经由第一晶粒的边缘表面与第二线路层的线路中至少一个电性连结。第三线路层包含多个线路,位于第二晶粒的第一表面。导电连接元件包含导电部及 / 或焊料部。导电连接元件物理连接并电性连接于第一晶粒上的第二线路层与第二晶粒上的第三线路层。

[0007] 根据本发明的另一方案,提出一种堆迭式封装结构,包括一第一晶粒、一第二晶粒、一第一线路层、一第二线路层、一第三线路层、一第四线路层与数个导电连接元件。第一晶粒与第二晶粒各具有一第一表面、一第二表面与一边缘表面,第一表面是相对于第二表面,边缘表面介于第一表面与第二表面之间。第一晶粒的第二表面面对第二晶粒的第一表面。第一线路层包含多个线路,位于第一晶粒的第一表面。第二线路层包含多个线路,位于第一晶粒的第二表面。第一线路层的线路中至少一个经由第一晶粒的边缘表面与第二线路层的线路中至少一个电性连结。第三线路层包含多个线路,位于第二晶粒的第一表面。第

四线路层包含多个线路,位于第二晶粒的第二表面。第三线路层的线路中至少一个经由第二晶粒的边缘表面与第四线路层的线路至少一个电性连结。导电连接元件包含导电部及/或焊料部。导电连接元件物理连接并电性连接于第一晶粒上的第二线路层与第二晶粒上的第三线路层。

[0008] 根据本发明的一另方案,提出一种堆迭式封装结构的制造方法,包括以下步骤。提供第一晶粒及第二晶粒。第一晶粒与第二晶粒各具有一第一表面、一第二表面与一边缘表面,第一表面是相对于第二表面,边缘表面介于第一表面与第二表面之间。形成数个导电连接元件于第一晶粒的第一表面、第二表面与边缘表面上。导电连接元件包括焊料部。使焊料部物理连接并电性连接于第二晶粒的第一表面上的元件。

[0009] 根据本发明的又另一方案,提出一种堆迭式封装结构,包括一第一晶粒、一第二晶粒、一第一线路层、一第二线路层、一第三线路层、与数个导电凸起连接件。第一晶粒与第二晶粒各具有一第一表面、一第二表面与一边缘表面,第一表面是相对于第二表面,边缘表面介于第一表面与第二表面之间。第一晶粒的第一表面是面向第二晶粒的第二表面。第一线路层包含多个线路,位于第一晶粒的第一表面。第二线路层包含多个线路,位于第一晶粒的第二表面。第一线路层的线路的至少一个经由第一晶粒的边缘表面与第二线路层的线路的至少一个电性连结。第三线路层包含多个线路,位于第二晶粒的第一表面。导电凸起连接件包含导电部及焊料部,物理连接并电性连接第一晶粒上的第二线路层与第二晶粒上的第三线路层。

[0010] 根据本发明的再另一方案,提出一种堆迭式封装结构的制造方法,包括以下步骤。提供第一晶粒及第二晶粒。第一晶粒与第二晶粒各具有一第一表面、一第二表面与一边缘表面,第一表面是相对于第二表面,边缘表面介于第一表面与第二表面之间。形成数个导电凸起连接件于第一晶粒的第一表面上。使导电凸起连接件物理连接并电性连接于第二晶粒的第二表面上的元件。

[0011] 为了对本发明的上述及其他方面有更佳的了解,下文特举较佳实施例,并配合附图,作详细说明如下:

附图说明

- [0012] 图 1 绘示根据一实施例中堆迭式封装结构的半导体结构单元。
- [0013] 图 2 绘示根据一实施例中堆迭式封装结构的半导体结构单元的俯视图。
- [0014] 图 3 绘示根据一实施例中的堆迭式封装结构。
- [0015] 图 4 绘示根据一实施例中的堆迭式封装结构。
- [0016] 图 5 绘示根据一实施例中的堆迭式封装结构。
- [0017] 图 6 绘示根据一实施例中的堆迭式封装结构
- [0018] 图 7A 图 7A 至图 7M 绘示根据一实施例的半导体结构单元的制造方法。
- [0019] 图 8 绘示根据一实施例中堆迭式封装结构的半导体结构单元。
- [0020] 图 9 绘示根据一实施例中的堆迭式封装结构。
- [0021] 图 10 绘示根据一实施例中的堆迭式封装结构。
- [0022] 图 11A 至图 11H 绘示根据一实施例的半导体结构单元的制造方法。
- [0023] 符号说明 :

- [0024] 102、102A、102B、102C、102D、102E、202A、202C、202D、302、302A、302B、302C、302D、302E、302F、302G : 半导体结构单元；
- [0025] 104、104A、104B、104C、104D、104E、104F : 晶粒；
- [0026] 106、108、138、146 : 表面；
- [0027] 110 : 边缘表面；
- [0028] 112 : 主动层；
- [0029] 114 : 封环；
- [0030] 116、116A : 线路层；
- [0031] 118、118A、118B、128、128A、128B、228A、228C、228D : 导电连接元件；
- [0032] 120、122、124 : 部分；
- [0033] 126 : 接触结构；
- [0034] 130、330 : 导电凸起连接件；
- [0035] 132 : 金属柱体；
- [0036] 332 : 导电部
- [0037] 134 : 焊料球；
- [0038] 334 : 焊料部
- [0039] 136 : 晶圆；
- [0040] 116、117 : 线路层；
- [0041] 142、162 : 胶层；
- [0042] 144、164 : 载体；
- [0043] 148、156、166 : 光阻；
- [0044] 150 : 空隙；
- [0045] 152、158、168 : 开口；
- [0046] 160、170、172 : 焊料材料；
- [0047] 174 : 钢圈；
- [0048] 176 : 胶带；
- [0049] H1、H2、H3、H4、H5、H6、H7 : 高度；
- [0050] W1、W2、W3 : 厚度。

具体实施方式

[0051] 图 1 绘示根据一实施例中堆迭式封装结构的半导体结构单元 102。一晶粒 104 具有相对的一表面 106 与一表面 108，以及介于表面 106 与表面 108 之间一边缘表面 110。一主动层 112 与一封环 114 是配置在晶粒 104 的表面 106 上。

[0052] 线路层 116 包括多数个线路，并配置在晶粒 104 的表面 106 上。线路层 117 包括多数个线路，并配置在晶粒 104 的表面 108 上。线路层 116 的至少一个线路可经由晶粒 104 的边缘表面 110 与线路层 117 的至少一个电性连结，因此可不需要制造成本比线路层 116 与线路层 117 更昂贵的硅穿孔结构 (through silicon via ; TSV)，换句话说，半导体结构单元 102 的制造成本低。于一实施例中，举例来说，线路层 116 或线路层 117 位在晶粒 104 的边缘表面 110 上的部分的高度 H1 是 $5 \mu m \sim 50 \mu m$ 。线路层 116 及 / 或线路层 117 可包括

重新布线层 (Re-Distribution Layer ;RDL)。

[0053] 数个导电连接元件 118 各包括部分 120、122、124，物理连接并电性连接于晶粒 104 的表面 106、表面 108 与边缘表面 110 上的线路层 116 与线路层 117。于一实施例中，导电连接元件 118 包括焊料部，因此，换句话说，部分 120、122、124 为焊料部分。于其他实施例中，导电连接元件 118 包括导电部，材质是铜或金，因此，换句话说，部分 120、122、124 为导电部分。于一实施例中，举例来说，部分 120 的宽度 W1 是 $10 \mu\text{m} \sim 100 \mu\text{m}$ 。部分 120 的高度 H2 是 $10 \mu\text{m} \sim 100 \mu\text{m}$ 。部分 122 的宽度 W2 是 $10 \mu\text{m} \sim 100 \mu\text{m}$ 。部分 122 的高度 H3 是 $10 \mu\text{m} \sim 100 \mu\text{m}$ 。部分 124 的高度 H4 是 $5 \mu\text{m} \sim 50 \mu\text{m}$ 。

[0054] 图 2 绘示根据一实施例中堆迭式封装结构的半导体结构单元 102 的俯视图。举例来说，位在晶粒 104 的表面 106 上的线路层 116 是重新布线层，其扇出 (fan-out) 形态的导线是与导电连接元件 118 及接触结构 126 相连接。接触结构 126 可包括由导电材料形成的接触垫、或包括焊料球或金属柱体的导电凸起连接件。在实施例中，位在晶粒 104 的表面 108 上线路层 117 也是包括扇出形态的导线的重新布线层 (未绘示)。可经由扇出形态的导线的重新布线层达到高数目的引脚 (high pin)。

[0055] 图 3 绘示根据一实施例中的堆迭式封装结构。半导体结构单元 102A 是与半导体结构单元 102B 堆迭。半导体结构单元 102A 相似于图 1 的半导体结构单元 102。半导体结构单元 102B 相较于图 1 的半导体结构单元 102 的差异在于，半导体结构单元 102B 省略了图 1 的线路层 117；线路层 116 只有位在晶粒 104 的表面 106 上的部分；导电连接元件 118B 只有位在晶粒 104 的表面 106 上的部分。

[0056] 请参照图 3，半导体结构单元 102A 与半导体结构单元 102B 是经由导电连接元件 118A 与 118B 互相物理连接并电性连接。根据一实施例中导电连接元件 118A 与导电连接元件 118B 皆为焊料部，可进行回焊步骤来融合导电连接元件 118A 与导电连接元件 118B。由于在回焊步骤中导电连接元件 118A 与导电连接元件 118B 熔融，因此即使半导体结构单元 102A 与半导体结构单元 102B 的平整度不均，也能轻易地经由具有熔融特性的导电连接元件 118A 与导电连接元件 118B 达到彼此连结，而在进行回焊步骤之前，并不需要施加可能造成半导体结构单元 102A 与半导体结构单元 102B 损坏的额外力量来强迫导电连接元件 118A 碰触到导电连接元件 118B。此外，导电连接元件 118A 与导电连接元件 118B 的尺寸大，因此可接受较大范围的工艺偏移，而能够轻易地对位堆迭排列的半导体结构单元 102A 与半导体结构单元 102B。根据上述，堆迭式封装结构的制造方法简单、成本低、工艺弹性与产能高，且迭式封装结构可具有高的良率。半导体结构单元 102B 的结构并不限于使用在只有两个半导体结构单元的情况下，也能应用在其他更多个（三个以上）半导体结构单元的堆迭式封装结构中，配置作为最底下的半导体结构单元。

[0057] 图 4 的堆迭式封装结构与图 3 的堆迭式封装结构的差异在于，位在下方的半导体结构单元 202A 其导电连接元件 228A 包括导电部，材质是金属例如铜或金。半导体结构单元 102A、202A 是经由导电连接元件 118A (焊料部) 与导电连接元件 228A (导电部，金属例如铜或金) 互相物理连接并电性连接。由于在回焊步骤中导电连接元件 118A 熔融，因此能轻易地连结导电连接元件 228A (导电部)。在进行回焊步骤之前，并不需要施加可能造成损坏的额外力量。此外，导电连接元件 118A 与导电连接元件 228A 的尺寸大，因此可接受较大范围的工艺偏移。根据上述，堆迭式封装结构的制造方法简单、成本低、工艺弹性与产能高，

且迭式封装结构可具有高的良率。

[0058] 图 5 绘示根据一实施例中的堆迭式封装结构。具有导电连接元件 118A、118B 的半导体结构单元 102A、102B 及具有导电连接元件 128A、128B 的半导体结构单元 102C、102D 是交替地堆迭。于此实施例中，导电连接元件 118A、118B、128A、128B 包括焊料部。换句话说，半导体结构单元 102A、102B、102C、102D 可类似于图 1 所示的半导体结构单元 102。

[0059] 请参照图 5，半导体结构单元 102A、102B、102C、102D 是经由导电连接元件 118A、118B 与导电连接元件 128A、128B 互相物理连接并电性连接。根据一实施例中导电连接元件 118A、118B 与导电连接元件 128A、128B 两者皆为焊料部，可进行回焊步骤来融合导电连接元件 118A、118B 与导电连接元件 128A、128B。由于在回焊步骤中导电连接元件 118A、118B 与导电连接元件 128A、128B 熔融，因此即使半导体结构单元 102A、102B、102C、102D 的平整度不均，也能轻易地经由具有熔融特性的导电连接元件 118A、118B 与导电连接元件 128A、128B 达到彼此连结，而在进行回焊步骤之前，并不需要施加可能造成半导体结构单元 102A、102B、102C、102D 损坏的额外力量来强迫导电连接元件 118A、118B 碰触到导电连接元件 128A、128B。此外，导电连接元件 118A、118B 与导电连接元件 128A、128B 的尺寸大，因此可接受较大范围的工艺偏移，而能够轻易地对位堆迭排列的半导体结构单元 102A、102B、102C、102D。根据上述，堆迭式封装结构的制造方法简单、成本低、工艺弹性与产能高，且迭式封装结构可具有高的良率。根据另一实施例中导电连接元件 118A、118B 与另一导电连接元件 128A、128B 两者之一为焊料部，另一为导电部，导电部具有较高的导电率，如此可提高讯号传输效率，且可提供较佳的支撑 (standoff) 效果。

[0060] 图 6 的堆迭式封装结构与图 5 的堆迭式封装结构的差异在于，半导体结构单元 202C、202D 的导电连接元件 228C、228D 包括导电部，材质是金属例如铜或金。半导体结构单元 102A、102B、202C、202D 是经由导电连接元件 118A、118B(焊料部) 与导电连接元件 228C、228D(导电部，金属例如铜或金) 互相物理连接并电性连接。可进行回焊步骤来熔融导电连接元件 118A、118B(焊料部) 以连接导电连接元件 228C、228D(导电部)。由于在回焊步骤中导电连接元件 118A、118B 熔融，因此即使半导体结构单元 102A、102B、202C、202D 的平整度不均，也能轻易地经由导电连接元件 118A、118B(焊料部) 熔融至导电连接元件 228C、228D(导电部) 达到彼此连结，而在进行回焊步骤之前，并不需要施加可能造成半导体结构单元 102A、102B、202C、202D 损坏的额外力量来强迫导电连接元件 118A、118B 碰触到导电连接元件 228C、228D。此外，导电连接元件 118A、118B 与导电连接元件 228C、228D 的尺寸大，因此可接受较大范围的工艺偏移，而能够轻易地对位堆迭排列的半导体结构单元 102A、102B、202C、202D。根据上述，堆迭式封装结构的制造方法简单、成本低、工艺弹性与产能高，且迭式封装结构可具有高的良率。

[0061] 图 7A 图 7A 至图 7M 绘示根据一实施例的半导体结构单元的制造方法。

[0062] 请参照图 7A，提供一晶圆 136。晶圆 136 可包括硅。可配置封环 114 在晶圆 136 的表面 138 上。可配置主动层 112 在晶圆 136 的表面 138 上。在晶圆 136 的表面 138 上形成线路层 116，例如包括多个线路的重新布线层。

[0063] 请参照图 7B，利用一胶层 142 将晶圆 136 贴附至一载体 144，其中晶圆 136 的表面 138 是面向载体 144。

[0064] 请参照图 7C，从晶圆 136 的表面 146 薄化晶圆 136。此外，切割晶圆 136 以形成数

个晶粒 104A、104B。其中留在各晶粒 104A、104B 上的线路层 116 是位在晶粒 104A、104B 的表面 106 上。

[0065] 请参照图 7D, 涂布光阻 148 在晶粒 104A、104B 的表面 108 上, 并填充晶粒 104A、104B 的边缘表面 110 之间的空隙 150。

[0066] 请参照图 7E, 将光阻 148 图案化, 以形成露出晶粒 104A、104B 的边缘表面 110 与部分表面 108 的开口 152。

[0067] 请参照图 7F, 形成线路层 117 在光阻 148 的开口 152 所露出的晶粒 104A、104B 的边缘表面 110 与表面 108 上。线路层 117 包括多个线路的重新布线层。线路层 116 与线路层 117 是互相电性连接。于一实施例中, 举例来说, 晶粒 104 相对的表面 106 与表面 108 上的接触点 (未显示) 可经由线路层 116 与线路层 117 电性连接, 因此可不需要制造成本比线路层 116 与线路层 117 更昂贵的硅穿孔结构 (through silicon via ;TSV), 换句话说, 半导体结构单元的制造成本低。然后移除光阻 148。

[0068] 请参照图 7G, 形成光阻 156 在晶粒 104A、104B 的表面 108 上, 并填充晶粒 104A、104B 之间的空隙 150。

[0069] 请参照图 7H, 将光阻 156 图案化, 以形成露出晶粒 104A、104B 之间的空隙 150 的开口 158。换句话说, 光阻 156 的开口 158 是露出线路层 117 位在边缘表面 110 上与邻近于边缘表面 110 的表面 108 上的部分。

[0070] 请参照图 7I, 于一实施例中, 以一焊料材料 160 填充光阻 156 的开口 158, 于另一实施例中, 以电镀方式形成一导电部, 例如电镀铜或电镀金。然后移除光阻 156。

[0071] 请参照图 7J, 利用一胶层 162 将晶粒 104A、104B 贴附至一载体 164, 其中晶粒 104A、104B 的表面 108 是面向载体 164。此外, 将胶层 142 与载体 144 移离晶粒 104A、104B。形成光阻 166 在晶粒 104A、104B 的表面 106 上, 并图案化光阻 166 以形成开口 168, 其露出焊料材料 160 与线路层 116 邻近晶粒 104A、104B 的边缘表面 110 的部分。

[0072] 请参照图 7K, 以一焊料材料 170 填充光阻 166 的开口 168。然后移除光阻 166。焊料材料 160 与焊料材料 170 是形成焊料材料 172。

[0073] 请参照图 7L, 将结构从载体 164 上的胶层 162 转移至钢圈 174 上的胶带 176。

[0074] 请参照图 7M, 切割焊料材料 172, 以分开晶粒 104A、104B。其中物理连接线路层 116 与线路层 117 的切割后的焊料材料 172 是形成导电连接元件 118 (焊料部)。在其他实施例中, 焊料材料 172 是由金属例如铜或金所取代, 换句话说, 导电连接元件 118 (导电部) 可由材质是铜或金的导电连接元件所取代。

[0075] 图 8 绘示根据一实施例中堆迭式封装结构的半导体结构单元 302。图 8 的半导体结构单元 302 与图 1 的半导体结构单元 102 的差异在于, 省略了图 1 的导电连接元件 118。此外, 导电凸起连接件 330 是配置在晶粒 104 的表面 106 上的线路层 116, 并电性连接线路层 116。导电凸起连接件 330 可包括导电部 332 与配置在导电部上的焊料部 334。导电部 332 可包括金属柱体。导电部 332 的材质可包括金属, 例如铜或金。焊料部 334 可包括焊料球。于一实施例中, 举例来说, 导电部 332 的高度 H5 是 $3 \mu m \sim 100 \mu m$ 。导电部 332 的宽度 W3 是 $10 \mu m \sim 100 \mu m$ 。焊料部 334 的高度 H6 是 $3 \mu m \sim 50 \mu m$ 。

[0076] 请参照图 8, 于一实施例中, 举例来说, 晶粒 104 相对的表面 106 与表面 108 上的接触点 (未显示) 可经由线路层 116 与线路层 117 电性连接, 因此可不需要制造成本比线路

层 116 与线路层 117 更昂贵的硅穿孔结构，换句话说，半导体结构单元 302 的制造成本低。于一实施例中，举例来说，线路层 116 或线路层 117 在晶粒 104 的边缘表面 110 上的部分的高度 H7 是 $5 \mu\text{m} \sim 50 \mu\text{m}$ 。线路层 116 与线路层 117 可包括重新布线层。

[0077] 图 9 绘示根据一实施例中的堆迭式封装结构。半导体结构单元 302A 是与半导体结构单元 302B 堆迭。半导体结构单元 302A 相似于图 8 的半导体结构单元 302。半导体结构单元 302B 相较于图 8 的半导体结构单元 302 的差异在于，半导体结构单元 302B 省略了图 8 的线路层 117，且线路层 116 只有在晶粒 104B 的表面 106 上的部分。

[0078] 请参照图 9，半导体结构单元 302B 的晶粒 104 的表面 106 上的导电凸起连接件 330 的焊料部 334 是物理连接并电线连接至半导体结构单元 302A 的晶粒 104 的表面 108 上的线路层 117，藉此达到半导体结构单元 302A、302B 之间的物理连接与电性连接。可进行回焊步骤来熔融焊料部 334 以连接导电部 332 与线路层 117。由于在回焊步骤中焊料部 334 熔融，因此即使半导体结构单元 302A、302B 的平整度不均，也能轻易地经由焊料部 334 熔融至线路层 117 达到彼此连结，而在进行回焊步骤之前，并不需要施加可能造成半导体结构单元 302A、302B 损坏的额外力量来强迫焊料部 334 碰触到线路层 117。根据上述，堆迭式封装结构的制造方法简单、成本低、工艺弹性与产能高，且迭式封装结构可具有高的良率。半导体结构单元 302B 的结构并不限于使用在只有两个半导体结构单元的情况下，也能应用在其他更多个（三个以上）半导体结构单元的堆迭式封装结构中，配置作为最底下的半导体结构单元。

[0079] 图 10 绘示根据一实施例中的堆迭式封装结构。举例来说，晶粒 104C、104D、104E 的表面 106 上的导电凸起连接件 330 的焊料部 334 是物理连接并电线连接至晶粒 104D、104E、104F 的表面 108 上的线路层 117，藉此达到半导体结构单元 302C、302D、302E、302F 之间的物理连接与电性连接。可进行回焊步骤来熔融焊料部 334 以连接导电部 332 与晶粒 104D、104E、104F 的表面 108 上的线路层 117。由于在回焊步骤中焊料部 334 熔融，因此即使半导体结构单元 302C、302D、302E、302F 的平整度不均，也能轻易地经由焊料部 334 熔融至线路层 117 达到彼此连结，而在进行回焊步骤之前，并不需要施加可能造成半导体结构单元 302C、302D、302E、302F 损坏的额外力量来强迫焊料部 334 碰触到线路层 117。根据上述，堆迭式封装结构的制造方法简单、成本低、工艺弹性与产能高，且迭式封装结构可具有高的良率。

[0080] 图 11A 至图 11H 绘示根据一实施例的半导体结构单元的制造方法。

[0081] 请参照图 11A，提供一晶圆 136。可配置封环 114 在晶圆 136 的表面 138 上。可配置主动层 112 在晶圆 136 的表面 138 上。在晶圆 136 的表面 138 上形成线路层 116，例如包括多个线路的重新布线层。

[0082] 请参照图 11B，形成数个导电部 332 于线路层 116 上。其中导电部 332 是电性连接至线路层 116。形成数个焊料部 334 在导电部 332 上。焊料部 334 与导电部 332 是形成导电凸起连接件 330。

[0083] 请参照图 11C，利用一胶层 142 将晶圆 136 贴附至一载体 144，其中晶圆 136 的表面 138 是面向载体 144。

[0084] 请参照图 11D，从晶圆 136 的表面 146 薄化晶圆 136。此外，切割晶圆 136 以形成数个晶粒 104C、104D。其中留在各晶粒 104C、104D 上的线路层 116 是位在晶粒 104C、104D

的表面 106 上。

[0085] 请参照图 11E, 涂布光阻 148 在晶粒 104C、104D 的表面 108 上, 并填充晶粒 104C、104D 的边缘表面 110 之间的空隙 150。

[0086] 请参照图 11F, 将光阻 148 图案化, 以形成露出晶粒 104C、104D 的边缘表面 110 与部分表面 108 的开口 152。

[0087] 请参照图 11G, 形成线路层 117 在光阻 148 的开口 152 所露出的晶粒 104C、104D 的边缘表面 110 与表面 108 上。线路层 117 例如包括多个线路的重新布线层。线路层 116 与线路层 117 是互相电性连接。于一实施例中, 举例来说, 晶粒 104 相对的表面 106 与表面 108 上的接触点(未显示)可经由线路层 116 与线路层 117 电性连接, 因此可不需要制造成本比线路层 116 与线路层 117 更昂贵的硅穿孔结构 (through silicon via; TSV), 换句话说, 半导体结构单元的制造成本低。然后移除光阻 148。

[0088] 请参照图 11H, 将结构从载体 144 上的胶层 142 转移至钢圈 174 上的胶带 176。

[0089] 综上所述, 虽然本发明已以较佳实施例揭露如上, 然其并非用以限定本发明。本发明所属技术领域中具有通常知识者, 在不脱离本发明的精神和范围内, 当可作各种的更动与润饰。因此, 本发明的保护范围当视权利要求书所界定者为准。

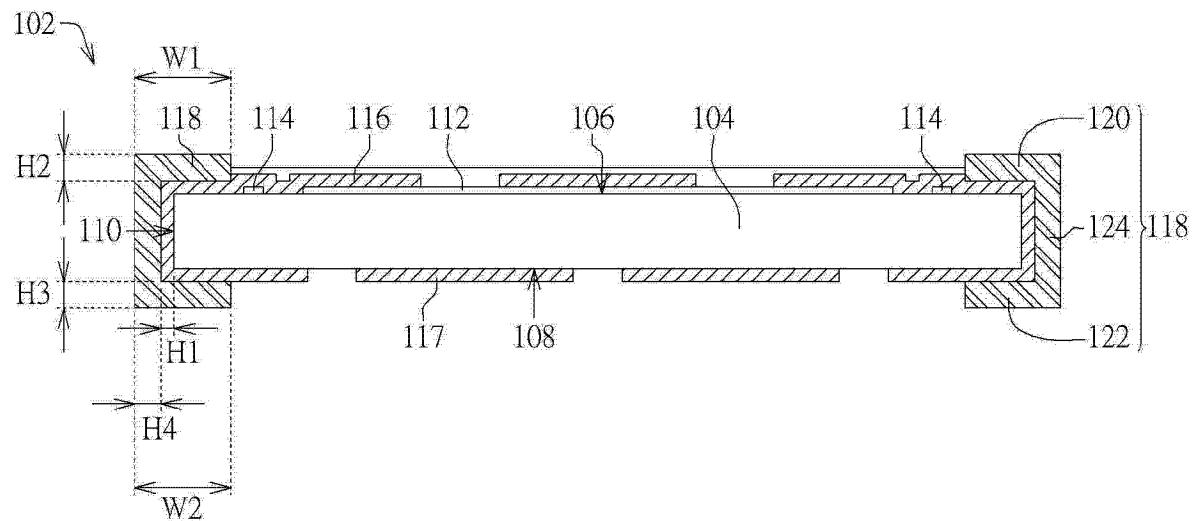


图 1

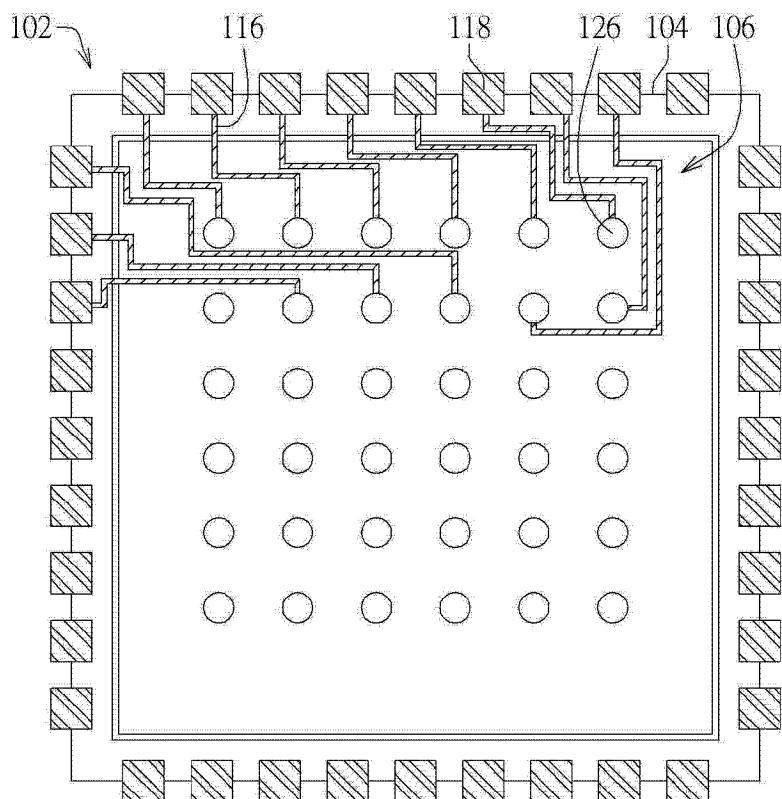


图 2

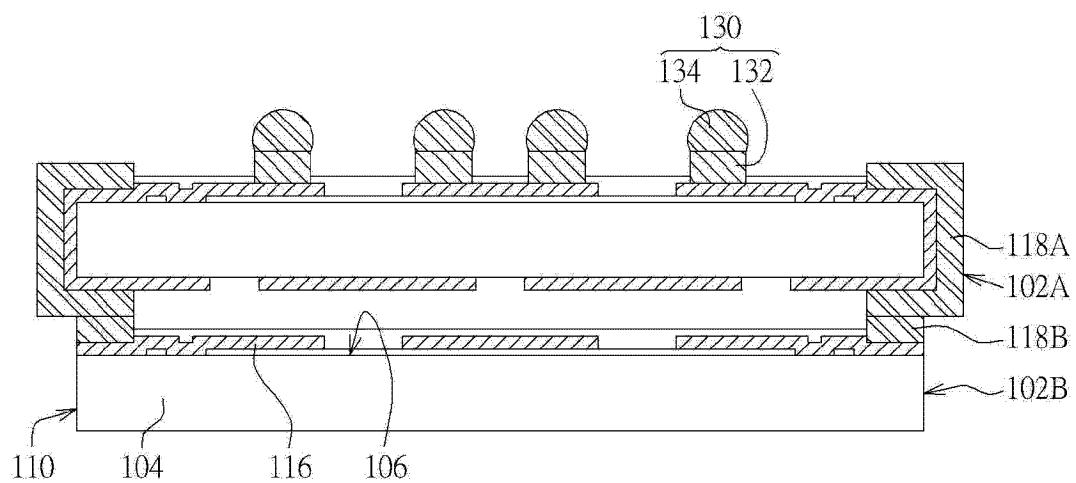


图 3

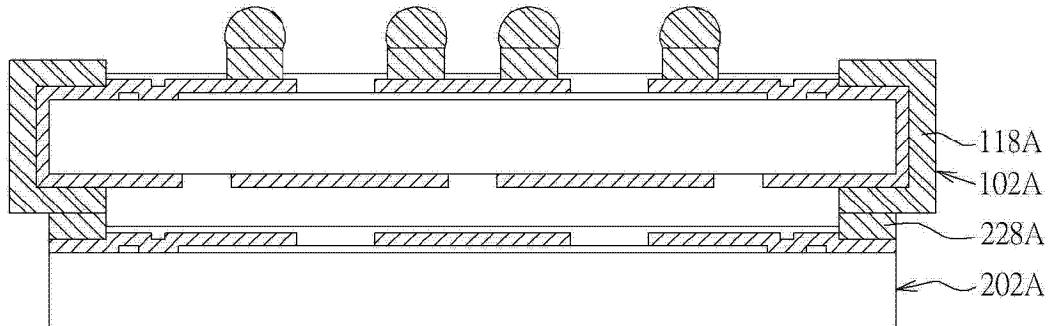


图 4

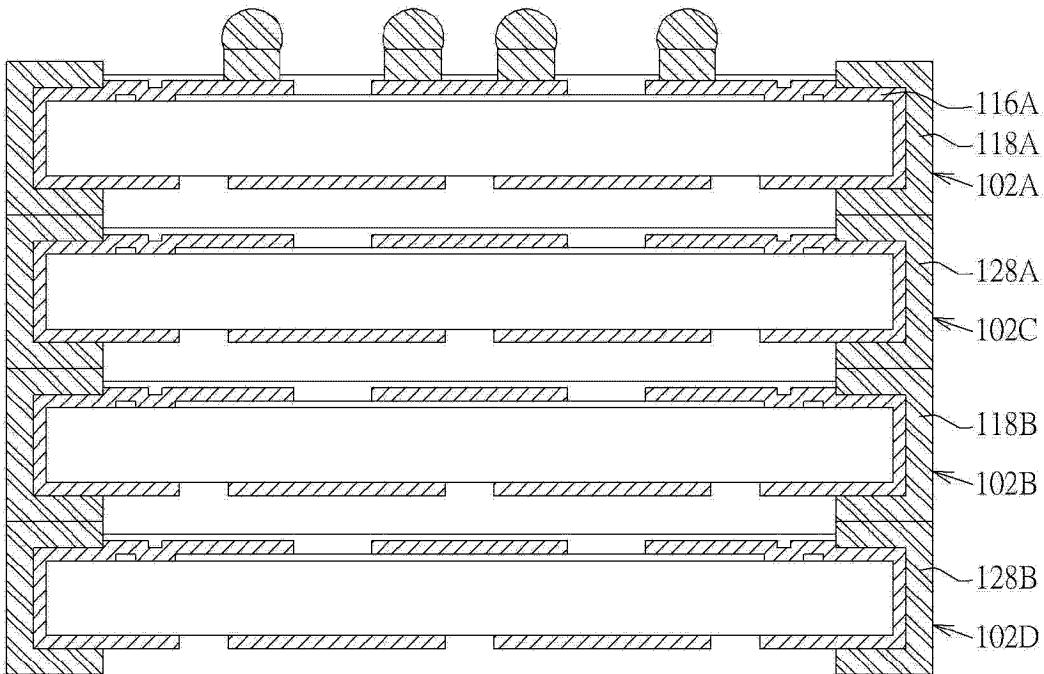


图 5

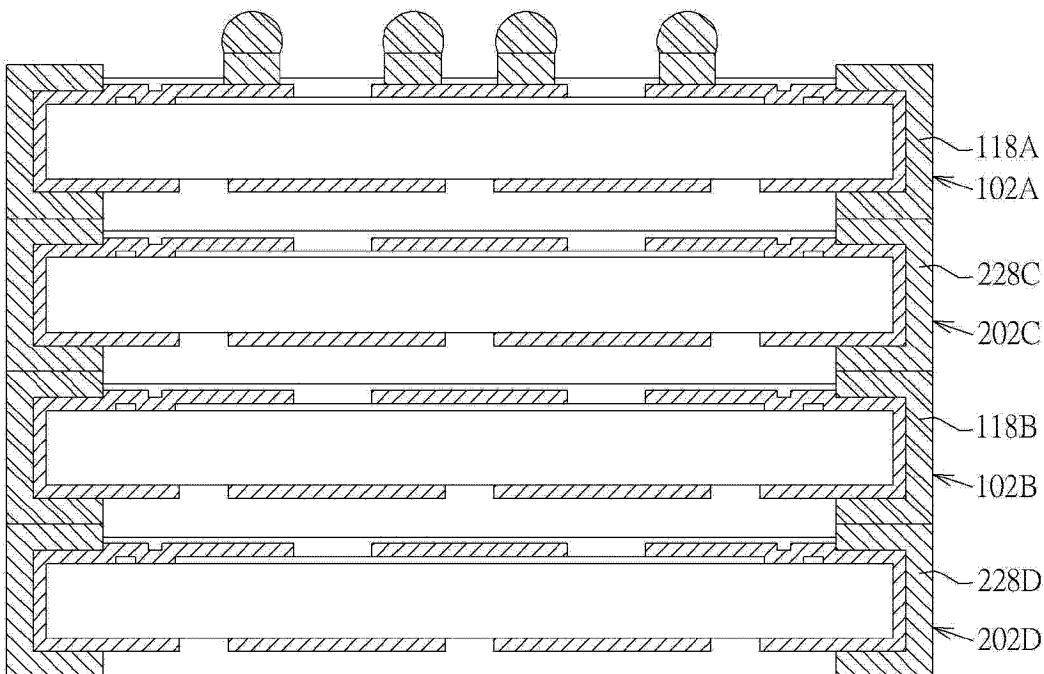


图 6

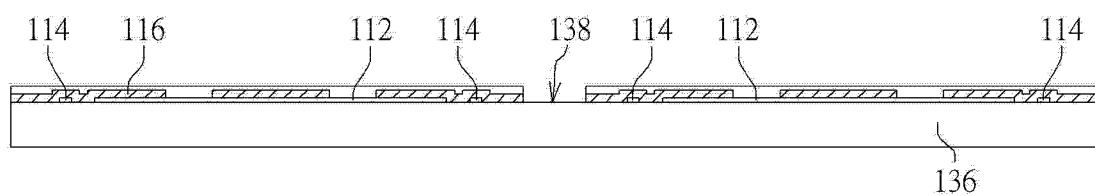


图 7A

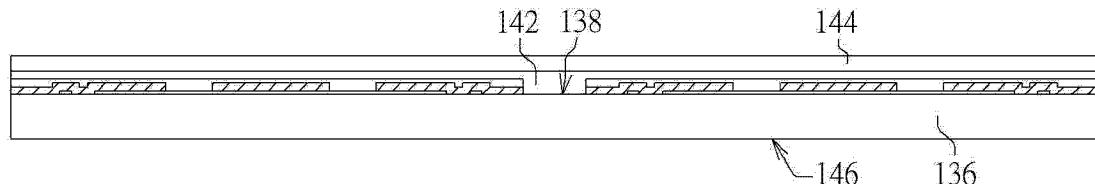


图 7B

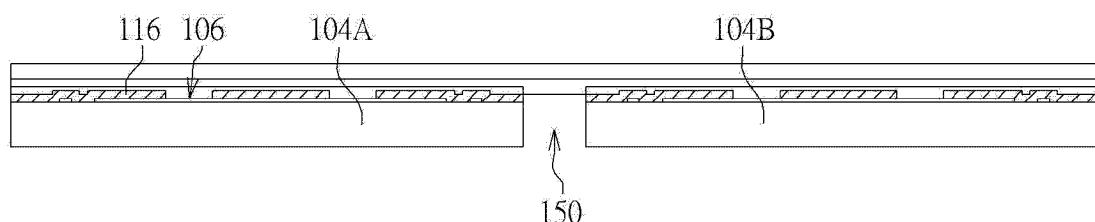


图 7C

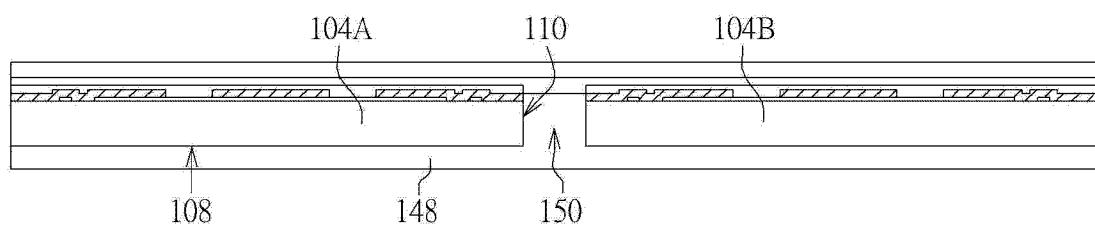


图 7D

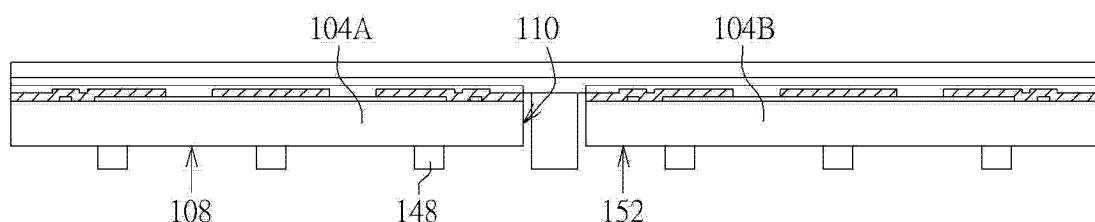


图 7E

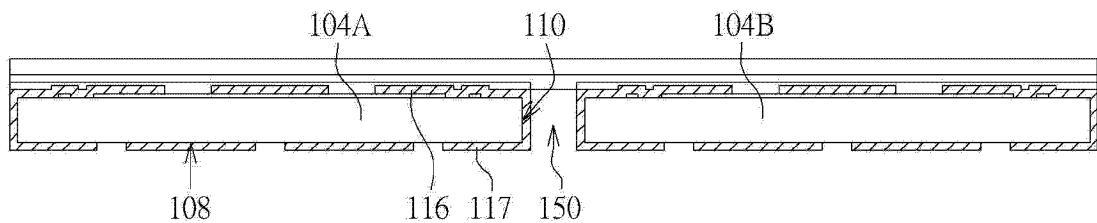


图 7F

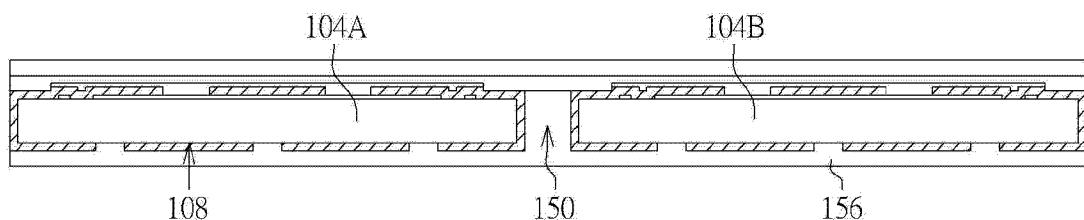


图 7G

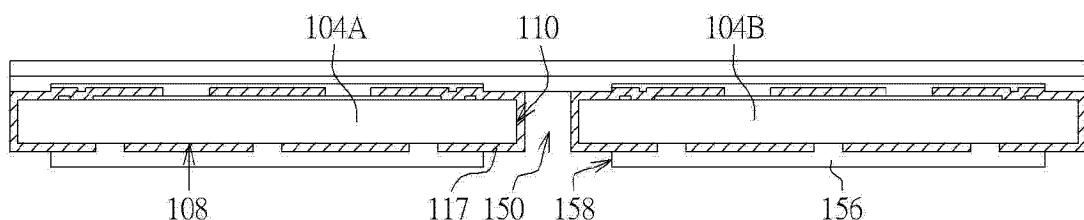


图 7H

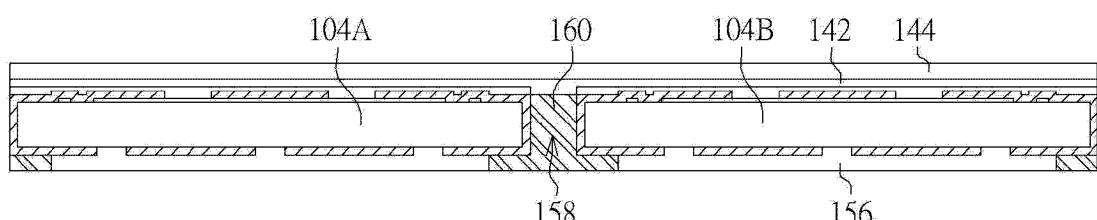


图 7I

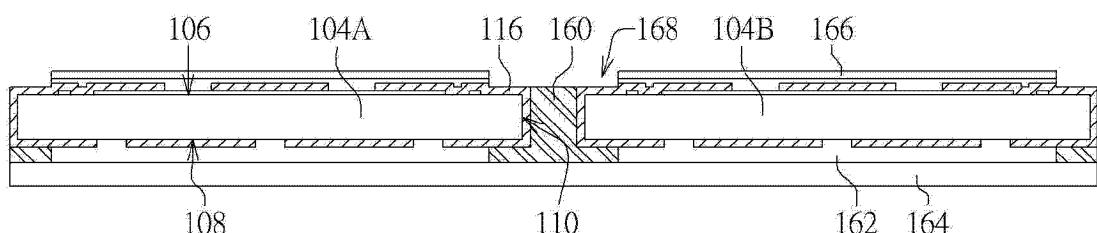


图 7J

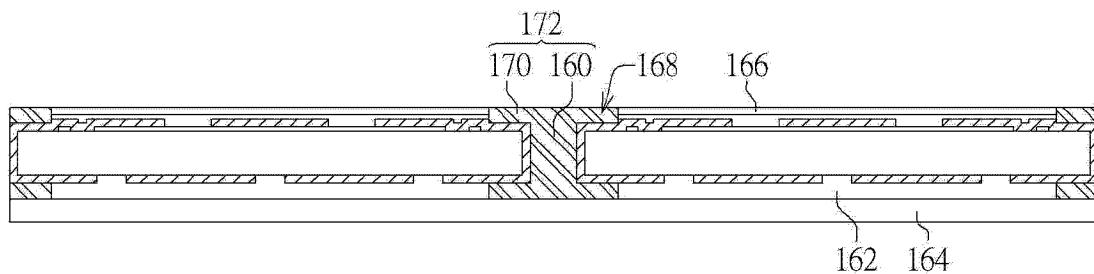


图 7K

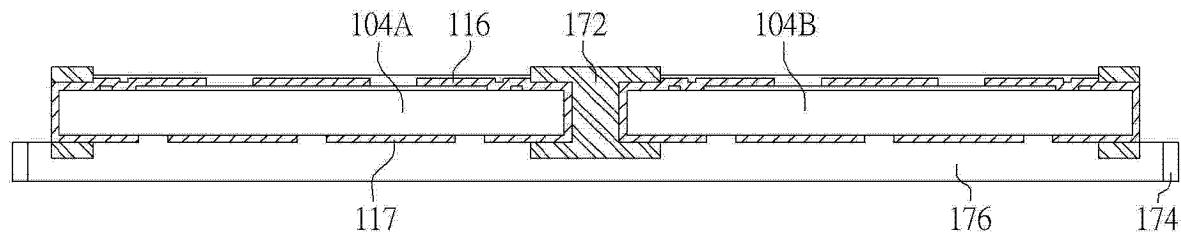


图 7L

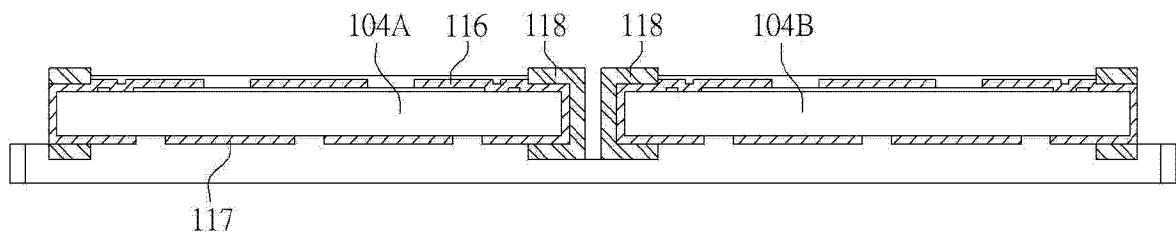


图 7M

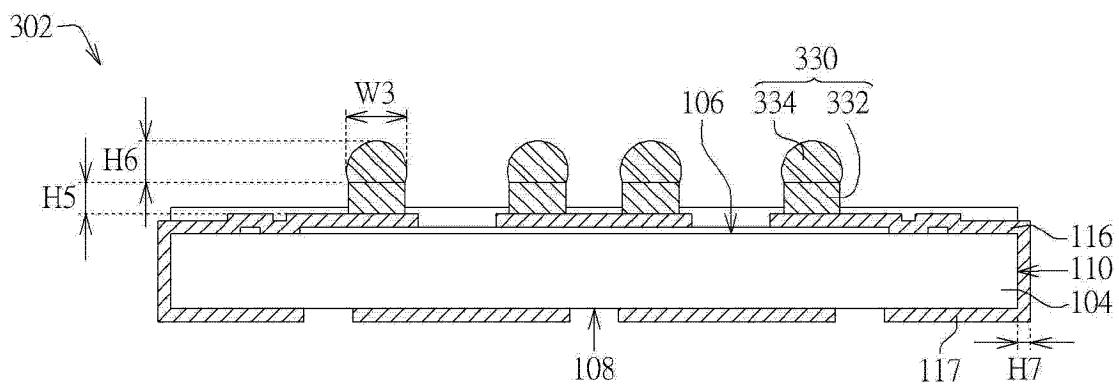


图 8

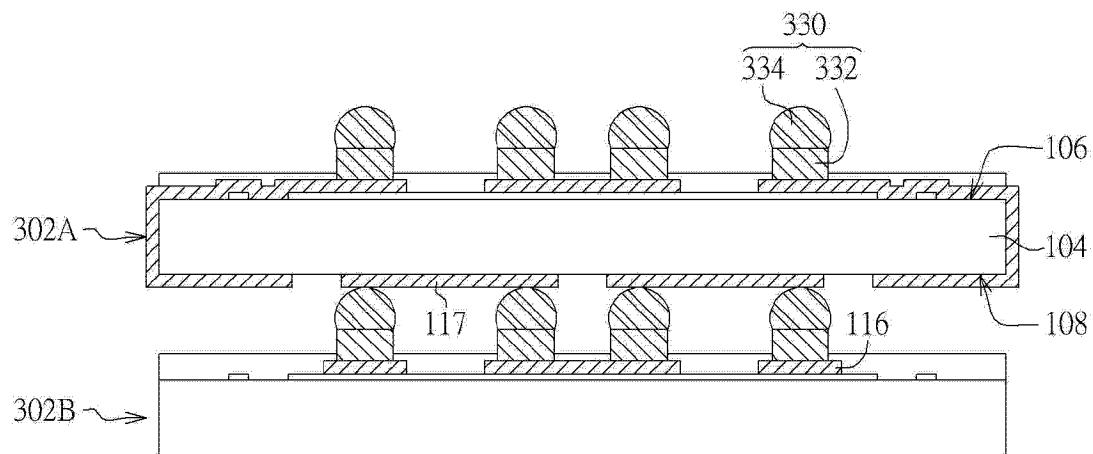


图 9

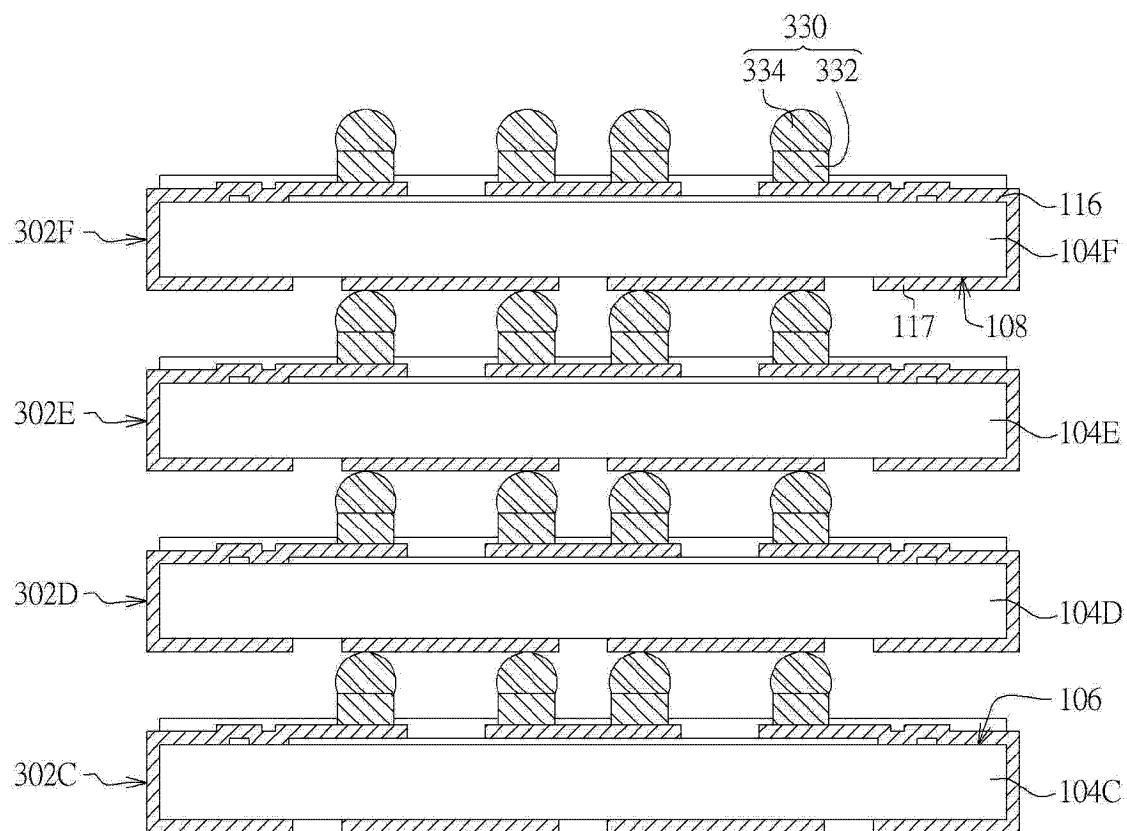


图 10

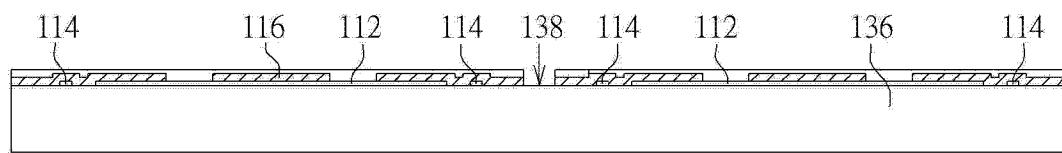


图 11A

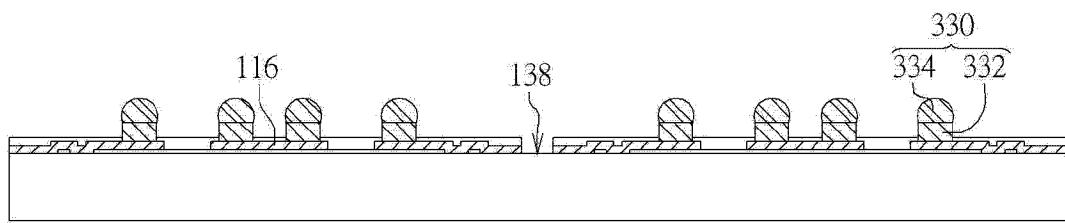


图 11B

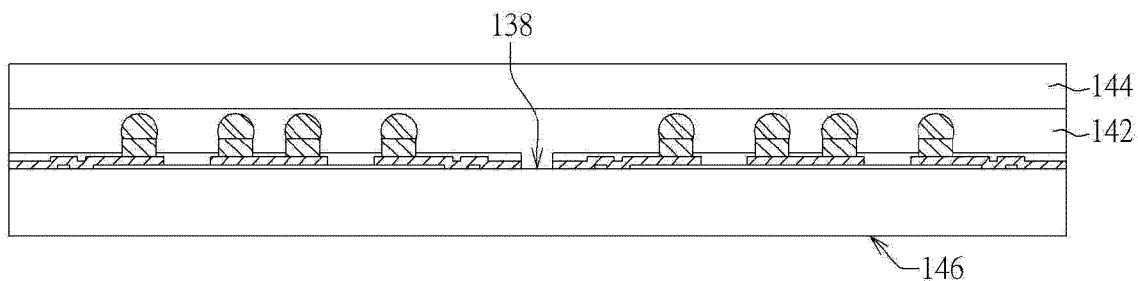


图 11C

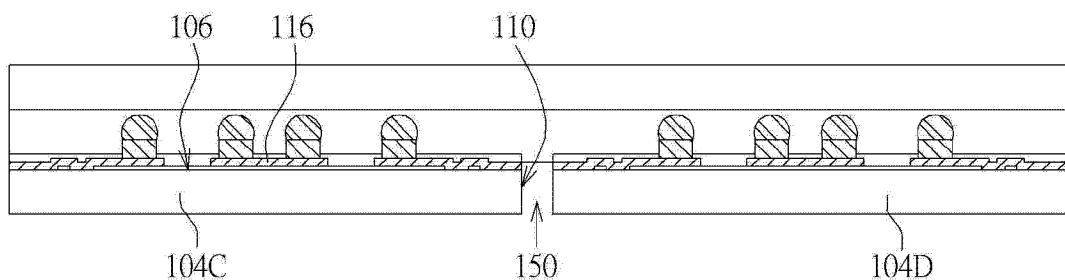


图 11D

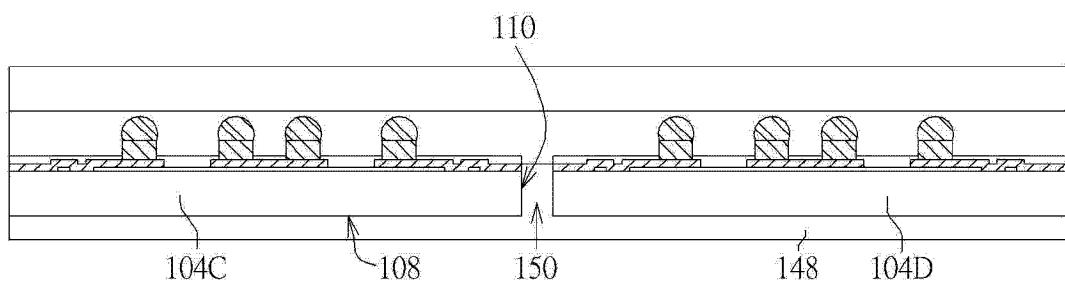


图 11E

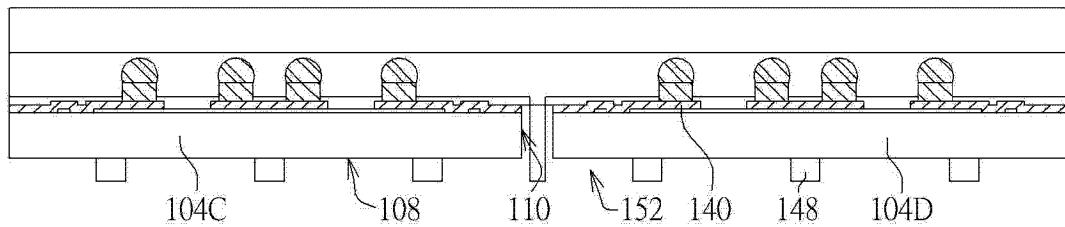


图 11F

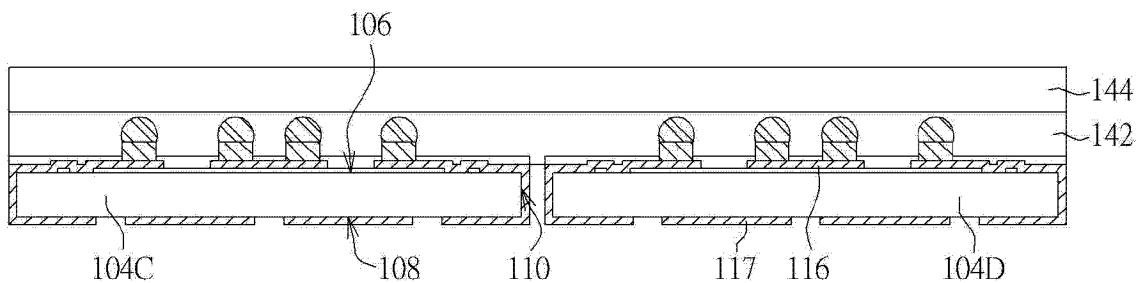


图 11G

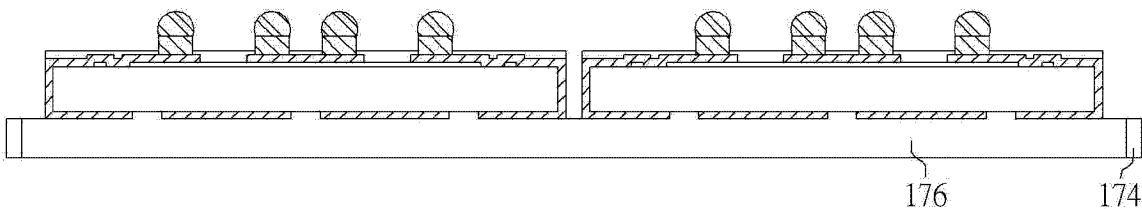


图 11H