

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁷

H01L 29/872

H01L 29/861

[12] 发明专利申请公开说明书

[21] 申请号 98805691.7

[43]公开日 2000年7月5日

[11]公开号 CN 1259228A

[22]申请日 1998.5.22 [21]申请号 98805691.7

[30]优先权

[32]1997.6.3 [33]DE [31]19723176.4

[86]国际申请 PCT/EP98/03010 1998.5.22

[87]国际公布 WO98/56043 德 1998.12.10

[85]进入国家阶段日期 1999.12.1

[71]申请人 戴姆勒-克莱斯勒股份公司

地址 联邦德国斯图加特

[72]发明人 南多·卡明斯基

拉班·海尔德

[74]专利代理机构 中国国际贸易促进委员会专利商标事
务所

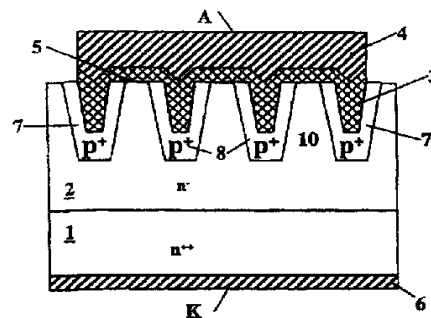
代理人 王以平

权利要求书 3 页 说明书 9 页 附图页数 3 页

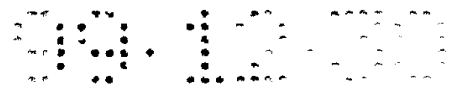
[54]发明名称 功率半导体元件及其制造方法

[57]摘要

本发明涉及具有相邻肖特基结(5)及 pn 结(9)的半
导体元件,该 pn 结设在一个半导体材料的漂移区(2,
10)中,以及涉及其制造方法。



ISSN 1008-4274



权 利 要 求 书

1. 半导体元件，具有作为阳极及阴极的外接触层和在表面附近区域中交替布置的肖特基结及 pn 结，和设在肖特基结及 pn 结之间的半导体材料的低掺杂漂移区，其特征在于：在漂移区半导体 (2) 的电子激励能谱中的能隙 ($E_{\text{能隙}}$) 及肖特基势垒 (5) 的能量高度 ($\phi_{\text{势垒}}$) 之间的能量差 ($E_{\text{能隙}} - \phi_{\text{势垒}}$) 在半导体元件无电压状态下至少为 0.8eV。
2. 根据权利要求 1 的半导体元件，其特征在于：该能量差 ($E_{\text{能隙}} - \phi_{\text{势垒}}$) 至少为 1eV。
3. 根据权利要求 1 或 2 的半导体元件，其特征在于：能隙 ($E_{\text{能隙}}$) 大于 1.5eV。
4. 根据以上权利要求中至少一项的半导体元件，其特征在于：肖特基势垒的能量高度 ($\phi_{\text{势垒}}$) 小于 2eV。
5. 根据以上权利要求中至少一项的半导体元件，其特征在于：肖特基势垒的能量高度 ($\phi_{\text{势垒}}$) 大于 0.5eV。
6. 根据以上权利要求中至少一项的半导体元件，其特征在于：漂移区 (2, 10) 的半导体材料由碳化硅构成。
7. 根据以上权利要求中至少一项的半导体元件，其特征在于：漂移区 (2, 10) 的半导体材料由氮化镓构成。
8. 根据以上权利要求中至少一项的半导体元件，其特征在于：漂移区 (2, 10) 的半导体材料由氮化铝构成。
9. 根据以上权利要求中至少一项的半导体元件，其特征在于：漂移区 (2, 10) 的半导体材料由金刚石构成。
10. 根据以上权利要求中至少一项的半导体元件，其特征在于：在由碳化硅做的一个高掺杂衬底材料 (1) 上设置了一个具有低掺杂的相同导电类型的漂移区 (2, 10)。
11. 根据以上权利要求中至少一项的半导体元件，其特征在于：衬底材料 (1) 被掺杂了一个大于或等于 10^{18}cm^{-3} 的掺杂材料。
12. 根据以上权利要求中至少一项的半导体元件，其特征在于：漂

导体元件是互补的掺杂类型的。

5 27. 用于制造根据权利要求 1 或其后任一权利要求的半导体元件的方法，其特征在于：在一个用至少为 10^{18}cm^{-3} 的第一掺杂材料掺杂的碳化硅衬底上均匀外延地分离出一个用 10^{14} 及 10^{17}cm^{-3} 之间区域中的相同载流子类型的第二掺杂材料掺杂的碳化硅层，在远离衬底的碳化硅层表面上借助扩散和/或离子注入用互补载流子类型的第三掺杂材料来构成置入的 pn 结，接着使该元件经受 1400°C 及 1700°C 之间的第一温度处理，在该温度处理后在注入表面上设置第一金属化层以构成一个肖特基接触层及设置第二金属化层以构成欧姆接触层，及接着对第一层及第二层进行构造。

10 28. 根据权利要求 27 的方法，其特征在于：该元件将经受一个最终的第二温度处理。

15 29. 根据权利要求 27 或 28 的方式，其特征在于：这样地进行第一温度处理，即，将元件在一个限定时间间隔上保持在 500°C 及 1500°C 之间的温度中，并接着使该元件处于大于 1500°C 的温度中继续处理。

30. 根据以上权利要求 27 至 29 中至少一项的方法，其特征在于：在第一温度处理期间，该元件以与基本硅材料直接相邻的关系被加热。



说明书

功率半导体元件及其制造方法

5 本发明涉及具有交替布置的肖特基结及 pn 结和设在该肖特基结及 pn 结之间的一个半导体材料的低掺杂漂移区的半导体元件以及制造这种元件的方法。

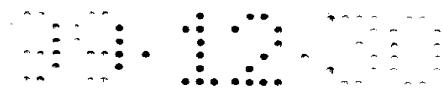
10 作为用于小工作电压的元件，除了使用 pn 二极管外还使用肖特基二极管。肖特基二极管以小正向电压及小开关损耗著称。为了降低出现在肖特基结边缘上的电场峰值，通常在该元件边缘设置所谓保护环。该保护环降低了出现在肖特基结边缘上的电场峰值并有利地致使元件击穿电压提高。

15 然而，随着二极管击穿电压的升高不但元件中的串联电阻值而且反向漏电流也上升，尤其是在温度升高时。由此使其本身工艺简单的肖特基二极管的扩大应用遇到困难。

20 一个特殊的问题表现为：由于肖特基结能量势垒的电压感应变形使反向漏电流极强地依赖于电压。肖特基势垒将通过施加的反向电压及与此相关的势垒上的电场而变小，以致反向漏电流随反向电压强烈地上升并在实际击穿前可达到很大的值。此外，由于作为基础的热发射机理反向电流表现出随温度呈指数地上升，由此得到不利的反向性能。

25 由不同半导体材料做的肖特基二极管是公知的。在 EP380 340 A2 中描述了由 SiC 做的一种肖特基二极管，在由 L. Wang 等人的文章“高势垒高度的 GaN 肖特基二极管：Pt/ GaN 及 Pd/GaN”（应用物理通报 (Appl. Phys. Lett.)68(9), 1996 年 2 月 26 日，第 1267 - 1269 页）中公知了由 GaN 做的肖特基二极管，并从 DE4210402 A1 公知了由金刚石做的肖特基二极管。

在一些文献中描述了各种附加方案来改善反向特性，例如在 B. M. Wilamowski 著的“具有高击穿电压的肖特基二极管”，固态电子学，1983 年，vol. 26(5)，第 491 - 493 页；及 B. J. Baliga 著“Pinch 整流器：一



种低正向压降的高速功率二极管”，IEEE 电子器件学报，1984 年，EDL - 5 (6)。它们的出发点在于，肖特基结的电场强度通过屏蔽层来减少。那里所描述的元件称为一种所谓的“合并 pn/肖特基 (MPS) 整流器” (Merged-pn/ Schottky Rectifier)”，其中在保护环结构内设置了交替的肖特基接触区及高掺杂 pn 结和在它们之间的一种半导体材料的漂移区。虽然该元件的反向特性改善了，但也出现了各种缺点。

除肖特基结的有效平面损失外，不利之处尤其在于，在 pn 结正向工作时少数载流子从高掺杂半导体区注入。在 MPS 元件正向极性上，电流首先仅流过肖特基区。在正向电压继续上升时，pn 结也进入导通，由此使少数载流子注入到漂移区中。除仅具有保护环的元件之外，该少数载流子注入不再能忽略，因为该载流子注入如同在纯 pn 结上那样，甚至导致电子-空穴等离子区的形成。一方面，这虽然使正向特性稍有改善，但另一方面，开关损耗强烈上升。

在一些文件中还描述了一系列措施，用它们来改善 MPS 元件的开关特性及反向特性。在 US 5, 262, 669 A 中描述了一种 MPS 元件，其中 pn 结设置在蚀刻沟中以及 pn 结的几何结构与肖特基结的势垒高度及在肖特基结上构成的空间电荷区相适配。然而所使用的工艺及结构在技术上是昂贵的。由于该原因，MPS 元件尽管原则上制造工艺简单及单极性二极管的良好特性，但仍然毫无实际意义。

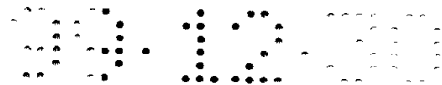
本发明的任务在于，给出一种 MPS 元件，它的开关损耗得以改善，而无需附加地使用昂贵的工艺步骤。

该任务将通过独立权利要求的特征来解决。进一步的有利构型可从说明书及从属权利要求中推断出来。

本发明由一种结构组成：在肖特基金属及一种半导体的漂移区之间的结和由 pn 结做的一个屏蔽层，后者实际埋设在该结中，其中对于选择半导体材料及肖特基金属材料必须维持肖特基势垒能量高度及半导体材料的能隙之间的最小差值。

其优点是，可使用制造 MPS 元件的简单工艺及不仅使反向特性而且使关断阻耗得以改善。

特别有利的是，使用具有大能隙的半导体，尤其是所谓“宽能隙”



半导体。合适的是，这样选择用于肖特基接触层的材料，即最小势垒高度不被超过。由此改善了反向特性。

5 在一个优选的实施例中漂移区由碳化硅构成。在另一实施例中，该漂移区由氮化镓构成。在又一实施例中，该漂移区由氧化铝构成。在另一实施例中，该漂移区由金刚石构成。

在一个优选实施例中，在由碳化硅做的高掺杂衬底材料上设置了具有低掺杂及相同导电类型的漂移区。有利的是，衬底材料的掺杂大于或等于 10^{18}cm^{-3} ，及漂移区的掺杂为 10^{14}cm^{-3} 至 10^{17}cm^{-3} 。

在一个适合的实施例中，漂移区的厚度在 $2\mu\text{m}$ 和 $50\mu\text{m}$ 之间。

10 在一个优选实施例中，各相邻 pn 结的距离在 $0.5\mu\text{m}$ 和 $20\mu\text{m}$ 之间。在另一优选实施例中，pn 结设置在沟中，这些沟被蚀刻到漂移区内。

在一个优选实施例中，与 pn 结相邻的肖特基结设置在漂移区中。

15 在一个优选实施例中，漂移区中的高掺杂区是通过漂移区的互补掺杂半导体材料构成的。

在另一优选实施例中，在漂移区中的高掺杂区是通过不同的半导体材料构成的。

在一个合适的实施例中，对于 p 掺杂衬底材料在掺杂区中注入铝和/或硼。

20 在一个合适的实施例中，对于 n 掺杂衬底材料在掺杂区中注入氮和/或磷。

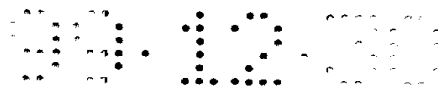
在一个优选实施例中，阴极和阳极设置在半导体元件的对立的各表面上。

25 在一个特别优选的实施例中，阴极和阳极设置在半导体元件的同一表面上，尤其是一个外接触层包围着另一外接触层。

在一个优选实施例中，一个外接触层实际上与漂移区形成点状接触。

在另一优选实施例中，在阴极前面设置了一个高掺杂半导体区，它具有与半导体漂移区相同的导电类型。

30 特别合适的是，根据本发明的元件也可做成互补掺杂的元件。



在一个根据本发明的方法中给出了一个根据本发明的碳化硅元件的制造方法。在一个优选实施例中将执行特别合适的温度处理。其优点是，元件的表面粗糙度在温度处理时不会变差。

在下面将借助附图来详细说明及描述本发明的实质性特征。附图为：

图 1: 根据本发明的元件的特性曲线及各种公知元件的特性曲线图；

图 2: 根据现有技术的具有保护环的肖特基二极管的一个截面图；

图 3: 根据现有技术的一个 MPS 元件的截面图；

图 4: 根据本发明的元件的关断特性曲线与根据现有技术的一个 pn 二极管的特性的比较；

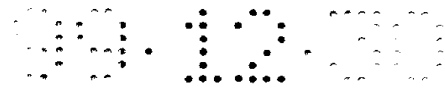
图 5: 根据本发明的一个 MPS 元件的截面图；

图 6: 根据本发明的一个 MPS 元件的截面图。

图 2 表示根据现有技术的具有保护环的一个肖特基二极管的截面。在通常结构中，在一个高掺杂 n^{++} 衬底 1 上设置了一个低掺杂 n -半导体区 2，尤其是一个外延层 (epitaktische Schicht)。在半导体层 2 的表面上设有一个肖特基接触区，它由第一金属层、即肖特基金属 3 及第二接触金属体系 4 构成。对于半导体它构成了肖特基结 5。该肖特基接触区构成阳极 A。在衬底 1 的与阳极 A 对立的侧上设有第三接触金属体系 6，它构成阴极 K。在肖特基接触结构的边缘区域下方设有一个具有相对半导体区 2 互补载流子类型的高掺杂半导体区 7。半导体区 2 表现为载流子的漂移区。半导体区 7 构成保护环 (所谓 "Guard Ring")，它可减小通常在肖特基接触区边缘出现的电场峰值并由此增加击穿电压。

图 3 以根据现有技术的通常 MPS 元件截面图形式表示出图 2 结构的另一构型。在该构型中通过肖特基接触区下面的屏蔽区使电场峰值进一步降低。该屏蔽区由高掺杂半导体区 8 的栅格组成，它如同保护环 7，具有相对半导体层 2 互补的载流子类型。在图 3 中，该屏蔽区 7 由 P^+ 区构成。实际上构成了具有交替设置的肖特基结 5 及 pn 结 9 以及位于其中间的半导体区 2 的漂移区 10 的结构。

如果在该结构上在阳极 A 及阴极 K 之间施加反向电压，则空间电



荷区随电压的上升不仅被肖特基结而且也被屏蔽区 8 的半导体区扩展。在相应的通常参数的情况下，在 P⁺ 区之间的该肖特基区将被其空间电荷区夹断，以使得肖特基结 5 上的电场强度不再继续上升。该结构大致相应于肖特基二极管及一个所谓“静电感应晶体三极管”的串联。

5 该结构本身能有利地减小反向电流对电压很强的依赖关系并能改善 MPS 元件的阻断性能。同时，该结构技术上的置换非常简单。尤其是，在标准二极管的情况下，可以用栅格形状或另外适合的几何形状、特别是条及点在一个工艺步骤中与保护环 7 并在需要时与多个所谓“场环”（Feldringen）一起制造屏蔽结构 8。这不会形成附加的技术成本。

10 这种公知结构的缺点在于肖特基平面的消失。一个重大的缺点则在于，在元件正向工作时，少数载流子将从屏蔽区 7 注入到半导体区 2 的漂移区中。在 MPS 元件正极性时，电流首先仅流过肖特基区。在正向电压继续上升时，pn 结 9 也变为导通，由此少数载流子被注入到漂移区 2 及 10 中。由于屏蔽结构 8 相当大的平面部分，尤其是 p⁺ 区，这种注入不同于具有保护环 7 的肖特基二极管的情况，不再能被忽略。

15 这种过程甚至导致在半导体区 2 的漂移区中形成电子-空穴等离子区，这虽然使导通特性稍有改善，但引起元件很大的开关损耗。

20 根据本发明，在选择半导体材料及肖特基材料时将选择一种材料的组合，由此可保证，半导体的电子受激能谱中的能带间隙值与元件无电压状态下肖特基势垒的能级高度之差大于或等于一预定值，优选为至少 0.8eV，最好为至少 1eV。可简单地设想，为了流过相同的电流 I₀，在一个 pn 结上其电压差值 ΔU 必须大于在一个肖特基接触区上的电压差值。在一个根据本发明的 MPS 元件上该差值 ΔU 可简化解释为在第一电压下维持的总电流 I₀ 及在较高的第二电压下维持的注入电流之差，该注入电

25 流处于与 I₀ 相同的高度上。

能量值与电压差 ΔU 之间的关系可给出为： $\Delta U = (E_{\text{能隙}} - \phi_{\text{势垒}}) / q_0 + k$ ，其中 E_{能隙} 是半导体的能隙，φ_{势垒} 是肖特基势垒的高度，q₀ 是基本电荷常数，及 k 表示一常数，该常数 k 通过有效的 Richardson 常数与温度、载流子状态密度、载流子漂移率、载流子寿命、掺杂及肖特基结与 pn

30 结平面的平面比例有关。对于相似的元件上参数的通常值，k 在从几十

mV 至上百 mV，并由此实质上可以忽略。该肖特基势垒 $\phi_{\text{势垒}}$ 最好由二极管的正向曲线以本身公知的方式来确定。

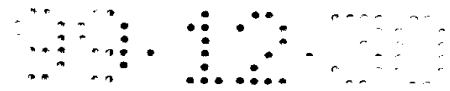
能隙 $E_{\text{能隙}}$ 及肖特基势垒 $\phi_{\text{势垒}}$ 的绝对值对于电压差 ΔU 不是十分重要的。因为电压差 ΔU 愈大，开关损耗愈小，合乎目的是选择合适的半
5 导体 - 肖特基材料组合。

作为半导体材料，那些具有大能隙 $E_{\text{能隙}}$ 的材料能有利地适用，尤其适用的是碳化硅、氮化镓、氮化铝及全刚石的各
种同质多型材料。在选择最佳的肖特基接触材料时应注意：一方面，肖特基势垒 $\phi_{\text{势垒}}$ 足够小，
10 以达到能隙 $E_{\text{能隙}}$ 及肖特基势垒高度 $\phi_{\text{势垒}}$ 之间尽可能大的能量差，另一方面，肖特基势垒要足够大，以实现合适的阻断特性。特别合适的选择是，肖特基势垒高度 $\phi_{\text{势垒}}$ 大于 0.5eV，最好是选为大于 0.8eV。合乎要求的是，肖特基势垒高度 $\phi_{\text{势垒}}$ 小于 2eV。因此，根据本发明的元件能特别好地适用于高阻断电压区域，优选为用于大于 200V 的区域，最好是大于 600V。

特别有利的组合是作为半导体的碳化硅与金属、尤其是钛、铝、钼、
15 金、银、镍的组合，或碳化硅与金属组合物、尤其是钛/铝、钛/镍/银等或与硅化物、尤其是 TiSi_2 的组合或另外合适的金属/半导体组合，它们能满足条件：能隙 $E_{\text{能隙}}$ 及肖特基势垒高度 $\phi_{\text{势垒}}$ 之差大于或等于 0.8eV，最好是 1eV。

如果具有根据本发明材料组合的一个 MPS 元件工作在正向上，仅
20 在显著高的通量电压下 pn 结 9 才将少数载流子注入到半导体的漂移区中。这被表示在图 1 中。在二极管常规工作时出现的仅是仍可忽略的注入，因此通过所谓少数载流子从漂移区中的“清除”或通过可能的反向电流峰值不会形成附加的开关损耗。

在图 1 中给出了根据本发明的具有不同屏蔽几何结构的碳化硅 -
25 MPS 元件 M 的测量特性曲线与另外元件、尤其是肖特基二极管 S、具有保护环的肖特基二极管 G 及 pn 二极管 PN 的特性曲线不仅在正向而且在反向上的比较。根据本发明的结构的有利功能可被明显地看出。在根据本发明的 MPS 元件 M 上，在正向很小电压的情况下流过较大的电流，它类似于正向上有利的元件 S 和 G，而在 pn 二极管 PN 上对于相
30 似的电流值必需施加明显高的电压。在反向上根据本发明的 MPS 元件



M 的漏电流明显地低于带有或不带有保护环的肖特基二极管 S 及 G 的漏电流，并表现出与 pn 二极管 PN 相似的良好阻断特性。

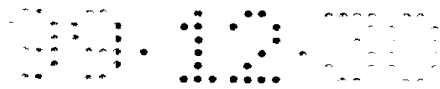
图 4 表示一个根据本发明的由 SiC 做成的元件及一个由 Si 做成的比较元件的特性曲线，这些特性曲线突出表现元件的关断性能。这些元件将在 1A 正向电流及 500V 反向电压时关断。该 Si 元件是一个 pn 二极管并表现出差的关断特性。该 Si 元件的特性曲线很陡地下降并具有一个向下到大反向电流的强振荡（反向恢复），该反向电流比原来的正向电流 1A 大得多，其原因归结为：从半导体的漂移区中必须消除大量的少数载流子。这就导致了该 Si 元件具有大开关损耗的非常不利的开关特性。

相反地，在根据本发明的元件的漂移区中仅有很少的少数载流子，因为它的注入被根据本发明的电压差 ΔU 在很大程度上抑制了。在反向恢复区域中的电流仅是原始正向电流的分数值。根据本发明的元件的关断特性与以快速关断特性著称的纯肖特基二极管同样地快，而关断损耗则相反地明显得以改善。相对 pn 二极管，其开关损耗显著地减小。根据本发明的元件一方面具有公知肖特基二极管的良好特性、例如开关损耗小及工艺简单，另一方面又具有明显小的关断漏电流。

只要能隙及肖特基势垒高度之间的差值至少为 0.8eV，最好为 1eV，对于根据本发明的这样的元件也能满足在提高阻断能力情况下减小开关损耗的优点，在这样的元件上由于半导体特别大的能隙其反向电流不能进一步改善。

虽然在附图中描绘的根据本发明的 MPS 元件的优选实施例表现为垂直型元件，其中外部的阴极 K 和阳极 A 的端子设置在半导体的对立表面上；但是，根据本发明的元件也同样可作为横向型元件实施，其中外部的阳极 A 和阴极 K 的接触层均设置在半导体的同一表面上，尤其一个外部接触层包围着另一外部接触层，例如阴极环形地包围着阳极。在一个优选的实施例中，一个外部接触区、尤其是阴极 K 仅是点状地与半导体的漂移区相接触。

在另一优选的实施形式中，在阴极的前面设置了一个高掺杂半导体区，它与半导体 2 的漂移区具有相同的导电类型。这便有利地导致了半



导体及阴极接触区之间接触的改善，并使空间电荷区向阴极 - 金属区 6 可能的延展（“穿通”）被抑制。

本发明也同样适用于互补型掺杂的 MPS 元件。

5 在一个优选实施例中，将使用高掺杂、尤其大于 10^{18}cm^{-3} 的 n 导电或 p 导电型碳化硅，最好是 n 导电型 4H - 碳化硅作为衬底 1。其结构类似于图 3 中所示结构。在衬底 1 上设置与衬底相同导电类型的漂移区 2，它最好是同型外延地分离出来。该漂移区的厚度最好在 $2\mu\text{m}$ 及 $50\mu\text{m}$ 之间。掺杂最好在约 10^{14} 及 10^{17}cm^{-3} 之间。

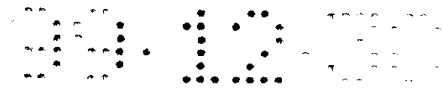
10 在漂移区 2 中，实际上在上表面附近区域内由掺杂材料原子注入构成。漂移区 10 及掺杂区 7、8 相交替。对于 p 型漂移区最好选择铝或硼，对于 n 型漂移区最好选择氮或磷。所形成的区 7 及 8 的载流子类型与漂移区 10 的载流子类型相反并构成 pn 结 9。

15 在漂移区 2 的表面中结构掺杂材料的注入可借助扩散或最好借助离子注入技术来实现。掺杂区 7 及 8 的间隔可这样来优化，即与相邻的 pn 结 9 的可能的静态空间电荷区不相接触。由此可以达到：在正向上载流子的穿透不受阻碍。另一方面，pn 结 9 必须这样紧密地相邻布置，即当在元件上施加反向电压时，在相邻 pn 结 9 之间的区域被区域 10 中随反向电压升高变宽的空间电荷区可靠地夹断。

20 pn 结 9 之间的优化距离除了掺杂及半导体材料外还与 pn 屏蔽区 8 的几何结构有关，该几何结构尤其为条状、栅格状、环状、螺旋形、六角形或点状结构。

最好，相邻 pn 结之间的距离在 $0.5\mu\text{m}$ 及 $20\mu\text{m}$ 之间。

25 在注入屏蔽区后最好接着进行温度处理，尤其是使用 1400°C 及 1700°C 之间的温度，这将使可能出现的离子注入损伤部分恢复，使掺杂材料进入较深并热激活。特别优选的是，进行多级温度处理，如在专利申请 DE19633183 及 DE19633184 中所公开的，使用挥发性、尤其是纯化的成分、特别是碳化硅进行半导体元件的温度处理。该方法在于这样地进行温度处理，即首先使元件在一个限定的时间区间上保持在 500°C 及 1500°C 之间的温度，并接着将其保持在大于 1500°C 的温度。尤其有利的是，30 在温度处理期间以与元件直接相邻关系添加硅，尤其是以可能的复原坩



5 坩 (Ausheiltiegel) 的形式投入硅, 在这坩中在温度处理期间放置元件。在此情况下特别有利的是, MPS 元件表面尽管在原来烘烤步骤中的高温但通过一个前置的预处理步骤仍能够保持平滑。接着使正面 (肖特基金属) 及反面 (欧姆接触) 的金属化部分分离, 形成其结构, 及在需要时热处理。

在图 5 中表示出一个根据本发明的元件, 其中在需要设置屏蔽区的地方注入用于屏蔽区的掺杂材料以前, 在漂移区 2 中蚀刻出蚀刻沟。这具有其优点, 即 pn 结很宽地深入到漂移区 2 中, 由此改善了肖特基区的夹断。

10 在另一个如图 6 所示的优选结构中, 在屏蔽区 8 引入后设置一个外延层, 该外延层具有与漂移区 2 相同的导电类型。其结果是, 屏蔽区 8 被埋置。接着使该屏蔽区再露出来, 尤其是被蚀刻出来, 然后才金属化。以此方式, 有利地使有效肖特基平面增大了蚀刻的侧面, 这使屏蔽区 8 造成的平面损失至少得到补偿, 尤其是过补偿。

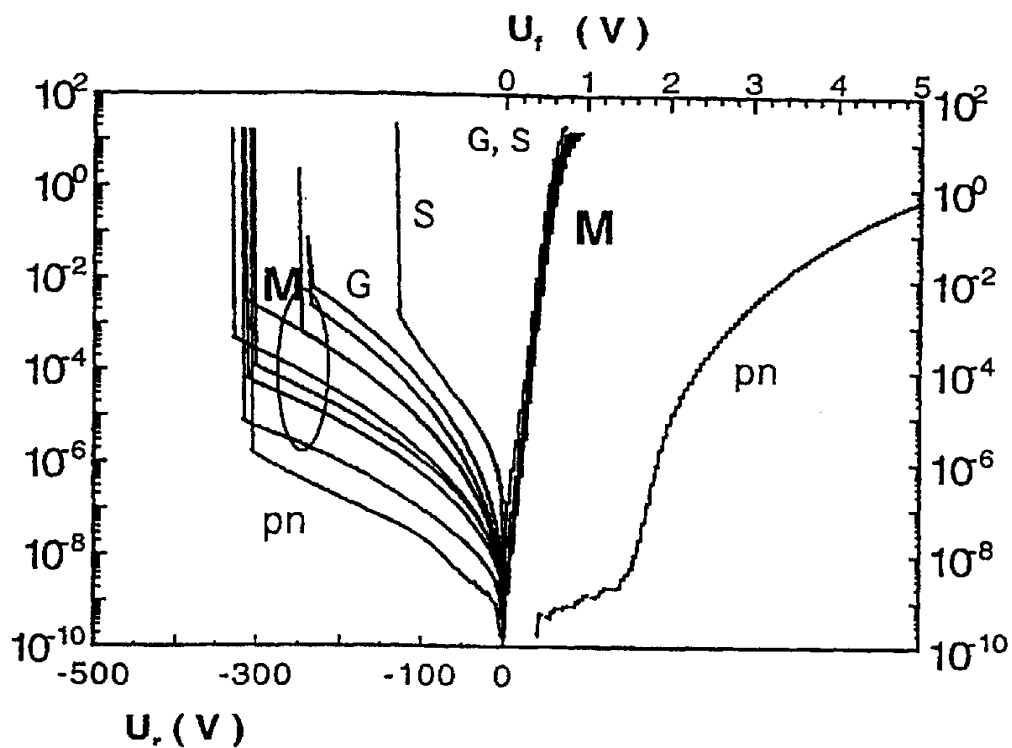


图 1

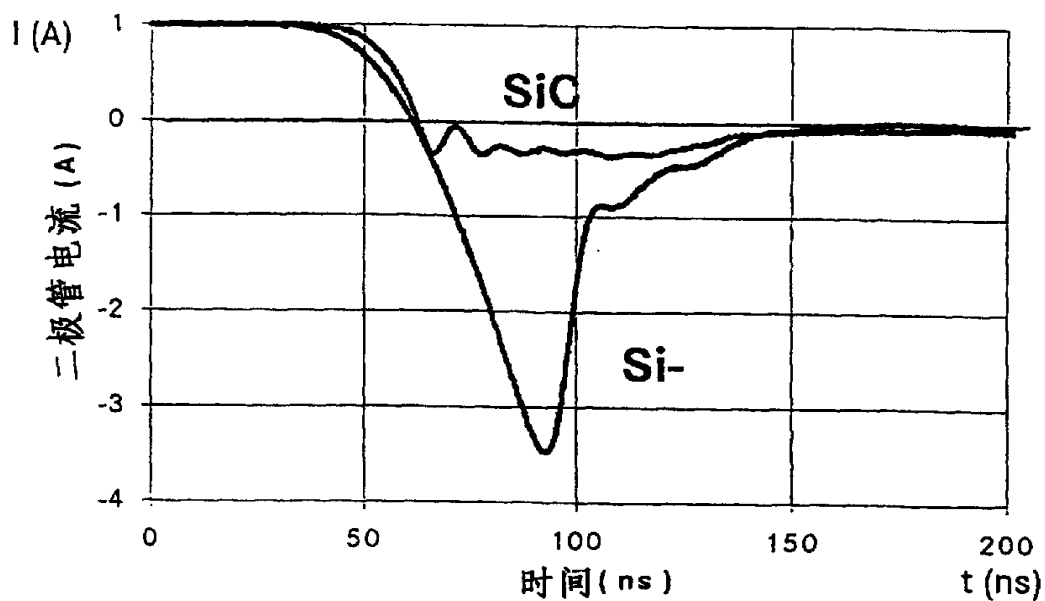


图 4

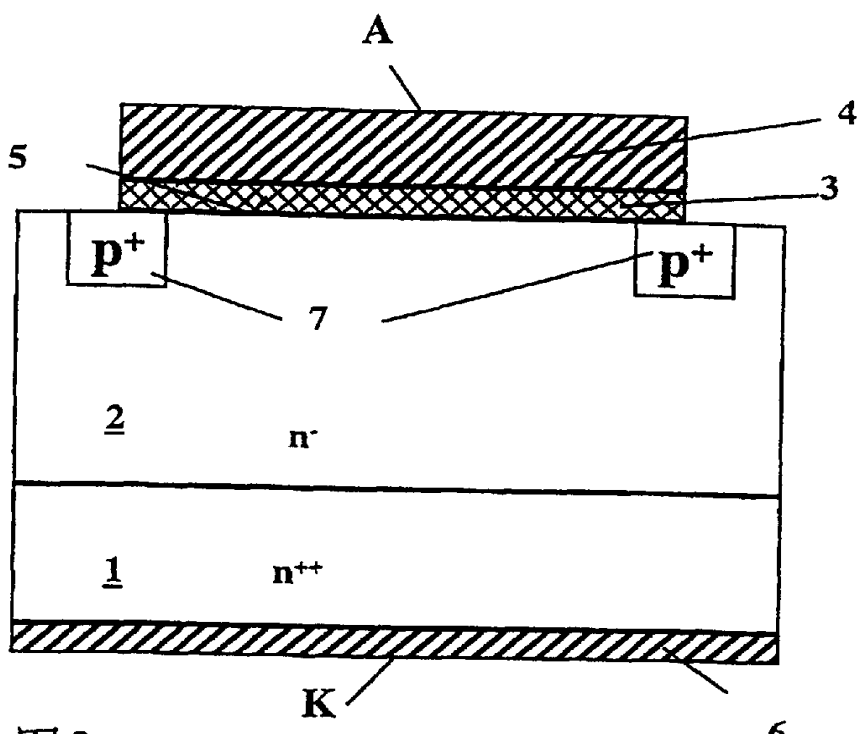


图 2

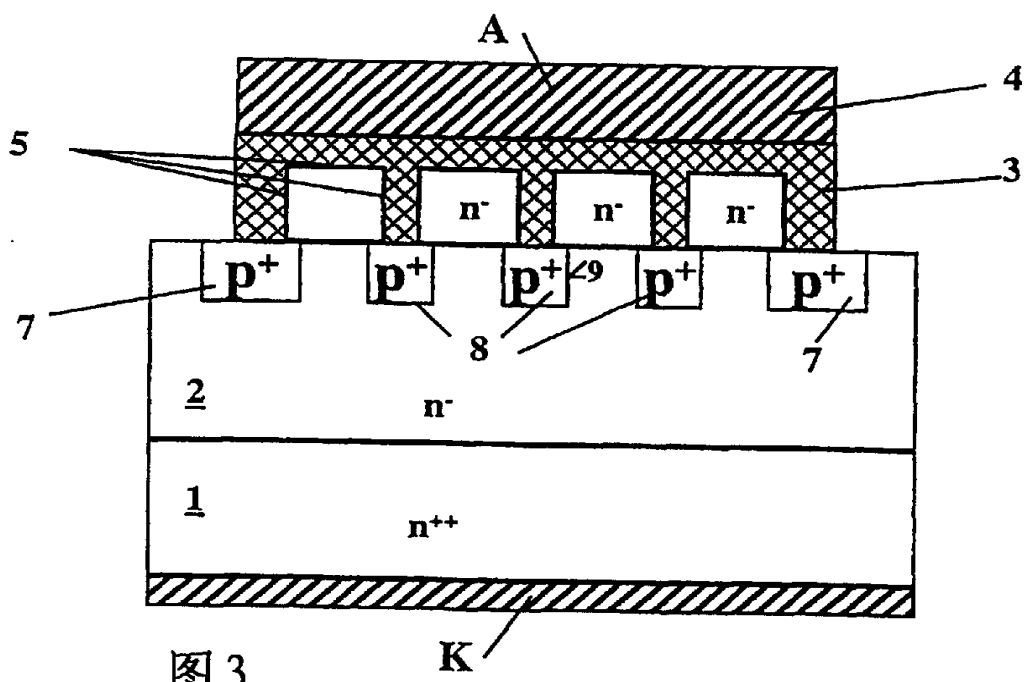


图 3

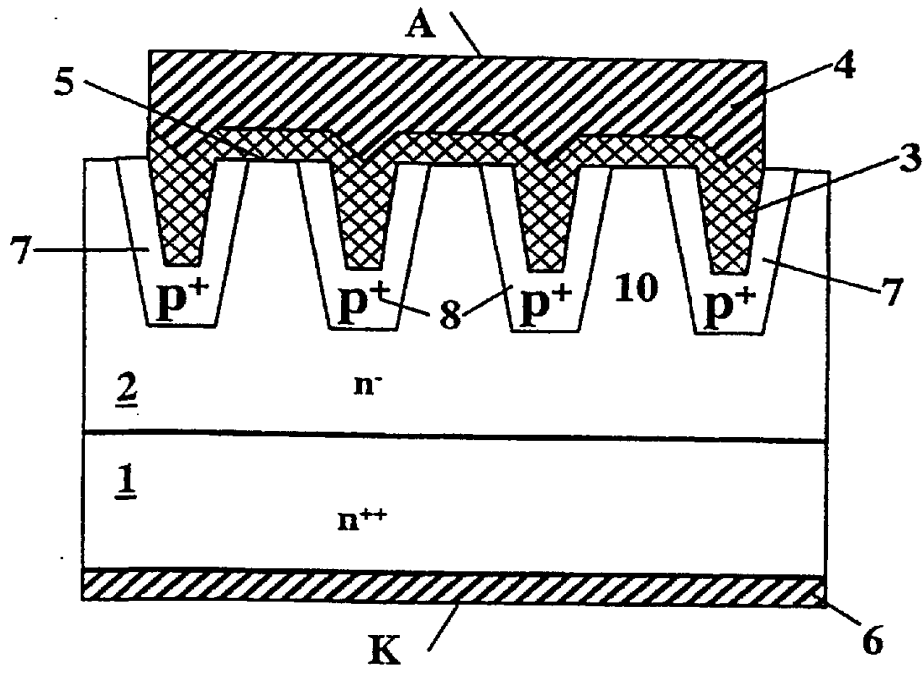


图 5

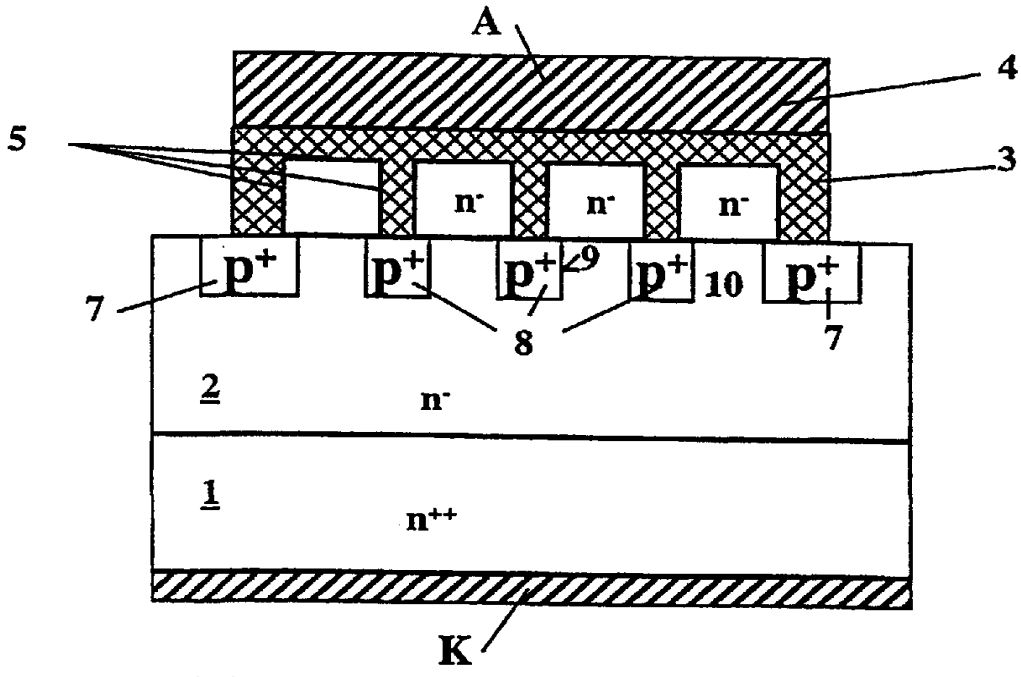


图 6