(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2007 年5 月10 日 (10.05.2007)

PCT

(10) 国際公開番号
WO 2007/052344 A1

(51) 国際特許分類:
G01R 31/28 (2006.01) *G01R 31/26* (2006.01)

(21) 国際出願番号: PCT/JP2005/020193

(22) 国際出願日: 2005 年11 月2 日 (02.11.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): ジェネシス・テクノロジー株式会社 (GENESIS TECHNOLOGY INC.) [JP/JP]; 〒6770052 兵庫県西脇市和田町７５番地 Hyogo (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 佐藤 正幸 (SATOH, Masayuki) [JP/JP]; 〒3540043 埼玉県入間郡三芳町竹間沢東１番地１ Saitama (JP).

(74) 代理人: 磯野 道造 (ISONO, Michizo); 〒1020093 東京都千代田区平河町２丁目７番４号 砂防会館別館内 磯野国際特許商標事務所気付 Tokyo (JP).

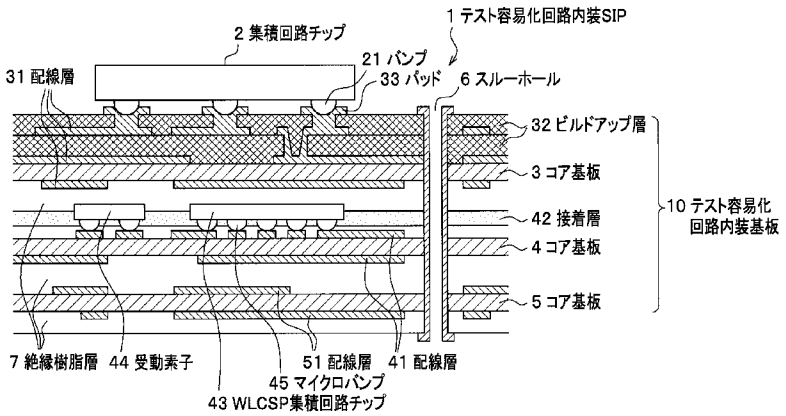
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

[続葉有]

(54) **Title:** SIP WITH BUILT-IN TEST CIRCUIT

(54) 発明の名称: システムインパッケージおよびソケット



31 WIRING LAYER
2 INTEGRATED CIRCUIT CHIP
21 BUMP
33 PAD
1 SIP WITH BUILT-IN TEST FACILITATING CIRCUIT
6 THROUGH HOLE
32 BUILDUP LAYER
3 CORE SUBSTRATE
42 ADHESIVE LAYER
4 CORE SUBSTRATE
5 CORE SUBSTRATE
10 SUBSTRATE WITH BUILT-IN TEST FACILITATING CIRCUIT
7 INSULATING RESIN LAYER
44 PASSIVE ELEMENT
43 WLCSP INTEGRATED CIRCUIT CHIP
45 MICROBUMP
51 WIRING LAYER
41 WIRING LAYER

(57) **Abstract:** Provided is a system-in-package including a plurality of integrated circuit chips and a substrate mounting the integrated circuit chips. The system-in-package is characterized in that a test facilitating circuit is incorporated in the substrate for facilitating test of at least one integrated circuit chip among the integrated circuit chips. The test facilitating circuit incorporated in the substrate is constituted by embedding a circuit chip referred to as WLCSP integrated circuit chip in the substrate. Alternatively, a semiconductor layer is formed on the substrate, a transistor element is formed by using such semiconductor layer, and the test facilitating circuit is constituted by using such transistor element. Thus, the system-in-package which can be easily tested can be provided without increasing sizes and cost thereof, by incorporating the test facilitating circuit in the substrate.

[続葉有]

WO 2007/052344 A1

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 本発明は、複数の集積回路チップとその複数の集積回路チップを搭載する基板とを含んで構成されたシステムインパッケージに関し、それら複数の集積回路チップの少なくとも１つの集積回路チップのテストを容易化するためのテスト容易化回路を基板に内装したことを特徴とする。その基板に内装されたテスト容易化回路は、いわゆるＷＬＣＳＰ集積回路チップを基板に埋め込むことによって構成する。または、基板に半導体層を形成し、その半導体層を利用してトランジスタ素子を形成し、そのトランジスタ素子によってテスト容易化回路を構成する。このように、基板にテスト容易化回路を内装することによって、そのサイズやコストが増大することなく、テスト容易なシステムインパッケージを実現することができる。

明 細 書

システムインパッケージおよびソケット

技術分野

[0001] 本発明は、テスト容易化回路および／またはインピーダンス整合回路をその基板に内装したシステムインパッケージ(System In Package:以下、SIPと略す)、および、そのシステムインパッケージで用いられるソケットに関する。

背景技術

[0002] 近年、半導体集積回路の集積化技術は著しく進展しており、すでに、複数の回路装置を1つの集積回路チップとして実現した、いわゆる、SOC(System On Chip)と呼ばれる大規模集積回路が実用化されている。このようなSOCは、しばしば、大容量メモリと高速で動作するプロセッサなどの論理回路とを含んで構成される。そのようなSOCを製造するには、メモリセルを小型化するために誘電率が大きい材料の絶縁層を形成し、また、プロセッサなどの論理回路の高速動作を実現するために誘電率が小さい材料の絶縁層を形成する。従って、SOCの製造工程は複雑なものになってしまい、歩留まりが向上せず、そのため、SOCの製造コストは、一定のコストを越えては、低減するのが困難な状況になっている。

[0003] そこで、最近では、SOCを構成する複数の回路装置それぞれを1つずつの集積回路チップとして製造し、それらの集積回路チップを1つのパッケージに搭載するようにしたSIPが注目を集めている。

[0004] SIPのメリットの1つは、すでに生産されている集積回路チップをアセンブルすればSIPを製造できる点にある。この場合、使用する集積回路チップは、すでに生産されている製品であるので、安価に入手することができる。

[0005] また、SIPに搭載する集積回路チップを新たに開発し、製造する場合にも、例えば、メモリと論理回路とは別体の集積回路チップとして製造することができる。従って、それぞれの集積回路チップは必要最小限の工程によって製造されるので、それぞれ独立して歩留まりの向上を図ることができる。そのため、SIPは、複数の集積回路チップを1つのパッケージにアセンブルするコストを加えたとしても、それらの集積回路チ

ップを同じシリコンチップに集積したSOCの製造コストよりも安価にすることができる。

[0006] ところが、SIPにおいては(SOCでも同様であるが)、そのSIPに搭載された集積回路チップ同士を接続する信号線については、SIPの外部接続端子へ接続されないために、その集積回路チップのテストが困難になるという問題がある。例えば、メモリ集積回路チップのテストは、テスト装置などの外部装置によってそのメモリ集積回路チップの全ての端子信号を制御および観測することができて、初めて可能となる。従って、SIPにおいて、例えば、メモリ集積回路チップの端子信号が内部の他の集積回路チップにだけ接続され、SIPの外部接続端子へ接続されていない場合には、そのメモリ集積回路チップのテストは行うことができなくなる。

[0007] そこで、近年では、集積回路チップには、JTAG(Joint Test Action Group)によって標準化されたバウンダリスキャン回路などのテスト容易化回路が入れられている場合がある。その場合には、その集積回路チップについては、少なからずテストが容易化される。しかしながら、特に、メモリ集積回路チップなど、旧来から汎用品として市場に流通しているものについては、そのようなテスト容易化回路は入れられていないことが多い。また、さらに、SIPに搭載する集積回路チップは、テストが充分に行われたとは言い難いベアダイ(本明細書では、ウエーハをダイシングだけの集積回路をベアダイ、そのベアダイをパッケージングしたものを集積回路チップという)で供給されることが多い。従って、SIPを設計および製造するに際しては、このような現実に注意し、テストを容易化する方策を立てる必要がある。

[0008] 従来、このようにSIPのテストが困難になるという問題に対して、例えば、特許文献1には、SIPに搭載された第1の集積回路チップ(例えば、メモリ集積回路)のテストを補助する回路を、同じSIPに搭載された第2の集積回路チップに形成して、SIPのテストの容易化を図る技術が開示されている。また、特許文献2には、SIPに搭載する集積回路チップのほかにFPGA(Field Programmable Gate Array)で構成された集積回路チップを搭載し、そのFPGAの集積回路チップでテスト容易化回路を構成し、それによってSIPのテストの容易化を図る技術が開示されている。

特許文献1:特開2004－158098号公報(段落0009～段落0021、図1～図3)

特許文献2:特開2005－283205号公報(段落0015～段落0021、図1、図2)

[0009] さらに、これらのSIPにおいては、集積回路チップ端子における信号の反射対策を考慮しておく必要がある。近年の集積回路チップは、クロックの周波数がGHz帯域で動作するものも多くなってきている。そのような高速動作の集積回路チップをSIPに搭載するとき、信号の反射対策を実施しない場合には、インピーダンス不整合による信号反射のため、高速の信号伝送を正しく行うのが困難になるからである。

発明の開示

発明が解決しようとする課題

[0010] 特許文献1に開示された技術においては、ある集積回路チップのテストを行うために他の集積回路チップにそのテストの補助回路が入れられることになるので、少なくとも当該他の集積回路チップについては、既存の集積回路チップを使用することができなくなる。その場合には、当該SIPに専用に使用される集積回路チップを製造しなければならなくなり、SIPのコストメリットが損なわれることになる。また、特許文献2に開示された技術においては、SIPに余分なFPGAの集積回路チップを追加して搭載するので、SIPのサイズが大きくなり、また、その分のコスト負担も大きくなる。

[0011] また、集積回路チップ端子における信号の反射対策については、集積回路チップの端子の近傍にインピーダンス整合のための抵抗およびインダクタンス素子を付加することにより、その信号の反射を防止することができる。しかしながら、SIPにおいて、それと同様の技術を実施すると、抵抗およびインダクタンス素子を実装するスペースが必要となり、SIPのサイズが大きくなるデメリットがある。

[0012] 以上の従来技術の問題点に鑑み、本発明の目的は、テスト容易化回路を含まない集積回路チップを搭載しても、そのサイズが大きくなることもなく、製造コストの大幅な増加を招くこともなく、そのテストを容易にすることができるSIPを提供するとともに、さらには、搭載される集積回路チップの端子における信号反射を防止することを可能にするSIPを提供することにある。

課題を解決するための手段

[0013] 前記目的を達成するために、請求項1に記載の発明は、複数の集積回路チップとその複数の集積回路チップを搭載する基板とを含んで構成されたSIPにおいて、前記集積回路チップの少なくとも1つの集積回路チップのテストを容易化するため、テ

スト容易化回路を前記基板に内装したことを特徴とする。なお、テスト容易化回路を基板に内装するとは、基板を製造する工程の中で、テスト容易化回路を基板と一体になるように埋め込んで製造することをいう。

[0014] 請求項1に記載の発明によれば、SIPを構成する集積回路チップがテスト容易化回路を含んでいない場合には、その集積回路チップを搭載する基板に、その集積回路チップのテスト容易化回路を内装することによって、SIP自体のサイズをほとんど大きくすることなく、その集積回路チップ、ひいては、その集積回路チップを含むSIP全体のテストを容易化することができる。

[0015] 請求項2に記載の発明は、請求項1に記載のSIPにおいて、前記基板に内装するテスト容易化回路がバウンダリスキャン回路であることを特徴とする。また、請求項3に記載の発明は、請求項1に記載のSIPにおいて、前記基板に内装するテスト容易化回路がビルトインセルフテスト回路であることを特徴とする。

[0016] バウンダリスキャン回路やビルトインセルフテスト回路は、システマテックに適用可能なテスト容易化回路として従来からよく研究もされ、さらには、JTAGなどで標準化もされている。また、それを集積回路などに適用するためのDA(Design Automation)またはCAD(Computer Aided Design)ツールなども整備されてきている。従って、バウンダリスキャン回路やビルトインセルフテスト回路は、SIPにも容易に適用することができる。すなわち、請求項2または請求項3に記載の発明によれば、手数をあまり掛けずに確実にそのSIPのテスト容易化を図ることができる。

[0017] 請求項4に記載の発明は、請求項3に記載のSIPにおいて、前記基板に内装するビルトインセルフテスト回路の少なくとも一部がプログラマブルな回路素子で構成されることを特徴とする。

[0018] 請求項4に記載の発明によれば、ビルトインセルフテスト回路の少なくとも一部をプログラマブルな回路素子で構成するので、ビルトインセルフテスト回路の構成要素であるLFSR(Linear Feedback Shift Register)の長さを変え、その生成データパターン長を変えたりすることなどができるようになる。すなわち、SIPを構成する集積回路チップの回路構成に適切に適合させたビルトインセルフテストが可能となる。

[0019] 請求項5に記載の発明は、請求項1に記載のSIPにおいて、前記基板にWLCSP(

Wafer Level Chip Size Package)集積回路チップを埋め込み、その埋め込んだWLCSP集積回路チップを前記基板に含まれる配線層の配線で接続することによって、前記基板に内装するテスト容易化回路を構成することを特徴とする。

[0020] 請求項5に記載の発明によれば、市販の標準ロジック集積回路のWLCSP集積回路チップを用いてテスト容易化回路を構成することができるので、SIPを安価なコストで製造することができるようになる。

[0021] 請求項6に記載の発明は、請求項1に記載のSIPにおいて、前記基板の少なくとも1層を半導体層によって形成し、その半導体層を用いてトランジスタ素子を形成し、そのトランジスタ素子を基板に含まれる配線層の配線で接続することによって、前記テスト容易化回路を形成することを特徴とする。また、請求項7に記載の発明は、請求項6に記載のSIPにおいて、前記半導体層がシリコン半導体層であることを特徴とする。また、請求項8に記載の発明は、請求項6に記載のSIPにおいて、前記半導体層が有機化合物半導体層であることを特徴とする。

[0022] 請求項6ないし請求項8のいずれか1項に記載の発明によれば、前記基板に少なくとも1層の半導体層を形成し、その半導体層を用いてMOS(Metal Oxide Semiconductor)などのトランジスタ素子を形成し、そのMOSなどトランジスタ素子を配線で接続してテスト容易化回路を構成する。MOSなどトランジスタ素子は、WLCSP集積回路チップなどに比べてもはるかに小さな素子なので、SIPをよりコンパクトなサイズで製造することができるようになる。

[0023] また、その半導体層がシリコン半導体の場合には、従来のシリコン半導体製造プロセスを用いて、トランジスタ素子のみならず抵抗、インダクタンス、不揮発性メモリデバイスなど様々な回路素子を製造することができるので、複雑な回路構成のテスト容易化回路なども製造することができるようになる。また、テスト容易化回路の一部を、いわゆる、PLD(Programmable Logic Device)などのプログラマブル素子によって構成することも容易になる。

[0024] 請求項9に記載の発明は、請求項1に記載のSIPにおいて、前記集積回路チップの端子に接続され、その端子のインピーダンスを整合する受動素子を、さらに、前記基板に内装したことを特徴とする。

[0025] 請求項9に記載の発明によれば、SIPを構成する集積回路チップの端子のインピーダンスを整合する受動素子、例えば、抵抗とインダクタンスからなる素子を前記基板に内装するので、SIPのサイズを大きくすることなく、集積回路チップの端子における信号反射を防止することができるようになる。

[0026] 請求項10に記載の発明は、請求項1に記載のSIPにおいて、前記基板に固定して搭載された集積回路チップ以外の集積回路チップを着脱可能に装着するソケットを、さらに、前記基板に搭載したことを特徴とする。

[0027] 請求項10に記載の発明によれば、テスト対象の集積回路チップをそのソケットに装着するようにすれば、そのテスト対象の集積回路チップをテストするためのテスト用SIPを実現することができる。

[0028] 請求項11に記載の発明は、請求項10に記載のSIPにおいて、前記ソケットに装着される集積回路チップの端子と前記システムインパッケージ基板の配線層とを接続する前記ソケットのポゴピンに、前記ソケットに装着される集積回路チップの端子のインピーダンスを整合する受動素子を内装したことを特徴とする。

[0029] 請求項11に記載の発明によれば、SIPの基板に搭載するソケットに装着する集積回路チップの端子のインピーダンスを整合する受動素子を、そのソケットのポゴピンに内装するので、SIPのサイズを大きくすることなく、そのソケットに装着する集積回路チップの端子における信号反射を防止することができるようになる。

[0030] 請求項12に記載の発明は、集積回路チップを着脱可能に装着するソケットであって、前記ソケットのポゴピンに、前記ソケットに装着される集積回路チップの端子のインピーダンスを整合する受動素子を内装したことを特徴とする。

[0031] 請求項12に記載の発明によれば、そのソケットに装着される集積回路チップの端子における信号反射を防止することができるようになる。

発明の効果

[0032] 以上、本発明によれば、テスト容易化回路を含まない既存の集積回路チップを搭載しても、そのサイズが大きくなることもなく、製造コストの増加を招くこともなく、そのテストを容易化したSIPを実現することができる。また、そのSIPに搭載される集積化路チップの端子においては、信号反射を防止することができる。

発明を実施するための最良の形態

[0033] 以下、本発明の実施形態について図面を用いて詳しく説明する。

[0034] (第1の実施形態)

図1は、本発明の第1の実施形態に係るテスト容易化回路内装SIPを構成するテスト容易化回路内装基板の断面構造を模式的に示した図である。図1に示すように、第1の実施形態に係るテスト容易化回路内装SIP1は、テスト容易化回路内装基板10の上に、通常、複数の集積回路チップ2(図1では、1つだけを図示)が搭載されて構成される。テスト容易化回路内装基板10は、それぞれ金属の配線層31, 41, 51が形成された複数のコア基板3, 4, 5を、樹脂などによる絶縁樹脂層7によって貼り合せて構成される。

[0035] 図1において、コア基板3には、いわゆるビルドアップ層32が形成され、その最上層(外側の層)には、金属などによるパッド33が形成されている。パッド33は、集積回路チップ2の信号接続端子として形成されたバンプ21を受ける位置に形成され、バンプ21とパッド33とを介して集積回路チップ2とテスト容易化回路内装基板10とが接続される。また、コア基板3, 4, 5間の配線層31, 41, 51の接続は、スルーホール6などによって行われる。なお、コア基板3は、ビルドアップ層32が形成されていないものであっても構わない。

[0036] また、コア基板4には、長さが1mm～2mm程度、幅と厚さがそれぞれ0. 5mm程度の大きさのWLCSP集積回路チップ43が実装される。WLCSP集積回路チップ43は、集積回路のベアダイにマイクロバンプ45を付加しただけのパッケージングスタイルの集積回路チップであり、一般に標準ロジックと呼ばれる論理回路素子を数素子含んで構成される。そこで、複数個のWLCSP集積回路チップ43を配線層41の配線で、適宜、接続し、別途、図2および図3に後記するようなテスト容易化回路を構成する。

[0037] さらに、コア基板4には、WLCSP集積回路チップ43と同程度の大きさの抵抗、キャパシタ、インダクタなどの受動素子44が実装される。受動素子44は、必要に応じ、適宜、テスト容易化回路を構成するのに利用されるほか、集積回路チップ2の端子(バンプ21)に対するインピーダンス整合回路を構成するのに用いられる。さらには、受

動素子44によって、電源信号の安定化のための、いわゆる、パスコンデンサなどを構成してもよい。

[0038] なお、コア基板4には、WLCSP集積回路チップ43や受動素子44が実装されるため、その表面に凹凸を生じる。その凹凸を減少させ、また、他のコア基板との接着性を向上させるために、接着層42が形成されることがある。

[0039] 以上の図1の説明においては、テスト容易化回路内装基板10は、3枚のコア基板3，4，5によって構成されるとしているが、コア基板は1枚以上であれば、何枚であってもよい。ただし、コア基板が1枚の場合には、通常は、基板面積を小さくするために、片面に集積回路チップ2などが搭載され、その裏面にWLCSP集積回路チップ43が搭載される。また、複数の集積回路チップ2がテスト容易化回路内装基板10に搭載されるとき、その集積回路チップ2がテスト容易化回路内装基板10の表と裏の両面に搭載され、テスト容易化回路内装基板10に含まれるコア基板にWLCSP集積回路チップ43などが搭載される形態であっても構わない。

[0040] 図2は、本発明の第1の実施形態に係るテスト容易化回路内装SIPの第1の例を示した図で、(a)は、その平面形状および回路図を模式的に示した図、(b)は、その断面形状を模式的に示した図である。

[0041] 図2において、テスト容易化回路内装SIP1は、メモリチップ101とデジタルASIC(Application Specific Integrated Circuits)チップ102とがテスト容易化回路内装基板10に搭載されて構成される。ここで、メモリチップ101は、例えば、SDRAM(Synchronous Dynamic Random Access Memory)1010を含んで構成され、そのメモリチップ101にはテスト容易化回路が入れられていない。一方、デジタルASICチップ102には、ASICコア1020のテストを容易化するテスト容易化回路として、例えば、JTAGで標準化されたIEEE1149.1規格のバウンダリスキャン回路が入れられている。

[0042] そこで、本実施形態では、テスト容易化回路内装基板10にメモリチップ101のテスト容易化を図るため、IEEE1149.1規格のバウンダリスキャン回路を内装する。図2に示すように、バウンダリスキャン回路は、メモリチップ101を取り囲んでその端子に接続して設けられたBSシフトレジスタ105と、テスト用端子からの入力情報を取り込んでテスト動作を制御するTAP(Test Access Port)コントローラ104などを含んで構成さ

れる。

[0043] ここで、テスト用端子とは、バウンダリスキャン回路を用いたテストの実行を制御するための信号端子である。JTAGのIEEE1149.1規格では、テスト用端子としてテストデータを入力するTDI(Test Data Input)、テストデータを出力するTDO(Test Data Output)、テストモードでの動作を選択するTMS(Test Mode Select input)、BSシフトレジスタ105のシフト動作を含め、テスト動作を実行するTCK(Test Clock input)、TAPコントローラ104の内部状態を初期化するTRSI(Test Reset input)などが定められている。

[0044] TAPコントローラ104は、バウンダリスキャン回路の動作およびテスト動作を制御する制御回路である。ここでは、その動作の詳細な説明を割愛するが、TAPコントローラ104の制御のもとに、テスト用端子TDIおよびBSシフトレジスタ105を介して、テストデータがメモリチップ101へ入力され、他方では、メモリチップ101の動作結果のテストデータがBSシフトレジスタ105およびテスト用端子TDOを介して外部へ出力される。このようにして、メモリチップ101の端子がテスト容易化回路内装SIP1の外部接続端子に直接に接続されていなくても、メモリチップ101のテストを行うことができるようになる、つまり、テストが容易化される。

[0045] なお、デジタルASICチップ102には、BSシフトレジスタ1022とTAPコントローラ1021とがすでに入れてあるので、ここでは、デジタルASICチップ102に設けられているテスト用端子を、テスト容易化回路内装基板10に設けられているテスト用端子に単に接続するだけでよい。

[0046] 本実施形態においては、以上に示したバウンダリスキャン回路、つまり、テスト容易化回路を、テスト容易化回路内装基板10(図1参照)に内装された複数のWLCSP集積回路チップ43を、適宜、配線層31, 41, 51の配線によって接続して構成する。前記したように、WLCSP集積回路チップ43の大きさは小さいので、このようなテスト容易化回路を内装してもテスト容易化回路内装SIP1の大きさは、ほとんど大きくならないですむ。

[0047] 図3は、本発明の第1の実施形態に係るテスト容易化回路内装SIPの第2の例を示した図で、(a)は、その平面形状および回路図を模式的に示した図、(b)は、その断

面形状を模式的に示した図である。

[0048] 図3の例では、テスト容易化回路内装SIP1は、図2の例のテスト容易化回路内装SIP1でメモリチップ101であったものを、アナログ集積回路チップ111で置き換えたものとなっている。ここで、アナログ集積回路チップ111には、例えば、変復調回路1110が形成されている。変復調回路1110の一方の入力端子および出力端子は、信号混合・分離回路113を介して、外部のアンテナからの信号に接続されている。また、他方の入力端子および出力端子は、D／A(Digital to Analog)変換器1111やA／D(Analog to Digital)変換器1112などを介してアナログ集積回路チップ111の外部の信号と接続される。

[0049] このようにテスト容易化回路内装SIP1がアナログ集積回路チップ111を含む場合には、そのアナログ集積回路チップ111のテストを容易化するために、JTAGで標準化されたIEEE1149.4規格のアナログ考慮バウンダリスキャン回路を、テスト容易化回路内装基板10に内装する。

[0050] アナログ考慮バウンダリスキャン回路は、通常のTAPコントローラ104、BSシフトレジスタ105(図3には図示なし)に加えて、TBIC(Test Bus Interface Circuit)106と、ABM(Analog Boundary Module)107を含んで構成される。ここでは、TBIC106およびABM107の詳細については説明を割愛するが、ABM107は、アナログ集積回路チップ111のアナログ入力端子またはアナログ出力端子に接続され、そのアナログ入力端子またはアナログ出力端子の信号を、TBIC106の制御のもとに、テスト容易化回路内装基板10のアナログテスト端子AT1，AT2に接続するように動作する。

[0051] すなわち、アナログテスト端子AT1，AT2を介して、アナログ集積回路チップ111へアナログテスト信号を供給することができ、また、アナログ集積回路チップ111が出力するアナログ信号を観測できるようになるので、アナログ集積回路チップ111、つまり、テスト容易化回路内装SIP1のテストが容易化される。そして、以上のようなアナログ考慮バウンダリスキャン回路は、テスト容易化回路内装基板10(図1参照)に内装された複数のWLCSP集積回路チップ43および受動素子44を、適宜、配線層31，41，51の配線によって接続することによって構成される。

[0052] 以上、本発明の第1の実施形態においては、テスト容易化回路をJTAG標準のバウ

ンダリスキャン回路(IEEE 1149.1)またはアナログ考慮バウンダリスキャン回路(IEEE 1149.4)で構成した例を示したが、他の方法に基づくテスト容易化回路であっても構わない。例えば、バウンダリスキャン回路に代えて、BIST(Built In Self Test)回路を用いてもよい。

[0053] 図4は、一般的に用いられるBIST回路の構成の例を示した図である。図4に示すように、BIST回路20は、LFSR(Linear Feedback Shift Register)202とMISR(Multi Input Signature Register)203とにより構成される。BIST回路20によるテストにおいては、LFSR202によって発生される擬似乱数系列をCUT(Circuit Under Test)201へ入力し、その入力に応じてCUT201から出力される信号系列をMISR203によって情報圧縮する。そして、その圧縮した情報(Signatureという)が予期したものと同じであるか否かによってCUT201が正しく動作したか否かを判定する。

[0054] このようなBIST回路20を図2のテスト容易化回路内装SIP1に適用したときには、メモリチップ101がCUT201に対応するものとして、BSシフトレジスタ105をLFSR202およびMISR203で置き換えればよい。そして、テスト容易化回路内装基板10に内装された複数のWLCSP集積回路チップ43を、適宜、配線層31, 41, 51の配線で接続することによって、そのLFSR202およびMISR203を構成すればよい。

[0055] なお、図4において、LFSR202およびMISR203は、それぞれシフトレジスタ(SR: Shift Register)204と排他的論理和回路205とによって構成される。ここで、LFSR202は、いわゆる巡回符号を生成する回路であるが、その巡回符号の生成多項式は、LFSR202の最上位ビットの信号をどの位置のシフトレジスタ204にフィードバックするか、すなわち、どの位置にフィードバック用の排他的論理和回路205を設けるかによって決まる。例えば、図4のLFSR202では、フィードバック用の排他的論理和回路205は、第1ビットのシフトレジスタ204と第2ビットのシフトレジスタ204と間に配置されている。この場合、生成多項式は$G(x)=1+x+x^4$となる。また、MISR203は、CUT201から出力される信号系列を圧縮する回路として機能するが、MISR203にもLFSR202と同様の生成多項式が定められる。図4のMISR203の場合、その生成多項式は$G(x)=1+x^3+x^4$となる。

[0056] (第2の実施形態)

図5は、本発明の第2の実施形態に係るテスト容易化回路内装SIPを構成するテスト容易化回路内装基板の断面構造を模式的に示した図である。なお、図5において図1と同じ構成要素については同じ符号を付し、その説明を省略する。

[0057] 第2の実施形態に係るテスト容易化回路内装SIP1bのテスト容易化回路内装基板10bは、第1の実施形態に係るテスト容易化回路内装基板10と同様に、3つのコア基板3，4b，5が張り合わせて構成される。このとき、コア基板3，5の構成は、第1の実施形態の場合と同じであるが、本実施形態では、コア基板4bは、その基体部をシリコン半導体で形成する。そして、その基体のシリコン半導体上に、MOS（Metal Oxide Semiconductor）などのトランジスタ素子を形成し、さらに、その上部に絶縁層を介して複数の配線層を形成する。そのコア基板4bの詳細な断面構造は、通常のシリコン半導体集積回路の断面構造と同じであるので、ここではその図示を省略する。

[0058] 以上のようにシリコン半導体を基体として形成されたトランジスタ素子を、さらにその上部に形成された配線層の配線で、適宜、接続することにより、図2～図4で説明したバウンダリスキャン回路、BIST回路などテスト容易化回路を構成する。そして、そのシリコン半導体を基体とするコア基板4b上に、適宜、マイクロバンプ45を形成し、そのマイクロバンプ45を介してコア基板3と接続し、テスト容易化回路を集積回路チップ2に接続する。このようにして、集積回路チップ2のテストを容易化したテスト容易化回路内装SIP1bが構成される。

[0059] なお、図5において、テスト容易化回路内装基板10bは、コア基板3および5の両方またはその片方がない構成であっても構わない。また、他の余分なコア基板が付加された構成であっても構わない。また、コア基板3には、ビルドアップ層32が形成されていない構成であっても構わない。ただし、コア基板3がない場合には、コア基板4b上に集積回路チップ2が搭載されるので、コア基板4b上には、マイクロバンプ45に代えて、集積回路チップ2のバンプ21を接続するためのパッドを形成する。

[0060] また、以上のコア基板4bは、通常のシリコン半導体製造工程を用いて製造するので、MOSなどのトランジスタ素子だけでなく、抵抗、キャパシタ、インダクタなどの受動素子を埋め込むことができる。また、不揮発性メモリ製造と同様の工程を付加すれば、いわゆるPLD（Programmable Logic Device）などのプログラマブルな回路素子を

造り込むこともできる

[0061] そこで、PLDをBIST回路20(図4参照)に適用し、BIST回路20を、例えば、LFSR202やMISR203の生成多項式が可変になるように構成してもよい。なお、生成多項式を可変に構成するには、シフトレジスタ24も含めBIST回路全体をPLDで構成してもよく、または、シフトレジスタ24を通常のトランジスタ素子で構成し、シフトレジスタ24の接続部および排他的論理和回路205をPLDで構成してもよい。

[0062] このようにLFSR202やMISR203を、その生成多項式が可変になるように構成すると、そのテスト対象となる集積回路チップ2の論理構造や入力端子、出力端子の数などに応じて、LFSR202やMISR203のビット長や、LFSR202が生成する信号の系列長などを調節することができる。すなわち、BIST回路20の全部または一部をPLDで構成することにより、そのBIST回路20をテスト対象の集積回路チップ2に応じて最適なものにすることができる。

[0063] 以上、本発明の第2の実施形態においては、テスト容易化回路内装基板10bのコア基板4bは、その基体がシリコン半導体で形成されているとしたが、基体がガラスやプラスチックなどの絶縁体でされ、その絶縁体上にシリコン半導体層が形成された構成であってもよい。この場合、MOSなどのトランジスタ素子は、その絶縁体上に形成されたシリコン半導体層を用いて形成される。なお、このように形成されたトランジスタ素子は、しばしば、TFT(Thin Film Transistor)と呼ばれる。

[0064] さらに、絶縁体などの基体上にシリコン半導体層を形成してTFTを形成する場合、その半導体層は、シリコン半導体層に代えて有機化合物半導体層であってもよい。図6は、本発明の第2の実施形態に係るテスト容易化回路内装基板のコア基板に有機化合物半導体が形成された構造の例を示した図である。図6に示した有機化合物半導体は、ペンタセン半導体によるMOSトランジスタの例である。

[0065] 図6に示すように、ペンタセン半導体によるMOSトランジスタを形成するには、コア基板4bの基体として用いられるシリコン基板501上に、まず、熱酸化などによってシリコン酸化膜502を形成する。そして、そのシリコン酸化膜502の上にポリシリコンなどによって所定の形状をしたゲート電極503を形成する。そのゲート電極503は、窒化シリコンなどの絶縁膜504で覆われ、さらにその上に、ゲート電極503に対するソース

電極505およびドレイン電極506が、所定の形状に金などの金属層によって形成される。そして、その上部にペンタセン半導体層507がスピンコートなどによって塗布、形成される。

[0066] なお、ペンタセン半導体層507より上部の構造については、図示を省略したが、その上部には、絶縁層などを介して配線層などが形成される。また、ここでは、コア基板4bの基体は、シリコン（シリコン基板501）であるとしたが、シリコンに代えて、ガラスやプラスチックであっても構わない。

[0067] 図7は、ペンタセン分子の化学構造を示した図である。図7に示すように、ペンタセン分子は、いわゆるベンゼン環が5個結合した構造をしている。

[0068] 以上のような有機化合物半導体は、現在のところ、経時変化に対する信頼性が乏しい、つまり、寿命が長くないとされている。テスト容易化回路は、一般に、SIP製造工程においてそのSIPが出荷するまでのテストで使用されるため、テスト容易化回路を有機化合物半導体で構成した場合には、そのテスト容易化回路の寿命は、SIPを製造してから出荷の最終テストが終了するまでの期間以上であればよい。その期間が長くても数週間であるので、現状の有機化合物半導体でも使用に耐え得る。

[0069] （第3の実施形態）

図8は、本発明の第3の実施形態に係るテスト容易化回路内装SIPの構成を模式的に示した図である。図8に示したテスト容易化回路内装SIP1cは、SIPを製造された集積回路チップをテストするためのテストボードに適用した場合の例である。このようなテストボードとしてのテスト容易化回路内装SIP1cにおいては、そのテスト容易化回路内装基板10c上にテストを制御または補助するためのアナログ集積回路チップ111、デジタルASICチップ102などが搭載され、さらに、テストの対象となる集積回路チップであるDUT（Device Under Test）121を装着するためのソケット122が搭載される。

[0070] このようなテスト容易化回路内装SIP1cにおいても、そのテスト容易化回路内装基板10cに搭載されるアナログ集積回路チップ111、デジタルASICチップ102などの集積回路チップ2のテストを容易化するテスト容易化回路は、第1および第2の実施形態の場合と同様に、テスト容易化回路内装基板10c自身に内装される。

[0071] また、テスト容易化回路内装SIP1cは、テストボードとして用いられるため、ソケット122に装着されたDUT121の信号端子は、テスト容易化回路内装SIP1cの外部に配置されるテスト装置(図示せず)に接続される。

[0072] 図9は、本発明の第3の実施形態に係るテスト容易化回路内装基板において、DUTをテスト装置へ接続する回路のポイントを示した図である。図9に示すように、DUT121の信号端子にはインピーダンス整合回路123が付加され、DUT121はそのインピーダンス整合回路123を介してテスト装置に接続される。DUT121とテスト装置とを接続する場合、インピーダンス整合回路123のインピーダンスは、例えば、50Ωになるように調整される。なお、インピーダンス整合回路123は、通常、抵抗とインダクタとによって構成される。

[0073] そこで、本実施形態においては、インピーダンス整合回路123をソケット122のポゴピン1220に内装する。図8に示すように、ソケット122のポゴピン1220は、リード1222と固定ピン1226とがソケット122に固定するように設けられ、さらに、DUT121の信号端子に接触するコンタクタ1221が、リード1222に収容されるように設けられる。このとき、コンタクタ1221の下面はスプリング1223によって支持され、コンタクタ1221とDUT121の信号端子とが接触するとき、コンタクタ1221をDUT121の信号端子側へ押圧する。

[0074] また、リード1222と固定ピン1226とは、チップ抵抗1224とインダクタ1225とを介してお互いに接続されて構成される。これらのチップ抵抗1224とインダクタ1225とは、DUT121の端子信号に対するインピーダンス整合回路123を構成する。このとき、インダクタ1225としては、チップ抵抗1224にコイルを巻いてインダクタとしてもよく、または、チップ抵抗1224と同様の形状をしたチップインダクタを用いてもよい。なお、チップ抵抗1224やチップインダクタは、前記したWLCSP集積回路チップ43(図1参照)と同程度の大きさのものが市販されている。

[0075] 以上のように、本実施形態においては、DUT121の信号端子に対するインピーダンス整合回路123をソケット122のポゴピン1220に内装するので、テスト容易化回路内装SIP1cのサイズを大きくすることなく、DUT121の信号端子における信号反射を防止することができる。

[0076] なお、DUT121の信号端子に対するインピーダンス整合回路123をソケット122のポゴピン1220に内装せず、第1および第2の実施形態と同様に、テスト容易化回路内装基板10cに内装するようにしてもよい。また、テスト容易化回路内装基板10cに搭載されるアナログ集積回路チップ111およびデジタルASICチップ102の信号端子に対しても同様のインピーダンス整合回路123を設けてもよい。そして、そのインピーダンス整合回路123を設ける場合には、そのインピーダンス整合回路123をテスト容易化回路内装基板10c自身に内装する。

図面の簡単な説明

[0077] [図1]本発明の第1の実施形態に係るテスト容易化回路内装SIPを構成するテスト容易化回路内装基板の断面構造を模式的に示した図である。

[図2]本発明の第1の実施形態に係るテスト容易化回路内装SIPの第1の例を示した図で、(a)は、その平面形状および回路図を模式的に示した図、(b)は、その断面形状を模式的に示した図である。

[図3]本発明の第1の実施形態に係るテスト容易化回路内装SIPの第2の例を示した図で、(a)は、その平面形状および回路図を模式的に示した図、(b)は、その断面形状を模式的に示した図である。

[図4]一般的に用いられるBIST回路の構成の例を示した図である。

[図5]本発明の第2の実施形態に係るテスト容易化回路内装SIPを構成するテスト容易化回路内装基板の断面構造を模式的に示した図である。

[図6]本発明の第2の実施形態に係るテスト容易化回路内装基板のコア基板に有機化合物半導体が形成された構造の例を示した図である。

[図7]ペンタセン分子の化学構造を示した図である。

[図8]本発明の第3の実施形態に係るテスト容易化回路内装SIPの構成を模式的に示した図である。

[図9]本発明の第3の実施形態に係るテスト容易化回路内装基板において、DUTをテスト装置へ接続する回路のポイントを示した図である。

符号の説明

[0078] 1, 1b, 1c テスト容易化回路内装SIP

2 集積回路チップ

3, 4, 4b, 5 コア基板

6 スルーホール

7 絶縁層

10, 10b, 10c テスト容易化回路内装基板

20 BIST回路

21 バンプ

24 シフトレジスタ

31, 41, 51 配線層

32 ビルドアップ層

33 パッド

42 接着層

43 WLCSP集積回路チップ

44 受動素子

101 メモリチップ

102 デジタルASICチップ

104, 1021 TAPコントローラ

105, 1022 BSシフトレジスタ

106 TBIC

107 ABM

111 アナログ集積回路チップ

113 信号混合・分離回路

121 DUT

122 ソケット

123 インピーダンス整合回路

201 CUT

202 LFSR

203 MISR

204 シフトレジスタ

205 排他的論理和回路

501 シリコン基板

502 シリコン酸化膜

503 ゲート電極

504 絶縁膜

505 ソース電極

506 ドレイン電極

507 ペンタセン半導体層

1020 ASICコア

1110 変復調回路

1111 D／A変換器

1112 A／D変換器

1220 ポゴピン

1221 コンタクタ

1222 リード

1223 スプリング

1224 チップ抵抗

1225 インダクタ

1226 固定ピン

請求の範囲

[1] 複数の集積回路チップとその複数の集積回路チップを搭載する基板とを含んで構成されたシステムインパッケージにおいて、

前記集積回路チップの少なくとも1つの集積回路チップのテストを容易化するためテスト容易化回路を前記基板に内装したこと

を特徴とするシステムインパッケージ。

[2] 前記基板に内装するテスト容易化回路は、バウンダリスキャン回路であること

を特徴とする請求項1に記載のシステムインパッケージ。

[3] 前記基板に内装するテスト容易化回路は、ビルトインセルフテスト回路であること

を特徴とする請求項1に記載のシステムインパッケージ。

[4] 前記基板に内装するビルトインセルフテスト回路は、少なくともその一部がプログラマブルな回路素子で構成されること

を特徴とする請求項3に記載のシステムインパッケージ。

[5] 前記基板にWLCSP集積回路チップを埋め込み、その埋め込んだWLCSP集積回路チップを前記基板に含まれる配線層の配線で接続することによって、前記基板に内装するテスト容易化回路を構成すること

を特徴とする請求項1に記載のシステムインパッケージ。

[6] 前記基板の少なくとも1層を半導体層によって形成し、その半導体層を用いてトランジスタ素子を形成し、そのトランジスタ素子を基板に含まれる配線層の配線で接続することによって、前記テスト容易化回路を形成すること

を特徴とする請求項1に記載のシステムインパッケージ。

[7] 前記半導体層は、シリコン半導体層であること

を特徴とする請求項6に記載のシステムインパッケージ。

[8] 前記半導体層は、有機化合物半導体層であること

を特徴とする請求項6に記載のシステムインパッケージ。

[9] 前記集積回路チップの端子に接続され、その端子のインピーダンスを整合する受動素子を、さらに、前記基板に内装したこと

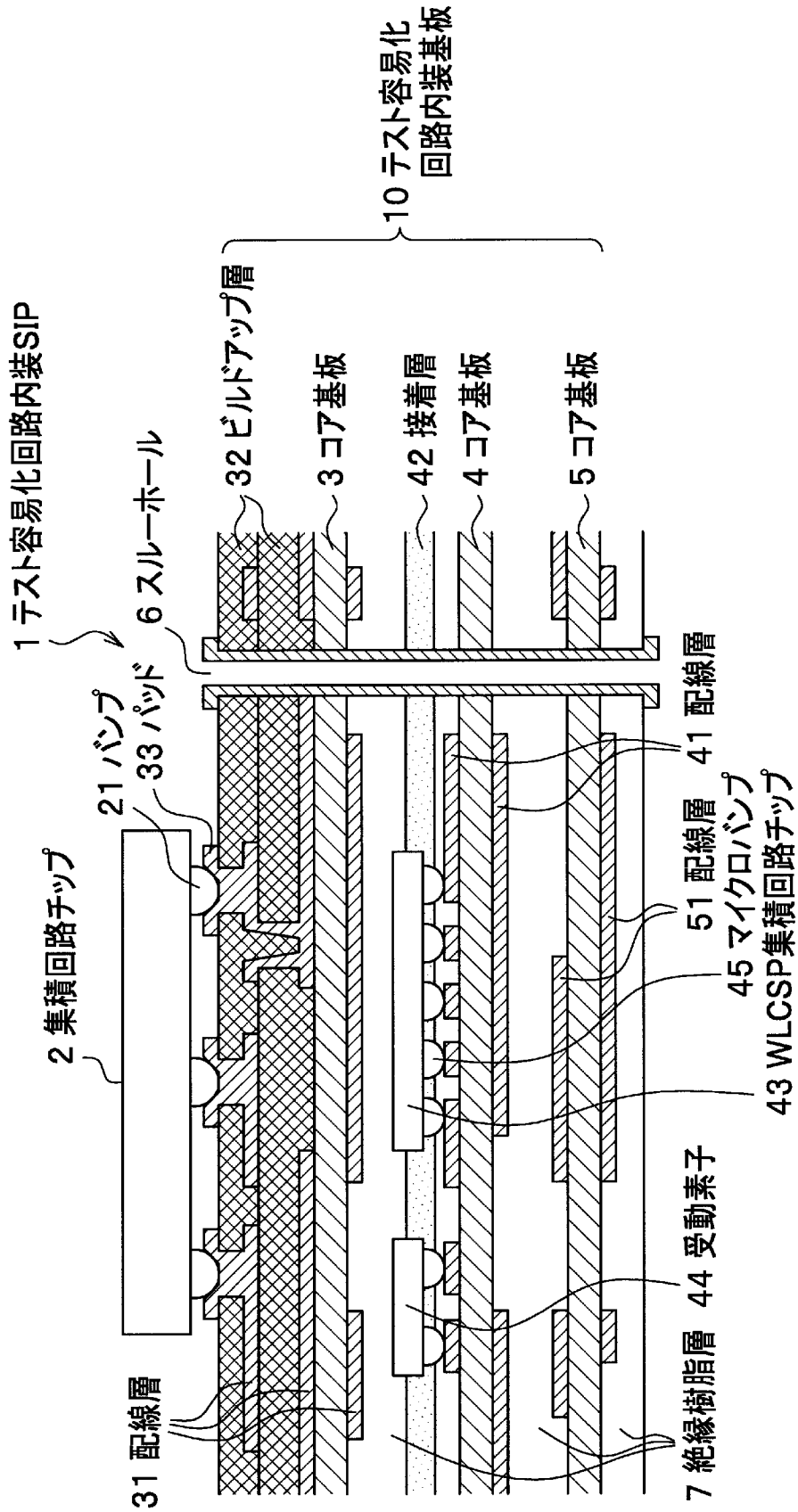
を特徴とする請求項1に記載のシステムインパッケージ。

[10] 前記基板に固定して搭載された集積回路チップ以外の集積回路チップを着脱可能に装着するソケットを、さらに、前記基板に搭載したこと
を特徴とする請求項1に記載のシステムインパッケージ。

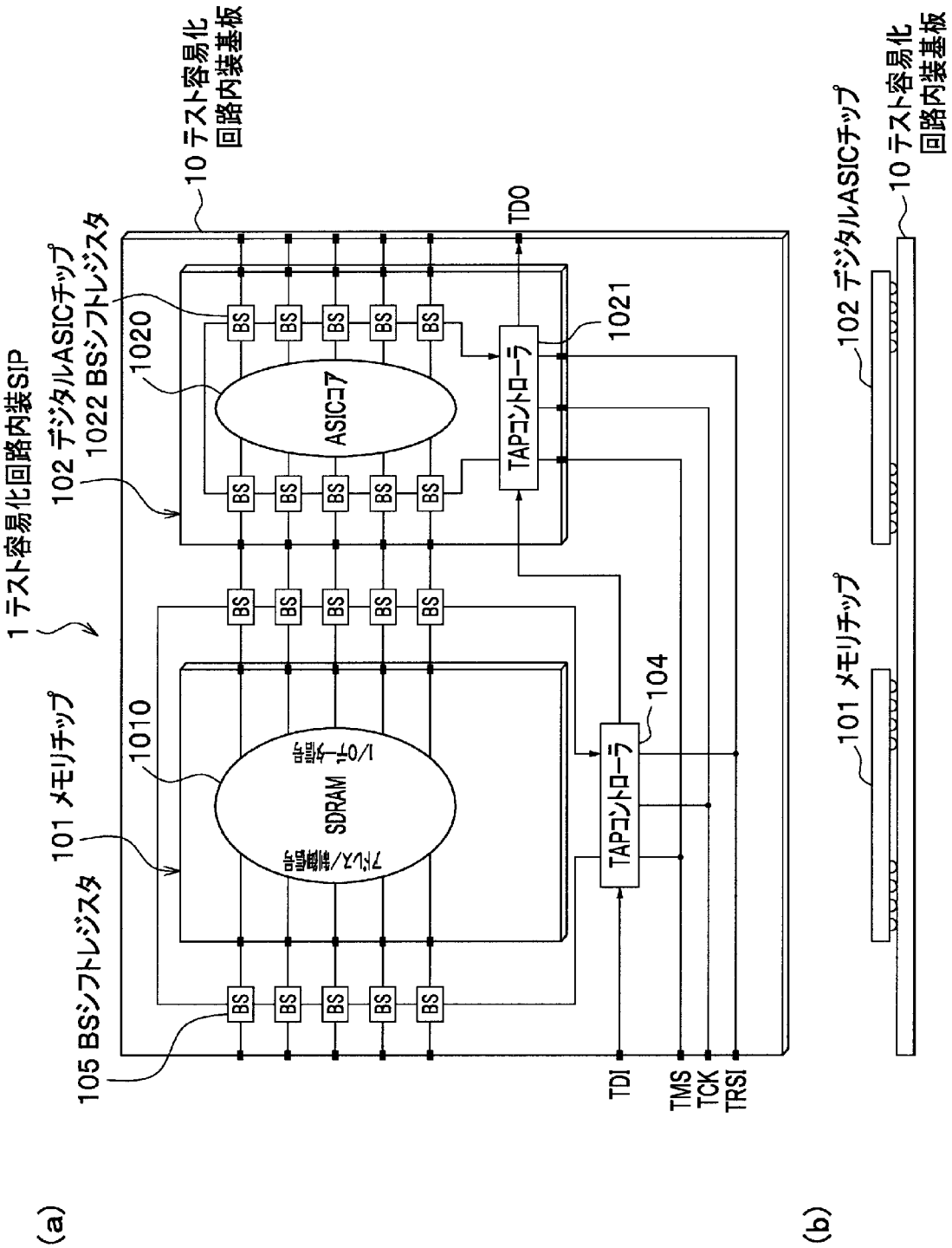
[11] 前記ソケットに装着される集積回路チップの端子と前記システムインパッケージ基板の配線層とを接続する前記ソケットのポゴピンに、前記ソケットに装着される集積回路チップの端子のインピーダンスを整合する受動素子を内装したこと
を特徴とする請求項10に記載のシステムインパッケージ。

[12] 集積回路チップを着脱可能に装着するソケットであって、
前記ソケットのポゴピンに、前記ソケットに装着される集積回路チップの端子のインピーダンスを整合する受動素子を内装したことを
を特徴とするソケット。

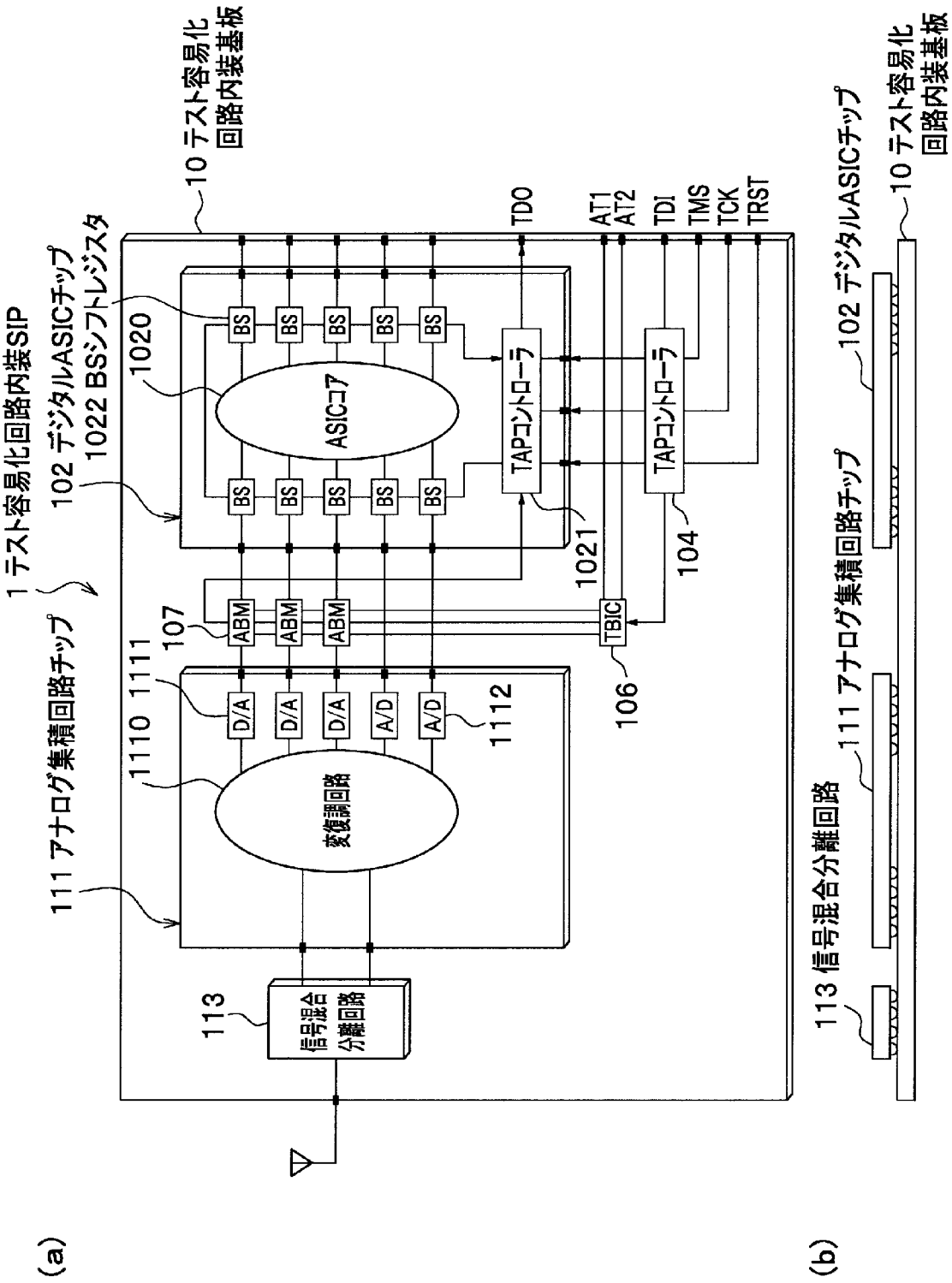
[図1]


1 テスト容易化回路内装SIP
2 集積回路チップ
21 バンプ
33 パッド
6 スルーホール
10 テスト容易化
回路内装基板
32 ビルドアップ層
3 コア基板
42 接着層
4 コア基板
5 コア基板
41 配線層
51 配線層
45 マイクロバンプ
43 WLCSP集積回路チップ
31 配線層
44 受動素子
7 絶縁樹脂層

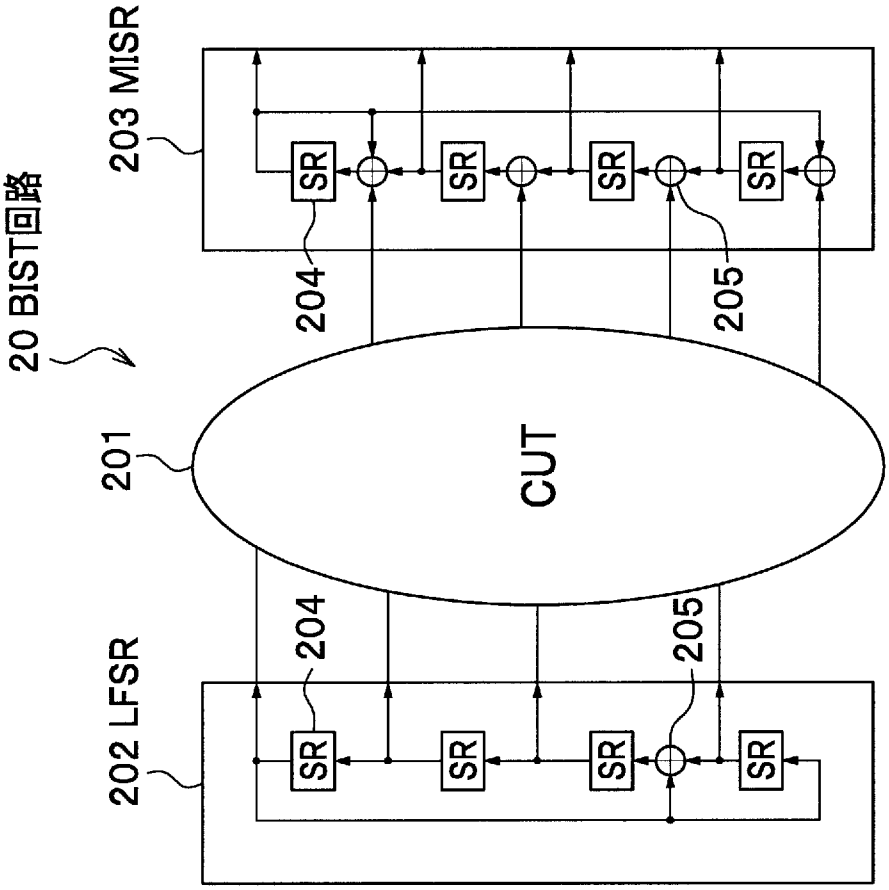
[図2]


(a)
1 テスト容易化回路内装SIP
10 テスト容易化回路内装基板
102 デジタルASICチップ
1022 BSシフトレジスタ
1020
ASICコア
TAPコントローラ
1021
TDO
101 メモリチップ
1010
SDRAM
104
105 BSシフトレジスタ
BS
TDI
TMS
TCK
TRSI
(b)
102 デジタルASICチップ
10 テスト容易化回路内装基板
101 メモリチップ

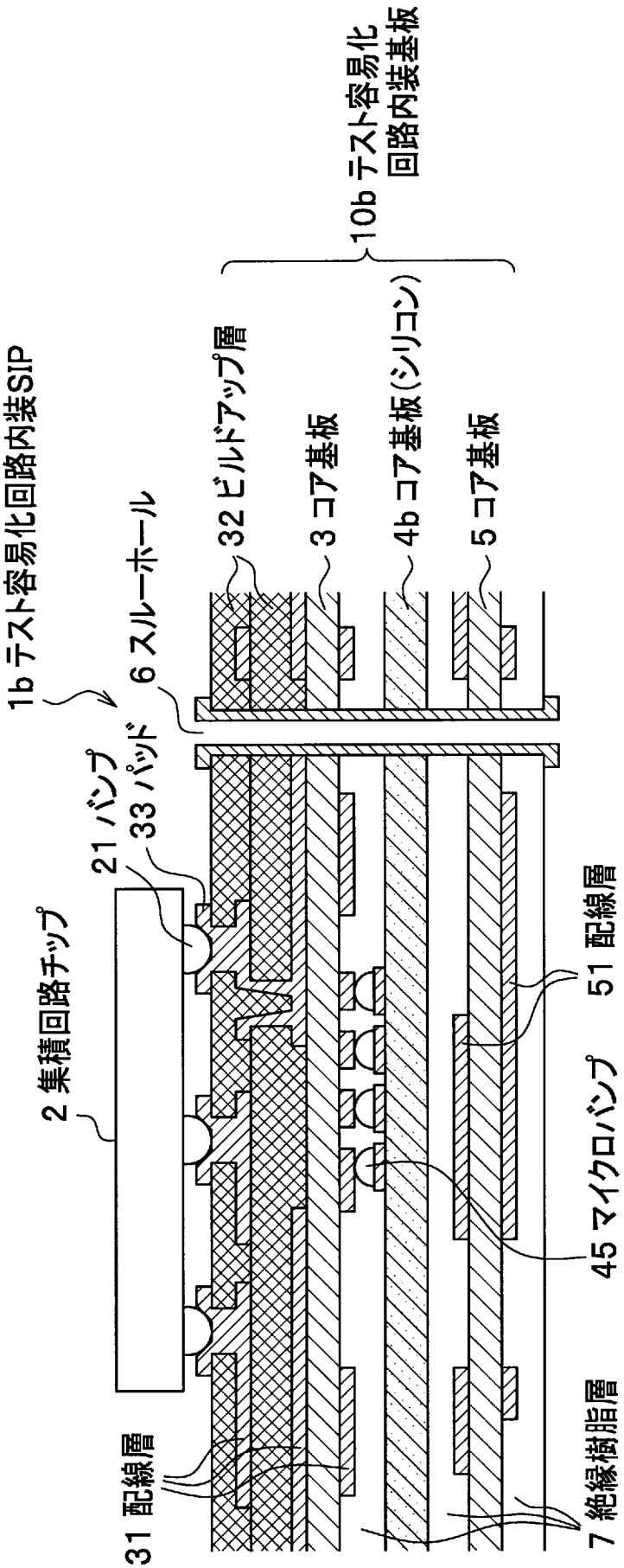
[図3]


(a)
1 テスト容易化回路内装SIP
10 テスト容易化回路内装基板
102 デジタルASICチップ
1022 BSシフトレジスタ
1020
ASICコア
BS
TAPコントローラ
TDO
TDI
TMS
TCK
TRST
AT1
AT2
1021
104
107
ABM
TBIC
106
111 アナログ集積回路チップ
1110 1111
D/A
A/D
1112
変復調回路
113
信号混合分離回路
(b)
10 テスト容易化回路内装基板
102 デジタルASICチップ
111 アナログ集積回路チップ
113 信号混合分離回路

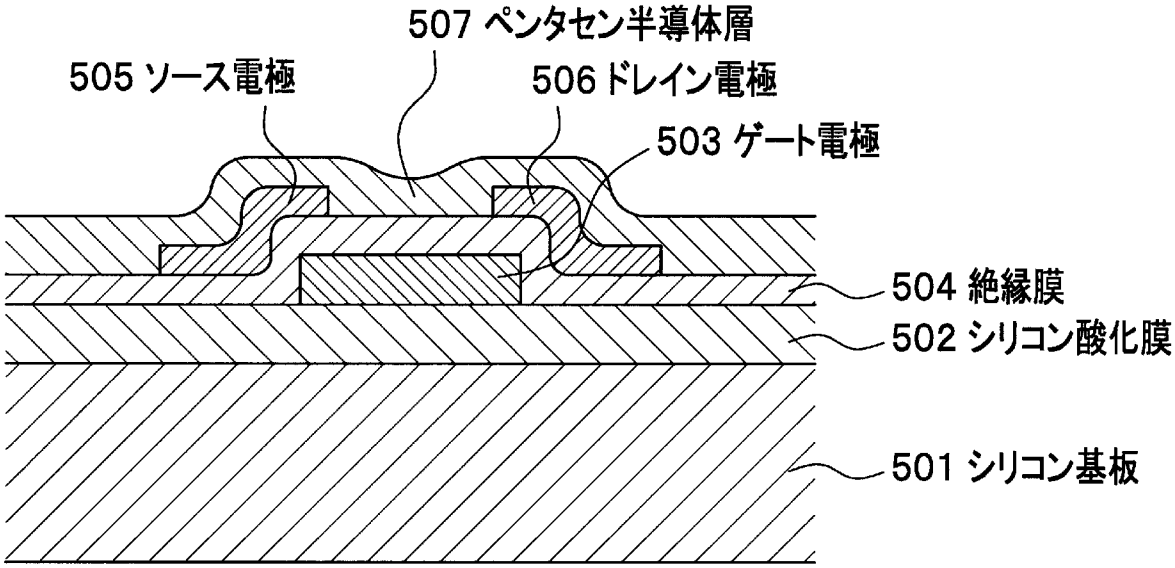
[図4]


20 BIST回路
203 MISR
SR
SR
SR
SR
204
205
201
CUT
204
205
202 LFSR
SR
SR
SR
SR

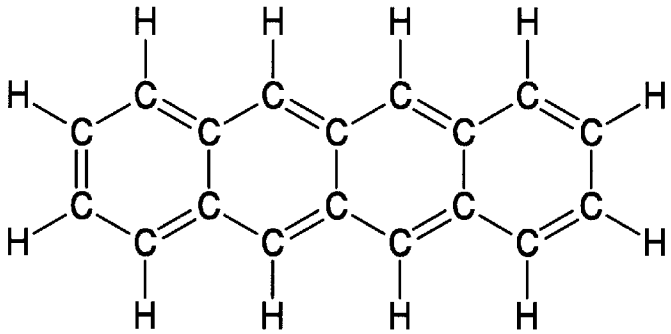
[図5]


10b テスト容易化
回路内装基板
32 ビルドアップ層
3 コア基板
4b コア基板(シリコン)
5 コア基板
1b テスト容易化回路内装SIP
6 スルーホール
21 バンプ
33 パッド
2 集積回路チップ
51 配線層
45 マイクロバンプ
31 配線層
7 絶縁樹脂層

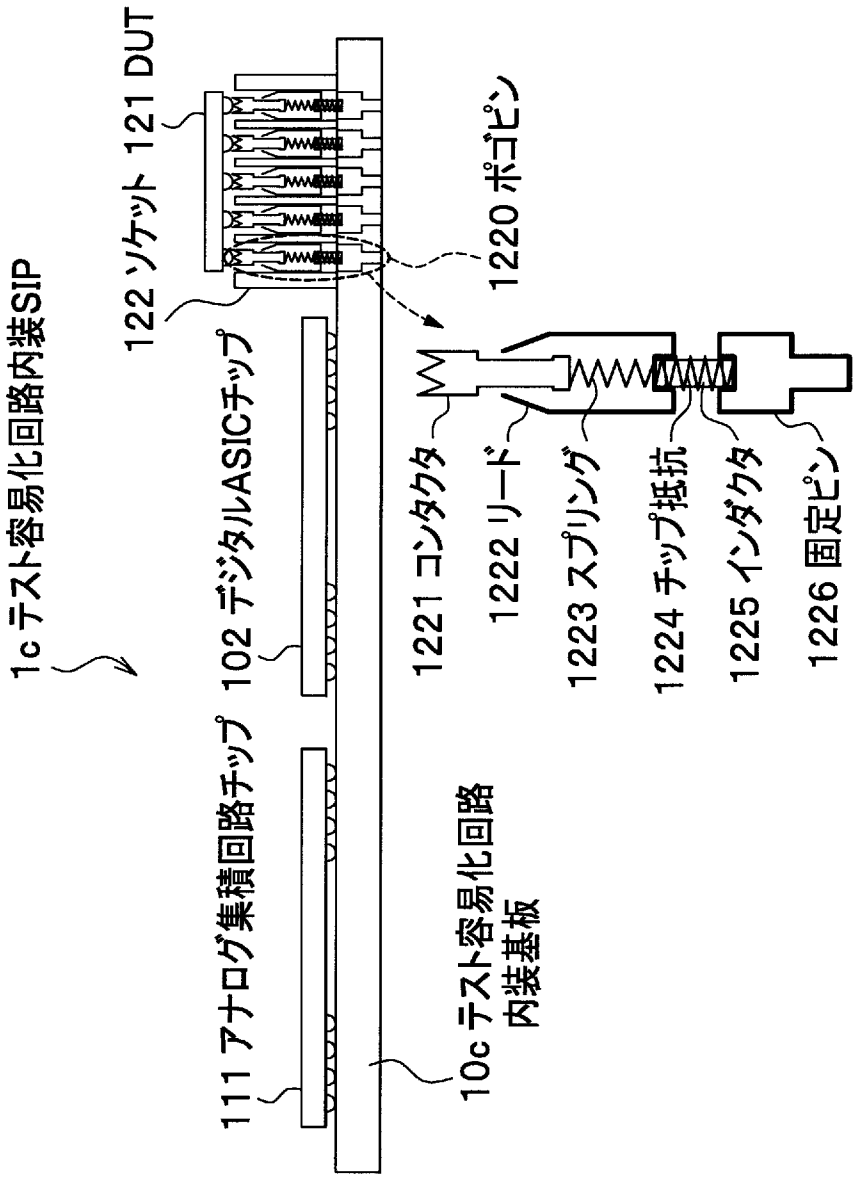
[図6]


507 ペンタセン半導体層
505 ソース電極
506 ドレイン電極
503 ゲート電極
504 絶縁膜
502 シリコン酸化膜
501 シリコン基板

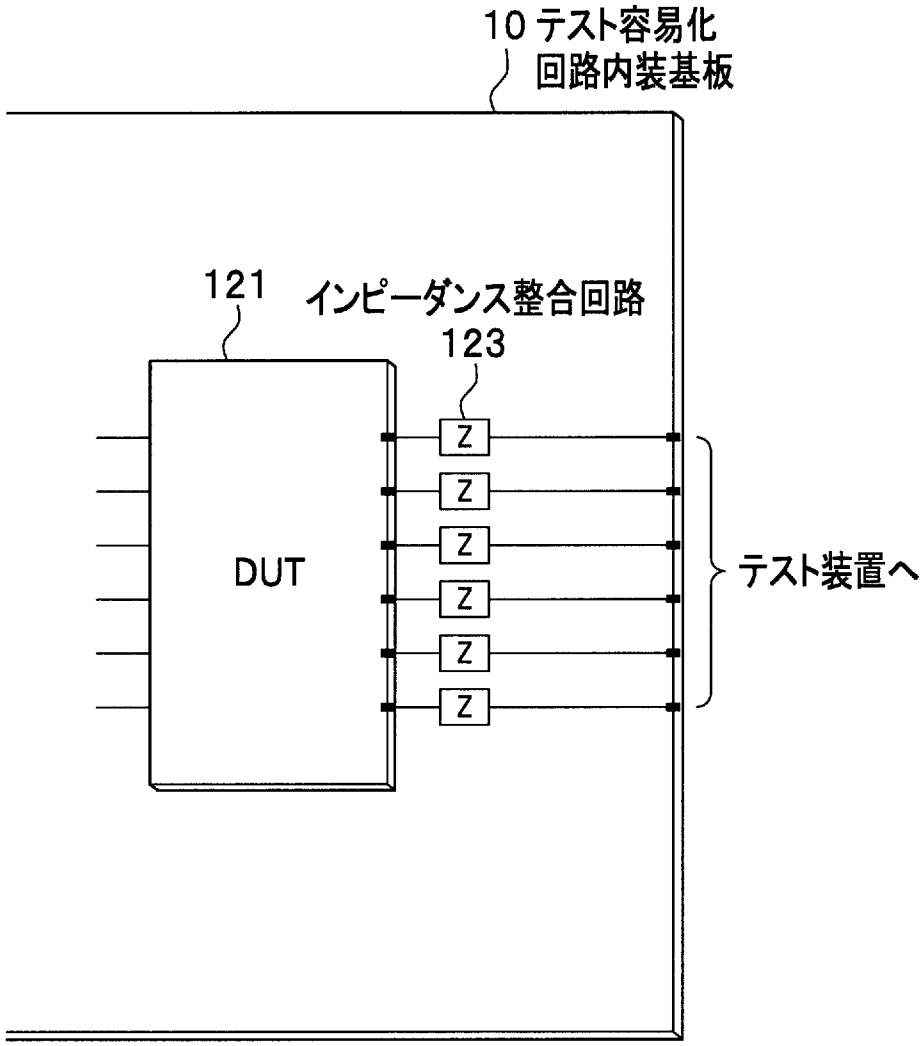
[図7]



[図8]


1c テスト容易化回路内装SIP
122 ソケット 121 DUT
1220 ポゴピン
102 デジタルASICチップ
111 アナログ集積回路チップ
10c テスト容易化回路
内装基板
1221 コンタクタ
1222 リード
1223 スプリング
1224 チップ抵抗
1225 インダクタ
1226 固定ピン

[図9]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2005/020193

A. CLASSIFICATION OF SUBJECT MATTER
G01R31/28(2006.01), ***G01R31/26***(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G01R31/28-31/3193

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 8-101255 A (Mitsubishi Electric Corp.), 16 April, 1996 (16.04.96), Full text; all drawings (Family: none)	1-2

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 27 January, 2006 (27.01.06)	Date of mailing of the international search report 14 February, 2006 (14.02.06)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2005/020193

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

This international application includes seven inventions not satisfying the requirement of unity of invention.
Main invention: Claims 1 and 2
Second invention: Claims 3 and 4
Third invention: Claim 5
Fourth invention: Claims 6-8
Fifth invention: Claim 9
Sixth invention: Claims 10 and 11
Seventh invention: Claim 12

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1 and 2

Remark on Protest

the

☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee..

☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.

☒ No protest accompanied the payment of additional search fees.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００５／０２０１９３

A.　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　*G01R31/28*(2006.01)，*G01R31/26*(2006.01)

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G01R31/28-31/3193

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００６年
日本国実用新案登録公報	１９９６－２００６年
日本国登録実用新案公報	１９９４－２００６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X	JP 8-101255 A（三菱電機株式会社）1996.04.16，全文，全図（ファミリーなし）	1-2

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日 ２７．０１．２００６	国際調査報告の発送日 １４．０２．２００６
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　２Ｓ　３３０６ 武田　知晋 電話番号　０３－３５８１－１１０１　内線　３２５８

国際調査報告

国際出願番号 ＰＣＴ／ＪＰ２００５／０２０１９３

第Ⅱ欄　請求の範囲の一部の調査ができないときの意見（第１ページの２の続き）

法第8条第3項（ＰＣＴ17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1．☐ 請求の範囲＿＿＿＿＿＿＿＿ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、

2．☐ 請求の範囲＿＿＿＿＿＿＿＿ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

3．☐ 請求の範囲＿＿＿＿＿＿＿＿ は、従属請求の範囲であってＰＣＴ規則6.4(a)の第２文及び第3文の規定に従って記載されていない。

第Ⅲ欄　発明の単一性が欠如しているときの意見（第１ページの３の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

この国際出願は発明の単一性の要件を満たさない７つの発明を含む。

主発明：　請求の範囲１－２
第２発明：請求の範囲３－４
第３発明：請求の範囲５
第４発明：請求の範囲６－８
第５発明：請求の範囲９
第６発明：請求の範囲１０－１１
第７発明：請求の範囲１２

1．☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。

2．☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。

3．☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。

4．☑ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲１－２

追加調査手数料の異議の申立てに関する注意

☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
☑ 追加調査手数料の納付を伴う異議申立てがなかった。