



(10) 授权公告号 CN 109314110 B

(45) 授权公告日 2023. 06. 13

(21) 申请号 201780036697.X

(22) 申请日 2017.06.22

(65) 同一申请的已公布的文献号  
申请公布号 CN 109314110 A

(43) 申请公布日 2019.02.05

(30) 优先权数据  
62/353,536 2016.06.22 US  
15/629,725 2017.06.21 US

(85) PCT国际申请进入国家阶段日  
2018.12.13

(86) PCT国际申请的申请数据  
PCT/US2017/038716 2017.06.22

(87) PCT国际申请的公布数据  
W02017/223295 EN 2017.12.28

(73) 专利权人 高通股份有限公司  
地址 美国加利福尼亚州

(72) 发明人 A·小科雷亚莱 B·鲍尔斯  
T·德拉·罗瓦 W·古多尔三世

(74) 专利代理机构 北京市金杜律师事务所  
11256  
专利代理师 王茂华

(51) Int.Cl.  
H01L 27/02 (2006.01)  
H01L 27/092 (2006.01)

(56) 对比文件  
US 2013126978 A1, 2013.05.23  
CN 101339947 A, 2009.01.07  
JP 2016029690 A, 2016.03.03  
US 2007247906 A1, 2007.10.25  
US 2015072527 A1, 2015.03.12  
US 2016049395 A1, 2016.02.18  
US 2012286331 A1, 2012.11.15

审查员 董巍

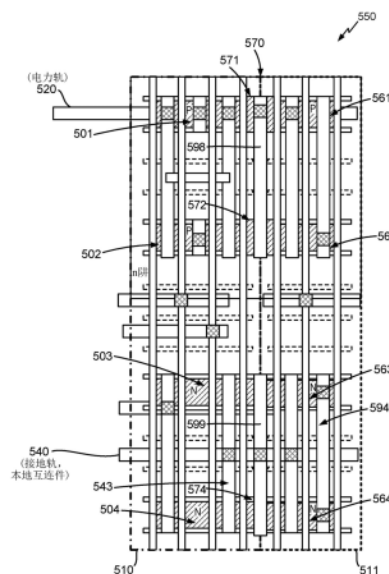
权利要求书4页 说明书12页 附图14页

#### (54) 发明名称

用于基于鳍片计数的扩散的标准单元架构

#### (57) 摘要

所公开的系统和方法涉及设计有逻辑单元架构的基于鳍式场效晶体管的集成电路,所述逻辑单元架构支持用于n型扩散(503、504)和p型扩散(501、502)的多个扩散区。每一逻辑单元的不同扩散区可具有不同宽度或鳍片计数。基于两个逻辑单元的对应p扩散区和n扩散区的类似鳍片计数来实现抵接所述两个逻辑单元。基于所述类似鳍片计数,在所述两个逻辑单元之间的共用边缘(570)处使用扩散填充物来延伸扩散长度。所述逻辑单元架构支持通孔冗余,以及通过植入物定制来选择性地控制不同逻辑单元的阈值电压的能力。半行高度单元可与标准整行高度单元交错。



1. 一种半导体设备,其包括:

集成电路,其设计有基于鳍式场效晶体管的逻辑单元,其中所述集成电路包括至少一第一逻辑单元,其中所述第一逻辑单元包括以下各项中的至少一者:

两个或更多个p扩散区,在y方向上堆叠,其中所述两个或更多个p扩散区中的每个p扩散区包括在x方向上的两个或更多个鳍片,并且所述两个或更多个p扩散区中的每个p扩散区包括在n型阱中的具有p型掺杂的岛;或

两个或更多个n扩散区,在所述y方向上堆叠,其中所述两个或更多个n扩散区中的每个n扩散区包括在x方向上的两个或更多个鳍片,并且所述两个或更多个n扩散区中的每个n扩散区包括在p型阱中的具有n型掺杂的岛。

2. 根据权利要求1所述的半导体设备,其中所述第一逻辑单元包括以下各项中的至少一者:

第一p扩散区和第二p扩散区,所述第一p扩散区和所述第二p扩散区具有不同的鳍片计数;或

第一n扩散区和第二n扩散区,所述第一n扩散区和所述第二n扩散区具有不同的鳍片计数。

3. 根据权利要求1所述的半导体设备,其进一步包括分布式电力轨网络,所述分布式电力轨网络包括以下各项中的至少一者:

至少一第一局部电力轨,其与所述两个或更多个p扩散区中的至少一者相关联;或

至少一第二局部电力轨,其与所述两个或更多个n扩散区中的至少一者相关联。

4. 根据权利要求3所述的半导体设备,其中以下各项中的至少一者:

所述第一局部电力轨专用于所述两个或更多个p扩散区中的至少一者;或

所述第二局部电力轨专用于所述两个或更多个n扩散区中的至少一者。

5. 根据权利要求1所述的半导体设备,其中所述第一逻辑单元包括以下各项中的至少一者:

第一p扩散区和第二p扩散区,所述第一p扩散区和所述第二p扩散区形成有不同层级的p型植入物;或

第一n扩散区和第二n扩散区,所述第一n扩散区和所述第二n扩散区形成有不同层级的n型植入物。

6. 根据权利要求1所述的半导体设备,其中所述第一逻辑单元进一步包括以下各项中的至少一者:

形成于第一p扩散区中的第一pfet和形成于第二p扩散区中的第二pfet,所述第一pfet和所述第二pfet具有不同的阈值电压或沟道长度;或

形成于第一n扩散区中的第一nfet和形成于第二n扩散区中的第二nfet,所述第一nfet和所述第二nfet具有不同的阈值电压或沟道长度。

7. 根据权利要求1所述的半导体设备,其中所述集成电路进一步包括第二逻辑单元,其中所述第一逻辑单元和所述第二逻辑单元各自包括:

具有第一鳍片计数的至少一个p扩散区;或具有第二鳍片计数的至少一个n扩散区。

8. 根据权利要求7所述的半导体设备,其中所述第一逻辑单元具有第一逻辑单元边界,且所述第二逻辑单元具有第二逻辑单元边界,且其中所述第一逻辑单元在所述第一逻辑单

元边界与所述第二逻辑单元边界之间的共用边缘处与所述第二逻辑单元抵接,且

其中所述第一逻辑单元包括形成于具有所述第一鳍片计数的第一p扩散区上的至少一个pfet,以及形成于具有所述第二鳍片计数的第一n扩散区上的至少一个nfet,且

其中所述第二逻辑单元包括形成于具有所述第一鳍片计数的第二p扩散区上的至少一个pfet,以及形成于具有所述第二鳍片计数的第二n扩散区上的至少一个nfet。

9.根据权利要求8所述的半导体设备,其中所述集成电路进一步包括以下各项中的至少一者:

第一p扩散填充物,其用以跨越所述共用边缘,且将所述第一逻辑单元的所述第一p扩散区与所述第二逻辑单元的所述第二p扩散区接合;或第一n扩散填充物,其用以跨越所述共用边缘,且将所述第一逻辑单元的所述第一n扩散区与所述第二逻辑单元的所述第二n扩散区接合。

10.根据权利要求9所述的半导体设备,其中以下各项中的至少一者:

所述第一逻辑单元的所述第一P扩散区和所述第二逻辑单元的所述第二P扩散区具有共用第一电位;或

所述第一逻辑单元的所述第一n扩散区和所述第二逻辑单元的所述第二n扩散区具有共用第二电位。

11.根据权利要求10所述的半导体设备,其中所述集成电路进一步包括以下各项中的至少一者:

处于所述共用第一电位的第一p扩散填充物与第一金属层之间的连接;或

处于所述共用第二电位的第一n扩散填充物与第二金属层之间的连接。

12.根据权利要求11所述的半导体设备,其中所述共用第一电位对应于电力轨的电位,且所述共用第二电位对应于接地轨或局部互连件的电位。

13.根据权利要求12所述的半导体设备,其中所述电力轨或所述接地轨中的至少一者分布在所述第一逻辑单元和所述第二逻辑单元的扩散区之间的空间中。

14.根据权利要求8所述的半导体设备,其中所述集成电路进一步包括处于浮动电位的所述第一逻辑单元或所述第二逻辑单元的至少一个多晶体线,所述至少一个多晶体线邻近于所述共用边缘并与所述第一p扩散区、所述第二p扩散区、所述第一n扩散区或所述第二n扩散区中的至少一者相交。

15.根据权利要求8所述的半导体设备,其中所述第一逻辑单元是具有比率逻辑的2输入“与非”门,其中所述第一鳍片计数不同于所述第二鳍片计数。

16.根据权利要求15所述的半导体设备,其中所述2输入“与非”门包括

并联连接的两个pfet,其中所述两个pfet中的每一者具有等于形成于所述第一p扩散区上的两个鳍片的所述第一鳍片计数;以及

串联的两个nfet,其中所述两个nfet中的每一者具有等于四个鳍片的所述第二鳍片计数,其中所述四个鳍片中的两个形成于所述第一n扩散区上,且所述四个鳍片中的另外两个形成于与所述第一n扩散区串联连接的所述第一逻辑单元的另一n扩散区上。

17.根据权利要求16所述的半导体设备,其中所述集成电路进一步包括在所述两个pfet与所述两个nfet之间共享的至少一个多晶体线。

18.根据权利要求16所述的半导体设备,其中所述集成电路进一步包括所述第一逻辑

单元的所述第一p扩散区与另一p扩散之间的至少一个多晶体线上的多晶体切口。

19. 根据权利要求16所述的半导体设备, 其中所述集成电路进一步包括所述两个pfet与所述两个nfet之间的至少一个多晶体线上的至少一个栅极通孔。

20. 根据权利要求19所述的半导体设备, 其中所述集成电路进一步包括连接到所述至少一个栅极通孔的金属到扩散MD层。

21. 根据权利要求15所述的半导体设备, 其中所述第二逻辑单元是逆变器, 其包括: 两个pfet, 其中每一pfet具有等于两个鳍片的所述第一鳍片计数, 且形成于包含至少所述第二p扩散区的两个p扩散区中; 以及两个nfet, 其中每一nfet具有等于两个鳍片的所述第二鳍片计数, 且形成于至少包含所述第二n扩散区的两个n扩散区中。

22. 一种包括设计有基于鳍式场效晶体管的逻辑单元的集成电路的设备, 所述集成电路包括:

第一整行, 其包括至少一第一整行高度逻辑单元, 其中所述第一整行高度逻辑单元包括两个或更多个p扩散区或两个或更多个n扩散区中的至少一者;

第二整行, 其邻近于所述第一整行, 所述第二整行包括至少一第二整行高度逻辑单元, 其中所述第二整行高度逻辑单元包括两个或更多个p扩散区或两个或更多个n扩散区中的至少一者;

其中所述第一整行和所述第二整行的所述两个或更多个p扩散区在y方向上堆叠, 所述两个或更多个p扩散区中的每个p扩散区包括在x方向上的两个或更多个鳍片, 并且所述两个或更多个p扩散区中的每个p扩散区包括在n型阱中的具有p型掺杂的岛; 或

其中所述第一整行和所述第二整行的所述两个或更多个n扩散区在所述y方向上堆叠, 所述两个或更多个n扩散区中的每个n扩散区包括在x方向上的两个或更多个鳍片, 并且所述两个或更多个n扩散区中的每个n扩散区包括在p型阱中的具有n型掺杂的岛; 以及

一或多个子行, 其穿插在所述第一整行与所述第二整行之间, 其中所述一或多个子行中的至少一第一子行包括第一半行高度逻辑单元, 其包括至少一个p扩散区和至少一个n扩散区, 其中以下各项中的至少一者: 所述第一半行高度逻辑单元的所述至少一个p扩散区邻近于所述第一整行高度逻辑单元或所述第二整行高度逻辑单元的所述两个或更多个p扩散区中的一者, 或所述第一半行高度逻辑单元的所述至少一个n扩散区邻近于所述第一整行高度

逻辑单元或所述第二整行高度逻辑单元的所述两个或更多个n扩散区中的一者。

23. 根据权利要求22所述的设备, 其中所述第一整行高度逻辑单元和所述第二整行高度逻辑单元相对于彼此不垂直镜面倒装。

24. 根据权利要求22所述的设备, 其中所述一或多个子行中的两个邻近子行的邻近半行高度单元相对于彼此垂直镜面倒装。

25. 根据权利要求22所述的设备, 其进一步包括至少一个p扩散填充物, 以延伸所述第一半行高度逻辑单元的所述至少一个p扩散区以及所述第一整行高度逻辑单元或所述第二整行高度逻辑单元的所述两个或更多个p扩散区中的一者的扩散长度。

26. 根据权利要求22所述的设备, 其进一步包括至少一个n扩散填充物, 以延伸所述第一半行高度逻辑单元的所述至少一个n扩散区以及所述第一整行高度逻辑单元或所述第二整行高度逻辑单元的所述两个或更多个n扩散区中的一者的扩散长度。

27. 一种包括数据的非暂时性计算机可读存储媒体, 所述数据包括集成电路的设计,

其中所述集成电路包括基于鳍式场效晶体管的逻辑单元, 其包含至少一第一逻辑单元, 其中所述第一逻辑单元包括以下各项中的至少一者:

两个或更多个p扩散区, 在y方向上堆叠, 其中所述两个或更多个p扩散区中的每个p扩散区包括在x方向上的两个或更多个鳍片, 并且所述两个或更多个p扩散区中的每个p扩散区包括在n型阱中的具有p型掺杂的岛; 或

两个或更多个n扩散区, 在所述y方向上堆叠, 其中所述两个或更多个n扩散区中的每个n扩散区包括在x方向上的两个或更多个鳍片, 并且所述两个或更多个n扩散区中的每个n扩散区包括在p型阱中的具有n型掺杂的岛。

28. 一种包括数据的非暂时性计算机可读存储媒体, 所述数据包括集成电路的设计,

其中所述集成电路包括:

第一整行, 其包括至少一第一整行高度逻辑单元, 其中所述第一整行高度逻辑单元包括两个或更多个p扩散区或两个或更多个n扩散区中的至少一者;

第二整行, 其邻近于所述第一整行, 所述第二整行包括至少一第二整行高度逻辑单元, 其中所述第二整行高度逻辑单元包括两个或更多个p扩散区或两个或更多个n扩散区中的至少一者;

其中所述第一整行和所述第二整行的所述两个或更多个p扩散区, 在y方向上堆叠, 其中所述两个或更多个p扩散区中的每个p扩散区包括在x方向上的两个或更多个鳍片, 并且所述两个或更多个p扩散区中的每个p扩散区包括在n型阱中的具有p型掺杂的岛; 或

其中所述第一整行和所述第二整行的所述两个或更多个n扩散区, 在所述y方向上堆叠, 其中所述两个或更多个n扩散区中的每个n扩散区包括在x方向上的两个或更多个鳍片, 并且所述两个或更多个n扩散区中的每个n扩散区包括在p型阱中的具有n型掺杂的岛; 以及

一或多个子行, 其穿插在所述第一整行与所述第二整行之间, 其中所述一或多个子行中的至少一第一子行包括第一半行高度逻辑单元, 其包括至少一个p扩散区和至少一个n扩散区, 其中以下各项中的至少一者:

所述第一半行高度逻辑单元的所述至少一个p扩散区邻近于所述第一整行高度逻辑单元或所述第二整行高度逻辑单元的所述两个或更多个p扩散区中的一者, 或所述第一半行高度逻辑单元的所述至少一个n扩散区邻近于所述第一整行高度逻辑单元或所述第二整行高度逻辑单元的所述两个或更多个n扩散区中的一者。

## 用于基于鳍片计数的扩散的标准单元架构

[0001] 相关申请案的交叉引用

[0002] 本专利申请案主张2016年6月22日申请的标题为“用于基于鳍片计数的扩散的标准单元架构(STANDARD CELL ARCHITECTURE FOR DIFFUSION BASED ON FIN COUNT)”的第62/353,536号临时专利申请案的权益,所述临时专利申请案是待决的,且转让给本案受让人,且特此以全文引用的方式明确地并入本文中。

### 技术领域

[0003] 所公开的方面涉及包含标准逻辑单元、标准逻辑单元设计及其库的设备,其一些示范性方面包含对多个扩散区、分布式电力线,以及在具有不同鳍片计数的逻辑单元之中共享的扩散的支持。

### 背景技术

[0004] 在(例如金属氧化物半导体(MOS)晶体管的)晶体管级布局中,扩散长度(LOD)是指晶体管的源极与漏极端子之间的扩散区延伸远离栅极端子的量。LOD效应是指基于LOD在MOS晶体管上引起的应力。一般来说,较小的LOD导致较大的应力,或换句话说,具有较坏的LOD效应,而增加或改进LOD可引起性能改进。

[0005] 难以使用标准逻辑单元和放置技术来完全减轻晶体管级布局中的晶体管上的LOD效应。减轻LOD效应的一些技术聚焦于延伸扩散区,在可能的情况下,左和右扩散边缘经配置以共享共用电气结(例如电力和接地连接)。然而,以此方式延伸扩散区可妨碍尝试以导致逻辑单元抵接或邻接的方式放置相等或相当物理占据面积(也依据扩散层的单元栅距或宽度来测量)的逻辑单元的单元放置方法。此类抵接可实现邻接单元之间的扩散边缘的共享,且潜在地增加邻接单元的有效LOD。然而,以此方式来改进扩散边缘共享的逻辑单元放置在使用标准逻辑单元库的一些常规设计中可能是不可行的。

[0006] 举例来说,考虑鳍式场效晶体管(或“finfet”)技术,其中共用栅极端子(例如,由多晶硅或“多晶体”材料或包含金属在内的某一其它材料制成)可在两个或更多个鳍片之中共享。通过将形成于鳍片下面的共用扩散区连接到电力供应器轨(例如Vdd和接地)或其它共用节点来形成鳍式场效晶体管的源极和漏极端子。共用多晶体还可在多个鳍式场效晶体管之中共享。鳍式场效晶体管逻辑库可包含具有不同鳍片计数的逻辑单元。如果一些鳍片的扩散区可如上所述延伸,那么逻辑库可包含具有不均匀长度的扩散区的逻辑单元,这意味着邻接单元一些鳍片可能无法与相邻小区共享其扩散区。另外,扩散(在横向方向上向扩散长度的)横向宽度与逻辑单元布局中的每一逻辑单元的鳍片的数目成比例地变化。虽然常规布局技术可允许具有相同数目的鳍片或相同宽度的逻辑单元抵接,此类技术可能不允许以可能已允许共享扩散区的方式来放置具有不同鳍片计数的两个单元。

[0007] 然而,对于固定鳍片计数,集成需要不同鳍片计数的电路变得难以实现。这是因为常规技术并不支持鳍片步进(即,抵接具有不同鳍片计数的单元来共享共用扩散),这在基于比率的逻辑中可为合意的。按照惯例,在包括p沟道FET(或简称“pfet”)和n沟道FET(或

“nfet”)的设计中遇到基于比率的逻辑。举例来说,2输入“与非”门设计可包含串联耦合在输出与接地端子之间(有效地形成4个鳍片)的两个4鳍片nfet,以及彼此并联耦合且连接于供应电压Vdd与输出之间(有效地形成2个鳍片)的两个2鳍片pfet.nfet的大小(即,就其鳍片计数来说)设计成其对应pfet的大小的两倍,如上文所论述,以便实现到2输入“与非”门的上升和下降输入两者的经平衡的输出转变和延迟。就组件逻辑单元的鳍片计数来说的类似比率还可用于其它标准单元,例如以鳍式场效晶体管技术设计的2输入“或非”门。

[0008] 由于常规设计中不支持鳍片步进,可例如在如上文所论述的2输入“与非”门的逻辑门的设计中,为具有不同鳍片计数的逻辑单元提供单独的扩散域。然而,将本设计限制于具有单独的扩散域可排除在具有不同鳍片计数的两个单元之间共享共用扩散边缘的可能性。为了集成具有不同鳍片计数的逻辑单元,常规设计可包含nfet和pfet的扩散区中且有时甚至单元内的断裂(例如在2输入“与”门的情况下)。如从前面的论述理解,扩散区中的断裂可导致短LOD,或不利地影响LOD效应。

[0009] 因此,本领域中需要可支持基于比率的逻辑,同时还避免可归因于扩散断裂而产生的LOD效应的逻辑单元设计。

## 发明内容

[0010] 本发明的示范性方面是针对使用基于鳍式场效晶体管的逻辑单元的集成电路的标准单元架构的设计。逻辑单元可支持n型和/或p型的多个扩散区,其中鳍式场效晶体管形成于可具有相同或不同鳍片计数的每一扩散区中。通过放置具有彼此邻近放置的类似鳍片计数的扩散区的逻辑单元来实现逻辑单元的容易抵接。可使用类似鳍片计数的扩散区与共用电位之间的扩散填充物来减轻LOD效应。分布式电力轨网络可具备用于逻辑单元的一或多个扩散区的专用电力轨。一些方面包含对通孔冗余的支持,以及选择性地控制具有相同或不同层级的植入物的不同单元的阈值电压的能力。在一些方面,可创建半行高度单元,并结合整行高度单元放置放入子行中。

[0011] 举例来说,示范性方面是针对一种设备,其包括:设计有基于鳍式场效晶体管的逻辑单元的集成电路。所述集成电路包括至少一第一逻辑单元,其中所述第一逻辑单元包括两个或更多个p扩散区或两个或更多个n扩散区中的至少一者。

[0012] 另一示范性方面是针对一种设备,其包括:设计有基于鳍式场效晶体管的逻辑单元的集成电路。所述集成电路包括:第一整行,其包括至少一第一整行高度逻辑单元,其中所述第一整行高度逻辑单元包括两个或更多个p扩散区或两个或更多个n扩散区中的至少一者;邻近于所述第一整行的第二整行,所述第二整行包括至少一第二整行高度逻辑单元,其中所述第二整行高度逻辑单元包括两个或更多个p扩散区或两个或更多个n扩散区中的至少一者;以及穿插在第一整行与第二整行之间的一或多个子行,其中所述一或多个子行中的至少一第一子行包括第一半行高度逻辑单元,其包括至少一个p扩散区和至少一个n扩散区。在集成电路中,第一半行高度逻辑单元的至少一个p扩散区中的至少一者邻近于第一整行高度逻辑单元或第二整行高度逻辑单元的两个或更多个p扩散区中的一者,或第一半行高度逻辑单元的至少一个n扩散区邻近于第一整行高度逻辑单元或第二整行高度逻辑单元的两个或更多个n扩散区中的一者。

[0013] 另一示范性方面是针对一种包括数据的非暂时性计算机可读存储媒体,所述数据

包括集成电路的设计,其中所述集成电路包括包含至少一第一逻辑单元的基于鳍式场效晶体管的逻辑单元,其中第一逻辑单元包括以下各项中的至少一者:两个或更多个p扩散区;或两个或更多个n扩散区。

[0014] 另一示范性方面是针对一种包括数据的非暂时性计算机可读存储媒体,所述数据包括集成电路的设计,其中所述集成电路包括:包括至少一第一整行高度逻辑单元的第一整行,其中所述第一整行高度逻辑单元包括两个或更多个p扩散区或两个或更多个n扩散区中的至少一者;邻近于所述第一整行的第二整行,所述第二整行包括至少一第二整行高度逻辑单元,其中所述第二整行高度逻辑单元包括两个或更多个p扩散区或两个或更多个n扩散区中的至少一者;以及穿插在第一整行与第二整行之间的一或多个子行,其中所述一或多个子行中的至少一第一子行包括第一半行高度逻辑单元,其包括至少一个p扩散区和至少一个n扩散区,其中以下各项中的至少一者:第一半行高度逻辑单元的至少一个p扩散区邻近于第一整行高度逻辑单元或第二整行高度逻辑单元的两个或更多个p扩散区中的一者,或第一半行高度逻辑单元的至少一个n扩散区邻近于第一整行高度逻辑单元或第二整行高度逻辑单元的两个或更多个n扩散区中的一者。

## 附图说明

[0015] 呈现附图以辅助描述本发明的方面,且仅仅是为了说明所述方面而非限制所述方面而提供附图。

[0016] 图1说明具有所界定扩散区的基本标准单元架构100。

[0017] 图2说明使用4鳍片nfet下拉堆叠的2输入“与非”门的单元配置。

[0018] 图3-4说明与逻辑单元的抵接有关的方面。

[0019] 图5A-B说明根据所公开的单元放置技术来设计的2输入“与”的方面。

[0020] 图6A-B说明与用于改进LOD的左/右小区边缘设计有关的方面。

[0021] 图7-8说明与为根据本公开的逻辑单元的各种扩散区定制植入物有关的方面。

[0022] 图9说明针对根据本公开的半行高度单元的方面。

[0023] 图10说明根据本公开的具有集成电力/接地轨的单元布局。

[0024] 图11说明根据本公开的一方面的2输入“与非”门的实施方案。

[0025] 图12说明根据本公开的各方面的示范性工艺的流程表示。

## 具体实施方式

[0026] 在以下涉及本发明的特定方面的描述和相关图式中公开本发明的方面。可在不脱离本发明的范围的情况下设计替代方面。另外,将不会详细描述或将省略本发明的众所周知的元件以免混淆本发明的相关细节。

[0027] 词语“示范性”在本文中用于表示“充当实例、例子或说明”。本文中描述为“示范性”的任何方面不必解释为比其它方面优选或有利。同样地,术语“本发明的方面”并不要求本发明的所有方面都包含所论述的特征、优点或操作模式。

[0028] 本文中所使用的术语仅是出于描述特定方面的目的,且无意限制本发明的方面。如本文所使用,单数形式“一”和“所述”既定还包括复数形式,除非上下文另外清楚地指示。将进一步理解,术语“包括”和/或“包含”当在本文中使用指定所叙述的特征、整数、步骤、



操作、元件和/或组件的存在,但并不排除一或多个其它特征、整数、步骤、操作、元件、组件和/或其群组的存在或添加。

[0029] 另外,就将由(例如)计算装置的元件执行的动作序列来描述许多方面。将认识到,本文中描述的各种动作可由具体电路(例如,专用集成电路(ASIC)),由正由一或多个处理器执行的程序指令或由所述两个的组合来执行。另外,可认为本文中所描述的这些动作序列完全实施于任何形式的计算机可读存储媒体内,所述计算机可读存储媒体已经在其中存储相对应的计算机指令的集合,所述指令在被执行时将使得相关联的处理器执行本文中所描述的功能性。因此,本发明的各方面可以数种不同形式来体现,预期所有形式属于所主张的标的物的范围内。另外,对于本文所描述的方面中的每一者,任何此类方面的对应形式可在本文中描述为(例如)“经配置以”执行所描述动作的“逻辑”。

[0030] 本公开的示范性方面是针对一种包括示范性逻辑单元、逻辑单元设计以及相关标准单元库的设备,其可支持基于比率的逻辑,同时也避免可在先前提到的常规方法中产生的LOD效应。一些方面还针对在同一逻辑单元内的两个不同的扩散域上共享共用多晶硅(多晶体)栅极,其还能够支持用于单独扩散区(例如关于不同单元)的相同或不同层级的植入物。此外,示范性方面还针对设计中的不同单元(例如集成在扩散区上)支持不同的阈值电压、不同沟道长度(例如基于对不同多晶体宽度的支持)等。反过来,控制阈值电压引起减少泄漏电力,且改进逻辑单元的电力和性能特性。

[0031] 作为背景,常规标准单元布局设计包含安置于一组电力轨(例如Vdd和接地)之间的n型和p型扩散区(或分别n区和p区)。使用p型阱中的n型掺杂来填充nfet鳍片,n区形成有单个nfet扩散域(或n域);以及使用n型阱中的p型掺杂来填充pfet鳍片,p区形成有单个pfet扩散域(或p域)。

[0032] 在示范性方面中,另一方面,多于一个n域,例如一对n域,可提供于n区中,其中所述n域可在y方向上一者堆叠在另一之上,使得每一n区可支撑隔开预定义鳍片距离(例如维持n区的对应逻辑单元库中指定的至少一最小鳍片距离)的多个鳍片。类似地,p区可包含多于一个,例如一对p域,其在y方向上一者堆叠在另一者上方,其中每一p区能够支撑多个鳍片,且隔开预定义鳍片距离(例如维持n区的对应逻辑单元库中指定的至少一最小鳍片距离)。鳍片距离允许将栅极触点(例如栅极通孔)集成在两个类似扩散之间共享的多晶体上,以形成具有金属层的连接(例如金属到扩散“MD”连接,如此项技术中已知)。所述鳍片距离所提供的隔开还允许多晶体切口放置在上多晶体层上,以隔离连接到在放置多晶体切口之前共享(例如多晶体切口可放置在分别包括nfet或pfet的n域或p域之间)的多晶体层的两个类似扩散的栅极端子。应注意,此方法不同于镜面翻转两个标准单元来创建双行,因为在示范性方面中,相对于在两个不同的单元或放置行之间共享的扩散区,所述类似扩散区在标准逻辑单元之间共享或可共享。

[0033] 在本公开的各方面支持的分布式电力轨网络中,可提供多个电力轨,其中支持将连接到不同或专用电力轨的逻辑单元中的每一扩散区,这可引起较低损失和改进的效率。示范性标准单元中的n域与p域之间的空间可在预定义鳍片网格或栅距上(以维持鳍片距离),且支持将多晶体栅极触点集成在两个水平上邻近的多晶体线上,以例如连接到分布式电力轨之间的两个垂直邻近的横向铺设的布线迹线的能力。同时,集成上述多晶体切口的能力也可保持在鳍片网格中。n区与p区之间的网格上所界定的空间可支持各种横向布线迹

线,例如用于信号和电力线,条件是满足预定义的鳍片栅距。

[0034] 在示范性方面中,可将给定域内的扩散区的大小定义为均匀宽度,以便支持相同扩散宽度的均匀数目的鳍片。这允许逻辑单元抵接和共享共用扩散边缘,其允许LOD优化。扩散区的均匀大小设计还允许使用两个或更多个标准单元来形成逻辑单元布局内的扩散区。举例来说,使用2输入“与非”门和逆变器形成的2输入“与”可具有在组件2输入“与非”门的标准单元与输出逆变器之间共享的扩散区,但这些组件装置的大小可不相同。

[0035] 图1说明示范性标准单元架构100,其可并入或集成在任何合适的设备或集成电路设计中。架构100示出四个单独的扩散区(或“RX岛”)。第一岛状物和第二岛状物分别定义为p扩散区101和102。第三岛状物和第四岛状物分别定义为n扩散区103和104。多晶硅层或多晶体线132、134和136在垂直方向上显示,隔开对应标准单元库中所定义的这些多晶体线132、134、136中的邻近者之间的指定水平距离,在示范性方面中根据所述标准单元库来设计单元100。在此描述中,极端多晶体线132和136可为不连接到信号或电力线的虚设或浮动多晶体线,而中间多晶体134可连接到单元架构100的逻辑单元的栅极端子。

[0036] 示出为p扩散区101与102之间的间隙120的空间符合网格或栅距和对对应标准单元库中指定的扩散垂直空间的鳍片的最小要求。此间隙120经配置以支持示出为栅极通孔106的多晶体栅极触点,以将多晶体134连接到较高金属层(未图示),或者多晶体切口(此图中未图示)。类似地,n扩散区103和104之间的间隙122还符合相应的指定鳍片网格或栅距以及所需的扩散垂直空间,并且还经配置以支持多晶体134上的多晶体栅极触点(未图示)或多晶体切口108。

[0037] p扩散区102与n扩散区103之间的间隙124还符合鳍片网格/栅距,且扩散垂直空间包含标准单元库中指定的n和p扩散区之间的间隔。为了形成到多晶体的各种电路连接,例如使用栅极通孔106,也为了具有引入多晶体切口(例如多晶体切口108)的能力,可使间隙124大于所允许的最小空间,但仍在所界定的鳍片网格上。

[0038] 为说明的简单起见,未图示水平金属或局部互连层以及顶部和底部边界。图1中还示出电力和接地轨(例如,在较低或最低层级的金属M0或本地互连件上),但假定其水平铺设。在示范性方面中,电力轨无需位于单元架构100的顶部和底部边缘上,而是可分布在单元内,如前所述,包括水平穿过扩散区101-104且可与所述扩散区连接的多个迹线。单元架构100可支持与具有鳍式场效晶体管的其它单元的抵接,以及用于使扩散区(和LOD)101到104以将参考以下图式描述的方式延伸的选项。

[0039] 现在参考图2,针对2输入“与非”200示出单元架构,所述2输入“与非”使用:两个nfet,第一nfet和第二nfet,其为串联连接的4鳍片nfet(下拉装置),两个n扩散区203和204中各包括2个鳍片;以及两个pfet,第一pfet和第二pfet,其为p扩散区202中的2鳍片pfet(上拉装置)。n扩散区203和204中的串联堆叠的第一和第二nfet共享多晶体门,其形成有具有p扩散区202中的所述第一和第二pfet的共用多晶体线234到236,而p扩散区201中的pfet的多晶体门使用多晶体切口208与p扩散区202中的pfet的多晶体门隔离或断开。p扩散区201中的pfet与其它组件隔离,并且因此可例如左浮动或连接到电力轨。

[0040] 在图2中,分布式电力轨网络示出有连接到两个p扩散区中的至少一者的至少一第一局部电力轨,以及连接到两个n扩散区中的至少一者的至少一第二局部电力轨。在示范性方面中,一或多个电力轨可特定与扩散区相关联或专用于扩散区,例如第一局部电力轨可

与两个p扩散区中的一者相关联或专用于两个p扩散区中的一者,且第二局部电力轨可与两个n扩散区中的一者相关联或专用于两个n扩散区中的一者。举例来说,在图2的说明中,p扩散区201中的pfet的门是浮动的,而相关漏极/源极结通过金属到扩散(“MD”),其可以由硅化物形成)连接到电力轨220(其可专用于p扩散区201),所述MD示出为连接到MD通孔222的MD层230层。MD层230用以连接各种扩散区的源极和汲极,且使所述扩散重叠来获得基础装置的改进的电阻。MD层230可通常不安置于成极为接近栅极触点通孔,例如分别到信号线或局部互连件216和217的通孔206或207。因此,MD层230以防止紧挨邻近多晶体触点放置的方式安置。示出MD层230以连接p扩散区201和202中的两个pfet的源极,因此提供到p扩散区201和202两者的电力连接。

[0041] 栅极触点206和207分别提供通过局部互连信号线216和217到相应数据输入的连接性。n扩散区203和204中的nfet的源极端子通过MD 243连接在一起,且接着通过局部互连件240及其相关通孔245连接到接地轨(GND)。如上文所描述,MD层243还将两个n扩散区203和204电且物理上连接在一起。n扩散区203和204中的nfet的源极端子通过MD层244以“共用”连接连接在一起,且通过通孔219连接到局部互连布设层250。p扩散岛202中的pfet的汲极类似地通过到通孔257的MD层253连接到局部互连件260。局部互连件260表示“与非”200的pfet的输出节点,且局部互连节点250表示“与非”200的nfet的输出节点。为简单起见,未说明与2输入“与非”200的输出(即,p扩散岛202的pfet漏极,以及n扩散岛203和204中的nfet的汲极相关联)的连接,但这些输出可使用后续或较高层级的金属层,其垂直铺设以连接到局部互连件250和260。

[0042] 应注意,尽管图2仅示出一个电力轨220和一个接地轨240,但电力轨的分布式排列也是可能的,如上所述,且在其它实例中说明,例如在图10中,其将在本公开的后续部分中进一步论述。

[0043] 如下定义本公开中所示出和描述的标准单元架构的左和右边缘。一方面,标准单元的多晶体(例如单元200的多晶体线232或238)可分别直接对准在单元200的左或右边缘上,其允许其它单元放置在单元200的左和/或右侧,并与单元200直接抵接。启用此抵接,因为相邻扩散区(例如类似于扩散区201-204)的宽度可由一致且相同或均匀大小设计制成,从而避免“扩散步进”,其是指其中可存在不同扩散大小且造成单元抵接问题的排列。通过启用单元抵接,在示范性方面中,可延伸扩散区201-204,从而减轻LOD效应。

[0044] 在图3中,参考单元300示出和描述可在单元抵接中使用的标准单元架构的方面。单元300包括p扩散区301、302,以及n扩散区303、304,如先前描述。单元300还包括多晶体线332、334和336,其中多晶体线332和336可邻近于单元边缘,其构造为虚设或浮动多晶体门,其不连接到供应或信号线,且因此可用于限定单元300的单元边界350,以虚线描绘。可将横向单元放置成在单元边界350处会合或抵接单元300。沿单元边界350的多晶体线332和334可为单元300以及在单元边界350处抵接单元300的任何横向单元(未图示)共用。对于单元300和在单元边界350处抵接单元300的另一横向单元,单元边界350处的共享扩散结(通过延伸扩散301-304中的一或多者而形成)可具有相同的电位,或对应的源极/漏极端子可以致使形成于单元结处的装置变成“断开”状态的方式偏置;或者,可提供扩散切口来隔离不共享相同电位的扩散区,同时记住导致扩散断裂的此类扩散切口可限制LOD。

[0045] 现在参考图4,针对单元400示出基于图3中描述的技术的单元抵接(左和/或右)的

方面。单元400包括第一单元,例如图3的单元300包括形成于具有第一鳍片计数(例如可并联连接的2鳍片pfet)上的第一p扩散区(例如p扩散区301、302)的至少一个pfet,以及形成于具有第二鳍片计数(例如可串联连接的2鳍片nfet)的第一n扩散区(例如n扩散区303、304)上的至少一个nfet。单元300与第二单元(例如单元310)抵接,包括类似描述的形成于具有第一鳍片计数(例如2鳍片pfet)的第二p扩散区(例如p扩散区311、312)上的至少一个pfet,以及形成于具有第二鳍片计数(例如2鳍片nfet)的第二n扩散区(例如n扩散区313、314)上的至少一个nfet。为单元310提供多晶体线342、344和346。第一和第二单元300和310具有相应的单元边界350和360,且在抵接时,其具有可存在扩散断裂403的共用边缘355。

[0046] 在图4中,最左和最右多晶体线(即,单元300的多晶体线332、336;单元310的多晶体线342、346)插入多晶体栅极的栅距(多晶体栅极栅距)的一半,因此分别实现单元300和310的单元边界350和360上的局部互连切口形状。单元300(此视图中放置在左边的单元)和单元310(此视图中放置在右侧的单元)的扩散区之间的间隔可有效地导致如所示出的扩散断裂403,其可引起短LOD。由于在示范性方面中,所有扩散区是相同大小,因此两个单元抵接是可能的,且扩散结(例如p扩散区301和311;p扩散区302和312;n扩散区303和313;以及n扩散区304和314之间)可使用所述区中的扩散填充物合并在一起,其中示出扩散断裂403(此视图中未专门说明扩散填充物)。当扩散结共享共用电位时,或当引入栅极打结单元时,可形成定制形状的夹杂物,如下文将论述。邻近于共用边缘355的多晶体线336或342中的至少一者可为浮动的,其中多晶体线336或342中的所述至少一者可形成为与p扩散区301和311;p扩散区302和312;n扩散区303和313;以及n扩散区304和314中的至少一者重叠或相交。

[0047] 图5A说明2输入“与”500的实施方案,其通过放置两个标准单元,第一单元(例如“与非”510)和第二单元(例如逆变器511)来设计。“与非”510包括形成于第一n扩散区(例如n扩散区503)和另一n扩散区(例如n扩散区504)中的一对串联连接的2鳍片堆叠nfet,以及形成于第一p扩散区(例如p扩散区502)中的一对并联连接的2鳍片pfet。与另一p扩散区(例如p扩散区501)相关联的多晶体门通过放置在两个p扩散区501和502之间的多晶体线上的多晶体切口508与p扩散区502的多晶体门隔离(应注意,“与非”510类似于图2的“与非”门200)。多晶体栅极触点506和507分别连接到局部互连信号线516和517。信号线516和517分别描绘逻辑输入a和b。在局部互连(M0)层550和560上导出“与非”门510的输出。接合形成于层550和560(未示出)处的节点的连接可使用垂直铺设以连接到局部互连层550和560的后续金属层级。

[0048] 连接到“与非”门510的输出的逆变器511包括形成于n扩散区563、564中的两个2鳍片nfet,以及形成于p扩散区561、562中的两个2鳍片pfet(n扩散区563、564和p扩散区561、562具有有源晶体管)。栅极输入通孔566将逆变器511的栅极连接到局部互连件576,其将最终连接到垂直铺设的后续金属层级。MD硅化物层590和594形成逆变器511的输出,且还可连接到局部互连层,且随后连接到后续金属层级(未示出)。

[0049] 在图5A中,应认识到,“与非”门510的右边缘和逆变器511的左边缘各自具有到电力供应器和接地两者的连接。然而,如所示出,“与非”门510的右边缘和逆变器511的左边缘中的每一者具有非共享扩散边缘,其导致“与非”门510和逆变器511各自具有减小的或最小LOD。由于所有扩散区(501、502、503、504、561、562、563和564)具有相同大小,如由此单元架

构界定,且“与非”门510的右侧和逆变器511的左侧上的p扩散和n扩散彼此电共用,可修改“与非”门510的左边缘和逆变器511的右边缘的边缘处置(例如基于可在单元布局工具中实施的算法),以接受如参考图4的扩散断裂403所描述的新扩散填充物,用于系结电共用的扩散,从而增强其LOD。

[0050] 图5B说明使用系结上文参考图5A描述的“与”门500的布局中的共用扩散区的方面形成的“与”门550。在一个方面中,已将扩散填充物571、572、573和574添加到图5A的“与”门500,以获得图5B的“与”门550。第一p扩散填充物,例如p扩散填充物571/572可跨越图5A的“与非”门510与逆变器511之间的共用边缘570,且接合第一单元的第一p扩散区501/502、第二单元的“与非”门510和第二p扩散区561/562、图5A的逆变器511,其中所述第一和第二p扩散区具有共用的第一电位(例如其对应于电力轨520的电位)。类似地,第一n扩散填充物,例如n扩散填充物573/574可跨越图5A的“与非”门510和逆变器511之间的共用边缘570,且接合第一单元的第一n扩散区503/504、第二单元的“与非”门510和第二n扩散区563/564、图5A的逆变器511,其中所述第一和第二n扩散区具有共用的第二电位(例如其对应于接地轨或局部互连件540的电位)。

[0051] 分别添加第一金属层和第二金属层(例如MD) 598和599以形成适当的电位(例如分别为共用第一电位和共用第二电位),或促进这些扩散填充物的连接(例如第一p扩散填充物571/572到电力轨520,以及第一n扩散填充物573/574到接地轨/局部互连件540),其中在图5A的“与非”门510和逆变器511的单元边界之间的共用边缘570处引入上述扩散填充物。金属层598和599在“与非”门510的右侧和逆变器511的左侧提供电共用边缘结,其与扩散填充物571、572、573和574接合在一起,连同到适当的M0局部互连件的共用MD层598和599以及相应通孔。因此,在图5B中,示出通过共享电共用结来改进LOD的方面,用于实现具有不同鳍片计数(例如使用扩散填充物571、572、573和574来共享共用扩散,而无鳍片步进)的两个电路(例如“与非”门510和逆变器511的两个电路)。

[0052] 另外,如所看到,“与非”门510的左p扩散边缘连接到p扩散区501和502两者中的电力线520,且因此这些结两者均可潜在地与另一电路共享共用扩散区(类似于所示出的到使用扩散填充物571和572的逆变器511的连接);而“与非”门510的n扩散503和504的左侧与“与非”门510的输出相关联,并且因此在无额外修改(栅极打结)的情况下,基础n扩散503和504无法与另一电路共享。电力轨520和540(用于接地或其它局部互连件)可跨“与非”门510和逆变器511共享。

[0053] 图6A说明单元架构600,其示出与用于增加LOD(或减轻LOD效应)的左/右小区边缘设计(例如使用示范性算法)有关的方面。示出四种不同的单元抵接,具有不同的共用扩散抵接。识别为n阱(NW)的块内的扩散结是p型,且NW外部的扩散区为n型(即使此图中原本尚未专门识别p扩散和n扩散)。在各种扩散结内,已经提供识别节点的标签。在所说明的方面中,具有共用标记的节点可共享扩散区(例如使用参考图5A-B论述的扩散填充物,例如571-574)(因此,提供这些节点来实现算法结LOD改进),而不具有共用标签的节点无法共享扩散。

[0054] 组合参考图6A-B,通过列-行命名法(例如“13”表示列1、行3)来识别扩散断裂。由于扩散断裂11、13、14、23、24、31和32与电共用毗邻扩散相关联,示范性设计(例如通过布局算法实施)可添加适当的单元或其形状来允许LOD操纵,如图6B所示。在图6B中,相对于图6A

的单元架构600,在单元架构650中可见所识别的结处的LOD操纵。并且,虽然图6B中未示出,但增强型扩散长度可涉及额外修改,包含添加来支持电气连接性的通孔和MD形状,且在一些情况下通孔冗余。另外,在一些方面,可通过选择性地不将相应形状添加到给定的扩散断裂区来支持最大LOD条款(如果存在的话,在设计规则中)。此外,还可能识别布局中的最佳位置来强制扩散中的断裂,例如遵守最大LOD要求,如果设计库或设计规则集合中指定任何要求的话。

[0055] 参看图7,示出在标准单元设计中定制植入物的方面。返回参看图1,示出两个不同p扩散区101、102以及两个不同n扩散区103、104。在图7中,说明在图1的这些不同p和n扩散区中提供混合植入物的方面。如图7的单元700中所示,p扩散区701具有V<sub>tp</sub>植入物1 711,p扩散区702具有V<sub>tp</sub>植入物2 712,n扩散区703具有V<sub>tn</sub>植入物1 713,且n扩散区704具有V<sub>tn</sub>植入物714。虽然n型和p型扩散两者可在其相应类型内具有相同或共用层级的植入物,但如在图7的示范性方面中,支持不同或混合层级的植入物提供额外工具来实现电力和性能改进。

[0056] 举例来说,考虑包括四个pfet鳍片和四个nfet鳍片的图5A-B的逆变器511,如果不使用植入物定制,那么可通过针对pfet使用SLVT<sub>p</sub>(超低V<sub>tp</sub>)且针对nfet(使用SLVT<sub>n</sub>)来实现。然而,使用图7中的植入物定制,可实现中间V<sub>tn</sub>,例如通过在一个n扩散区703中具有SLVT<sub>n</sub>,且在另一n扩散区704中具有不同的V<sub>tn</sub>,如LVT<sub>n</sub>(低V<sub>tn</sub>),这将在两个nfet的断开状态下减少泄漏电流,同时提供比在n扩散区703和704两者具有相同LVT<sub>n</sub>植入物时所经历的下降沿性能好的下降沿性能。可实时或在运行中使用时序和电力优化工具,以算法方式执行示范性植入物定制。此类算法可定义单元内的哪些标准单元和扩散区/岛将受益于植入物定制,且接着通过将参数具现化为标准选择单元(其可覆盖任何默认植入物),来在平坦模式或分层中对应地产生相关植入物形状。

[0057] 参看图8,示出具有植入物定制的逆变器800,其中包括复合4鳍片pfet的p扩散区801和802(连接到电力轨820)具有单个SLVT<sub>p</sub>植入物811,而包括2个鳍片的n扩散区803具有SLVT<sub>n</sub>植入物813,且包括其余2个nfet鳍片的n扩散区804具有LVT<sub>n</sub>植入物814(其中n扩散区803和804两者连接到电力轨840,以实现接地或局部互连)。为了说明的简单性,示出不具有到M1的任何连接的输出连接890和894,垂直铺设的金属层。

[0058] 在图4-6中,示出具有横向放置成一排的标准单元放置。在常规布局中,通常将标准单元放入行中,其中每一交替垂直行在其下面或上方具有所述行的镜面倒装。这提供在两个垂直放置的行之间具有共用n阱(NW)和衬底区的能力。示范性单元设计也可类似地安置,这产生比常规单元架构大的NW区和衬底区,且因此允许各种NW和衬底分接头连接进一步隔开,从而节省面积。

[0059] 在图9中,为单元架构900示出逻辑单元放置的方面。将第一和第二整行分别说明为整行1和2,包括可具有标准或完整高度的逻辑单元,或者被称作整行高度逻辑单元。示出列910、920和930包含此类整行高度逻辑单元。其中,列910中的整行高度逻辑单元910a和910b相对于彼此垂直镜面倒装(从其中的n扩散区和p扩散区的角度来看)。列910中的整行高度逻辑单元910a和910b表示邻近完整行中的标准逻辑单元的常规或传统排列,其中在邻近完整行中的相同列中的逻辑单元之间使用垂直镜面倒装。以此方式的垂直镜面倒装允许类似的扩散区(例如完整行1中的整行高度逻辑单元910a和完整行2中的整行高度逻辑单元

910b的n扩散区)彼此邻近放置。

[0060] 列920中的整行高度逻辑单元的放置表示示范性排列,其中完整行1和2分别的整行高度逻辑单元920a和920b相对于彼此不垂直镜面倒装,或者被称作整行高度逻辑单元920a和920b具有相同定向。列920中的此示范性排列允许创建半行高度逻辑单元,并以将实现整行高度逻辑单元和半行高度逻辑单元的类似扩散区之间的扩散填充的方式放置,如将在下文进一步详细阐述。

[0061] 参看列930和940,示出整行高度单元930a、930b和半行高度单元940a、940b、940c的并置。如在列920的情况下,列930的完整行1和2中分别的整行高度单元930a和930b也不相对于彼此垂直镜面倒装。列940中所示的半行高度逻辑单元940a、940b和940c各自是一个整行高度单元的高度的一半,例如列930的整行高度逻辑单元930a、930b(例如其中列930中的整行高度逻辑单元930a、930b各自说明为具有两个p扩散区和两个n扩散区,列940中的半行高度逻辑单元940a、940b、940c各自说明为具有单个p扩散区和单个n扩散区)。可将半行高度逻辑单元940a、940b、940c放入穿插在完整行1和2之间的子行1A-B和2A-B中,且任何两个垂直半行高度逻辑单元940a、940b、940c可相对于彼此垂直镜面倒装。以此方式,可以允许创建扩散填充且扩散的长度延伸的方式来放置列930中的整行高度逻辑单元930a、930b与列940中的半行高度逻辑单元940a、940b、940c之间的类似扩散区(例如可将p扩散填充物放置在整行高度逻辑单元930a的两个p扩散区中的一者与半行高度逻辑单元940a的p扩散区之间;可将n扩散填充物放置在整行高度逻辑单元930b的两个n扩散区中的一者与半行高度逻辑单元940c的n扩散区之间,等等)。

[0062] 参看图10,为单元架构1000示出将分布式电力和接地轨集成在逻辑单元布局中的方面。在标准单元架构中,双轨分布式电力和接地轨可通常集成在局部互连(M0)层上,这允许相应扩散区中的每一者偏置到适当的供应/接地轨,具有最小的IR(电压降)损失,因为到M0轨的MD触点可轻易地集成。另一方面,在图10中,具有四个不同扩散区1001、1002、1003和1004的单元1000中可集成有多个电力和接地轨,如下。示出两个电力轨1041和1042分别接近于p扩散区1001和1002。类似地,示出两个接地轨1043和1044分别接近于n扩散区1003和1004。还示出MD硅化物层1030,且一组电力和接地M0轨的跟踪位置可根据此说明变化。

[0063] 图11说明2输入“与非”1100的布局,其包括在n扩散区1103和1104中各具有两个鳍片的4鳍片串联连接nfet下拉堆叠,以及p扩散区1102中的2鳍片pfet上拉装置。如图所示,在垂直方向上提供多晶体线1132、1134、1136和1138。串联堆叠的nfet具有与p扩散岛1102中的pfet共享的共用多晶体线1132、1134、1136和1138,而pfet1101的多晶体栅极借助于多晶体线1134和1136中的多晶体切口1108与pfet 1102的多晶体栅极隔离或断开。p扩散区1101中的pfet与其它组件隔离,并且因此可例如左浮动或连接到电力轨1141。在图11中,耦合到这些多晶体线1134和1136的p扩散区1101中的pfet的门可为浮动的,而漏极/源极结可通过到局部互连通孔1122的金属到扩散(MD)层连接到电力轨1142。MD硅化物层1130和1131可连接各种扩散区的源极和汲极,且使相应的扩散重叠来获得改进的电阻特性。一般来说,MD层可不非常接近于栅极触点通孔,且因此并不紧挨着邻近多晶体触点通过。示出MD层(未标记),以连接区1101和1102中的两个pfet的源极,从而提供到两个p扩散区的电力连接。由于这是双电力轨实施方案,因此电力轨通孔1122形成到电力轨1141和1142的连接。

[0064] 栅极触点1106和1107分别提供通过局部互连信号线1116和1117到相应数据输入



的连接性。通孔1108和1109分别将2个栅极输入b和a分别连接到M1线1151和1152。n扩散区1103和1104中的nfet的源极节点通过MD 1130连接在一起,且接着通过通孔1124连接到接地轨1143和1144两者。如上文所描述,MD层1130、1131将两个n扩散区1103和1104电且物理上连接在一起。n扩散区1103和1104的nfet汲极通过MD层1131共同连接在一起,且经由通孔1126连接到局部互连布设层1145。p扩散区1102中的pfet的汲极类似地通过到通孔的MD连接到局部互连件1160。借助于通孔M0到M1 1127、通孔1126和1128以及M1 1150来说明与输出(p扩散区1102的pfet漏极和n扩散区1103和1104中的nfet的漏极)相关联的连接。

[0065] 虽然未明确说明,但示范性布局方案实现将混合沟道长度集成在标准单元内。举例来说,与图11中的两个p扩散区1101和1102或n扩散区1103和1104中的一者或两者相关联的沟道长度可为替代沟道长度(例如,可修改分别形成这些pfet和nfet的门的晶体线1134和1136的相应宽度,来修改栅极结的基础沟道宽度,且不同宽度的晶体线可与多晶体切口分离)。沟道长度的此混合可提供设计特定电路时的较大灵活性,同时允许与其它电路直接集成。

[0066] 因此,将了解,各方面包含用于进行本文中所公开的过程、功能和/或算法的各种方法。举例来说,如图2A中所说明,一方面可包含设计具有基于鳍式场效应晶体管的逻辑单元的集成电路(例如图5B的“与”门500)的方法1200,所述方法包括:

[0067] 在框1202中,将具有第一单元边界的第一逻辑单元(例如“与非”门510)邻近于具有第二逻辑单元边界的第二逻辑单元(例如逆变器511)放置,其中所述第一逻辑单元边界和所述第二逻辑单元边界具有共用边缘(例如共用边缘570),其中所述第一逻辑单元包括形成于具有第一鳍片计数(2鳍片)的第一p扩散区(例如第一单元,“与非”门510的第一p扩散区501/502)上的至少一个pfet,以及形成于具有第二鳍片计数(例如4鳍片)的第一n扩散区(例如第一单元,“与非”门510的第一n扩散区503/504)上的至少一个nfet,且其中第二逻辑单元包括形成于具有第一鳍片计数(例如2鳍片)的第二p扩散区(例如第二单元,逆变器511的第二p扩散区561/562)上的至少一个pfet,以及形成于具有第二鳍片计数(例如2鳍片)的第二n扩散区(例如第二单元,逆变器511的第二n扩散区563/564)上的至少一个nfet。

[0068] 框1204包括形成以下各项中的至少一者:第一p扩散填充物(例如p扩散填充物571/572),其越过共用边缘,且将第一单元的第一p扩散区与第二单元的第二p扩散区接合;或第一n扩散填充物(例如n扩散填充物573/574),其越过共用边缘,且将第一单元的第一n扩散区与第二单元的第二n扩散区接合。

[0069] 所属领域的技术人员将了解,可使用多种不同技术和技法中的任一个来表示信息和信号。举例来说,可通过电压、电流、电磁波、磁场或磁粒子、光场或光粒子或其任何组合来表示在整个上文描述中可能参考的数据、指令、命令、信息、信号、位、符号和码片。

[0070] 另外,所属领域的技术人员应了解,结合本文中所公开的方面描述的各种说明性逻辑块、模块、电路和算法步骤可实施为电子硬件、计算机软件或两者的组合。为清晰地说明硬件与软件的这种可互换性,上文已大体就各种说明性组件、块、模块、电路和步骤的功能性加以描述。将此类功能性实施为硬件还是软件取决于特定应用以及强加于整个系统的设计约束。本领域技术人员可针对每一特定应用以不同方式来实现所描述的功能性,但这样的实施决策不应被解释为会引起脱离本发明的范围。

[0071] 结合本文中所公开的方面描述的方法、序列和/或算法可直接以硬件、以由处理器



执行的软件模块或以硬件和软件模块的组合来体现。软件模块可驻留在RAM存储器、快闪存储器、ROM存储器、EPROM存储器、EEPROM存储器、寄存器、硬盘、可移动磁盘、CD-ROM,或此项技术中已知的任何其它形式的存储媒体中。示范性存储媒体耦合到处理器,使得处理器可从存储媒体读取信息且将信息写入存储媒体。在替代方案中,存储媒体可与处理器成一体式。

[0072] 因此,本发明的一方面可包含体现示范性集成电路设计的非暂时性计算机可读存储媒体,或更多地,在一些实例中,包含包括数据的非暂时性计算机可读存储媒体,所述数据包括包含基于鳍式场效晶体管的逻辑单元的集成电路的设计。因此,本发明不限于所说明的实例,且任何用于执行本文中所描述的功能性的装置均包含于本发明的方面中。

[0073] 虽然前述公开内容示出本发明的说明性方面,但应注意,可在不脱离如由所附权利要求书界定的本发明的范围的情况下在本文中作出各种改变和修改。无需以任何特定次序来执行根据本文中所描述的本发明的方面的方法权利要求的功能、步骤和/或动作。此外,虽然可能以单数形式描述或主张本发明的元件,但除非明确陈述限于单数形式,否则也涵盖复数形式。

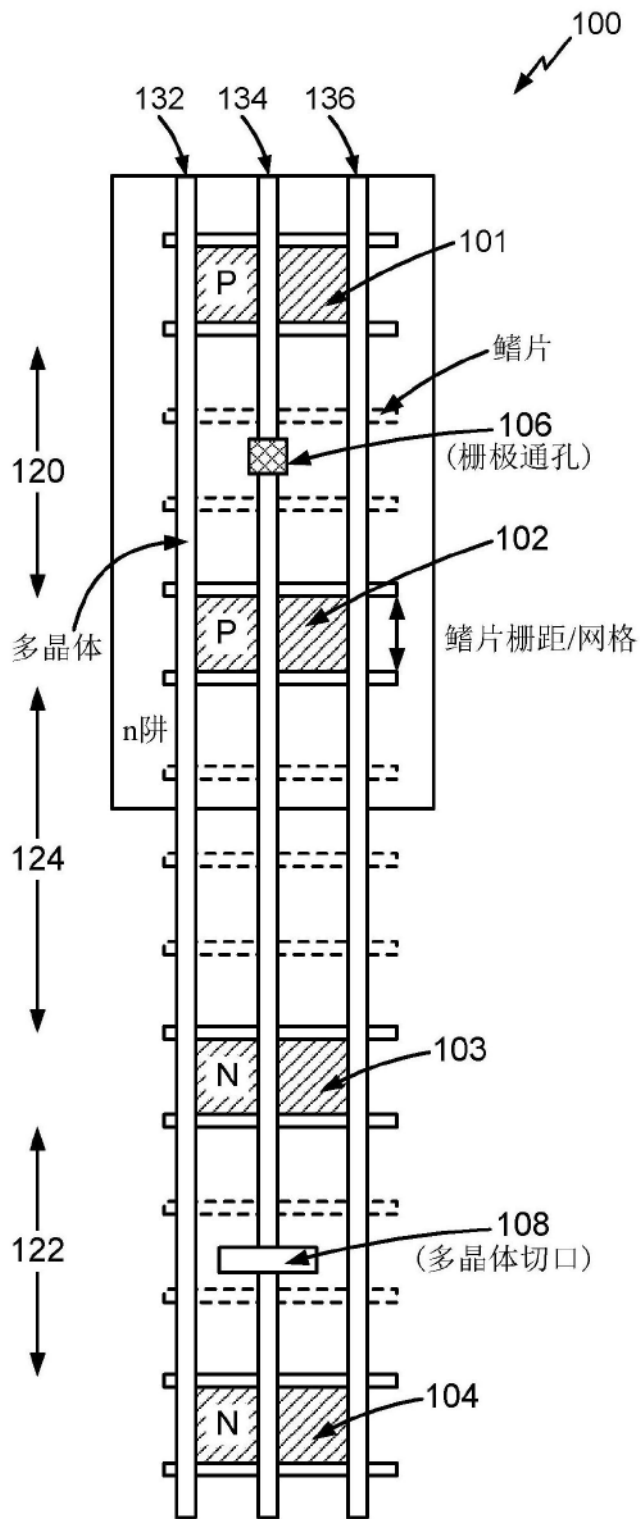


图1

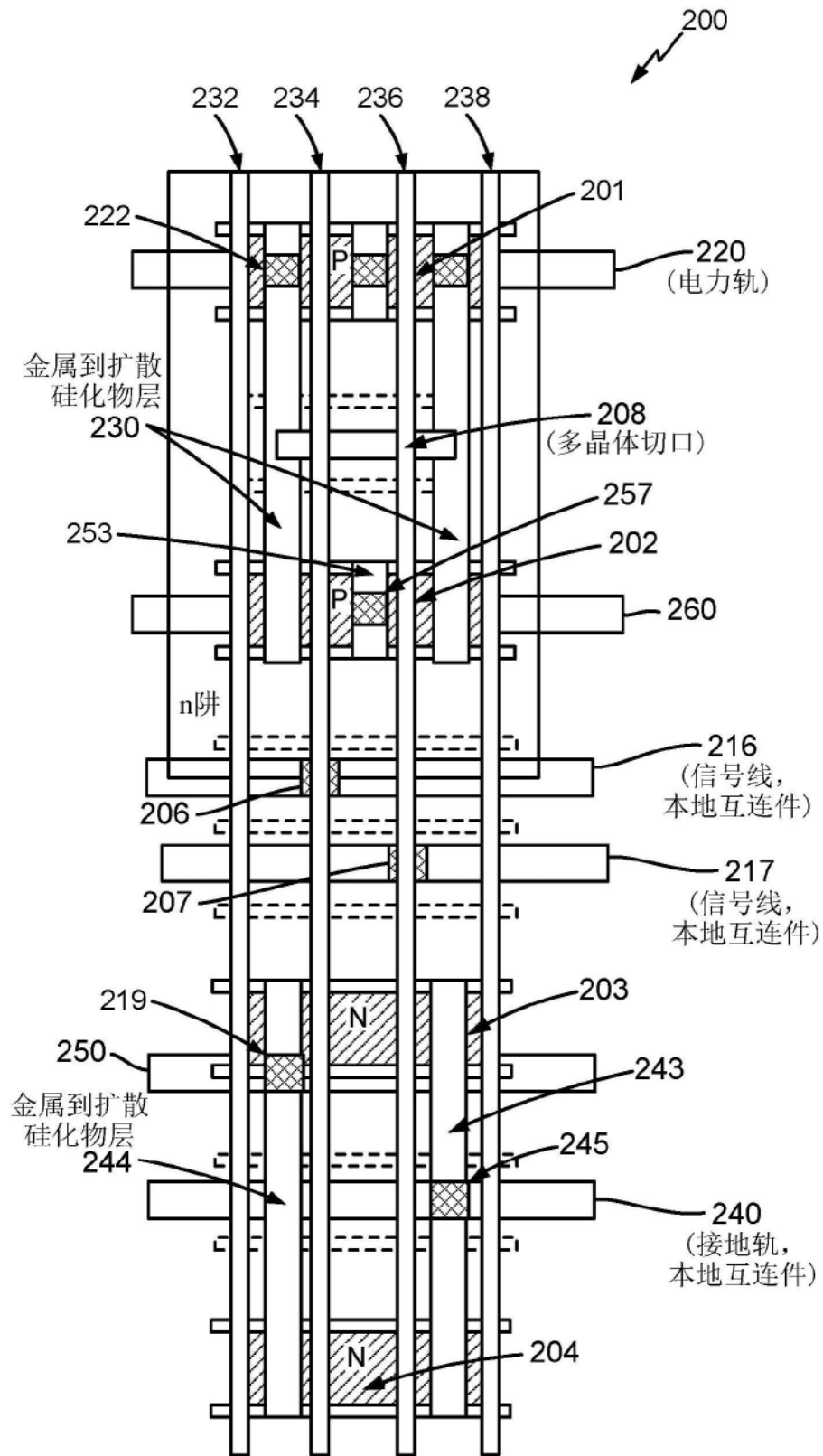


图2

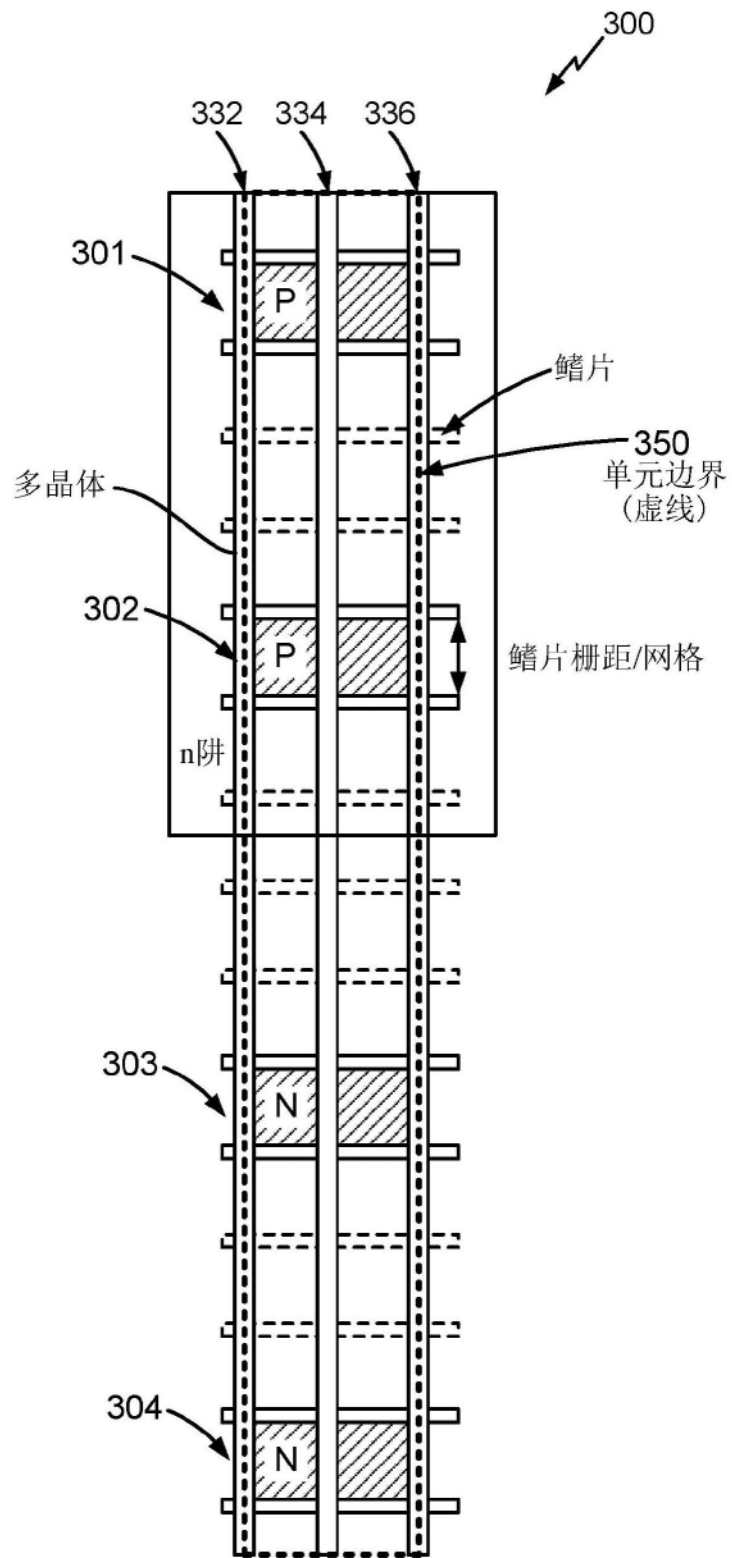


图3

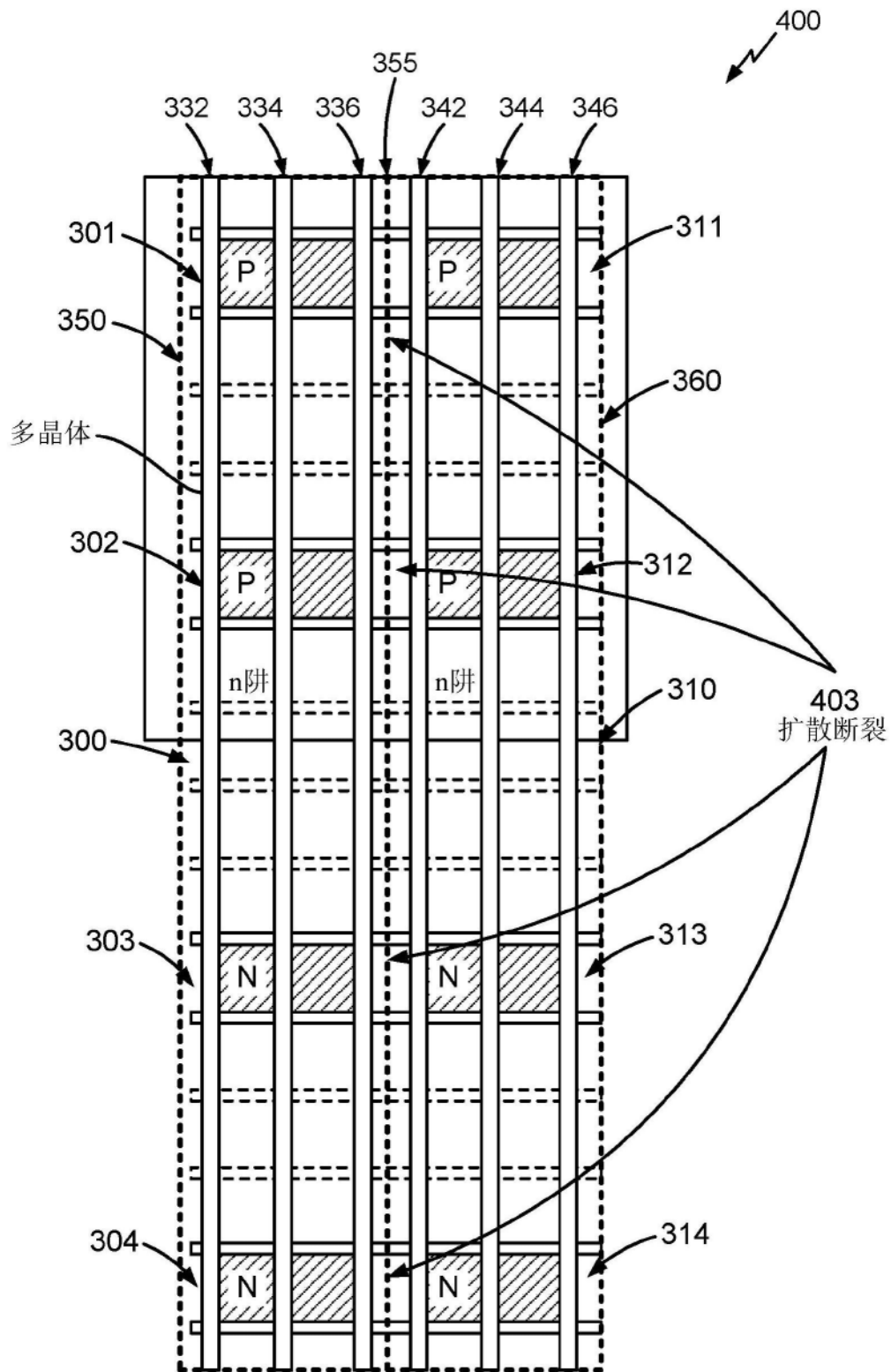


图4

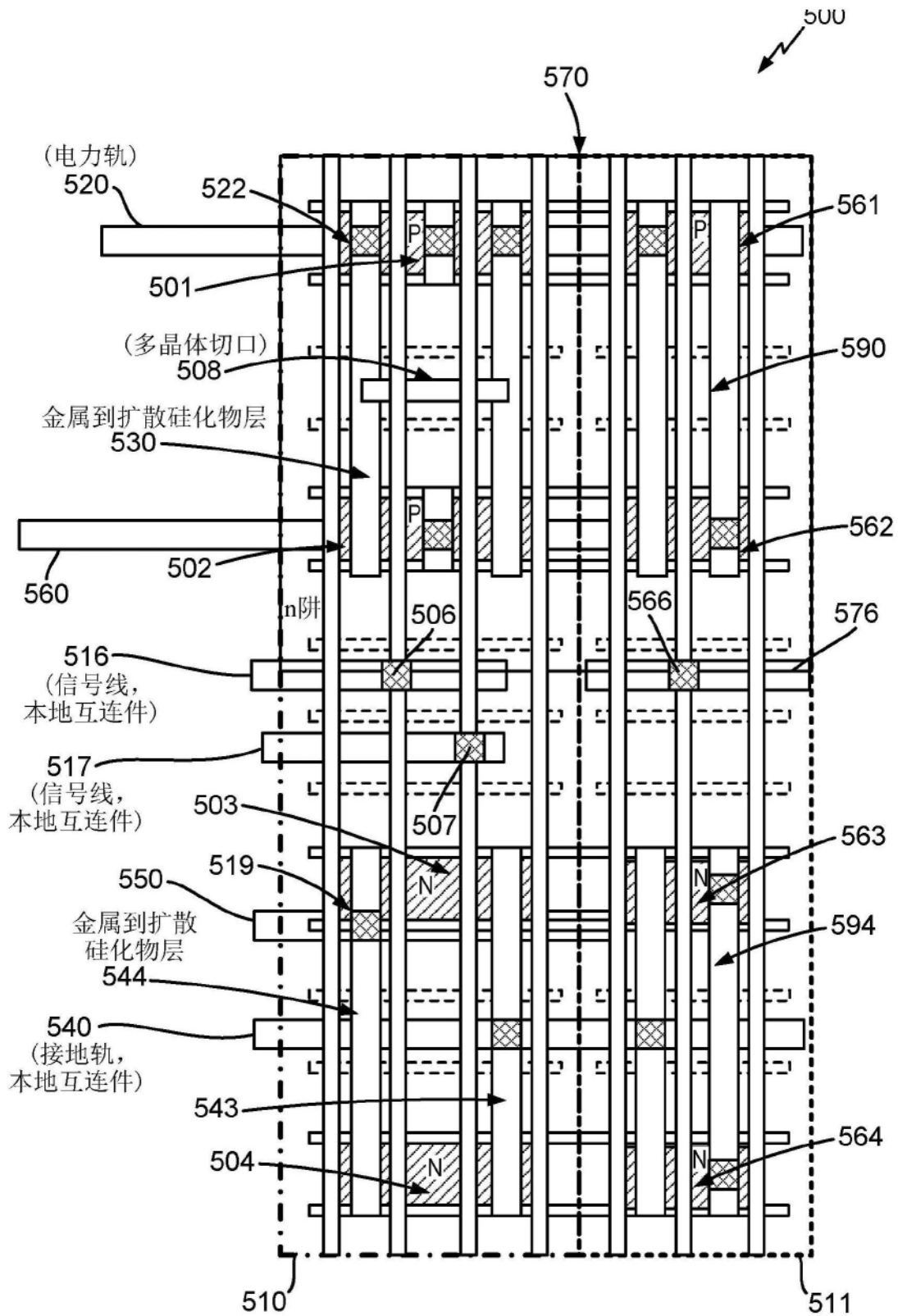


图5A

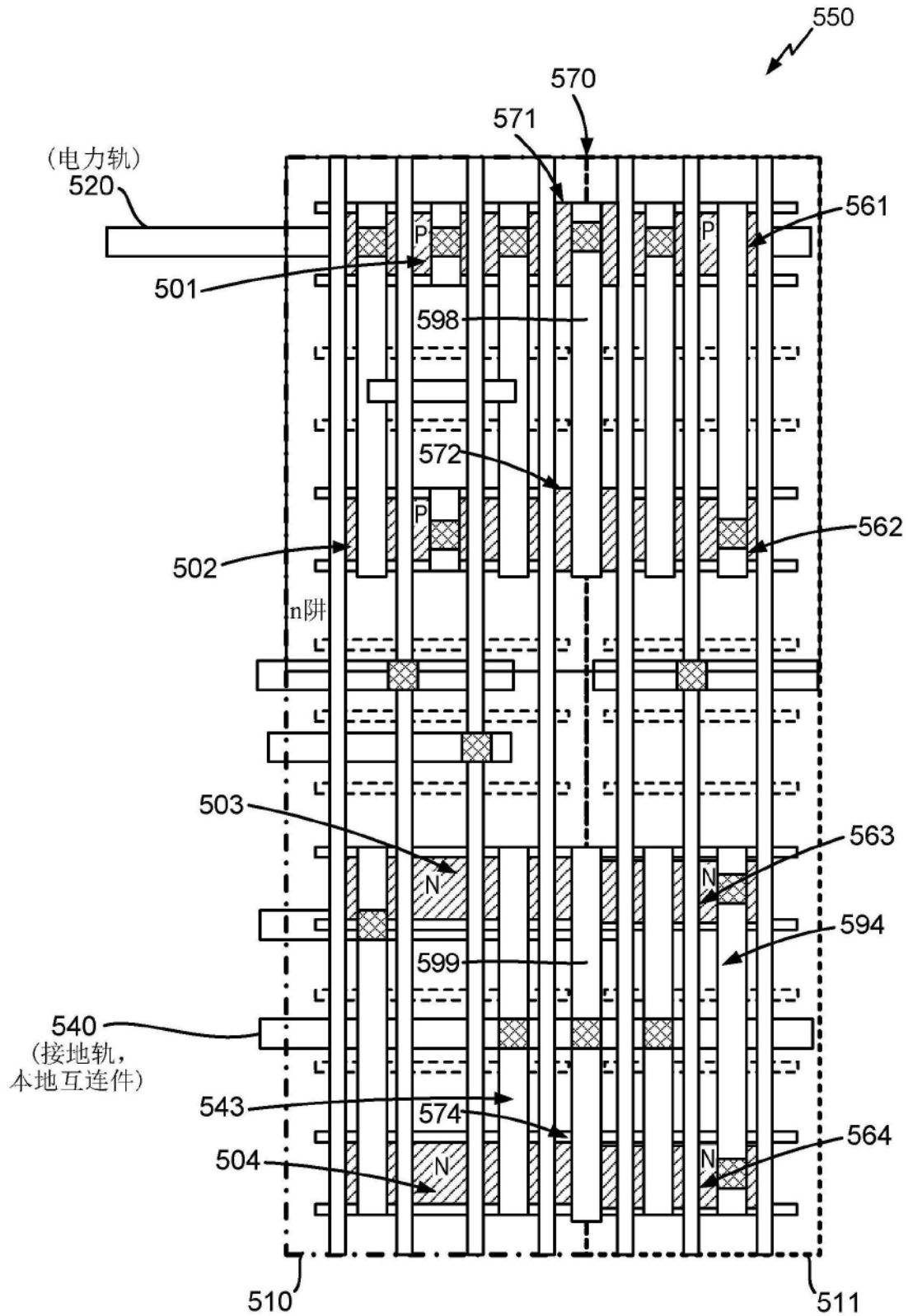


图5B

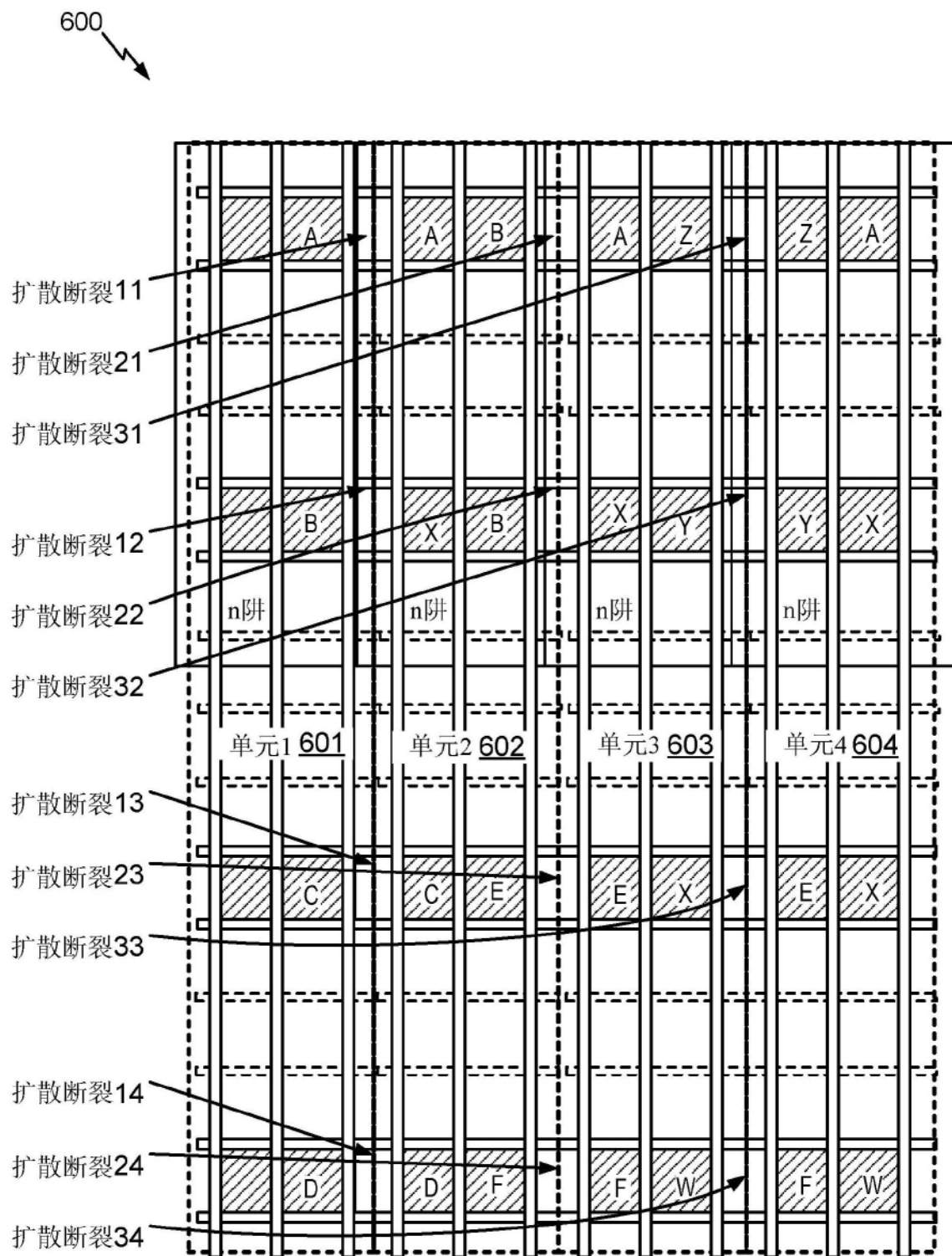


图6A



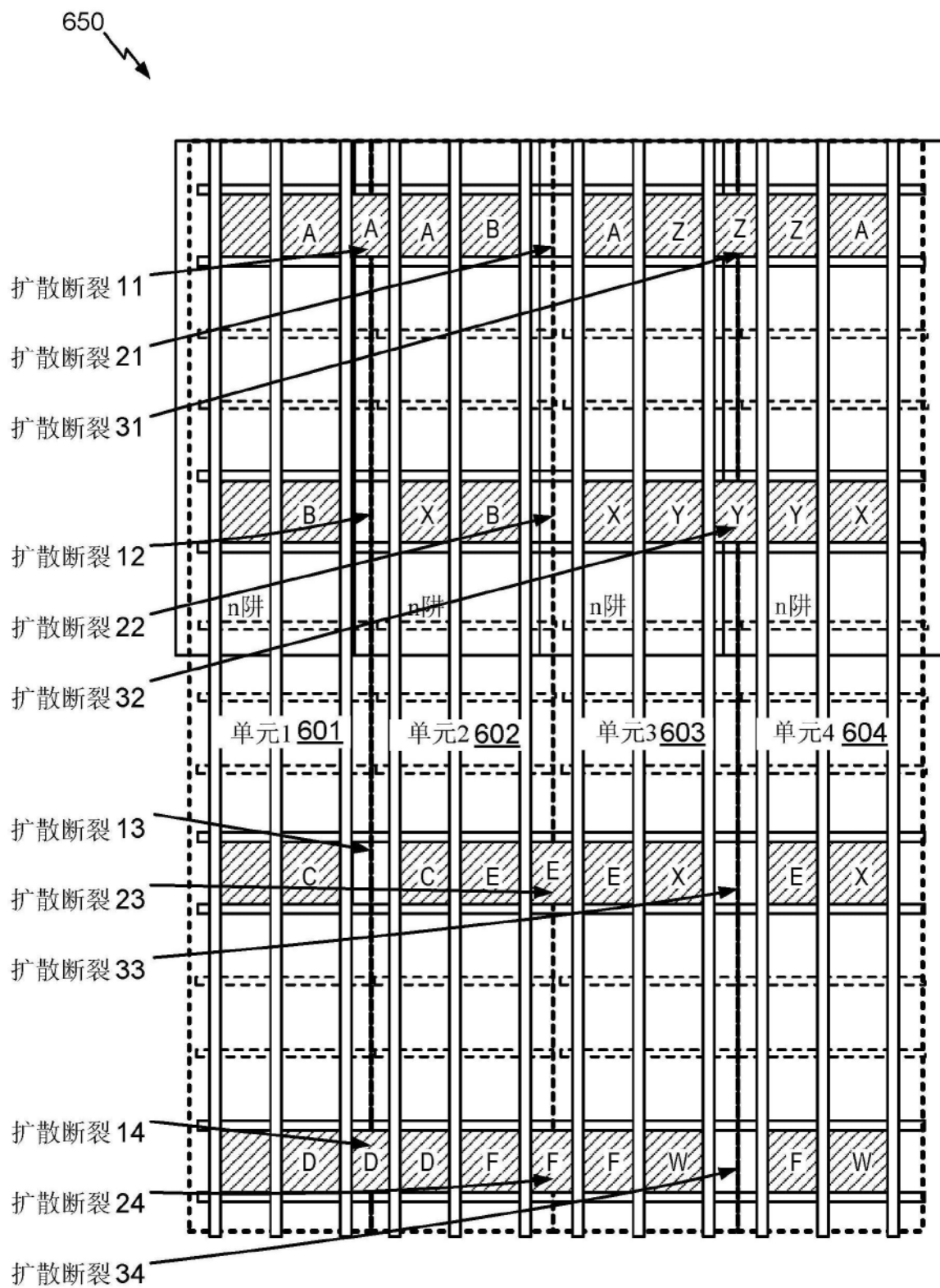


图6B

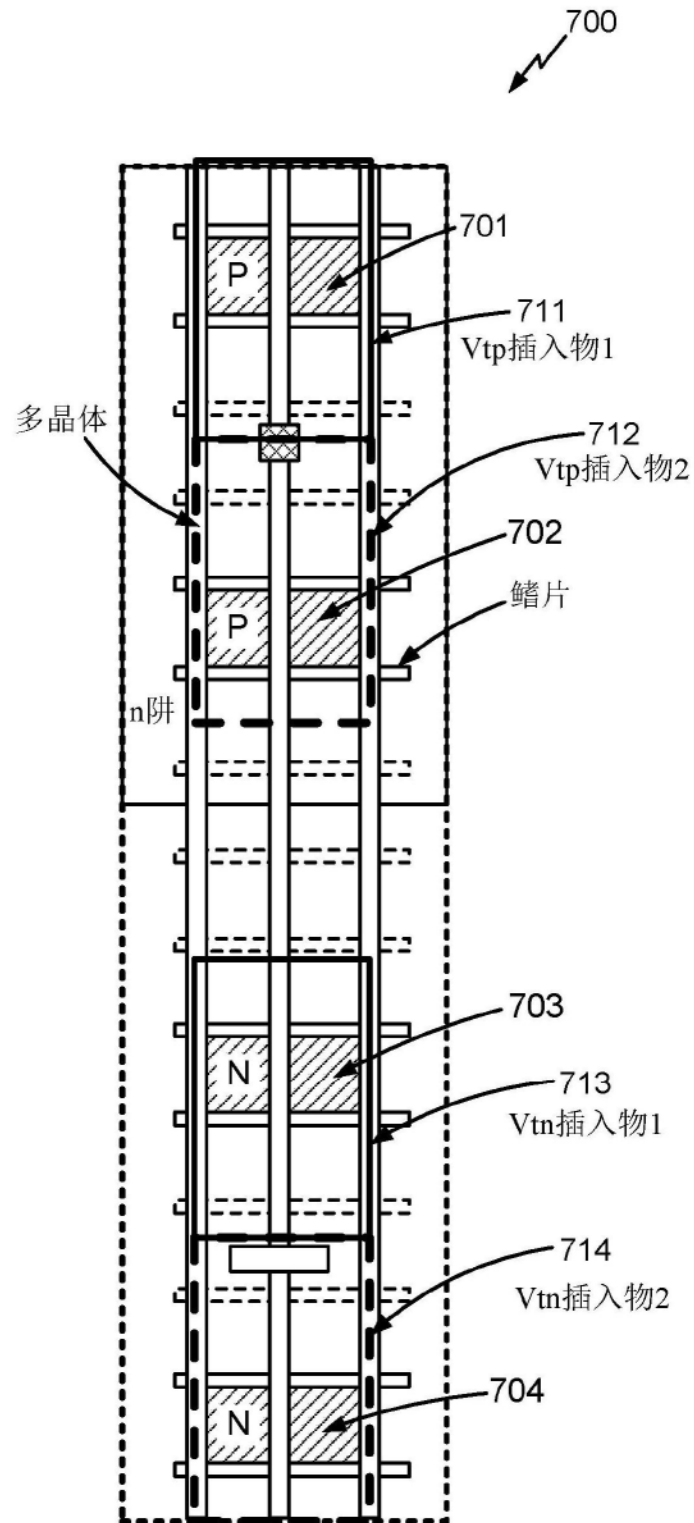


图7

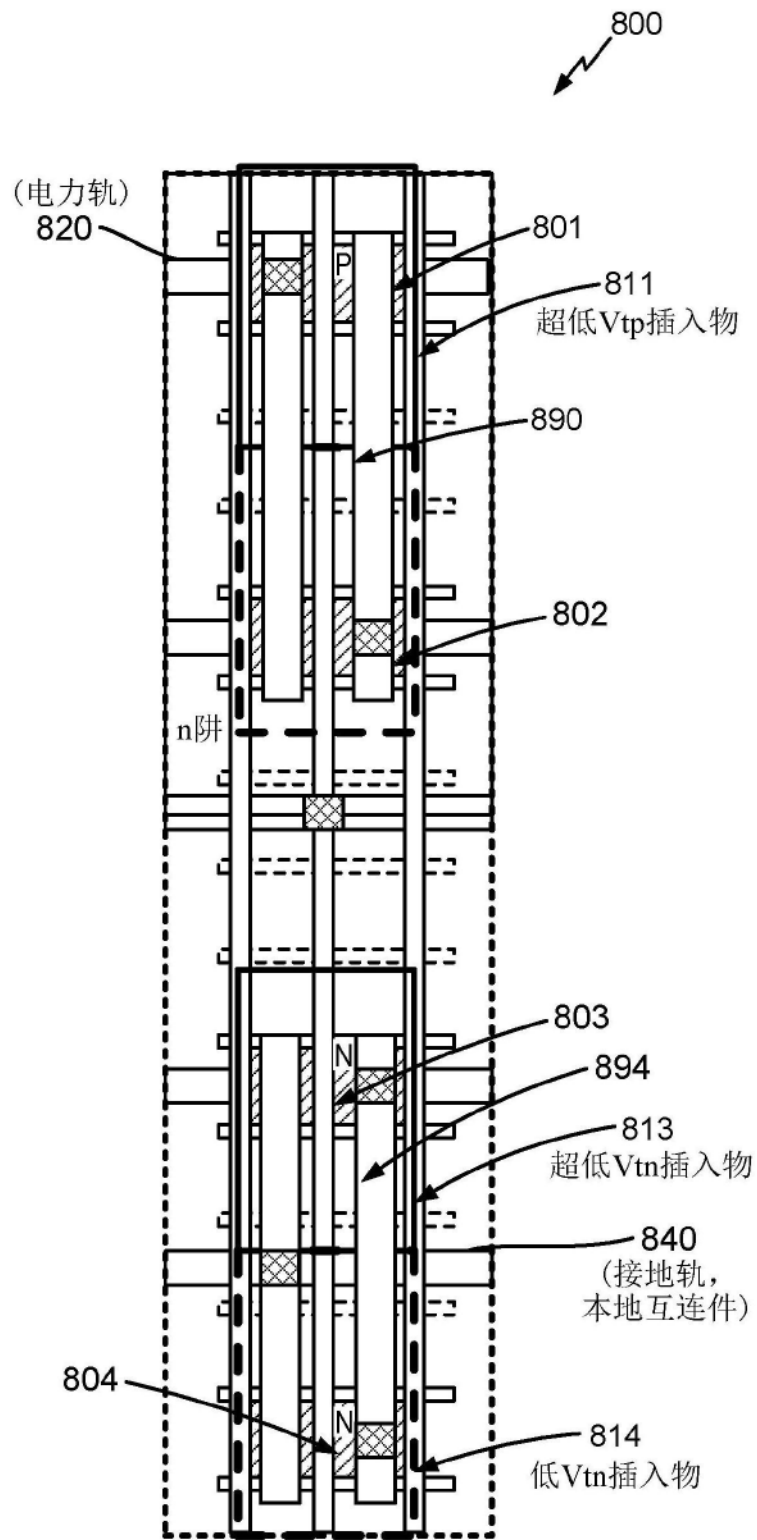


图8

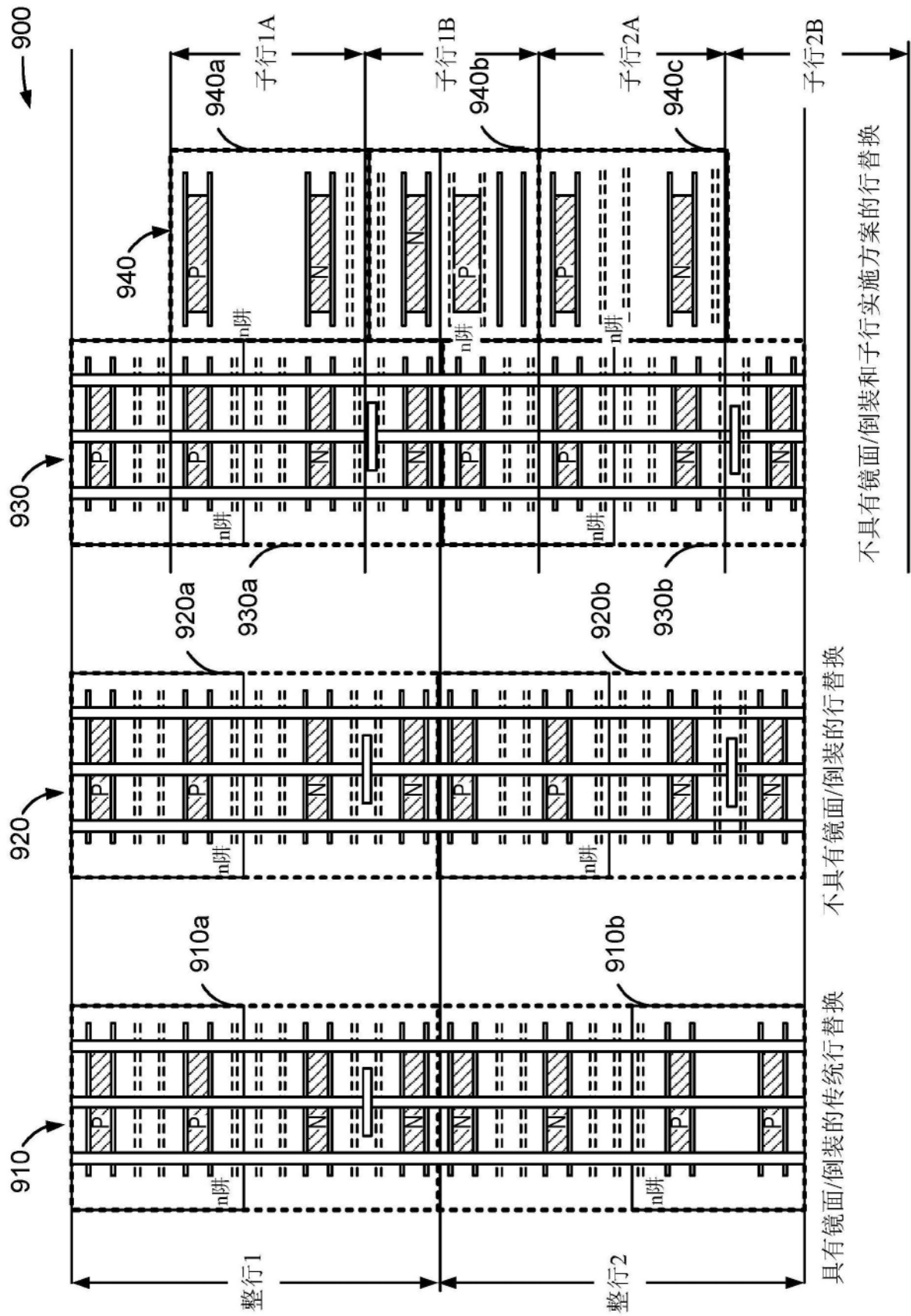


图9

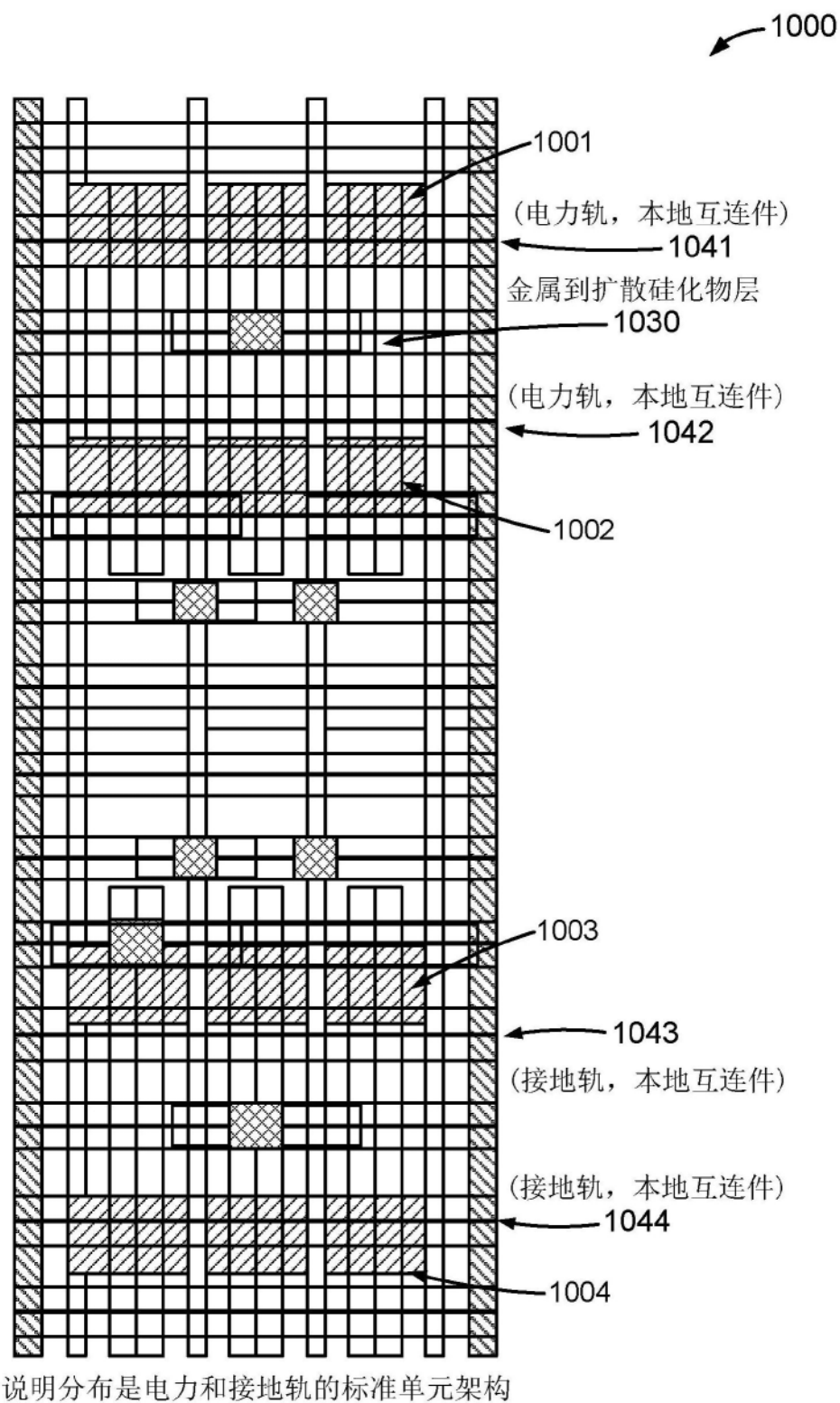
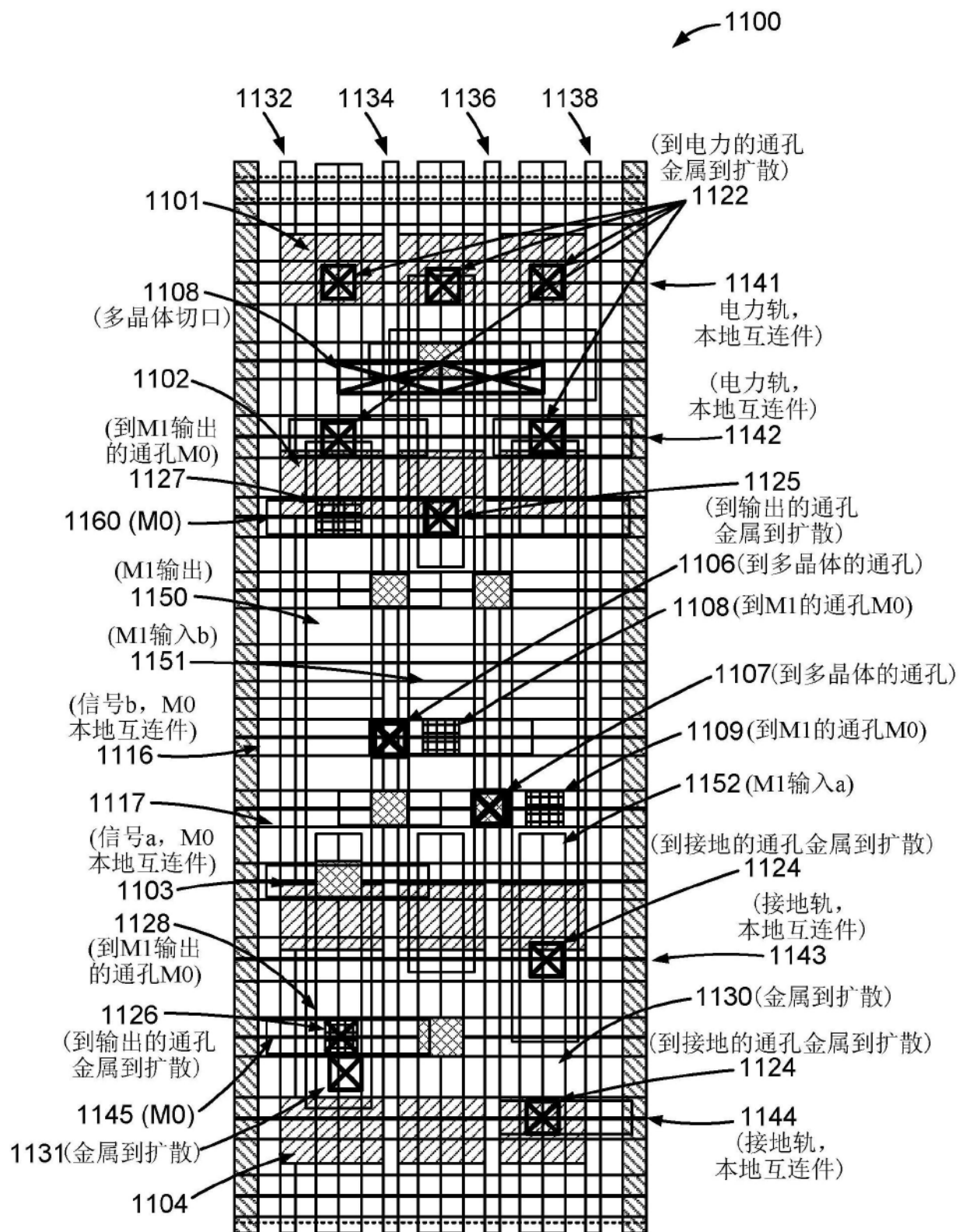


图10



说明“与非”2实施方案的标准单元架构

图11

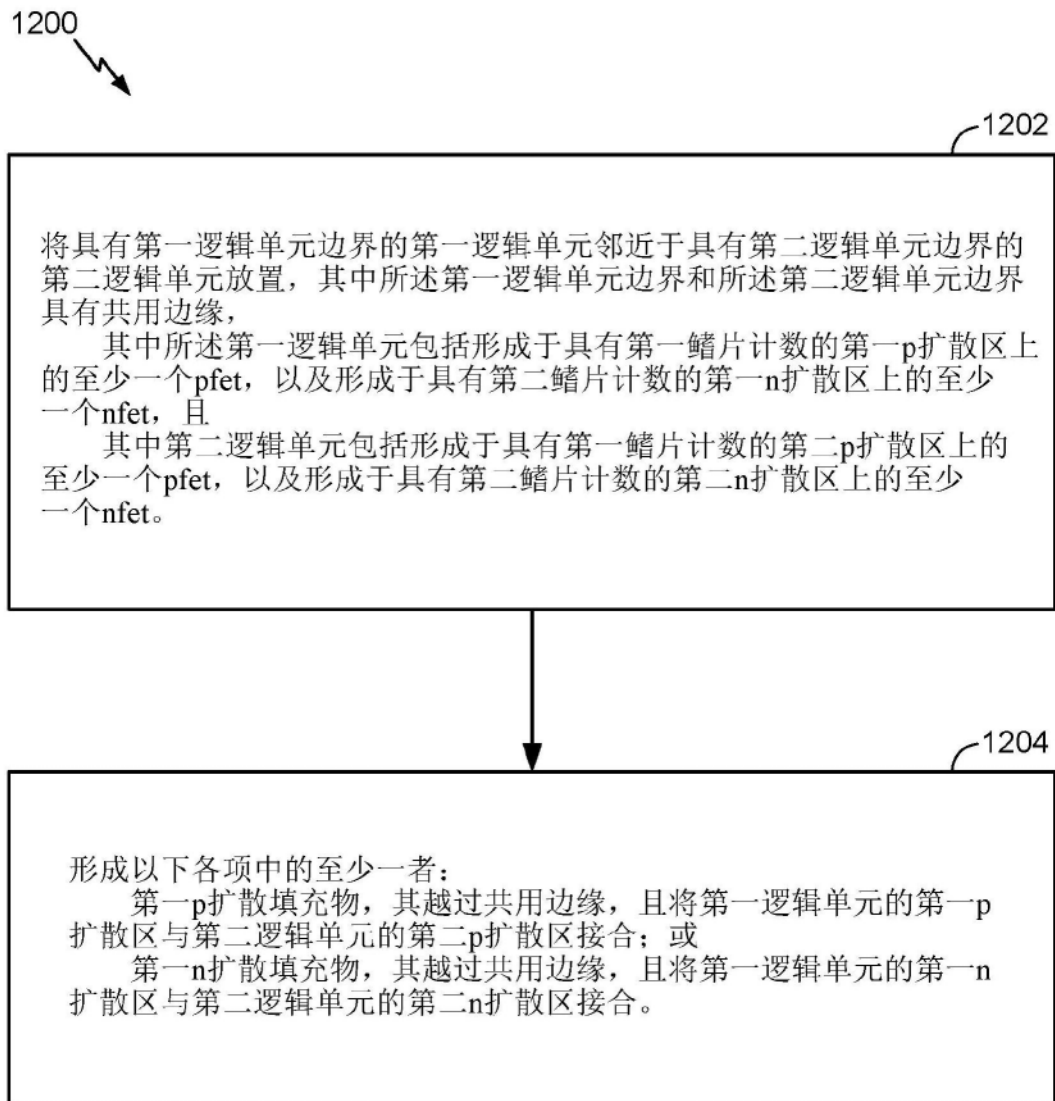


图12