

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5504903号
(P5504903)

(45) 発行日 平成26年5月28日(2014.5.28)

(24) 登録日 平成26年3月28日(2014.3.28)

(51) Int.Cl.

F I

H O 4 L 25/02 (2006.01)

H O 4 L 25/02 3 O 3 B

H O 4 B 5/02 (2006.01)

H O 4 B 5/02

請求項の数 20 (全 35 頁)

(21) 出願番号 特願2010-6175 (P2010-6175)
 (22) 出願日 平成22年1月14日(2010.1.14)
 (65) 公開番号 特開2011-146934 (P2011-146934A)
 (43) 公開日 平成23年7月28日(2011.7.28)
 審査請求日 平成24年12月10日(2012.12.10)

(73) 特許権者 000004237
 日本電気株式会社
 東京都港区芝五丁目7番1号
 (74) 代理人 100103894
 弁理士 冢入 健
 (72) 発明者 帰山 隼一
 東京都港区芝五丁目7番1号 日本電気株
 式会社内
 審査官 白井 亮

最終頁に続く

(54) 【発明の名称】 受信回路、受信方法及び信号伝達システム

(57) 【特許請求の範囲】

【請求項 1】

増加率と減少率とが非対称になる正の駆動電流又は負の駆動電流により駆動される一次側コイルと磁気的に結合される二次側コイルに、前記一次側コイルに流れる送信信号により生じる受信信号を受信する受信回路であって、

前記二次側コイルの一方の端子に接続され、前記受信信号の正の振幅と負の振幅との絶対値の差に応じた検出電圧を出力する受信信号検出回路と、

前記検出電圧と比較電圧との電圧差に基づいて前記受信信号を生成した送信データを再生するヒステリシスコンパレータと、を備え、

前記受信信号検出回路は、

入力端子が前記二次側コイルと接続され、出力端子が前記ヒステリシスコンパレータと接続され、前記入力端子と前記出力端子との間に一定の電圧差が生じると電流が流れる閾値回路を有し、

前記閾値回路の出力端子は、基準電圧が印加され、当該基準電圧の電圧源と容量素子を介して接続され、前記受信信号を前記容量素子に保持する受信回路。

【請求項 2】

前記受信信号検出回路は、前記受信信号の正の振幅と負の振幅との絶対値の差に応じた電圧値及び電圧保持期間に基づいて当該受信信号を保持することによって、前記検出電圧を生成する請求項 1 に記載の受信回路。

【請求項 3】

10

20

前記受信回路は、前記二次側コイルの他方の端子に、さらに前記受信信号検出回路が接続され、当該受信信号検出回路は、前記比較電圧を出力する請求項 1 又 2 に記載の受信回路。

【請求項 4】

前記閾値回路の入力端子には、入力側基準電圧が印加される請求項 1 に記載の受信回路。

【請求項 5】

前記閾値回路の入力端子は、入力側容量素子を介して前記二次側コイルと接続される請求項 4 に記載の受信回路。

【請求項 6】

前記閾値回路は、
入力端子と出力端子との間に一定の電圧差が生じると電流が流れる第 1 及び第 2 の閾値素子を有し、

前記第 1 の閾値素子の入力端子及び前記第 2 の閾値素子の出力端子は、前記二次側コイルと接続され、

前記第 1 の閾値素子の出力端子及び前記第 2 の閾値素子の入力端子は、前記ヒステリシスコンパレータと接続される請求項 4 又は 5 に記載の受信回路。

【請求項 7】

前記第 1 の閾値素子の入力端子及び前記第 2 の閾値素子の出力端子には、互いに独立した前記入力側基準電圧が印加され、

前記第 1 の閾値素子の入力端子は、第 1 の入力側容量素子を介して前記二次側コイルと接続され、

前記第 2 の閾値素子の出力端子は、第 2 の入力側容量素子を介して前記二次側コイルと接続される請求項 6 に記載の受信回路。

【請求項 8】

増加率と減少率とが非対称になる正の駆動電流又は負の駆動電流により駆動される一次側コイルと磁気的に結合される二次側コイルに、前記一次側コイルに流れる送信信号により生じる受信信号を受信する受信回路であって、

前記二次側コイルの一方の端子に接続され、前記受信信号の正の振幅と負の振幅との絶対値の差に応じた検出電圧を出力する受信信号検出回路と、

前記検出電圧と比較電圧との電圧差に基づいて前記受信信号を生成した送信データを再生するヒステリシスコンパレータと、を備え、

前記受信信号検出回路は、

前記受信信号の正の振幅を検出し、前記正の振幅の大きさに応じて、電圧値及び電圧保持期間が決まるピークホールド電圧を出力するピークホールド回路と、

前記受信信号の負の振幅を検出し、前記負の振幅の大きさに応じて、電圧値及び電圧保持期間が決まるボトムホールド電圧を出力するボトムホールド回路と、

前記ボトムホールド電圧の極性を反転させたホールド電圧を出力する反転増幅器と、

前記ピークホールド電圧と前記反転させたホールド電圧との電圧差に応じて前記検出電圧及び前記比較電圧を生成し、出力する差動増幅器と、
を備える受信回路。

【請求項 9】

前記ピークホールド回路は、入力端子が前記二次側コイルに接続され、出力端子が前記差動増幅器に接続された第 1 の閾値素子と、前記第 1 の閾値素子を介して供給される電荷を蓄積する第 1 の容量素子と、を有し、

前記ボトムホールド回路は、入力端子が前記反転増幅器を介して、前記差動増幅器に接続され、出力端子が前記二次側コイルに接続された第 2 の閾値素子と、前記第 2 の閾値素子を介して蓄積している電荷を放出する第 2 の容量素子と、を有する請求項 8 に記載の受信回路。

【請求項 10】

10

20

30

40

50

前記第 1 の閾値素子の出力端子と前記第 2 の閾値素子の入力端子とは、異なる基準電圧が印加される請求項 9 に記載の受信回路。

【請求項 1 1】

前記第 1 の閾値素子の入力端子と前記第 2 の閾値素子の出力端子とは、同一の入力側基準電圧が印加され、

前記第 1 の閾値素子の入力端子と前記第 2 の閾値素子の出力端子とは、入力側容量素子を介して前記二次側コイルを介して接続される請求項 9 又は 1 0 に記載の受信回路。

【請求項 1 2】

前記第 1 の閾値素子の入力端子及び前記第 2 の閾値素子の出力端子には、互いに独立した入力側基準電圧が印加され、

前記第 1 の閾値素子の入力端子は、第 1 の入力側容量素子を介して前記二次側コイルと接続され、

前記第 2 の閾値素子の出力端子は、第 2 の入力側容量素子を介して前記二次側コイルと接続される請求項 9 又は 1 0 に記載の受信回路。

【請求項 1 3】

前記ピークホールド電圧を増幅して前記差動増幅器に与える正転増幅器をさらに有し、
前記正転増幅器は、正転入力端子に前記ピークホールド電圧が印加され、
前記反転増幅器は、反転入力端子に前記ボトムホールド電圧が印加され、
前記正転増幅器の反転入力端子及び前記反転増幅器の正転入力端子には、前記ピークホールド電圧と前記ボトムホールド電圧との間の電圧値を有する中点電圧が印加される
請求項 8 乃至 1 2 のいずれか 1 項に記載の受信回路。

【請求項 1 4】

前記第 1 及び第 2 の閾値素子は、ダイオードであって、

前記第 1 及び第 2 の閾値素子の入力端子は前記ダイオードのアノードであり、第 1 及び第 2 の閾値素子の前記出力端子は前記ダイオードのカソードである請求項 6、9、1 0、1 1、及び 1 2 のいずれか 1 項に記載の受信回路。

【請求項 1 5】

前記第 1 及び第 2 の閾値素子は、ドレインとゲートが短絡されたトランジスタであって、

前記第 1 及び第 2 の閾値素子の入力端子には、前記トランジスタのドレインとソースのいずれか一方が接続され、第 1 及び第 2 の閾値素子の前記出力端子には前記トランジスタのドレインとソースの他方が接続される請求項 6、9、1 0、1 1、及び 1 2 のいずれか 1 項に記載の受信回路。

【請求項 1 6】

増加率と減少率とが非対称になる正の駆動電流又は負の駆動電流により駆動される一次側コイルと磁気的に結合される二次側コイルに、前記一次側コイルに流れる送信信号により生じる受信信号を受信する受信方法であって、

前記受信信号の正の振幅を検出し、前記正の振幅の大きさに応じた電圧値及び電圧保持期間に基づいて前記受信信号を保持し、

前記受信信号の負の振幅を検出し、前記負の振幅の大きさに応じた電圧値及び電圧保持期間に基づいて前記受信信号を保持し、

前記負の振幅の大きさに基づいて保持した前記受信信号の極性を反転し、

前記正の振幅の大きさに基づいて保持した前記受信信号と前記反転させた受信信号との電圧差に応じて検出電圧及び比較電圧を生成し、

前記検出電圧と比較電圧との電圧差に基づいて前記受信信号を生成した送信データを再生する受信方法。

【請求項 1 7】

前記受信信号の正の振幅と負の振幅との絶対値の差に応じた電圧値及び電圧保持期間に基づいて当該受信信号を保持することにより、前記検出電圧を生成する請求項 1 6 に記載の受信方法。

10

20

30

40

50

【請求項 18】

前記受信信号の正の振幅と負の振幅との絶対値の差に応じた電圧値及び電圧保持期間に基づいて当該受信信号を保持することにより、前記比較電圧を生成する請求項 16 又は 17 に記載の受信方法。

【請求項 19】

送信回路側に設けられる一次側コイルと、
前記一次側コイルと磁気的に結合される二次側コイルと、
送信データに基づいて生成される送信信号の立ち上がりエッジ又は立ち下がりエッジに応じた駆動制御信号を出力するプリドライバ回路と、

前記駆動制御信号に応じて前記一次側コイルに増加率と減少率とが非対称になる正の駆動電流又は負の駆動電流を供給するドライブ回路と、

前記二次側コイルの一方の端子に接続され、前記送信信号により前記二次側コイルに生じる受信信号の正の振幅と負の振幅との絶対値の差に応じた検出電圧を出力する受信信号検出回路と、

前記検出電圧と比較電圧との電圧差に基づいて前記受信信号を生成した送信データを再生するヒステリシスコンパレータと、を備え、

前記受信信号検出回路は、
入力端子が前記二次側コイルと接続され、出力端子が前記ヒステリシスコンパレータと接続され、前記入力端子と前記出力端子との間に一定の電圧差が生じると電流が流れる閾値回路を有し、

前記閾値回路の出力端子は、基準電圧が印加され、当該基準電圧の電圧源と容量素子を介して接続され、前記受信信号を前記容量素子に保持する信号伝達システム。

【請求項 20】

送信回路側に設けられる一次側コイルと、
前記一次側コイルと磁気的に結合される二次側コイルと、
送信データに基づいて生成される送信信号の立ち上がりエッジ又は立ち下がりエッジに応じた駆動制御信号を出力するプリドライバ回路と、

前記駆動制御信号に応じて前記一次側コイルに増加率と減少率とが非対称になる正の駆動電流又は負の駆動電流を供給するドライブ回路と、

前記二次側コイルの一方の端子に接続され、前記送信信号により前記二次側コイルに生じる受信信号の正の振幅と負の振幅との絶対値の差に応じた検出電圧を出力する受信信号検出回路と、

前記検出電圧と比較電圧との電圧差に基づいて前記受信信号を生成した送信データを再生するヒステリシスコンパレータと、を備え、

前記受信信号検出回路は、
前記受信信号の正の振幅を検出し、前記正の振幅の大きさに応じて、電圧値及び電圧保持期間が決まるピークホールド電圧を出力するピークホールド回路と、

前記受信信号の負の振幅を検出し、前記負の振幅の大きさに応じて、電圧値及び電圧保持期間が決まるボトムホールド電圧を出力するボトムホールド回路と、

前記ボトムホールド電圧の極性を反転させたホールド電圧を出力する反転増幅器と、
前記ピークホールド電圧と前記反転させたホールド電圧との電圧差に応じて前記検出電圧及び前記比較電圧を生成し、出力する差動増幅器と、

を備える信号伝達システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は送信回路、受信回路、送信方法、受信方法及び信号伝達システムに関し、特に磁気的な結合により信号を伝達する交流結合手段を介して通信を行う送信回路、受信回路、送信方法、受信方法及び信号伝達システムに関する。

【背景技術】

【0002】

電源電圧の異なる複数の半導体チップ間で信号を伝達する場合、配線により直接信号を伝達すると、伝達する信号の直流電圧成分に生じた電圧差によって半導体チップの破損や信号伝達の不具合が生じることがある。そこで、電源電圧の異なる複数の半導体チップ間で信号を伝達する場合、半導体チップ間を交流結合素子で接続し、交流信号のみを伝達することが行われる。この交流結合素子には、コンデンサやトランスフォーマ（以下、トランスと称す）がある。

【0003】

ここで、トランスは、一次側コイルと二次側コイルとが磁氣的に結合される交流結合素子である。交流結合素子としてトランスを用いた場合、トランスの一次側コイルと二次側コイルとの巻線比を調節することで、送信側の半導体チップの送信信号の電圧振幅にかかわらず受信側の半導体チップに適切な電圧振幅の信号を伝達することができる。そのため、トランスを用いて異なる電源電圧で動作する半導体チップ間の通信を行うことで、送信信号又は受信信号の電圧振幅を半導体チップ上で調節する必要がなくなる。以下の説明では、半導体チップ上に形成されたトランスの場合に応じてオンチップトランスと称す。

10

【0004】

トランスを用いた信号伝達技術の例が特許文献1～11に開示されている。特許文献1～5には、2つのオンチップトランスフォーマを用いて、データの値が第1の値から第2の値に遷移すると第1のトランスフォーマにパルス信号を送出し、データの値が第2の値から第1の値に遷移すると第2のトランスフォーマにパルス信号を送出する技術が開示されている。しかし、本方式では、直径が数百 μm から1mmのトランスを二つ用いるためチップ面積が大きくなる問題がある。

20

【0005】

特許文献1、2、4～6には、データの値が第1の値の期間はオンチップトランスフォーマに連続的なパルス信号を送出し続け、データの値が第2の値の期間はオンチップトランスフォーマに信号を固定する技術が開示されている。しかし、本方式では、トランスを介して送信される信号の論理値が一定のレベルにある間は信号を送信し続けなければならないため、消費電力が大きくなる問題がある。

【0006】

特許文献1、2、4、5には、データの値が第1の値の期間はオンチップトランスフォーマに第1の周波数の連続的なパルス信号を送出し続け、データの値が第2の値の期間はオンチップトランスフォーマに第2の周波数の連続的なパルス信号を送出し続ける技術が開示されている。しかし、本方式においても、トランスを介して送信される信号の論理値が一定のレベルにある間は信号を送信し続けなければならないため、消費電力が大きくなる問題がある。さらに、本方式では、周波数を判定するために用いる回路が煩雑になる、又は、フィルタ回路等の回路面積が大きくなる問題がある。

30

【0007】

特許文献7には、データの値が第1の値から第2の値に遷移するとオンチップトランスフォーマに1つのパルスからなる信号を送出し、データの値が第2の値から第1の値に遷移するとオンチップトランスフォーマに連続する2つのパルスからなる信号を送出する技術が開示されている。しかし、本方式では、信号遅延が大きくなる問題がある。また、本方式では、受信回路においてパルス数を判別する判別回路が煩雑になる問題がある。

40

【0008】

特許文献8、9には、交流結合素子を介して信号を伝達する半導体装置に搭載される受信回路が開示されている。当該受信回路では、受信回路側の二次コイルに生じた正のパルスと負のパルスとを受信クロックにより取り込む。しかし、特許文献8、9に記載の技術では、送信回路の送信タイミングと受信回路の受信タイミングとを同期する必要があり、非同期通信に対応できない問題がある。また、受信回路において常に受信クロックを生成する必要があり、消費電力が大きくなる問題がある。

【0009】

50

上記特許文献 1 ～ 9 に記載の技術では、チップ面積が増大する、又は、消費電力が増大する問題がある。そこで、チップ面積及び消費電力を抑制するために、二次側コイルに生じた電圧変動から送信された伝達信号を再生する技術が特許文献 10、11 に開示されている。

【0010】

特許文献 10 には、伝達信号の立ち上がりエッジ及び立ち下がりエッジのそれぞれで正の電流パルス及び負の電流パルスを生成する送信回路と、正の電流パルス及び負の電流パルスにより二次コイルに生じた誘導起電力及び逆誘導起電力から正の電流パルスに対応したパルス *output n* と負の電流パルスに対応したパルス *output* とを生成し、パルス *output n*、*output* の順序により伝達信号の立ち上がり立ち下がり判定し、伝達信号を再生する受信回路と、が開示されている。

10

【0011】

特許文献 11 には、伝達信号の立ち上がりエッジと立ち下がりエッジとに対応して、一次側コイルに流れる電流を急峻に上昇または下降させ、エッジに続く信号レベルが一定になる期間にコイルに流れる電流を指数関数的にゼロまで戻す技術が開示されている。これにより、特許文献 11 では、二次側コイルに生じる電圧を上下非対称とし、受信回路のヒステリシスコンパレータにより当該二次側コイルに生じる電圧を検出し、当該検出結果から伝達信号を再生する。

【先行技術文献】

【特許文献】

20

【0012】

【特許文献 1】米国特許第 6 2 6 2 6 0 0 号明細書

【特許文献 2】米国特許第 6 5 2 5 5 6 6 号明細書

【特許文献 3】米国特許第 6 8 7 3 0 6 5 号明細書

【特許文献 4】米国特許第 6 9 0 3 5 7 8 号明細書

【特許文献 5】米国特許第 6 9 2 2 0 8 0 号明細書

【特許文献 6】米国特許第 7 3 0 2 2 4 7 号明細書

【特許文献 7】米国特許第 7 0 7 5 3 2 9 号明細書

【特許文献 8】特開 2 0 0 5 - 2 2 8 9 8 1 号公報

【特許文献 9】特開 2 0 0 9 - 1 8 8 4 6 8 号公報

30

【特許文献 10】特開 2 0 0 7 - 3 6 4 9 7 号公報

【特許文献 11】特開平 8 - 2 3 6 6 9 6 号公報

【発明の概要】

【発明が解決しようとする課題】

【0013】

しかしながら、特許文献 10 に記載の技術では、伝達信号をパルス幅の短い短パルスで変調して送信する場合に、二次側コイルに生じる電圧変動の間隔が狭くなり、受信回路において受信信号の誤判定が発生する問題がある。また、特許文献 11 に記載の技術では、短パルスにより伝達信号を変調する場合、短パルスの立ち上がりエッジと立ち下がりエッジとの間隔を一次側コイルの駆動電流がゼロに戻るまでの期間よりも短くした場合に、受信回路において受信信号の誤判定が発生する問題がある。

40

【0014】

本発明は、このような問題を解決するためになされたものであり、送信信号をパルス幅の短い短パルスで変調して送信する場合においても、受信信号の誤受信を防止する送信回路、受信回路、送信方法、受信方法及び信号伝達システムを提供することを目的としている。

【課題を解決するための手段】

【0015】

本発明にかかる送信回路は、送信データに基づいて生成される送信信号の立ち上がりエッジ又は立ち下がりエッジに応じて前記ドライブ回路に駆動制御信号を出力するプリドラ

50

イバ回路と、受信回路側に設けられる二次側コイルと磁氣的に結合される一次側コイルを前記駆動制御信号に応じて増加率と減少率とが非対称になる正の駆動電流又は負の駆動電流により駆動するドライブ回路と、を有するものである。

【 0 0 1 6 】

本発明にかかる受信回路は、増加率と減少率とが非対称になる正の駆動電流又は負の駆動電流により駆動される一次側コイルと磁氣的に結合される二次側コイルに、前記一次側コイルに流れる送信信号により生じる受信信号を受信する受信回路であって、前記二次側コイルの一方の端子に接続され、前記受信信号の正の振幅と負の振幅との絶対値の差に応じた検出電圧を出力する受信信号検出回路と、前記検出電圧と比較電圧との電圧差に基づいて前記受信信号を生成した送信データを再生するヒステリシスコンパレータと、を有するものである。

10

【 0 0 1 7 】

本発明にかかる送信方法は、受信回路側に設けられる二次側コイルと磁氣的に結合される一次側コイルに駆動電流を供給することにより、送信データに基づいて生成される送信信号を前記受信回路に送信する送信方法であって、前記送信信号の立ち上がりエッジ又は立ち下がりエッジに応じて駆動制御信号を出力し、前記駆動制御信号に応じて立ち上がり時間変化量と立ち下がり時間変化量とが異なる前記駆動電流を出力するものである。

【 0 0 1 8 】

本発明にかかる受信方法は、増加率と減少率とが非対称になる正の駆動電流又は負の駆動電流により駆動される一次側コイルと磁氣的に結合される二次側コイルに、前記一次側コイルに流れる送信信号により生じる受信信号を受信する受信方法であって、前記二次側コイルの一方の端子から、前記受信信号の正の振幅と負の振幅との絶対値の差に応じた検出電圧を出力し、前記検出電圧と比較電圧との電圧差に基づいて前記受信信号を生成した送信データを再生するものである。

20

【 0 0 1 9 】

本発明にかかる信号伝達システムは、送信回路側に設けられる一次側コイルと、前記一次側コイルと磁氣的に結合される二次側コイルと、送信データに基づいて生成される送信信号の立ち上がりエッジ又は立ち下がりエッジに応じて前記ドライブ回路に駆動制御信号を出力するブリッド回路と、前記駆動制御信号に応じて前記一次側コイルに増加率と減少率とが非対称になる正の駆動電流又は負の駆動電流を供給するドライブ回路と、前記二次側コイルの一方の端子に接続され、前記送信信号により前記二次側コイルに生じる受信信号の正の振幅と負の振幅との絶対値の差に応じた検出電圧を出力する受信信号検出回路と、前記検出電圧と比較電圧との電圧差に基づいて前記受信信号を生成した送信データを再生するヒステリシスコンパレータと、を有するものである。

30

【発明の効果】

【 0 0 2 0 】

本発明により、動作環境に起因する論理判定の誤りを防ぐことができる信号伝達システムを提供することができる。

【図面の簡単な説明】

【 0 0 2 1 】

40

【図 1】実施の形態 1 にかかる信号伝達システムの構成例を示す図である。

【図 2】実施の形態 1 にかかる信号伝達システムの実装例を示す図である。

【図 3】実施の形態 1 にかかる信号伝達システムの構成例を示す図である。

【図 4】実施の形態 1 にかかるヒステリシスコンパレータの動作特性を示す図である。

【図 5】実施の形態 1 にかかるドライブ回路の回路図である。

【図 6】実施の形態 1 にかかる送信回路の動作を示すタイミングチャートである。

【図 7】実施の形態 1 にかかる送信回路の動作を示すタイミングチャートである。

【図 8】実施の形態 1 にかかる送信回路の動作を示すタイミングチャートである。

【図 9】実施の形態 1 にかかる送信回路の回路図である。

【図 10】実施の形態 1 にかかる送信回路の動作を示すタイミングチャートである。

50

- 【図 1 1】実施の形態 1 にかかる送信回路の動作を示すタイミングチャートである。
- 【図 1 2】実施の形態 1 にかかる送信回路の回路図である。
- 【図 1 3】関連する送信回路の動作を示すタイミングチャートである。
- 【図 1 4】実施の形態 1 にかかる受信回路の構成例を示すである。
- 【図 1 5】実施の形態 1 にかかる閾値回路の出力特性を示す図である。
- 【図 1 6】閾値素子の構成例を示す図である。
- 【図 1 7】実施の形態 1 にかかる受信回路の回路図である。
- 【図 1 8】実施の形態 1 にかかる受信回路の動作を示すタイミングチャートである。
- 【図 1 9】実施の形態 1 にかかる受信回路の回路図である。
- 【図 2 0】実施の形態 2 にかかる送信回路の構成例を示すである。 10
- 【図 2 1】実施の形態 2 にかかる送信回路の構成例を示すである。
- 【図 2 2】実施の形態 3 にかかる送信回路の構成例を示すである。
- 【図 2 3】実施の形態 3 にかかる送信回路の構成例を示すである。
- 【図 2 4】実施の形態 3 にかかる送信回路の動作を示すタイミングチャートである。
- 【図 2 5】実施の形態 3 にかかる送信回路の構成例を示すである。
- 【図 2 6】実施の形態 3 にかかる送信回路の動作を示すタイミングチャートである。
- 【図 2 7】実施の形態 4 にかかる受信回路の構成例を示すである。
- 【図 2 8】実施の形態 4 にかかる受信回路の構成例を示すである。
- 【図 2 9】実施の形態 4 にかかる受信回路の構成例を示すである。
- 【図 3 0】実施の形態 4 にかかる受信回路の構成例を示すである。 20
- 【図 3 1】実施の形態 5 にかかる受信回路の構成例を示すである。
- 【図 3 2】実施の形態 6 にかかる受信回路の構成例を示すである。
- 【図 3 3】実施の形態 6 にかかる受信信号検出回路の動作を示すタイミングチャートである。
- 【図 3 4】実施の形態 1 ~ 5 にかかる受信信号検出回路の動作を示すタイミングチャートである。
- 【図 3 5】実施の形態 1 ~ 5 にかかる受信信号検出回路の動作を示すタイミングチャートである。
- 【図 3 6】実施の形態 6 にかかる受信回路の回路図である。
- 【図 3 7】実施の形態 6 にかかる受信回路の回路図である。 30
- 【図 3 8】本発明にかかる送信回路及び受信回路の構成例である。
- 【図 3 9】本発明にかかる信号伝達システムの実装例を示すである。
- 【図 4 0】本発明にかかる信号伝達システムの実装例を示すである。
- 【図 4 1】本発明にかかる信号伝達システムの実装例を示すである。
- 【図 4 2】本発明にかかる信号伝達システムの実装例を示すである。
- 【図 4 3】本発明にかかる信号伝達システムの実装例を示すである。
- 【図 4 4】本発明にかかる信号伝達システムの実装例を示すである。
- 【図 4 5】本発明にかかる信号伝達システムの実装例を示すである。
- 【図 4 6】本発明にかかる信号伝達システムの実装例を示すである。
- 【図 4 7】本発明にかかる信号伝達システムの実装例を示すである。 40
- 【図 4 8】本発明にかかる信号伝達システムの実装例を示すである。
- 【発明を実施するための形態】

【 0 0 2 2 】

実施の形態 1

以下、図面を参照して本発明の実施の形態について説明する。図 1 は、本発明にかかる信号伝達システム 1 全体の構成例を示すものである。図 1 に示した信号伝達システム 1 は、送信回路 2、受信回路 3、トランスフォーマ 10 を備える。トランスフォーマ 10 は、一次側コイル 11 及び二次側コイル 12 とからなり、交流信号を一次側コイル 11 から二次側コイルに伝達する交流結合素子である。トランスフォーマ 10 は、互いに磁氣的に結合される。

【 0 0 2 3 】

図 2 に信号伝達システム 1 の実装例を示す。図 2 に示す実装状態は、半導体パッケージ 9 1 に第 1 の半導体チップ 9 3 及び第 2 の半導体チップ 9 4 が搭載される。この第 1 の半導体チップ 9 3 及び第 2 の半導体チップ 9 4 は、それぞれパッド P d を有する。そして、第 1 の半導体チップ 9 3 及び第 2 の半導体チップ 9 4 のパッド P d は、図示しないボンディングワイヤを介して半導体パッケージ 9 1 に設けられたリード端子 9 2 と接続される。

【 0 0 2 4 】

第 1 の半導体チップ 9 3 には送信回路 2 が形成される。また、第 1 の半導体チップ 9 3 には、一次側コイル 1 1 及び二次側コイル 1 2 が形成される。一方、第 2 の半導体チップ 9 4 には、受信回路 3 が形成される。第 2 の半導体チップ 9 4 には、受信回路 3 と接続されるパッドが形成され、第 1 の半導体チップ 9 3 には、二次側コイル 1 2 と接続されるパッドが形成される。そして、受信回路 3 は、パッドとボンディングワイヤとを介して第 1 の半導体チップ 9 3 に形成された二次側コイル 1 2 と接続される。

【 0 0 2 5 】

信号伝達システム 1 は、パッド P d から入力される送信データを送信回路 2 が駆動信号に変換し、一次側コイルに送信信号として出力する。信号伝達システム 1 は、トランスフォーマ 1 0 の一次側コイル 1 1 を用いて送信信号 ($i(t)$) を磁気信号に変換し、二次側コイル 1 2 を用いて当該磁気信号を受信信号 (V_R) に変換する。そして、受信回路 3 は、受信信号に基づいて送信データを再生する。これによって、電氣的に絶縁された第 1 の半導体チップ 9 3 と第 2 の半導体チップ 9 4 との間で信号伝達を可能にする。

【 0 0 2 6 】

続いて、信号伝達システム 1 の構成例の詳細について説明する。図 3 に示した回路は、実施の形態 1 にかかる信号伝達システム 1 の詳細なブロック図である。送信回路 2 は、ドライブ回路 2 1、ブリドライバ回路 2 2 を有する。ドライブ回路 2 1 は、受信回路 3 側に設けられる二次側コイル 1 2 と磁氣的に結合される一次側コイル 1 1 を、駆動制御信号に応じて増加率と減少率とが非対称になる正の駆動電流又は負の駆動電流により駆動する。なお、正の駆動電流及び負の駆動電流は、駆動電流 $i(t)$ として一次側コイル 1 1 に供給される。ブリドライバ回路 2 2 は、送信データ $T \times I_N$ に基づいて生成される送信信号の立ち上がりエッジ又は立ち下がりエッジに応じてドライブ回路に駆動制御信号を出力する。

【 0 0 2 7 】

受信回路 3 は、受信信号検出回路 3 1、ヒステリシスコンパレータ 3 2 を有する。受信信号検出回路 3 1 は、入力端子が二次側コイル 1 2 と接続される。受信信号検出回路 3 1 は、二次側コイル 1 2 の一方の端子に接続され、受信信号の正の振幅と負の振幅との絶対値の差に応じた検出電圧を出力する。

【 0 0 2 8 】

ヒステリシスコンパレータ 3 2 は、受信信号検出回路 3 1 の出力端子に接続され、検出電圧と比較電圧との電圧差に基づいて受信信号を生成した送信データ $T \times I_N$ を再生し、出力データ $R \times O U T$ として出力する。具体的には、図 4 に示すように、ヒステリシスコンパレータ 3 2 は、検出電圧と比較電圧との電位差 $V_R 2$ が入力電圧 $V_{i n}$ として入力され、入力電圧 $V_{i n}$ が所定の電位差 $V_{t h 1}$ 以上になると出力電圧 $V_{o u t}$ の論理レベルをハイレベルとする。一方、ヒステリシスコンパレータ 3 2 は、入力電圧 $V_{i n}$ が所定の電位差 $V_{t h 2}$ 以下になると出力電圧 $V_{o u t}$ の論理レベルをローレベルとする。これらの論理レベルが出力データ $R \times O U T$ として出力される。

【 0 0 2 9 】

次に、送信回路 2 の具体的な構成及び動作について説明する。図 5 は、ドライブ回路 2 1 の具体的な回路の構成例を示す図である。図 5 に示すように、ドライブ回路 2 1 は、p チャンネル MOS トランジスタ M P 1、M P 2 と、n チャンネル MOS トランジスタ M N 1、M N 2 を有する。p チャンネル MOS トランジスタ M P 1 のソースは第 1 の基準電圧（例えば、電源 $V_{r e f}$ ）に接続され、ドレインは n チャンネル MOS トランジスタ M N 1 のドレ

10

20

30

40

50

インに接続される。また、pチャネルMOSトランジスタMP1のドレインとnチャネルトランジスタMN1のドレインとが接続されるノードは、一次側コイルの第1の端子に接続される。nチャネルMOSトランジスタMN1のソースは第2の基準電圧（例えば、グランド）に接続される。また、pチャネルMOSトランジスタMP1のゲートには、制御信号VGP1が与えられる。nチャネルMOSトランジスタMN1のゲートには、制御信号VGN1が与えられる。

【0030】

pチャネルMOSトランジスタMP2のソースは第1の基準電圧（例えば、電源Vref）に接続され、ドレインはnチャネルMOSトランジスタMN2のドレインに接続される。また、pチャネルMOSトランジスタMP2のドレインとnチャネルトランジスタMN2のドレインとが接続されるノードは、一次側コイルの第2の端子に接続される。nチャネルMOSトランジスタMN2のソースは第2の基準電圧（例えば、グランド）に接続される。また、pチャネルMOSトランジスタMP2のゲートには、制御信号VGP2が与えられる。nチャネルMOSトランジスタMN2のゲートには、制御信号VGN2が与えられる。

10

【0031】

なお、図5に示す例では、制御信号VGN2を出力するプリドライバ回路22のみが接続された構成を示したが、それぞれのトランジスタのゲートには、プリドライバ回路22が接続されるか、または送信データTxINを電圧信号に変換するアンプが接続される（図示省略）。つまり、送信データTxINがプリドライバ回路22またはアンプを介してそれぞれのトランジスタのゲートに入力される。制御信号VGP1、VGP2、VGN1は、送信データTxINに基づき図示を省略した回路が生成するものである。

20

【0032】

また、ドライブ回路21は、一次側コイルに対して正の駆動電流と負の駆動電流を与える。この正の駆動電流とは、一次側コイルの第1の端子から第2の端子に向かって流れる電流のことを言い、負の駆動電流とは、一次側コイルの第2の端子から第1の端子に向かって流れる電流のことを言う。

【0033】

ここで、図5に示したドライブ回路21の動作例について、図6に示す送信回路2内部の波形を用いて説明する。プリドライバ回路22は送信回路2のnチャネルMOSトランジスタMN1、MN2のゲートに、急峻な立ち上がりと緩やかな立ち下がりをする電圧VGN1、VGN2を与える。このとき、オン状態にするnチャネルMOSトランジスタと対角の位置にあるpチャネルMOSトランジスタ（MN1に対してはMP2、MN2に対してはMP1）を予めオン状態にしておく。つまり、pチャネルMOSトランジスタをオン状態とするために、アンプを介した送信データTxIN、すなわちゲート電圧VGP1、VGP2がゲートに与えられる。

30

【0034】

ここで、nチャネルMOSトランジスタに与えるゲート電圧と、ソース - ドレイン間に流れる電流はおおよそ比例する。そのため、図6に示すようにnチャネルMOSトランジスタMN1、MN2のゲートに入力された急峻な立ち上がりと緩やかな立ち下がりをする電圧VGN1、VGN2によって、一次側コイル11に流れる駆動電流iは急峻な立ち上がりと緩やかな立ち下がりをするることとなる。

40

【0035】

なお、nチャネルMOSトランジスタを予めオン状態にしておき、pチャネルMOSトランジスタのゲート端子に急峻な立ち上がりと立ち下がりをする電圧波形を印加してもよい。

【0036】

また、一次側コイル11に流れる電流の向きを逆転させるためには、図5に示したpチャネルMOSトランジスタMP1とnチャネルMOSトランジスタMN2をオンさせるか、pチャネルMOSトランジスタMP2とnチャネルMOSトランジスタMN1をオンさ

50

せるかを、それぞれのゲート電圧の制御によって選択すればよい。

【 0 0 3 7 】

一方、図 7 に示すように、予め n チャンネル MOS トランジスタをオン状態としておき、p チャンネル MOS トランジスタのゲート電圧を急峻にローレベルにすることで一次側コイルの駆動電流 i を急峻に立ち上げてよい。これにより、駆動電流 i は急峻に立ち上がる。一方、駆動電流 i を緩やかに立ち下げる場合は、予めオン状態にしておいた n チャンネル MOS トランジスタのゲート電圧を緩やかにローレベルにすることによって、一次側コイル 1 1 の駆動電流 i が緩やかに立ち下がる。

【 0 0 3 8 】

このように、ドライブ回路 2 1 が有するそれぞれのトランジスタのゲート電圧を制御することにより、一次側コイル 1 1 に流れる電流は急峻な立ち上がりと緩やかな立ち下がり、または急峻な立ち下がりと緩やかな立ち上がりを有する波形となる。

10

【 0 0 3 9 】

次に、ブリドライバ回路 2 2 の動作例について説明する。ブリドライバ回路 2 2 は、上記のようにドライブ回路 2 1 のトランジスタのゲート電圧を制御する駆動制御信号を出力する。具体的には、制御するゲートに対して電流を供給したり電流を引き抜いたりする。

【 0 0 4 0 】

このとき、式 (1) に示すように、二次側コイル 1 2 に現れる電圧 V_R は、一次側コイル 1 1 に流れる電流の時間微分に比例する。また、一次側コイル 1 1 に流れる電流は、おおそドライブ回路 2 1 のトランジスタ (MP 1、MP 2、NM 1、MN 2) のゲート電圧に比例する。さらに、ドライブ回路 2 1 のトランジスタのゲート電圧は、当該ゲートに流れる電流の積分に比例する。したがって、二次側コイル 1 2 に現れる電圧は、一次側コイル 1 1 に流れる電流を制限しているドライブ回路 2 1 のトランジスタのゲート電圧におおそ比例する。なお、 g_m は MOS トランジスタのトランスコンダクタンスである。

20

【 0 0 4 1 】

【 数 1 】

$$V_R \propto \frac{di}{dt} = \frac{d(gm \cdot V_{GN1})}{dt} = gm \frac{dV_{GN1}}{dt} = gm \frac{I_{GN1}}{C_g} \quad \therefore V_R \propto I_{GN1} \quad (1)$$

【 0 0 4 2 】

30

つまり、ブリドライバ回路 2 2 が、ドライブ回路 2 1 のトランジスタのゲートに流す電流を制御することによって、二次側コイル 1 2 に現れる電圧 V_R の波形を制御することができる。ブリドライバ回路 2 2 が n チャンネル MOS トランジスタ MN 2 に出力する電流 I_{GN2} 、n チャンネル MOS トランジスタ MN 2 のゲート電圧 V_{GN2} 、二次側コイル 1 2 に現れる電圧 V_R の波形を図 8 に示す。

【 0 0 4 3 】

図 8 に示した波形における動作を説明する。まず、図 5 に示した回路において、ドライブ回路 2 1 の p チャンネル MOS トランジスタ MP 1 を予めオン状態にしておく。次に、n チャンネル MOS トランジスタ MN 2 のゲート電圧 V_{GN2} を急峻に立ち上げるように、ブリドライバ回路 2 2 は大きな電流 i_{GN2} を供給する。すると、急峻に立ち上がったゲート電圧 V_{GN2} によって、ドライブ回路 2 1 から一次側コイル 1 1 に大きな駆動電流 i が流れるため、二次側コイル 1 2 には振幅の大きい電圧 V_R が生じる。

40

【 0 0 4 4 】

その後、ゲート電圧 V_{GN2} を緩やかに立ち下げるように、ブリドライバ回路 2 2 は、小さな電流 i_{GN2} をゲートから引き抜く。これによって、ゲート電圧 V_{GN2} が緩やかに立ち下がり、二次側コイル 1 2 には小さな負の振幅を有する電圧 V_R が生じる。

【 0 0 4 5 】

このように、ドライブ回路 2 1 のトランジスタのゲート電流を制御するブリドライバ回路 2 2 を備えることによって、二次側コイル 1 2 に現れる電圧 V_R の振幅、つまり電圧 V_R の時間変化率を制御する。なお、n チャンネル MOS トランジスタ MN 1 を予めオン状態

50

にしており、pチャネルMOSトランジスタMP2のゲート電流をプリドライバ回路22によって制御してもよいし、pチャネルMOSトランジスタ及びnチャネルMOSトランジスタの双方のゲートにプリドライバ回路22を接続し、nチャネルMOSトランジスタのゲートを大きな電流で急速にチャージして、その後pチャネルMOSトランジスタのゲートを小さな電流で徐々にオフ状態にする制御をしてもよい。

【0046】

図9は、プリドライバ回路22の具体的な回路の構成例を示した図である。プリドライバ回路22は、pチャネルMOSトランジスタMP3、nチャネルMOSトランジスタMN3、パルス発生器221を有する。pチャネルMOSトランジスタMP3のソース端子には第3の基準電圧源に接続され、nチャネルMOSトランジスタMN3のソース端子は第4の基準電圧源（例えば、グランド）に接続される。また、pチャネルMOSトランジスタMP3のドレイン端子とnチャネルMOSトランジスタMN3のドレイン端子は、プリドライバ回路22の出力端子に接続される。なお、図9の回路においてはプリドライバ回路22の出力端子はnチャネルMOSトランジスタMN1のゲートに接続される。

【0047】

パルス発生器221には、送信データTxINが入力される。パルス発生器221は、pチャネルMOSトランジスタMP3及びnチャネルMOSトランジスタMN3のそれぞれのゲートに、送信データTxINの論理レベルに対応したパルスを出し、これらのトランジスタを交互にオン状態にする。ここで、図10に示すようにnチャネルMOSトランジスタMN1のゲート電圧をチャージする場合には大きな電流iGN1を供給し、ディスチャージする場合には小さな電流iGN1を徐々に引き抜く場合においては、プリドライバ回路22のpチャネルMOSトランジスタMP3のオン抵抗RONPを小さくし、nチャネルMOSトランジスタMN3のオン抵抗RONNを大きくする。これによって、nチャネルMOSトランジスタMN1のゲートに供給する電流と引き抜く電流の大きさを変えることができる。

【0048】

例えば、 $RONP : RONN = 1 : 2$ とすると、nチャネルMOSトランジスタMN1のゲートに流れる電流iGN1の比は、立ち上がり電流：立ち下がり電流 = 2 : 1となる。同様に、二次側コイル12の起電力(VR)もゲートに流れる電流iGN1に比例した正負の振幅を有するパルスが現れる。

【0049】

このように、プリドライバ回路22のpチャネルMOSトランジスタMN3とnチャネルMOSトランジスタMN3のオン抵抗の比を予め設定しておくことにより、二次側コイル12に現れる電圧VRの波形の正負の向き及び振幅を設定することができる。したがって、受信回路3において、二次側コイル12に生じる電圧VRの波形が、正負のどちらの振幅が閾値を超えたか、または正負のどちらの振幅が大きいかを判別すれば、送信回路2が送出した信号の論理レベルを判定することができる。

【0050】

図11に示すように二次側コイル12に正の大きな振幅を有する波形を発生させる場合には、図12に示した回路構成としてもよい。つまり、プリドライバ回路22をpチャネルMOSトランジスタMP1のゲートに接続する構成としてもよい。このとき、 $RONP : RONN = 2 : 1$ とすると、pチャネルMOSトランジスタMP1のゲートに流れる電流iGP1の比は、立ち上がり電流：立ち下がり電流 = 1 : 2となる。

【0051】

以上が送信回路2の構成及び動作の説明である。通常、送信データTxINの論理レベルに応じて一次側コイル11の電流iの流す向きを変える方式においては、図13に示すように、電圧VRの波形が短時間で正負の両極に振れる。そのため、信号成分sigとノイズ成分noiseの判別が難しく、受信回路3における論理値の判定が困難であった。

【0052】

しかし、本発明にかかる送信回路2は、プリドライバ回路22がドライブ回路21を制

10

20

30

40

50

御することによって、一次側コイル 1 1 に供給する電流の立ち上がりと立ち下りの時間変化率を制御できる。その結果、図 8 において説明したように、二次側コイルに生じる電圧 V_R の波形の正負の振幅に差を設けることができるだけでなく、波形の変化の速度も調整することができる。したがって、二次側コイル 1 2 に生じる電圧 V_R が短時間に正負の両極に振れる信号とならないため、論理値の誤判定を防止することができる。

【 0 0 5 3 】

以下では、受信回路 3 の構成及び動作について説明する。図 1 4 は、受信回路 3 の具体的な回路の構成例を示す図である。受信信号検出回路 3 1 は、閾値回路 3 1 1、容量素子 3 1 2、抵抗素子 3 1 3 を有する。閾値回路 3 1 1 は、入力端子が二次側コイル 1 2 と接続され、出力端子がヒステリシスコンパレータ 3 2 と接続され、入力端子と出力端子との間の電圧 V_m が一定値以上になると電流 i_m が流れる。また、閾値回路 3 1 1 の出力端子には、比較電圧となるバイアス電圧 V_{BIAS} が印加され、電圧 V_{BIAS} の電圧源（図示省略）と容量素子を介して接続される。

10

【 0 0 5 4 】

図 1 5 に閾値回路 3 1 1 の動作を表すグラフを示す。上述したように、閾値回路 3 1 1 の両端の電圧 V_m が閾値電圧 V_{th3} よりも大きくなると、当該電圧 V_m に比例した大きさの電流 i_m が流れる。また、両端の電圧 V_m が閾値電圧 V_{th4} よりも小さくなった場合にも、当該電圧 V_m の大きさに比例した大きさの電流 i_m が流れる。一方、両端の電圧 V_m が閾値電圧 V_{th4} 以上 V_{th3} 以下である場合には、閾値回路 3 1 1 には電流は流れない。

20

【 0 0 5 5 】

ここで、図 1 6 を用いて、閾値回路 3 1 1 の具体的な構成例について説明する。図 1 6 に示すように、閾値回路 3 1 1 が有する閾値素子として P N 接合やショットキー接合を用いたダイオード用いてもよいし、 n チャネル MOS トランジスタまたは p チャネル MOS トランジスタのゲートをソースまたはドレインに短絡させた構成を用いてもよい。このとき、閾値素子の入力端子には、トランジスタのドレインとソースのいずれか一方が接続され、閾値素子の出力端子にはトランジスタのドレインとソースの他方が接続される。

【 0 0 5 6 】

一般的な C M O S プロセスの P N 接合ダイオードを用いた場合には、電源電圧等に関係なく 0 . 7 V 程度で安定した閾値を得ることが可能である。トランジスタを用いた場合には、その閾値は C M O S プロセスの世代や最小加工寸法に依存し 0 . 2 V 程度から 1 V 程度である。しかし、プロセス、電源電圧、温度などの変動条件を考慮しても、閾値の変動は $\pm 0 . 1$ V 程度に抑えられる場合が多い。これらの閾値の変動は、一般にヒステリシス回路のしきい値の変動よりも小さい。そのため、これらを用いることで、閾値の安定した受信回路 3 を構成することが可能になる。

30

【 0 0 5 7 】

図 1 7 に閾値素子として上記したダイオードを有する閾値回路 3 1 1 の具体的な構成例を示す。図 1 7 に示した閾値回路 3 1 1 は、入力端子と出力端子の間に一定の電圧差が生じると電流が流れる 2 つの閾値素子であるダイオード 3 1 1 1、3 1 1 2 を有する。ダイオード 3 1 1 1 のアノード及びダイオード 3 1 1 2 のカソードは、二次側コイル 1 2 と接続される。また、ダイオード 3 1 1 1 のカソード及びダイオード 3 1 1 2 のアノードは、ヒステリシスコンパレータ 3 2 と接続される。なお、閾値素子は、ダイオードに限られるものではなく、上記したように n チャネル MOS トランジスタまたは p チャネル MOS トランジスタのゲート端子をソース端子またはドレイン端子に短絡させた構成を用いてもよい。

40

【 0 0 5 8 】

受信信号検出回路 3 1 の動作を示す波形を図 1 8 に示す。送信回路 2 において説明したように、一次側コイル 1 1 に流れる増加率と減少率が非対称になる正の駆動電流 $i(t)$ により生じた磁気信号によって、二次側コイル 1 2 には図 1 8 に示したような正の振幅と負の振幅の大きさが異なる電圧 V_R の波形が発生する。

50

【 0 0 5 9 】

発生した電圧 V_R が閾値電圧 V_{th3} を超える場合、または閾値電圧 V_{th4} を下回る場合には、電流 i_m が流れるため、閾値回路 3 1 1 とヒステリシスコンパレータ 3 2 との間に設けられた容量素子 3 1 2 に電荷がチャージまたはディスチャージされる。その結果、ヒステリシスコンパレータ 3 2 に入力される電圧は V_R から電圧 V_{R2} に変化する。ヒステリシスコンパレータ 3 2 は、電圧 V_{R2} が増加した場合には、ハイレベルとみなして、ハイレベルの出力データ $R \times O U T$ を送出する。一方、電圧 V_{R2} が減少した場合には、ヒステリシスコンパレータ 3 2 はローレベルとみなして、ローレベルの出力データ $R \times O U T$ を送出する。その後、一定以上の時間、容量素子 3 1 2 のチャージ、ディスチャージが行われなければ、抵抗素子 3 1 3 を介してヒステリシスコンパレータ 3 2 への入力電圧 V_{R2} は一定の電圧 V_{BIAS} に収束する。

10

【 0 0 6 0 】

図 1 8 に示すように、二次側コイル 1 2 に生じる電圧 V_R は、信号成分 $s i g$ の振幅がノイズ成分 $n o i s e$ の振幅よりも大きい信号となっている。そのため、振幅が大きいパルス信号成分として判定を行うことが容易となる。しかし、ヒステリシスコンパレータ 3 2 は、プロセス、電源電圧、温度等の環境の変動によって、図 4 に示した閾値 V_{th1} 、 V_{th2} が変動しやすい。そのため、電圧 V_R をそのままヒステリシスコンパレータ 3 2 に入力すると、図 1 8 に示したノイズ成分 $n o i s e$ の信号を信号成分 $s i g$ であると誤判定する恐れがある。

【 0 0 6 1 】

20

しかし、本発明にかかる受信回路 3 は、上述したように、受信信号検出回路 3 1 によって、二次側コイル 1 2 に発生した電圧 V_R を電圧 V_{R2} に変換する。つまり、図 1 8 に示すように、受信信号検出回路 3 1 は、二次側コイル 1 2 に生じた電圧 V_R からノイズ成分 $n o i s e$ を除去した信号である電圧 V_{R2} を生成する。その結果、ヒステリシスコンパレータ 3 2 の閾値に多少の変動が生じる場合であっても、誤判定を起こすことを抑制することができる。また、本実施の形態における受信回路 3 では、受信信号の正の振幅と負の振幅のうち閾値回路 3 1 1 の閾値を超えた成分の絶対値の差に応じて電圧 V_{R2} を生成することができる。つまり、受信回路 3 では、閾値回路 3 の閾値が変動した場合においても、受信信号の正の振幅と負の振幅のうち閾値回路 3 1 1 の閾値を超えた成分の絶対値の差に基づき、誤判定を防止することができる。

30

【 0 0 6 2 】

なお、図 1 7 に示した受信回路 3 は、図 1 9 に示すような構成としてもよい。閾値回路 3 1 1 の入力端子が入力側容量素子 3 5 を介して二次側コイル 1 2 の一端に接続される。図 1 9 に示した受信回路 3 においても、閾値回路 3 1 1 の両端子が電圧 V_{BIAS} によりバイアスされる。したがって、図 1 7 の受信回路 3 と同様に動作し、図 1 8 に示す波形が発生する。また、二次側コイル 1 2 の他端がグランドに接続され、入力側容量素子 3 5 によって閾値回路 3 1 1 とは絶縁されるため、二次側コイル 1 2 は、グランド電位をバイアス電圧として動作する。

【 0 0 6 3 】

実施の形態 2

40

本実施の形態にかかる信号伝達システム 4 について説明する。図 2 0 に示した信号伝達システム 4 においては、送信回路 2 のドライブ回路 2 1 が電流源 2 1 1 を備える。電流源 2 1 1 は、 n チャネル MOS トランジスタ $M N 1$ 、 $M N 2$ のソースとグランドとの間に挿入される。電流源 2 1 1 としては、例えば図 2 0 に示すようにゲート端子を一定の電圧でバイアスしたトランジスタを用いて構成される。なお、その他の構成については信号伝達システム 1 と同様であるため、説明を省略する。

【 0 0 6 4 】

一般に、トランジスタに流れる電流は、プロセス変動、電源電圧変動、温度変動等の影響を受けて変動する。そのため、これらの要因の変動により送信回路の消費電力が変動したり、二次側コイル 1 2 に現れる受信信号の振幅が変動したりする。一方、本実施の形態

50

にかかるドライブ回路 2 1 は、グランドとの間に電流源 2 1 1 が設けられる。この電流源 2 1 1 は、p チャネル MOS トランジスタ MP 1、MP 2、n チャネル MOS トランジスタ MN 1、MN 2 に流れる電流値を設定する。そのため、本実施の形態にかかるドライブ回路 2 1 では、プロセス変動、電源電圧変動、温度変動等の影響によらず一次側コイル 1 1 に流れる駆動電流 $i(t)$ の大きさを設定することができる。その結果、送信回路 2 の消費電流や、二次側コイル 1 2 に現れる受信信号の波形の大きさ、つまり電圧 V_R の振幅の制御性を向上させることができる。また、電流源 2 1 1 を設けることで、一次側コイルに過大な電流が流れることを防止することもでき、消費電流の抑制及び機器の信頼性向上も実現できる。なお、図 2 1 に示すように、p チャネル MOS トランジスタと電源との間に電流源 2 1 1 を挿入してもよい。

10

【0065】

実施の形態 3

本実施の形態にかかる信号伝達システム 5 について説明する。図 2 2 に示した信号伝達システム 5 は、送信回路 2 のブリドライバ回路 2 2 が電流源 2 2 2 を備える。電流源 2 2 2 は、実施の形態 2 と同様に、例えばゲート端子を一定の電圧 V_{ref} でバイアスしたトランジスタを用いて構成される。なお、その他の構成については信号伝達システム 1 と同様であるため、説明を省略する。

【0066】

図 2 2 におけるブリドライバ回路 2 2 には、n チャネル MOS トランジスタ MN 3 とグランドとの間に電流源 2 2 2 が設けられる。そのため、ゲート電圧 V_{GN1} を立ち下げる場合は、電流源 2 2 2 により制限された電流 i_{GN1} によりディスチャージされる。一方、p チャネル MOS トランジスタ MP 3 と電源との間には電流源は設けられていないため、ゲート電圧 V_{GN1} を立ち上げるために供給する電流 i_{GN1} は制限されない。その結果、n チャネル MOS トランジスタ MN 1 のゲートのチャージ電流とディスチャージ電流の大きさを制御することができる。

20

【0067】

つまり、図 8 に示した波形と同様に、一次側コイル 1 1 に流れる電流 i の立ち上がり電流と立ち下がり電流の時間変化率を制御でき、二次側コイル 1 2 に生じる電圧 V_R の波形は、正負の振幅が異なる大きさの波形となる。

【0068】

このように、本実施の形態にかかる信号伝達システム 5 の構成によれば、二次側コイル 1 2 に生じる受信信号の正負の振幅が異なった大きさとなる。その結果、受信回路 3 において、受信信号の正負のどちらの振幅が閾値を超えたか、またはどちらの振幅が大きいかを判定すれば、誤判定せずに送信データ $T \times I_N$ の論理レベルを判定することができる。

30

【0069】

ここで、ドライブ回路 2 1 及びブリドライバ回路 2 2 の双方に電流源を備えた送信回路 2 の構成例を図 2 3 に示す。また、その動作例について図 2 4 のタイミングチャートを用いて説明する。図 2 3 に示した送信回路 2 は、ドライブ回路 2 1 の n チャネル MOS トランジスタ MN 1、MN 2 のゲートにブリドライバ回路 2 2 が接続される。一方、p チャネル MOS トランジスタ MP 1、MP 2 のゲートには、アンプ 2 3、2 4 がそれぞれ接続される。ドライブ回路 2 1 のソース端子は電流源 2 1 1 を介して接地される。これによって、プロセス、電源電圧、温度等の変化による消費電流の変化、二次側コイル 1 2 に現れる受信信号の変化を抑制する。

40

【0070】

続いて、図 2 4 を用いて動作例について説明する。送信データ $T \times I_N$ がローレベルからハイレベルに切り替わった際には、アンプ 2 3 は、送信データ $T \times I_N$ の論理レベルを反転させた信号をドライブ回路 2 1 の p チャネル MOS トランジスタ MP 1 のゲートに出力する。そのため、p チャネル MOS トランジスタ MP 1 をオン状態にする。また、ブリドライバ回路 2 2 のパルス発生器 2 2 1 2 は、送信データ $T \times I_N$ の論理レベルの切り替わりに短パルスを出力し (V_{PREN2})、ブリドライバ回路 2 2 は、駆動制御信号とし

50

てnチャネルMOSトランジスタMN2のゲートに電流を流す。すると、nチャネルMOSトランジスタMN2にはゲート電圧VGN2が発生し、短時間だけオン状態となる。これによって、ドライブ回路21は一次側コイル11に短パルス状の電流iを流す。

【0071】

このとき、二次側コイル12の端子間電圧VRは正の方向に短時間だけ大きく振れる。nチャネルMOSトランジスタMN2のゲート電圧VGN2を下げる過程では、プリドライバ回路22の電流源222によって電流の大きさが制限される。そのため、プリドライバ回路22によってnチャネルMOSトランジスタMN2のゲートからゆっくりと電流が引き抜かれ、一次側コイル11に流れる電流iは緩やかに小さくなっていく。したがって、二次側コイル12の端子間電圧VRは負の方向の小さな振幅で比較的長い時間振れる。

10

【0072】

一方、送信データTxINがハイレベルからローレベルに切り替わった際には、アンプ24が送信データTxINの論理レベルと同一の論理レベルの信号を出力する。そのため、ドライブ回路21のpチャネルMOSトランジスタMP2はオン状態となる。また、パルス発生器2211は、送信データTxINの論理レベルの切り替わりに短パルスを出力する(VPREN1)。それに対応して、プリドライバ回路22は、nチャネルMOSトランジスタMN1を短時間だけオン状態にする駆動制御信号をドライブ回路21に出力する。nチャネルMOSトランジスタMN1のゲート電圧の立ち上がり立ち下がりとは上記のnチャネルMOSトランジスタMN2の場合と同様に制御される。そのため、二次側コイル12には短時間で振幅の大きい負の電圧と、比較的長い時間で振幅の小さい正の電圧が現れる。その結果、受信回路3は二次側コイル12の電圧VRが所定の閾値を超えるか、あるいは正と負の振幅の大きさを比較してどちらが大きいかにによって、送信回路が送出した論理レベルを判定することができる。

20

【0073】

図22に示した送信回路2は、nチャネルMOSトランジスタのゲートにプリドライバ回路22が接続される構成であったが、図25には、pチャネルMOSトランジスタのゲートにプリドライバ回路22が接続される送信回路2の構成例を示す。

【0074】

図25に示した信号伝達システム5の動作を示すタイミングチャートを図26に示す。図25においては、pチャネルMOSトランジスタにプリドライバ回路22が接続される。そのため、送信データTxINの論理レベルの切り替わりにパルス発生器2211、2212が出力するパルス信号の論理レベルが図24のタイミングチャートと反対になる。それによって、送信データTxINの論理レベルが切り替わる際にpチャネルMOSトランジスタのゲート電圧VGP1、VGP2は急峻にローレベルとなる。その結果、一次側コイル11には、正または負の駆動電流iが急峻に流れる。その後、プリドライバ回路22のpチャネルMOSトランジスタのソースと電源との間に設けられた電流源222によって制限された電流が駆動制御信号としてpチャネルMOSトランジスタのゲートに供給される。その結果、駆動電流iの振幅は緩やかに減少する。したがって、図24の電圧VRと同様の波形の受信信号が二次側コイル12に生じる。

30

【0075】

なお、プリドライバ回路22やアンプの構成及び接続関係は、図23や図25の回路構成に限られない。図24や図26に示したように、ドライブ回路21が有するトランジスタのゲート電圧の制御によって立ち上がり立ち下がりの時間変化率が異なる駆動電流が出力可能であればよい。

40

【0076】

実施の形態4

本発明にかかる実施の形態4について説明する。図27に、信号伝達システム6の構成例を示す。本実施の形態にかかる信号伝達システム6の閾値回路311は、両端に異なる電圧(VBIAS1、VBIAS2)が印加される。

【0077】

50

図 27 の受信回路 3 には、二次側コイル 12 の両端に閾値回路 311、容量素子 312 及び抵抗素子 313 が設けられる。それぞれの閾値回路 311 の入力端子には VBIAS1 が印加され、出力端子には VBIAS2 が印加される。また、それぞれの出力端子には、電荷をチャージするための容量素子 312 が接続される。つまり、受信信号検出回路 31 が二次側コイル 12 の両端子に設けられた構成となり、一方の受信信号検出回路 32 が検出電圧を生成し、他方の受信信号検出回路 32 が比較電圧を生成する。その他の構成については図 14 に示した信号伝達システムと同様であるため、説明を省略する。

【0078】

一般に、閾値素子の閾値は、その素子固有の値であるため、回路設計においてその閾値を変えることができない場合がある。本実施の形態においては、閾値回路 311 の両端に異なる電圧を印加する。そのため、二次側コイル 12 に生じる電圧 VR が同じ大きさであっても、バイアスのかけ具合によって、閾値回路 311 に電流が流れたり、流れなかったりする。すなわち、閾値回路 311 の閾値を大きくまたは小さくしたと等価な動作をさせることが可能となる。

【0079】

なお、図 28 ~ 図 30 に、図 27 に示した信号伝達システム 6 と同様の動作が可能である受信回路 3 を備える信号伝達システムを示す。これらの回路も閾値回路の閾値を実質的に変更することができる。例えば、VBIAS1 を VBIAS2 よりも高い直流電圧に設定すると、二次側コイル 12 に現れる VR の振幅が小さくても、閾値回路 311 に電流を流すことができる。逆に、VBIAS1 を VBIAS2 よりも低い直流電圧に設定すると、二次側コイル 12 に現れる VR の振幅が前者の場合よりも大きくなければ、閾値回路 311 に電流が流れない。なお、図 30 に示した受信回路 3 は、入力側容量素子 35 を有しており、閾値回路 311 の入力端子は入力側容量素子 35 を介して二次側コイル 12 に接続される。

【0080】

実施の形態 5

本発明にかかる実施の形態 5 について説明する。図 31 に示した本実施の形態にかかる信号伝達システム 7 は、図 17 に示した受信回路 3 の構成に加えて、さらに電流源 33、抵抗素子 34、入力側容量素子 35 を備える。なお、その他の構成については信号伝達システム 1 と同様であるため、説明を省略する。

【0081】

電流源 33 及び抵抗素子 34 は、電源とグランドとの間に接続される。また、電流源 33 と抵抗素子 34 との間にはダイオード 3111 のアノード端子、ダイオード 3112 のカソード端子、閾値回路 311 の出力端子がそれぞれ接続される。これによって、ダイオード 3111 のアノード端子、ダイオード 3112 のカソード端子、閾値回路 311 の出力端子には、それぞれ異なる直流電圧が印加される。なお、ダイオード 3111 のアノード端子及びダイオード 3112 のカソード端子は、入力側容量素子 35 を介して二次側コイル 12 に接続される。

【0082】

つまり、図 31 に示した回路は、実施の形態 4 と同様に、閾値素子の両端子に異なる直流電圧をバイアスすることにより、閾値回路 311 の閾値を制御することができる。この回路では、ダイオード 3111 のアノード端子の直流電圧は抵抗 34 と定電流 ib1 によって制御され、ダイオード 3112 のカソード端子の直流電圧は抵抗 34 と定電流 ib2 によって制御され、ダイオード 3111 のカソード端子とダイオード 3112 のアノード端子の直流電圧は抵抗 34 と定電流 ib3 によって制御される。

【0083】

電流 i1 ~ i3 の大きさと閾値との関係について具体的に説明する。電流 i1 ~ i3 の関係が $ib1 < ib3 < ib2$ の場合、ヒステリシスコンパレータ 32 を動作させるために必要な電圧 VR の振幅、すなわち、閾値回路 311 に電流を流すために必要な電圧 VR の振幅は、ダイオードの閾値電圧よりも低くなる。

【 0 0 8 4 】

一方、 $i b 1 > i b 3 > i b 2$ の場合、ヒステリシスコンパレータ 3 2 を動作させるために必要な電圧 $V R$ の振幅は、ダイオードの閾値電圧よりも高くなる。このように、本実施の形態にかかる信号伝達システム 7 を用いることによって、二次側コイル 1 2 の電圧 $V R$ がヒステリシスコンパレータ 3 2 を動作させるために必要な閾値電圧を任意の値に設定可能である。

【 0 0 8 5 】

実施の形態 6

本発明にかかる実施の形態 6 について説明する。図 3 2 に示した信号伝達システム 8 は、受信信号検出回路 3 1 が、ピークホールド回路 3 1 4、ボトムホールド回路 3 1 5、反転増幅器 3 1 6、差動増幅器 3 1 7 を備える。

10

【 0 0 8 6 】

図 3 2 において、二次側コイル 1 2 の一端には受信信号検出回路 3 1 が接続される。二次側コイル 1 2 の他端はグランドに接続される。受信信号検出回路 3 1 の入力端子には、ピークホールド回路 3 1 4 及びボトムホールド回路 3 1 5 の入力端子が接続される。また、ピークホールド回路 3 1 4 の出力端子は、差動増幅器 3 1 7 に接続され、ボトムホールド回路 3 1 5 の出力端子は反転増幅器 3 1 6 を介して差動増幅器 3 1 7 に接続される。

【 0 0 8 7 】

ここで、ピークホールド回路 3 1 4 は、入力される電圧 $V R$ の波形の正の振幅を検出する。一方、ボトムホールド回路 3 1 5 は入力される電圧 $V R$ の波形の負の振幅を検出する。また、反転増幅器 3 1 6 は、ボトムホールド回路 3 1 5 から送られる波形を反転して出力する。

20

【 0 0 8 8 】

差動増幅器 3 1 7 の出力端子はヒステリシスコンパレータ 3 2 に接続される。差動増幅器 3 1 7 は、ピークホールド回路 3 1 4 及びボトムホールド回路 3 1 5 の出力信号に基づいて生成した検出電圧及び比較電圧をヒステリシスコンパレータ 3 2 に送出する。

【 0 0 8 9 】

続いて、図 3 2 に示した信号伝達システム 8 の動作例について説明する。信号伝達システム 8 が有する受信信号検出回路 3 1 は、一定時間内に現れる正の振幅と負の振幅の大きさを差動増幅器 3 1 7 が比較して、どちらが大きいかにによって論理レベルを判別するものである。

30

【 0 0 9 0 】

図 3 3 に示すように、まず、ピークホールド回路 3 1 4 が二次側コイル 1 2 に生じた電圧 $V R$ の正の波形 $V p e a k$ を検出する。同様に、ボトムホールド回路 3 1 5 が二次側コイル 1 2 に生じた電圧 $V R$ の負の波形 $V b o t t o m$ を検出する。次に、反転増幅器 3 1 6 がボトムホールド回路 3 1 5 から出力された波形を反転させた信号（比較電圧）を生成する。

【 0 0 9 1 】

差動増幅器 3 1 7 は、 $V p e a k$ の振幅と $V b o t t o m$ を反転した振幅とを比較する。そして、振幅が大きい波形を信号成分 $s i g$ として、ヒステリシスコンパレータ 3 2 に送出する信号 $V c o m p$ （検出電圧及び比較電圧）を生成する。これによって、送信回路 2 から出力される送信信号の振幅が大きくても小さくても、信号成分 $s i g$ の振幅がノイズ成分 $n o i s e$ の振幅よりも大きいため、正と負の振幅の大小関係を判定することにより論理レベルが判定可能である。

40

【 0 0 9 2 】

例えば、ピークホールド回路 3 1 4 によって検出される正の振幅が、ボトムホールド回路 3 1 5 によって検出される負の振幅よりも大きければ、差動入力信号 $V c o m p$ には正の振幅のみが現れる。そのため、ヒステリシスコンパレータ 3 2 は、論理値をハイレベルと判定する。一方、ボトムホールド回路 3 1 5 によって検出される負の振幅が、ピークホールド回路 3 1 4 によって検出される正の振幅よりも大きければ、差動入力信号 $V c o$

50

m pには負の振幅のみが現れる。そのため、ヒステリシスコンパレータ32は、論理値をローレベルと判定する。

【0093】

ここで、ピークホールド回路314及びボトムホールド回路315を用いない場合の入出力について、図34、図35に示した波形を用いて説明する。送信回路2が出力する信号振幅が一定ではなく、プロセス、電源電圧、温度等の変動によって出力信号振幅が変動する場合は、受信信号電圧を一定の閾値と比較して論理値を判別することができなくなる。また、トランスフォーマ10のサイズやインダクタンス値、コイル間のギャップの大きさによってトランスフォーマ10の伝達ゲインが変化する。そのため、二次側コイル12に現れる信号振幅が変わってしまう。したがって、トランスの設計を変更すると受信回路3の閾値をチューニングする手間が生じてしまう。

10

【0094】

例えば、図34に示すように、送信回路2から出力される送信信号の振幅が小さい場合は、二次側コイル12に生じる電圧VRの振幅も小さくなる。受信回路3の閾値が $\pm V_{thA}$ に設定されていれば、受信回路3は正しく論理判定を行うことができる。しかし、閾値が $\pm V_{thB}$ に設定されている場合は、正しい受信動作を行うことができない。

【0095】

一方、図35に示すように、送信回路2から出力される送信信号の振幅が大きい場合は、二次側コイル12に生じる電圧VRの振幅も大きくなる。受信回路3の閾値が $\pm V_{thA}$ に設定されていれば、受信回路3は、受信動作を正しく行うことができない。しかし、閾値が $\pm V_{thB}$ に設定されている場合は、受信回路3は正しい受信動作を行うことができる。

20

【0096】

このように、受信回路3にとって適切な閾値の大きさは、送信回路2から出力される送信信号の振幅に依存する。特に、送信回路2と受信回路3が別チップに配置される場合には、受信回路3から送信回路2のプロセス条件、電源電圧、温度等を知ることができない。そのため、送信回路2から出力される送信信号の振幅を予測することができない。したがって、適切な閾値電圧を設定することが困難である。

【0097】

しかしながら、本実施の形態の受信信号検出回路31は、送信回路2から出力される送信信号の振幅において、信号成分とノイズ成分との相対的な大きさを比較して、論理レベルを判断する。その結果、一定の閾値電圧を設定する必要がない。したがって、上述したような送信回路2から送出される信号振幅の大きさの変動に起因する論理値の誤判定を防ぐことができる。

30

【0098】

図36に信号伝達システム8における受信回路3の具体的な回路の構成例を示す。ピークホールド回路314は第1の閾値素子としてダイオード3111及び第1の容量素子3121を有し、ボトムホールド回路315は第2の閾値素子としてダイオード3112及び第2の容量素子3122を有する。なお、信号伝達システム8は、ピークホールド回路314及びボトムホールド回路315の二次側コイル12側の端子は、入力側容量素子35を介して二次側コイル12と接続され、同一の入力側基準電圧によりバイアスされる。図36に示す例では、ダイオード3111のアノード端子及びダイオード3112のカソード端子は、第1の電源（例えば基準電圧VREF）と第2の電源（例えばグランド）とを抵抗分割した電圧が入力側基準電圧として印加され、入力側容量素子35を介して二次側コイル12と接続される。一方、ダイオード3111のカソード端子は差動増幅器317に接続され、ダイオード3112のアノード端子は反転増幅器316を介して差動増幅器317に接続される。

40

【0099】

第1の容量素子3121は、ダイオード3111のカソード端子と第3の電源（例えばグランド）との間に接続される。また、ダイオード3111のカソード端子には、出力側

50

基準電圧が印加される。第2の容量素子3122は、ダイオード3112のアノード端子と第3の電源（例えばグラウンド）との間に接続される。また、ダイオード3112ダイオード3112のアノード端子は、出力側基準電圧が印加される。

【0100】

続いて、図36に示した受信回路3の動作について説明する。二次側コイル12にダイオード3111または3112の閾値を超える電圧VRが生じると、ダイオード3111または3112に電流が流れる。ダイオード3111を流れた電流は第1の容量素子3121にチャージされる。つまり電圧VRの正の振幅が第1の容量素子3121に保持される。

【0101】

一方、ダイオード3112に電流が流れた場合は、第2の容量素子3122から電流が引き抜かれる。つまり、電圧VRの負の振幅が第2の容量素子3122に保持される。このようにして、ピークホールド回路314は二次側コイル12に生じた電圧VRの正の波形Vpeakを検出し、ボトムホールド回路315は二次側コイル12に生じた電圧VRの負の波形Vbottomを検出する。その後の反転増幅器316、差動増幅器317、ヒステリシスコンパレータ32動作については、上述した動作と同様であるため説明を省略する。

【0102】

また、信号伝達システム8の別の例として、図37に、ダイオード3111のアノード端子とダイオード3112のカソード端子に印加される入力側基準電圧が異なる場合の受信回路3の構成を示す。図37に示すように、入力側基準電圧は、ダイオード3111のアノード端子とダイオード3112のカソード端子とに別々に印加される。この場合、ダイオード3111とダイオード3112を個別に絶縁するために、入力側容量素子35もそれぞれ個別に設けられる（例えば、個別に設けられた入力側容量素子を第1の入力側容量素子及び第2の入力側容量素子と称す）。

【0103】

また、図37に示す例では、第1の容量素子3121がダイオード3111のカソード端子と第1の電源（例えば基準電圧VREF）との間に接続され、第2の容量素子3122がダイオード3112のアノード端子と第3の電源（例えば、グラウンド）との間に接続される。また、ダイオード3111のカソード端子は第1の差動増幅器の正転入力端子に接続され、ダイオード3112のアノード端子は第2の差動増幅器の反転入力端子に接続される。また、ダイオード3111のカソード端子とダイオード3112のアノード端子との間に接続される抵抗分割回路により生成される中点電圧が第1の差動増幅器の反転入力端子と第2の差動増幅器の正転入力端子とに与えられる。

【0104】

ピークホールド回路314及びボトムホールド回路315は、上述したように、直流バイアス回路、積分器とダイオードによって構成される。二次側コイル12に直流バイアス電圧よりも高い電圧が現れると、ピークホールド回路314の第1の容量素子3121がチャージされる。これにより、正の振幅のピークを検出する。

【0105】

二次側コイル12に直流バイアス電圧よりも低い電圧が現れると、ボトムホールド回路315の第2の容量素子3122がディスチャージされる。これにより、負の振幅のボトムを検出する。次段の差動アンプでボトムホールド回路315の出力の極性が反転される。負の振幅が大きいほど高い電圧が出力される。

【0106】

ヒステリシスコンパレータ32では、ピークホールド回路314及びボトムホールド回路315から出力される正負の振幅の大きさに比例した電圧を受け取り、どちらが大きいことによって論理値を判定して出力データR×OUTとして出力する。ピークホールド回路314、ボトムホールド回路315では、ダイオード3111のアノード端子とダイオード3112のカソード端子に異なる直流電圧をバイアスする。そのため、ダイオード固有

10

20

30

40

50

の閾値に依存せず二次側コイル 1 2 の電圧 V_R がヒステリシスコンパレータ 3 2 を動作させることができる。つまり図 3 1 で説明した原理と同様に、閾値電圧を任意の電圧に設定することができる。

【 0 1 0 7 】

ここで、図 2 2 に示した送信回路 2 と図 3 6 に示した受信回路 3 とを備える信号伝達システム 9 の構成例を図 3 8 に示す。なお、具体的な回路の構成についてはそれぞれの図 2 2 及び図 3 6 における説明と同様であるので説明を省略する。

【 0 1 0 8 】

送信回路 2 では信号振幅を電流源で制限しつつ、一次側コイル 1 1 に流れる電流の立ち上がり立ち下がりが異なる傾きを有するように制御する。受信回路 3 では、受信した信号の正の振幅の大きさと負の振幅の大きさを比較することで論理値の判定を行う。また、ダイオード 3 1 1 1 及び 3 1 1 2 が閾値値を有する閾値回路 3 1 1 であるため、一次側コイル 1 1 の電流の立ち下がり過程で、二次側コイル 1 2 に生じるノイズ成分の電圧が 0 . 7 V 以下ならそれを除去することもできる。このような送受信回路を組み合わせることにより、プロセス、電源電圧、温度などの変動に影響されにくい信号伝達システムを構成することができる。

【 0 1 0 9 】

なお、本発明は上記実施の形態に限られたものではなく、趣旨を逸脱しない範囲で適宜変更することが可能である。例えば、送信回路 2、受信回路 3、トランスフォーマ 1 0 の配置は、図 2 に示した構成に限られるものではない。また、ヒステリシスコンパレータ 3 2 に代えて、所定の閾値を超えた値を一定期間保持するシュミットトリガ回路又は状態回路を用いることも可能である。図 3 9 ~ 図 4 6 に本発明にかかる信号伝達システムのその他の実装例を示す。

【 0 1 1 0 】

図 3 9 に示す実装状態は、第 1 の半導体チップ 9 3 には送信回路 2 が形成される。一方、第 2 の半導体チップ 9 4 には、一次側コイル 1 1、二次側コイル 1 2 及び受信回路 3 が形成される。また、第 1 の半導体チップ 9 3 には、送信回路 2 と接続されるパッドが形成され、第 2 の半導体チップ 9 4 には、一次側コイル 1 1 と接続されるパッドが形成される。そして、送信回路 2 は、パッドとボンディングワイヤとを介して第 2 の半導体チップ 9 4 に形成された一次側コイル 1 1 と接続される。

【 0 1 1 1 】

図 4 0 に示す実装状態は、第 1 の半導体チップ 9 3 に一次側コイル 1 1、二次側コイル 1 2 及び送信回路 2 が形成される。一方、第 2 の半導体チップ 9 4 には受信回路 3 が形成される。また、第 1 の半導体チップ 9 3 には、二次側コイル 1 2 と接続されるパッドが形成され、第 2 の半導体チップ 9 4 には、受信回路 3 と接続されるパッドが形成される。そして、受信回路 3 は、パッドとボンディングワイヤとを介して第 1 の半導体チップ 9 4 に形成された二次側コイル 1 2 と接続される。

【 0 1 1 2 】

図 4 1 に示す実装状態は、第 1 の半導体チップ 9 3 に送信回路 2 が形成される。一方、第 2 の半導体チップ 9 4 には、一次側コイル 1 1、二次側コイル 1 2 及び受信回路 3 が形成される。また、第 1 の半導体チップ 9 3 には、送信回路 2 と接続されるパッドが形成され、第 2 の半導体チップ 9 4 には、一次側コイル 1 1 と接続されるパッドが形成される。そして、送信回路 2 は、パッドとボンディングワイヤとを介して第 2 の半導体チップ 9 4 に形成された一次側コイル 1 1 と接続される。

【 0 1 1 3 】

図 4 2 に示す実装状態は、第 1 の半導体チップ 9 3 に一次側コイル 1 1、二次側コイル 1 2 及び送信回路 2 が形成される。一方、第 2 の半導体チップ 9 4 には受信回路 3 が形成される。また、第 1 の半導体チップ 9 3 には、二次側コイル 1 2 と接続されるパッドが形成され、第 2 の半導体チップ 9 4 には、受信回路 3 と接続されるパッドが形成される。そして、受信回路 3 は、パッドとボンディングワイヤとを介して第 1 の半導体チップ 9 3 に

形成された二次側コイル 1 2 と接続される。

【 0 1 1 4 】

なお、図 4 1、図 4 2 に示す例では、一次側コイル 1 1 と二次側コイル 1 2 は、1 つの半導体チップの同一の配線層に形成される。また、一次側コイル 1 1 と二次側コイル 1 2 は、同一の中心位置を有する巻線として形成される。

【 0 1 1 5 】

図 4 3 に示す実装状態は、第 1 の半導体チップ 9 3 に送信回路 2 が形成され、第 2 の半導体チップ 9 4 に受信回路 3 が形成され、第 3 の半導体チップ 9 5 に一次側コイル 1 1 及び二次側コイル 1 2 が形成される。また、第 1 の半導体チップ 9 3 には、一次側コイル 1 1 と接続されるパッドが形成され、第 2 の半導体チップ 9 4 には、二次側コイル 1 2 と接続されるパッドが形成され、第 3 の半導体チップ 9 5 には一次側コイル 1 1 に接続されるパッド及び二次側コイル 1 2 に接続されるパッドが形成される。そして、送信回路 2 はパッド及びボンディングワイヤを介して第 3 の半導体チップ 9 5 上に形成された一次側コイル 1 1 と接続され、受信回路 3 はパッド及びボンディングワイヤを介して第 3 の半導体チップ 9 5 上に形成される二次側コイル 1 2 と接続される。なお、図 4 3 に示す例では、一次側コイル 1 1 と二次側コイル 1 2 は、1 つの半導体チップ内において上下方向に積層される第 1 の配線層と第 2 の配線層を用いて形成される。

【 0 1 1 6 】

図 4 4、図 4 5 に示す例は、送信回路 2 及び一次側コイル 1 1 が第 1 の半導体基板に形成され、受信回路 2 及び二次側コイル 1 2 が第 2 の半導体基板に形成される例である。図 4 4、図 4 5 に示す例は、第 1 の半導体チップ 9 3 と第 2 の半導体チップ 9 4 とが積層される。また、図 4 4、図 4 5 に示す例では、積層された状態において、一次側コイル 1 1 の中心位置と二次側コイル 1 2 の中心位置とが同一直線上になるように第 1 の半導体チップ 9 3 及び第 2 の半導体チップ 9 4 が配置される。

【 0 1 1 7 】

図 4 6 に示す例は、同一の半導体基板 9 6 上に送信回路 2、受信回路 3、一次側コイル 1 1 及び二次側コイル 1 2 が形成されるものである。図 4 6 に示す例では、一次側コイル 1 1 と二次側コイル 1 2 は、上下方向に積層される第 1 の配線層と第 2 の配線層を用いて形成される。そして、送信回路 2 が配置される領域と受信回路 3 が配置される領域は、半導体基板 9 6 に形成される絶縁層により互いに絶縁される。

【 0 1 1 8 】

ここで、半導体基板 9 6 の断面図を図 4 7、図 4 8 に示す。図 4 7 に示す例では、送信回路 2 が形成される領域と受信回路 3 が形成される領域とが絶縁層により電氣的に分断される。そして、一次側コイル 1 1 及び二次側コイル 1 2 は受信回路 3 が形成される領域に設けられる。一方、図 4 8 に示す例では、送信回路 2 が形成される領域と受信回路 3 が形成される領域とが絶縁層により電氣的に分断される。そして、一次側コイル 1 1 及び二次側コイル 1 2 は送信回路 2 が形成される領域に設けられる。

【 符号の説明 】

【 0 1 1 9 】

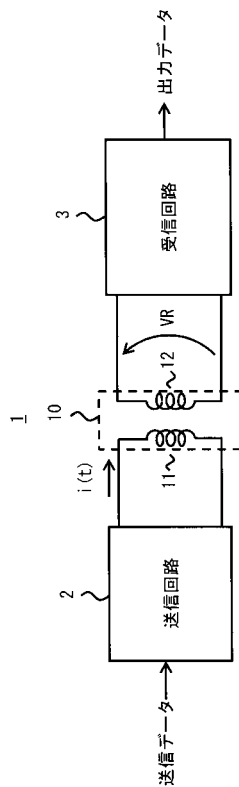
- 1、4 ~ 9 信号伝達システム
- 2 送信回路
- 3 受信回路
- 1 0 トランスフォーマ
- 1 1 一次側コイル
- 1 2 二次側コイル
- 2 1 ドライブ回路
- 2 2 プリドライバ回路
- 3 1 受信信号検出回路
- 3 2 ヒステリシスコンパレータ
- 3 3 電流源

- 3 4 抵抗素子
- 3 5 入力側容量素子
- 9 1 半導体パッケージ
- 9 2 リード端子
- 9 3 第 1 の半導体チップ
- 9 4 第 2 の半導体チップ
- 9 5 第 3 の半導体チップ
- 9 6 半導体基板
- 2 1 1 電流源
- 2 2 1 パルス発生器
- 2 2 2 電流源
- 3 1 1 閾値回路
- 3 1 2 容量素子
- 3 1 3 抵抗素子
- 3 1 4 ピークホールド回路
- 3 1 5 ボトムホールド回路
- 3 1 6 反転増幅器
- 3 1 7 差動増幅器
- 3 1 1 1、3 1 1 2 ダイオード
- 3 1 2 1 第 1 の容量素子
- 3 1 2 2 第 2 の容量素子

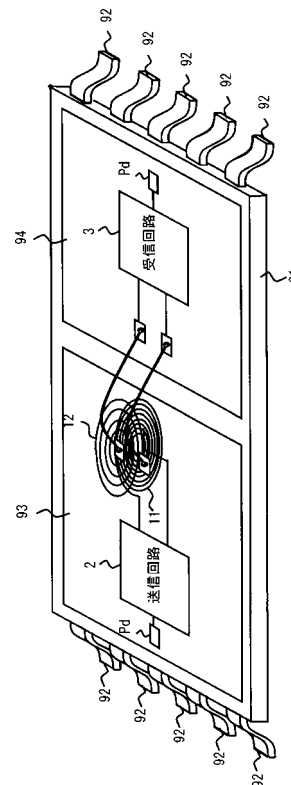
10

20

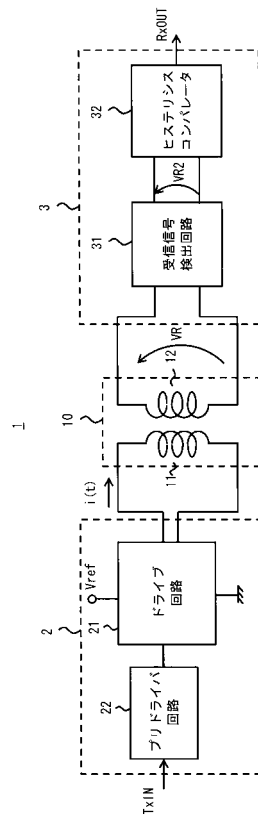
【図 1】



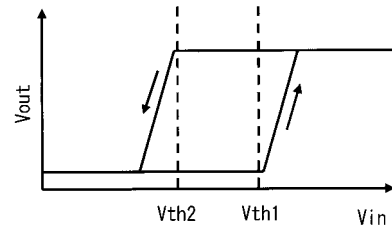
【図 2】



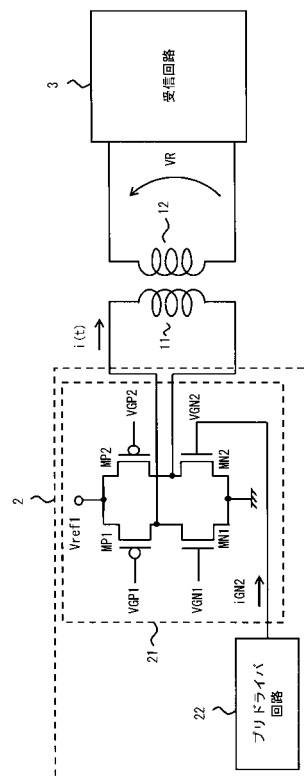
【図 3】



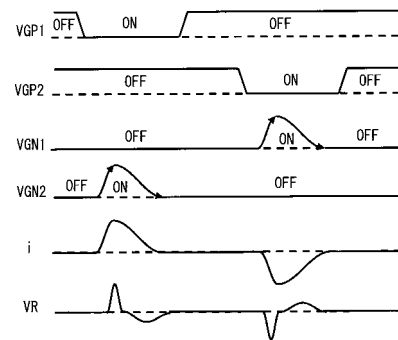
【図 4】



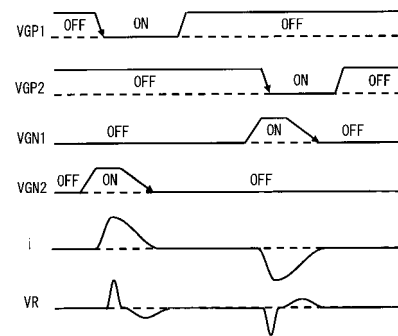
【図 5】



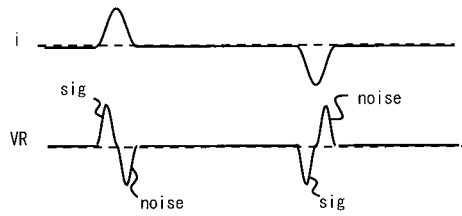
【図 6】



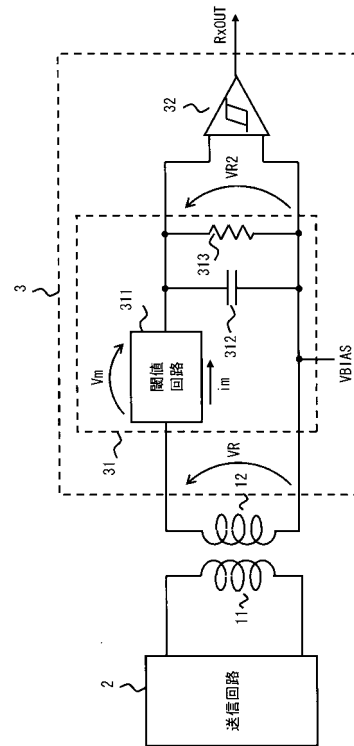
【図 7】



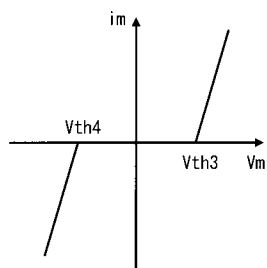
【図 13】



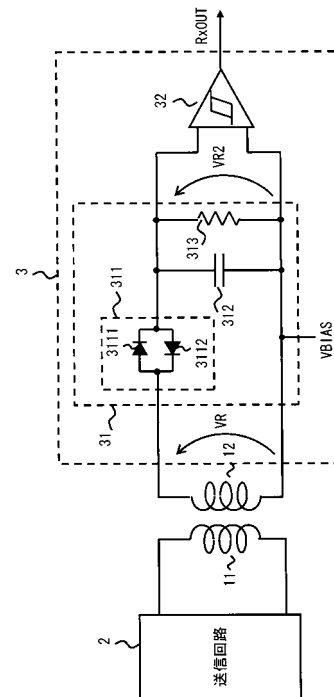
【図 14】



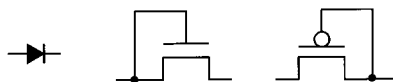
【図 15】



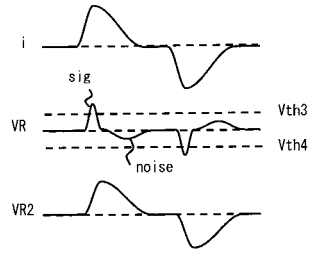
【図 17】



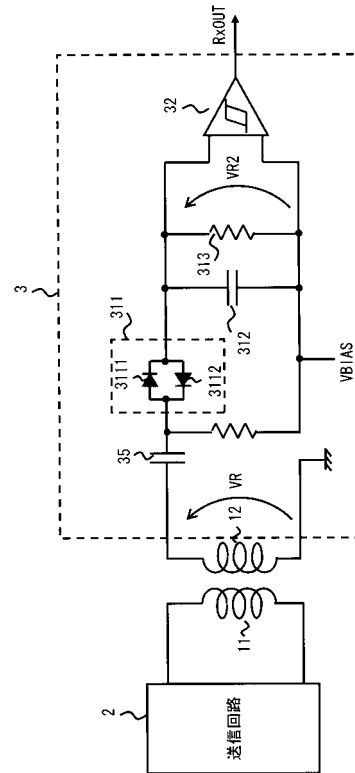
【図 16】



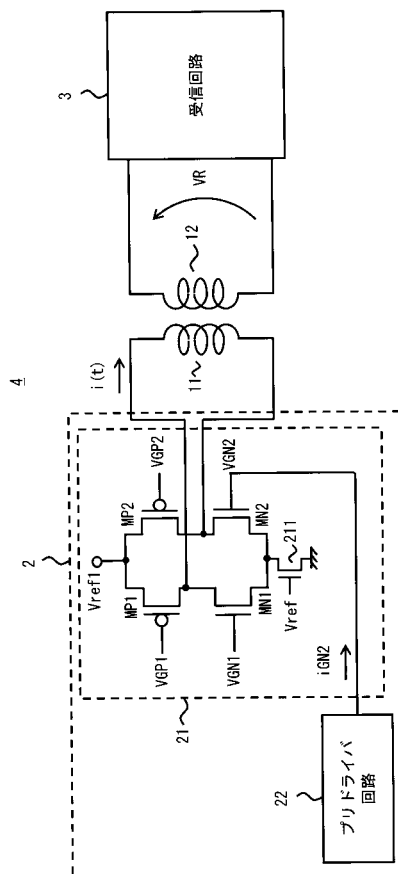
【図 18】



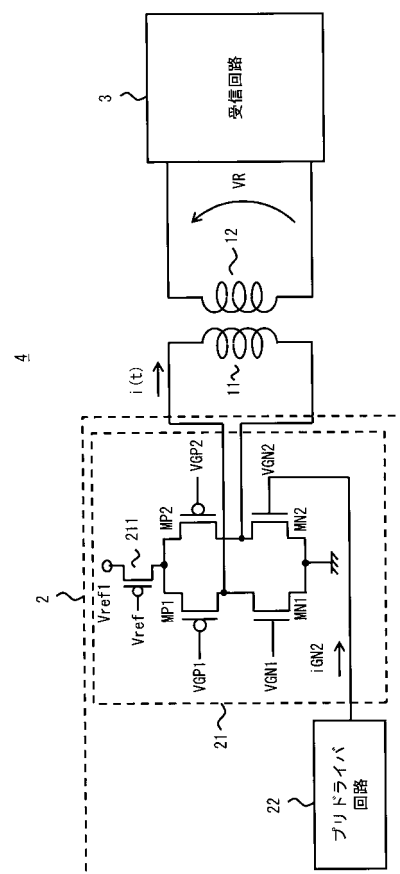
【図 19】



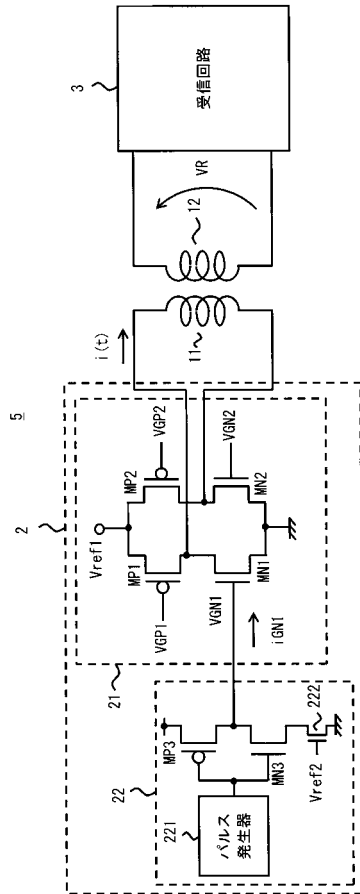
【図 20】



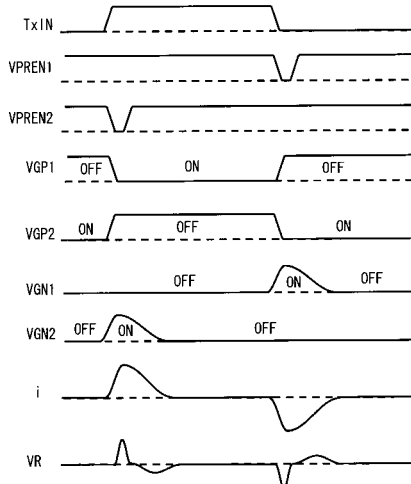
【図 21】



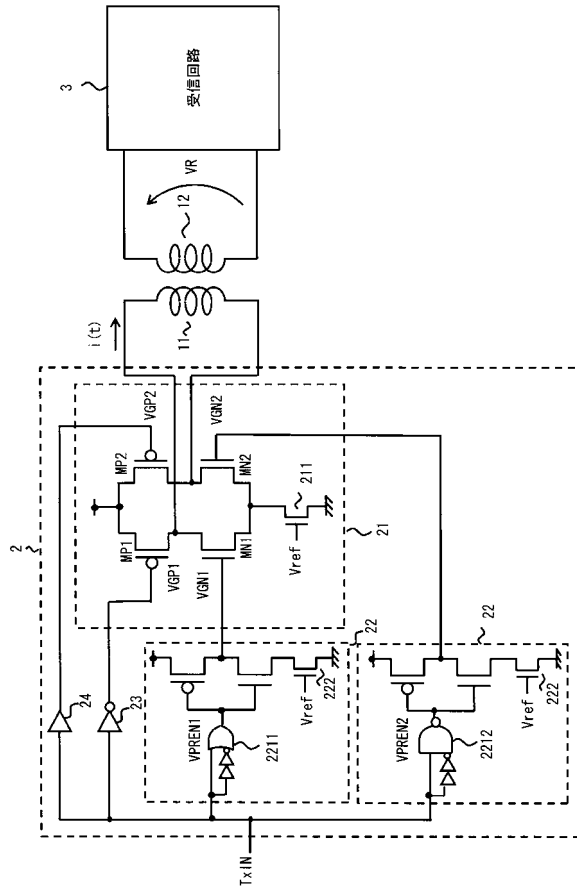
【図 2 2】



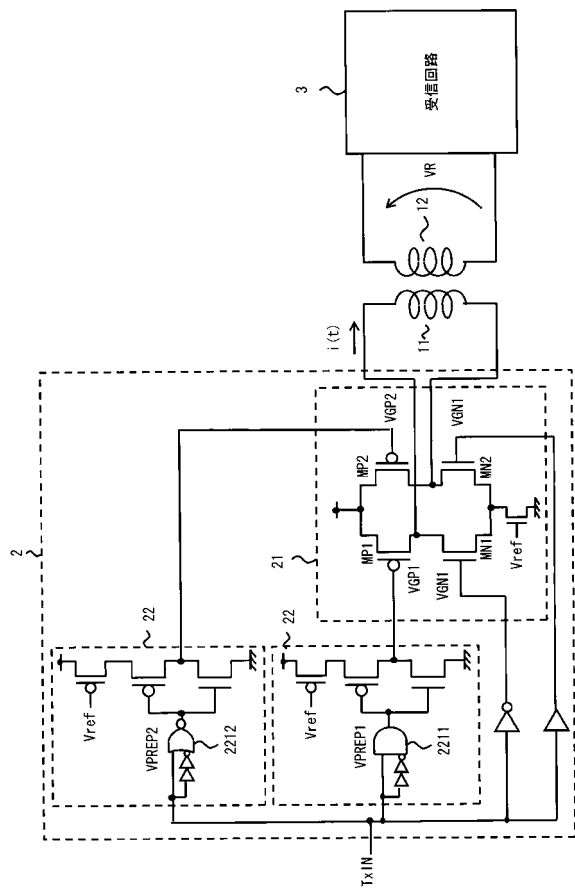
【図 2 4】



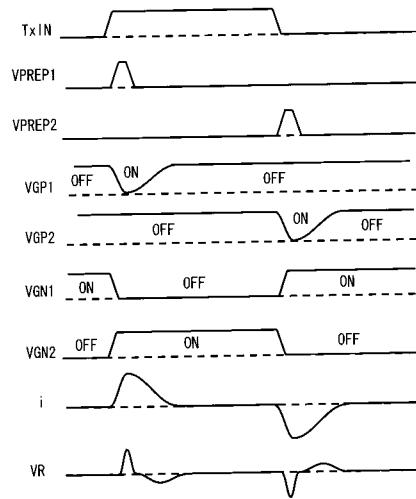
【図 2 3】



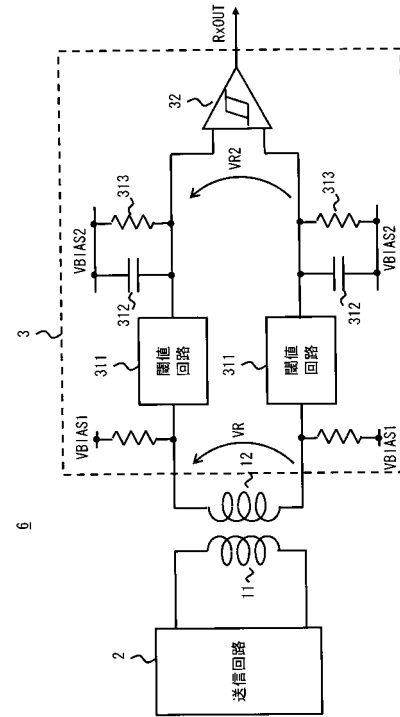
【図 2 5】



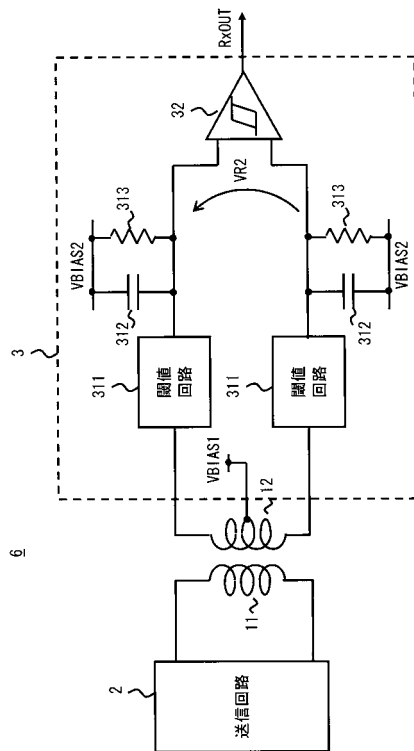
【図 26】



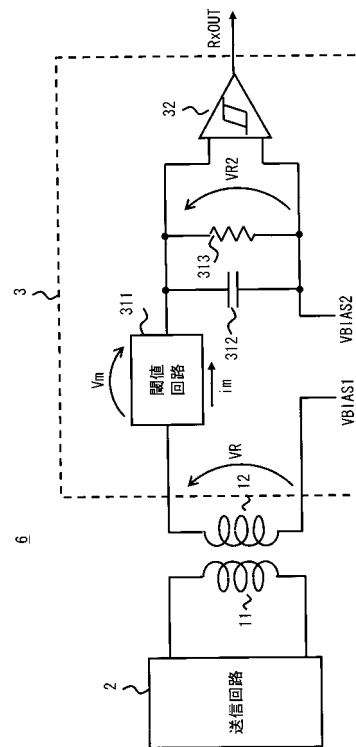
【図 27】



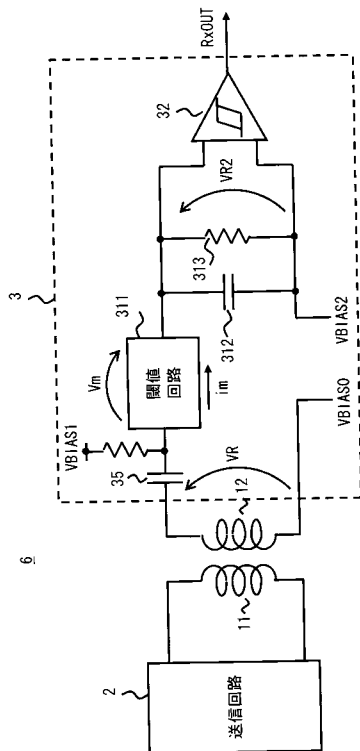
【図 28】



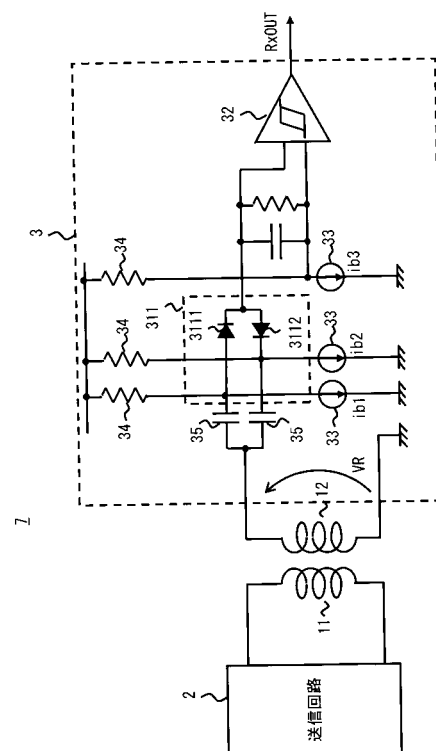
【図 29】



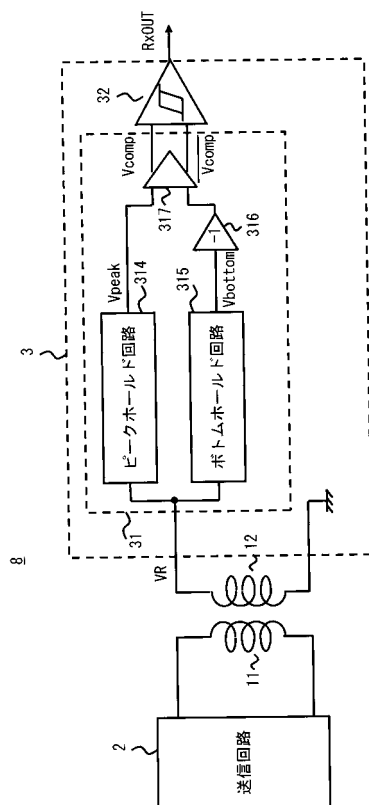
【 図 3 0 】



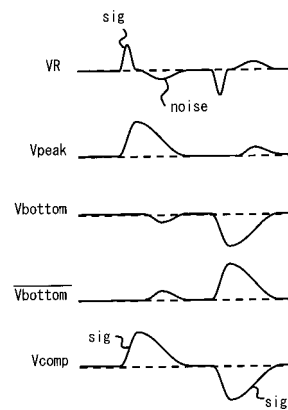
【 図 3 1 】



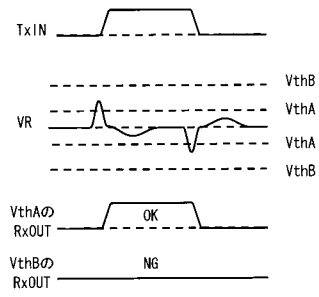
【 図 3 2 】



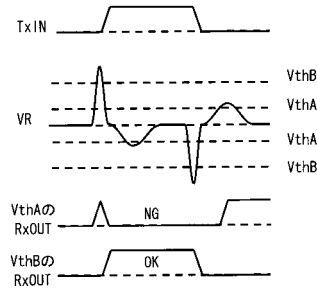
【 図 3 3 】



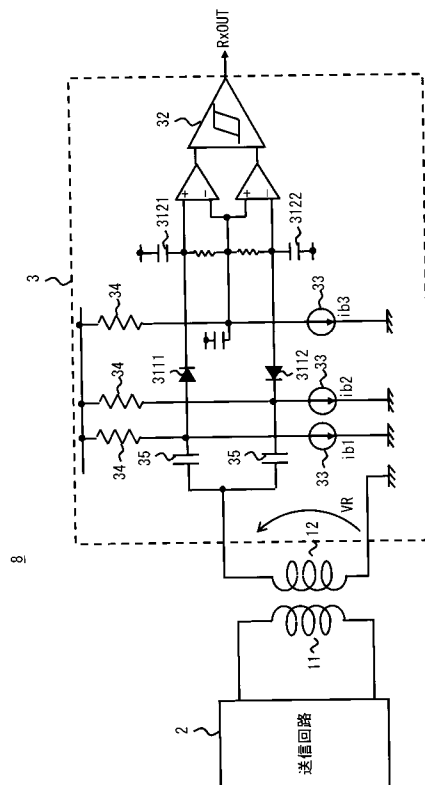
【図 3 4】



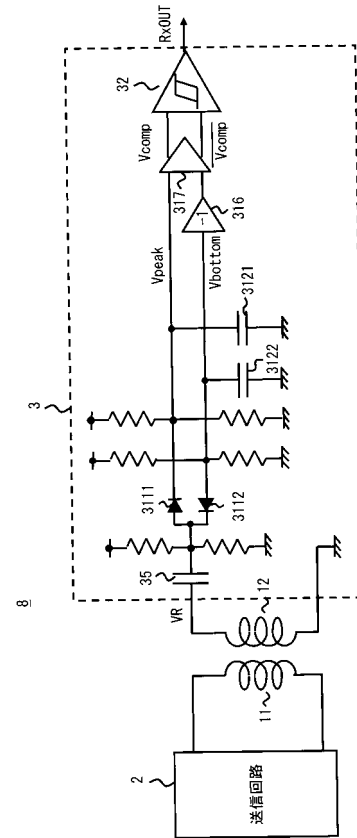
【図 3 5】



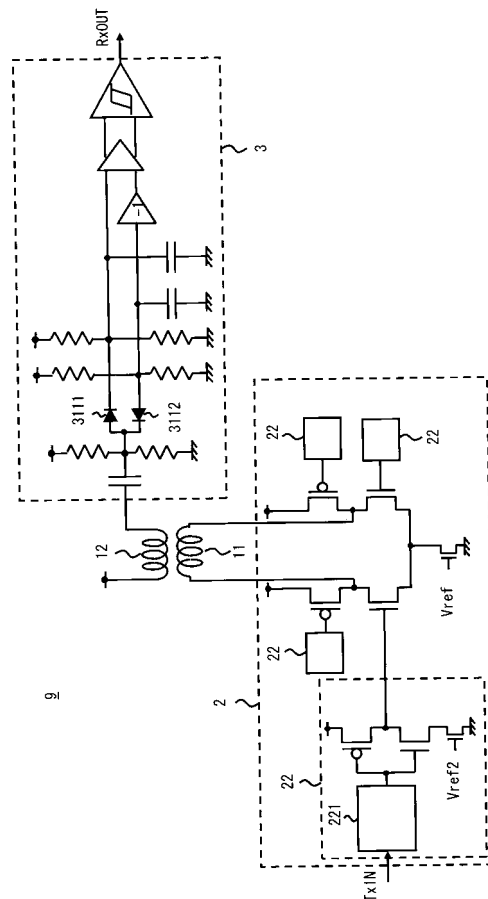
【図 3 7】



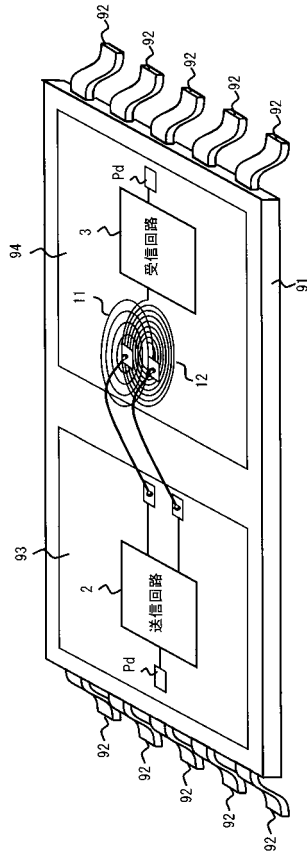
【図 3 6】



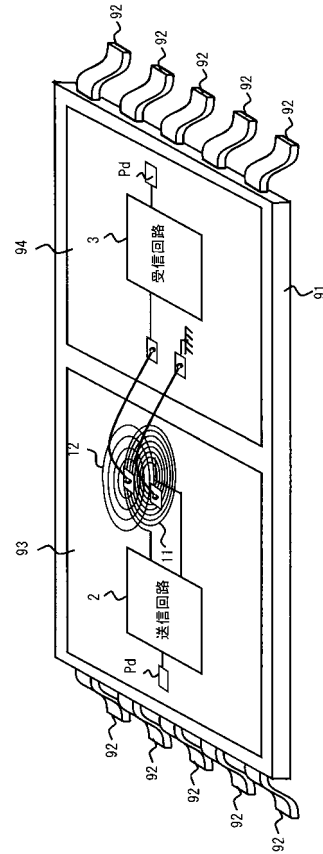
【図 3 8】



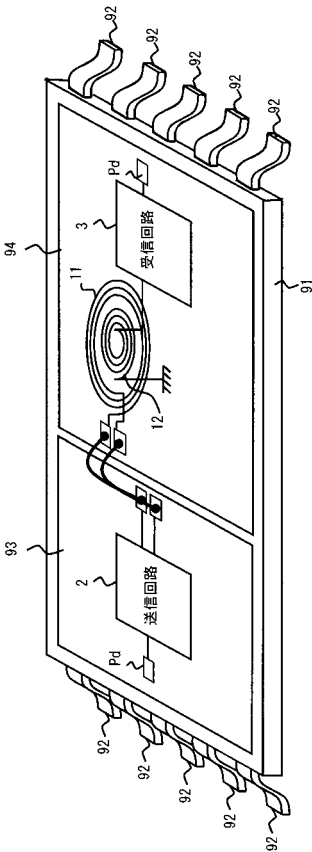
【図 39】



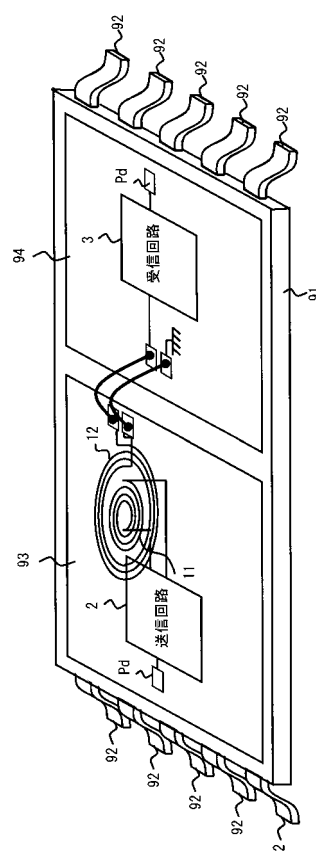
【図 40】



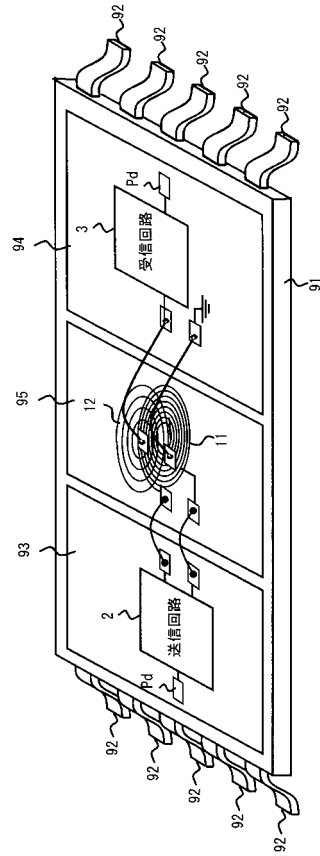
【図 41】



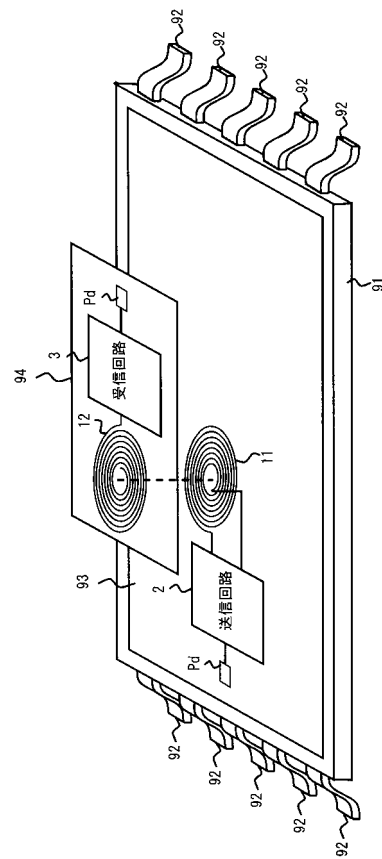
【図 42】



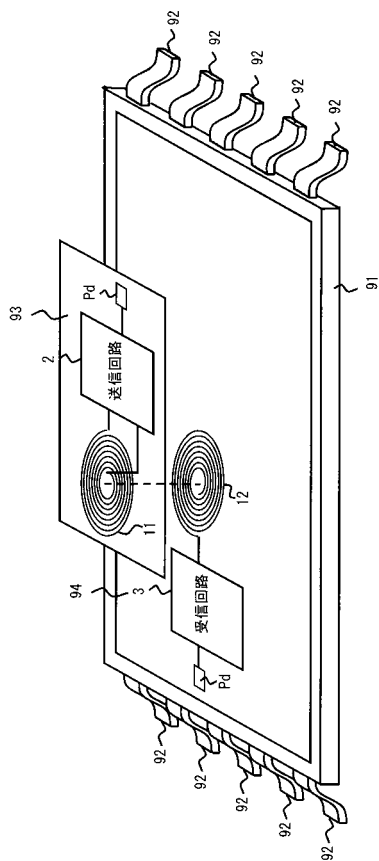
【図 4 3】



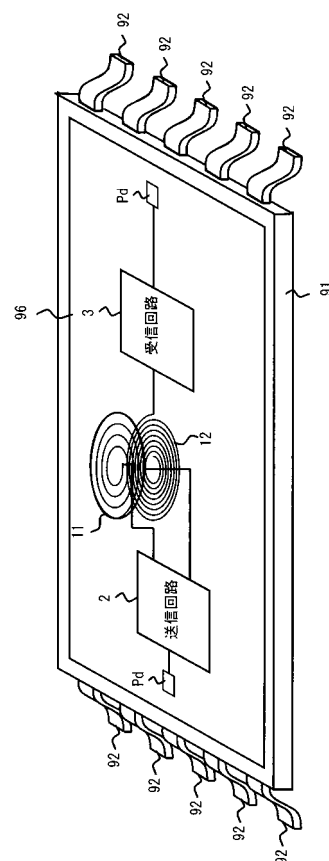
【図 4 4】



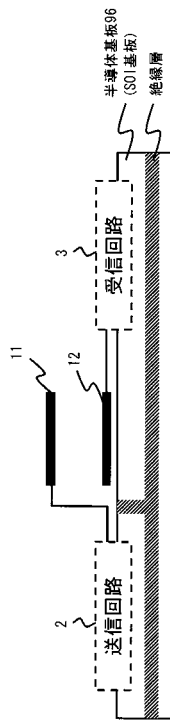
【図 4 5】



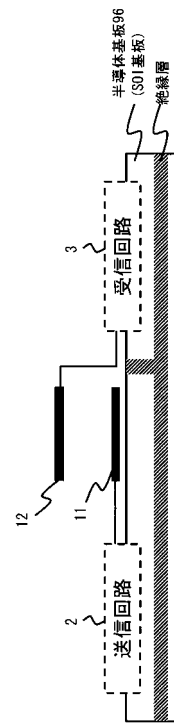
【図 4 6】



【図 47】



【図 48】



フロントページの続き

(56)参考文献 特開2009-060275(JP,A)
特開2009-094576(JP,A)
特開平08-236696(JP,A)
特開2009-188468(JP,A)
国際公開第2010/089974(WO,A1)
国際公開第2007/086285(WO,A1)

(58)調査した分野(Int.Cl., DB名)
H04L 25/02
H04B 5/02