

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年11月22日(22.11.2012)



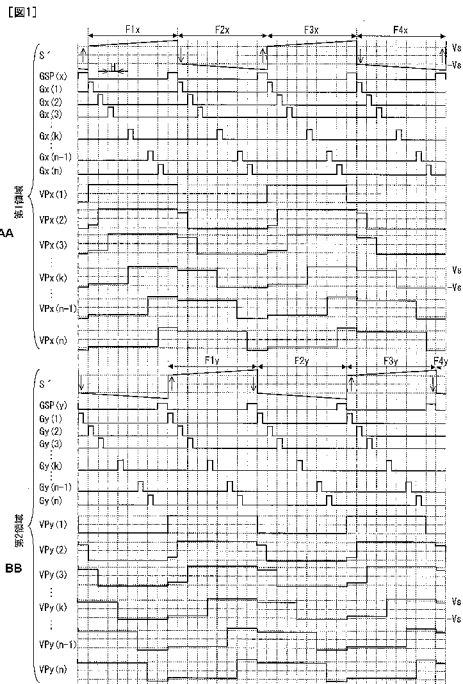
(10) 国際公開番号
WO 2012/157651 A1

- (51) 国際特許分類:
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01)
- (21) 国際出願番号: PCT/JP2012/062434
- (22) 国際出願日: 2012年5月15日(15.05.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-111903 2011年5月18日(18.05.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社 (SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番2号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 塩見 誠 (SH-IOMI, Makoto).
- (74) 代理人: 特許業務法人原謙三国際特許事務所
(HARAKENZO WORLD PATENT & TRADEMARK);
〒5300041 大阪府大阪市北区天神橋2丁目北2
番6号 大和南森町ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,

[続葉有]

(54) Title: LIQUID CRYSTAL DISPLAY DEVICE, DRIVING METHOD FOR LIQUID CRYSTAL DISPLAY DEVICE, AND TELEVISION RECEIVER

(54) 発明の名称: 液晶表示装置、液晶表示装置の駆動方法、及びテレビジョン受像機



AA First region
BB Second region

(57) Abstract: Data signal lines, scanning signal lines, and pixels are formed in each of a first region and a second region of a liquid crystal panel. The first half of the current frame is written in the first region, and the second half of the current frame is written in the second region. Each data signal line is supplied with a data signal, the polarity of which is reversed for each vertical scanning period. The scanning direction of the first region is identical with that of the second region, and the first and second regions are arranged in this order in the scanning direction. In the first and second regions, the electric potential of the data signal is corrected in accordance with the distance from the scanning start end.

(57) 要約: 液晶パネルの第1及び第2領域それぞれにデータ信号線、走査信号線及び画素が形成され、該第1領域に現フレームの前半、該第2領域に現フレームの後半が書き込まれ、各データ信号線に、一垂直走査期間ごとに極性が反転するデータ信号が供給され、第1及び第2領域の走査方向が一致し、第1及び第2領域は走査方向にこの順に並べられ、第1及び第2領域において、走査開始端部からの距離に応じてデータ信号の電位を補正する。

WO 2012/157651 A1

GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

液晶表示装置、液晶表示装置の駆動方法、及びテレビジョン受像機

技術分野

[0001] 本発明は、画面分割駆動方式及びV反転駆動方式を組み合わせた液晶表示装置およびその駆動方法に関する。

背景技術

[0002] 放送画質の高画質化、PCの高性能化に伴い、これらに用いられる液晶表示装置においても、VGA（SD）、XGA、WXGA、FHD、2K4K、4K8Kといった大容量化の流れや、24Hz、30Hz、60Hzインターレース、60Hzプログレッシブ、120Hz（倍速）、240Hzといった高リフレッシュレート化の流れが止まることがない。

[0003] このような液晶表示装置の高精細化に伴う各画素への書き込み時間の短縮化に対応するための技術として、従来から、V反転駆動方式や画面分割駆動方式が提案されている。

[0004] V反転駆動方式とは、データ信号線に一垂直走査期間あるいは複数垂直走査期間ごとに極性が反転するデータ信号を供給する駆動方法（1V反転駆動方式あるいはnV反転駆動方式）をいう。

[0005] 画面分割駆動方式とは、表示部を複数の領域に分割し、各領域を別々に駆動する駆動方法をいう（例えば特許文献1）。画面分割駆動方式では、例えば、1画面を上下分割した（上側領域を第1領域、下側領域を第2領域とする）場合、第1領域にはフレームの前半を表示し、第2領域には該フレームの後半を表示する。

[0006] 近年の液晶表示装置では、これらの技術を採用することにより、高精細化及び駆動速度の高速化が実現されてきた。

先行技術文献

特許文献

[0007] 特許文献1：日本国公開特許公報「特開2008-70406号公報（2008年3月27日公開）」

発明の概要

発明が解決しようとする課題

[0008] ここで本願発明者らは、従来のV反転駆動方式及び画面分割駆動方式を組み合わせた場合に、第1領域と第2領域との境界部分で輝度の変化が顕著となり、表示品位が大きく低下するという問題を見出した。以下、第1領域と第2領域との境界部分で輝度変化が生じる原理について説明する。

[0009] 図25は、従来の液晶パネルに用いられるアクティブマトリクス基板の等価回路図である。図26は、白色のベタ画像を表示する際の、理想的な、液晶表示装置の駆動方法（ノーマリブラックモード）を示すタイミングチャートであり、図28の（a）はこの駆動方法により表示される表示画像を示している。図27は、白色のベタ画像を表示する際の、従来の液晶表示装置の駆動方法（ノーマリブラックモード）を示すタイミングチャートであり、図28の（b）はこの駆動方法により表示される表示画像を示している。

[0010] 図26及び図27において、Sはそれぞれデータ信号線SL（a）（図25）に供給されるデータ信号を示し、GSPはゲートスタートパルスを示し、G（1）、G（2）、G（3）、…、G（k）、…、G（n-1）、G（n）はそれぞれ走査信号線GL（1）、GL（2）、GL（3）、…、GL（k）、…、GL（n-1）、GL（n）（図25）に供給されるゲート信号（走査信号）を示し、VP（1）、VP（2）、VP（3）、…、VP（k）、…、VP（n-1）、VP（n）は画素電極PD（a1）、PD（a2）、PD（a3）、…、PD（ak）、…、PD（an-1）、PD（an）（図25）の電位（画素電位）を示している。なお、ここでは、主に任意の第a列に着目して説明する。

[0011] 本駆動方法では、図26及び図27に示されるように、データ信号線SLに一垂直走査期間（1V）ごとに極性が反転するデータ信号Sを供給する一方、同一水平走査期間（H）には隣り合う2本のデータ信号線（例えばデー

タ信号線SL (a)、SL (b)) に互いに逆極性となるデータ信号Sを供給する(1V反転駆動)。また、ここでは、表示画像を白色のベタ画像としているため、データ信号Sの電位(絶対値)は一定としている。なお、以下では、画素電位VPを実効電位(Vcomを基準とする絶対値)を表すものとして説明する。

[0012] 具体的には、任意の連続するフレームF1~F4のフレームF1では、データ信号線SL (a) に、1番目の水平走査期間(走査信号線GL (1)の走査期間含む)にプラス極性のデータ信号Sを供給し、2番目の水平走査期間(走査信号線GL (2)の走査期間含む)にもプラス極性のデータ信号Sを供給し、k ($1 \leq k \leq n$ の整数)番目の水平走査期間(走査信号線GL (k)の走査期間含む)にもプラス極性のデータ信号Sを供給し、n番目の水平走査期間(走査信号線GL (n)の走査期間含む)にもプラス極性のデータ信号Sを供給する。また、データ信号線SL (b) に、1番目の水平走査期間(走査信号線GL (1)の走査期間含む)にマイナス極性のデータ信号Sを供給し、2番目の水平走査期間(走査信号線GL (2)の走査期間含む)にもマイナス極性のデータ信号Sを供給し、k番目の水平走査期間(走査信号線GL (k)の走査期間含む)にもマイナス極性のデータ信号Sを供給し、n番目の水平走査期間(走査信号線GL (n)の走査期間含む)にもマイナス極性のデータ信号Sを供給する。

[0013] また、フレームF2では、データ信号線SL (a)及びデータ信号線SL (b)それぞれに供給するデータ信号Sの極性をフレームF1とは逆極性とする。フレームF3ではフレームF1と同じ動作を行い、フレームF4ではフレームF2と同じ動作を行う。以降、同様の動作を繰り返す。

[0014] ここで、白色のベタ画像を表示する場合、フレームF1、F3では、各画素電極PD (a1)、PD (a2)、PD (ak)、PD (an-1)、PD (an)に、大きさ(電圧の絶対値)が互いに等しいプラス極性のデータ信号Sが供給され、フレームF2、F4では、各画素電極PD (a1)、PD (a2)、PD (ak)、PD (an-1)、PD (an)に、大きさ(

電圧の絶対値) が互いに等しいマイナス極性のデータ信号 S が供給される。これにより、理想的には、図 28 の (a) に示すように、白色のベタ画像が表示される。

[0015] しかし、従来の液晶表示装置では、データ信号線と画素電極との間に生じる寄生容量 (C_{sd}) に起因して、画素電位 V_P が、書き込まれたデータ信号 S の電位 V_{s1} (白) から変化 (低下) し、輝度が均一にならないという問題が生じる。以下、図 27 に用いて具体的に説明する。

[0016] 画素電極 PD (a1) では、フレーム F1 の 1 番目の水平走査期間 (走査信号線 GL (1) の走査期間含む) にプラス極性のデータ信号 S が供給されてから、フレーム F2 の 1 番目の水平走査期間 (走査信号線 GL (1) の走査期間含む) にマイナス極性のデータ信号 S が供給されるまでの一垂直走査期間 (1V)、その電位 V_P (1) は、書き込まれたデータ信号 S (白色に対応するプラス極性のデータ信号) の電位 V_{s1} を維持する (V_{com} を基準とする画素電位 V_P (1) の絶対値 = V_{com} を基準とするデータ信号電位 V_{s1} の絶対値)。これは、フレーム F2 の 1 番目の水平走査期間におけるデータ信号 S の書き込み開始タイミング (ゲート信号 G (1) の立ち上がり) と、データ信号 S がプラス極性からマイナス極性に切り替わるタイミングとが一致し、画素電位 V_P (1) がデータ信号 S の極性反転の影響を受けないためである。フレーム F2 からフレーム F3 への移行時も同様に、画素電位 V_P (1) は、フレーム F3 の 1 番目の水平走査期間におけるデータ信号 S の書き込み開始タイミング (ゲート信号 G (1) の立ち上がり) で、データ信号 S がマイナス極性からプラス極性に切り替わるため、この極性反転の影響を受けることなく、データ信号電位 V_{s1} を維持する。

[0017] 一方、画素電極 PD (a2) では、フレーム F1 の 2 番目の水平走査期間 (走査信号線 GL (2) の走査期間含む) にプラス極性のデータ信号 S が供給されてから、フレーム F2 の 2 番目の水平走査期間 (走査信号線 GL (2) の走査期間含む) にマイナス極性のデータ信号 S が供給されるまでの間に、データ信号 S の極性がプラス極性からマイナス極性に切り替わる。すなわ

ち、フレームF 2でゲート信号G (2)が立ち上がる1 H前(ゲート信号G (1)の立ち上がり)のタイミングで、データ信号Sの極性がプラス極性からマイナス極性に切り替わる。そのため、フローティング状態にある画素電極PD (a 2)の電位 $V_P(2)$ は、寄生容量 C_{sd} に起因して、データ信号Sの極性がプラス極性からマイナス極性に切り替わるタイミングで、フレームF 1で書き込まれたデータ信号S(白色に対応するプラス極性のデータ信号S)の電位 V_{s1} から ΔV_p だけ低下(突き下げ)する(V_{com} を基準とする画素電位 $V_P(2)$ ($=V_{s1} - \Delta V_p$)の絶対値 $< V_{com}$ を基準とするデータ信号電位 V_{s1} の絶対値)。フレームF 2からフレームF 3への移行時も同様に、画素電位 $V_P(2)$ は、フレームF 3の2番目の水平走査期間におけるデータ信号Sの書き込み開始タイミング(ゲート信号G (2)の立ち上がり)よりも1 H前(ゲート信号G (1)の立ち上がり)のタイミングで、データ信号Sの極性がマイナス極性からプラス極性に切り替わるため、画素電極PD (a 2)の電位 $V_P(2)$ は、データ信号Sの極性反転の影響を受け、フレームF 2で書き込まれたデータ信号S(白色に対応するマイナス極性のデータ信号S)の電位 V_{s1} から ΔV_p だけ低下(突き上げ)する(V_{com} を基準とする画素電位 $V_P(2)$ ($=V_{s1} - \Delta V_p$)の絶対値 $< V_{com}$ を基準とするデータ信号電位 V_{s1} の絶対値)。

[0018] 画素電極PD (a 2)の電位低下の期間は1 H程度であるため、表示品位に影響は与えないが、走査方向の終端側に行くにつれて、電位低下の期間が長くなる。

[0019] 例えば、走査方向の終端部である画素電極PD (a n)では、フレームF 1のn番目の水平走査期間(走査信号線GL (n)の走査期間含む)にプラス極性のデータ信号Sが供給されてから、フレームF 2のn番目の水平走査期間(走査信号線GL (n)の走査期間含む)にマイナス極性のデータ信号Sが供給されるまでの間に、データ信号Sの極性がプラス極性からマイナス極性に切り替わる。すなわち、フレームF 1でゲート信号G (n)が立ち上がり、画素電極PD (a n)にデータ信号電位 V_{s1} が書き込まれた直後に

、データ信号Sの極性がプラス極性からマイナス極性に切り替わる。そのため、画素電極PD (a n) の電位V nは、寄生容量C s dに起因して、データ信号Sの極性がプラス極性からマイナス極性に切り替わるタイミングで、フレームF 1で書き込まれたデータ信号S (白色に対応するプラス極性のデータ信号S) の電位V s lから $\Delta V p$ だけ低下 (突き下げ) する (V c o mを基準とする画素電位V P (n) (=V s l - $\Delta V p$) の絶対値 < V c o mを基準とするデータ信号電位V s lの絶対値)。フレームF 2からフレームF 3への移行時も同様に、画素電位V P (n) は、フレームF 2でゲート信号G (n) が立ち上がり、画素電極PD (a n) にデータ信号電位V s lが書き込まれた直後に、データ信号Sの極性がマイナス極性からプラス極性に切り替わるため、画素電極PD (a n) の電位V P (n) は、データ信号Sの極性反転の影響を受け、フレームF 2で書き込まれたデータ信号S (白色に対応するマイナス極性のデータ信号S) の電位V s lから $\Delta V p$ だけ低下 (突き上げ) する (V c o mを基準とする画素電位V P (n) (=V s l - $\Delta V p$) の絶対値 < V c o mを基準とするデータ信号電位V s lの絶対値)。

[0020] このように画素電極PD (a n) では、電位低下の期間が (n - 1) 水平走査期間となるため、走査開始端部に位置する画素電極PD (a 1) と比較して輝度が大きく低下することになる。

[0021] すなわち、画素電極PD (a k) の電位V P (k) は、走査開始端部 (k = 1) から走査終了端部 (k = n) にいくにつれて、 $V P (k) = V s l - \Delta V p$ となる期間が長くなる。これにより、実際に表示される画像は、図28の (b) に示すように、走査開始端部から走査終了端部にいくにつれて輝度が低下した画像 (いわゆるグラデーション画像) となる。

[0022] このようなV反転駆動方式を、画面分割駆動方式ではない通常の駆動方式に適用した場合は、輝度の変化が走査方向に連続的になるため、視認レベルにおいて表示品位に大きな影響は生じない。しかし、V反転駆動方式を、画面分割駆動方式に適用した場合には、輝度が最も低下する第1領域の走査終

了端部と、本来の輝度で表示される第2領域の走査開始端部とが隣り合うため、図29に示すように、第1領域と第2領域との境界部分で輝度の変化が顕著となり、表示品位を大きく低下させることになる。

[0023] 本発明は上記課題に鑑みてなされたものであり、その目的は、画面分割方式及びV反転駆動方式を組み合わせた液晶表示装置において、分割領域同士の境界部分に輝度変化が生じ難い構成を提案することにある。

課題を解決するための手段

[0024] 本発明の液晶表示装置は、上記課題を解決するために、

表示部に設けられた第1及び第2領域それぞれにデータ信号線、走査信号線及び画素が形成され、該第1領域に現フレームの一部が書き込まれるとともに、該第2領域に現フレームの残部が書き込まれる液晶表示装置であって、

各データ信号線に、一垂直走査期間あるいは複数垂直走査期間ごとに極性が反転するデータ信号が供給され、

上記第1領域における走査方向と、上記第2領域における走査方向とは互いに一致するとともに、上記第1及び第2領域は、走査方向に、この順に並べられており、

少なくとも上記第1領域において、走査開始端部からの距離に応じて、各データ信号線に供給するデータ信号の電位を補正することを特徴とする。

[0025] 上記の構成によれば、例えば第1領域において、上記のように各データ信号線に供給するデータ信号の電位を補正すれば、第1領域の輝度を均一にすることができるため、第1及び第2領域の境界部分に生じる輝度変化を抑えることができる。また、第1及び第2領域において、上記のように各データ信号線に供給するデータ信号の電位を補正すれば、第1及び第2領域の輝度を均一にすることができるため、表示画像全体としての輝度変化を抑えることができ、より表示品位を高めることができる。

[0026] 本発明の液晶表示装置の駆動方法は、上記課題を解決するために、

表示部に設けられた第1及び第2領域それぞれにデータ信号線、走査信号

線及び画素が形成され、現フレームの第1領域での走査によって該第1領域に現フレームの一部が書き込まれ、かつ現フレームの第2領域での走査によって該第2領域に現フレームの残部が書き込まれる液晶表示装置の駆動方法であって、

各データ信号線に、一垂直走査期間あるいは複数垂直走査期間ごとに極性が反転するデータ信号を供給し、

上記第1領域における走査方向と、上記第2領域における走査方向とは互いに一致するとともに、上記第1及び第2領域は、走査方向に、この順に並べられており、

少なくとも上記第1領域において、走査開始端部からの距離に応じて、各データ信号線に供給するデータ信号の電位を補正することを特徴とする。

発明の効果

[0027] 以上のように、本発明の液晶表示装置及び液晶表示装置の駆動方法は、少なくとも上記第1領域において、走査開始端部からの距離に応じて、各データ信号線に供給するデータ信号の電位を補正する構成及び方法を備えている。これにより、画面分割方式及びV反転駆動方式を組み合わせた液晶表示装置において、分割領域同士の境界部分に輝度変化が生じ難くなる。

図面の簡単な説明

[0028] [図1]実施の形態1に係る液晶表示装置の駆動方法を示すタイミングチャートである。

[図2]実施の形態1に係るテレビジョン受像機の概略構成を示すブロック図である。

[図3]実施の形態1に係る液晶パネルの一部を示す等価回路図である。

[図4] (a) は実施の形態1に係る液晶表示装置におけるフレームA～Dの入力タイミングを示す図であり、(b) は該液晶表示装置における書き込み動作のタイミングを示す図であり、(c) は該液晶表示装置における他の書き込み動作のタイミングを示す図である。

[図5]図29の表示画像（グラデーション画像）に対応する、液晶表示装置の

駆動方法の一例を示すタイミングチャートである。

[図6]画素電極 $P D x (k)$ に対応する駆動方法を示すタイミングチャートであり、(a) はデータ信号の補正を行わない場合を示し、(b) はデータ信号の補正を行った場合を示している。

[図7]実施の形態1に係る液晶表示装置の駆動方法により表示される画像を示す図である。

[図8]実施の形態1に係る液晶表示装置の他の駆動方法を示すタイミングチャートである。

[図9]実施の形態1に係る液晶表示装置におけるデータ補正回路の構成を示すブロック図である。

[図10]図9に示すデータ補正回路の平均電圧算出部における処理を説明するためのグラフである。

[図11]実施の形態2に係る液晶パネルの一部を示す等価回路図である。

[図12]データ信号の補正を行わない場合の駆動方法を示すタイミングチャートである。

[図13]図12の駆動方法を用いた場合の表示状態を示す模式図である。

[図14]データ信号の補正を行わない場合の、画素電極 $P D x (k - 1)$ 、 $P D x (k)$ に対応する駆動方法を示すタイミングチャートである。

[図15]実施の形態2に係る液晶表示装置の、画素電極 $P D x (k - 1)$ 、 $P D x (k)$ に対応する駆動方法を示すタイミングチャートである。

[図16]実施の形態2に係る液晶表示装置の駆動方法を示すタイミングチャートである。

[図17]実施の形態3に係る液晶表示装置の概略構成を示すブロック図である。

[図18]実施の形態3に係る液晶パネルの一部（走査開始側）を示す等価回路図である。

[図19]実施の形態3に係る液晶パネルの一部（走査終了側）を示す等価回路図である。

[図20]実施の形態3に係る液晶表示装置の駆動方法を示すタイミングチャートである。

[図21]図20の駆動方法を用いた場合の走査開始側の表示状態を示す模式図である。

[図22]図20の駆動方法を用いた場合の走査終了側の表示状態を示す模式図である。

[図23]図20の駆動方法を用いた場合の走査開始側の表示状態（明・暗）を示す模式図である。

[図24]図20の駆動方法を用いた場合の走査終了側の表示状態（明・暗）を示す模式図である。

[図25]従来の液晶パネルに用いられるアクティブマトリクス基板の等価回路図である。

[図26]白色のベタ画像を表示する際の、液晶表示装置の理想的な駆動方法（ノーマリブラックモード）を示すタイミングチャートである。

[図27]白色のベタ画像を表示する際の、従来の液晶表示装置の駆動方法（ノーマリブラックモード）を示すタイミングチャートである。

[図28]（a）は図26の駆動方法により表示される表示画像を示す図であり、（b）は図27の駆動方法により表示される表示画像を示す図である。

[図29]V反転駆動方式を画面分割駆動方式に適用した従来の液晶表示装置における駆動方法により表示される表示画像（グラデーション画像）を示す図である。

発明を実施するための形態

[0029] 本発明の実施の形態を、図1～図24を用いて説明すれば、以下のとおりである。なお、説明の便宜のため、以下では走査信号線の延伸方向を行方向とする。ただし、本液晶パネル（あるいはこれに用いられるアクティブマトリクス基板）を備えた液晶表示装置の利用（視聴）状態において、その走査信号線が横方向に延伸していても縦方向に延伸していてもよいことはいうまでもない。なお、液晶パネルを示す図面では、配向規制用構造物を適宜省略

記載している。

[0030] [実施の形態1]

(液晶表示装置の構成)

図2は、本テレビジョン受像機の概略構成を示すブロック図である。同図に示されるように、本テレビジョン受像機50aはチューナ40と液晶表示装置10aとを備える。液晶表示装置10aは、第1および第2領域に分割された液晶パネル3a、第1表示制御回路20x、第1ソースドライバSDx、第1ゲートドライバGDx、第1Csコントロール回路30x、第2表示制御回路20y、第2ソースドライバSDy、第2ゲートドライバGDy、および第2Csコントロール回路30yを備える。なお、第1表示制御回路20x、第1ソースドライバSDx、第1ゲートドライバGDx、および第1Csコントロール回路30xは第1領域の駆動用であり、第2表示制御回路20y、第2ソースドライバSDy、第2ゲートドライバGDy、および第2Csコントロール回路30yは第2領域の駆動用である。

[0031] 第1表示制御回路20xには、チューナ40から、垂直同期信号VSYNC(x)、水平同期信号HSYNC(x)、データイネーブル信号DE(x)、映像データDAT(x)、およびクロック信号CLK(x)が入力され、第2表示制御回路20yには、チューナ40から、垂直同期信号VSYNC(y)、水平同期信号HSYNC(y)、データイネーブル信号DE(y)、映像データDAT(y)、およびクロック信号CLK(y)が入力される。第1表示制御回路20xは、第1ゲートドライバGDxに第1領域用のゲートスタートパルスGSP(x)を出力し、第1Csコントロール回路30xに第1領域用のCs制御信号を出力する。また、第2表示制御回路20yは、第2ゲートドライバGDyに第2領域用のゲートスタートパルスGSP(y)を出力し、第2Csコントロール回路30yに第2領域用のCs制御信号を出力する。さらに、第1Csコントロール回路30xは、第1領域の各保持容量配線にCs信号(保持容量配線信号)を供給し、第2Csコントロール回路30yは、第2領域の各保持容量配線にCs信号を供給する。

[0032] (液晶パネルの構成)

実施の形態1に係る液晶パネル3aは、1つの画素列の上半分（パネルの上流側、第1領域）に対応して1本のデータ信号線が設けられるとともに、この画素列の下半分（パネルの下流側、第2領域）に対応して1本のデータ信号線が設けられた、いわゆる上下分割シングルソース構造（1画素列あたり上下に2本のデータ信号線が設けられ、同時に上下の2本の走査信号線を選択する構造）を有し、通常のパネル構造と比較して2倍速駆動が可能である。以下、具体的に説明する。

[0033] 図3は実施の形態1に係る液晶パネル3aの一部を示す等価回路図である。図3に示すように、液晶パネル3aでは、第1領域に、データ信号線 $SLx(a)$ 、 $SLx(b)$ 、 $SLx(c)$ 、 $SLx(d)$ がこの順に並べられ、行方向（図中左右方向）に延伸する走査信号線 $GLx(1)$ 、 $GLx(2)$ 、…、 $GLx(k)$ 、…、 $GLx(n-1)$ 、 $GLx(n)$ がこの順に並べられ、各走査信号線に対応して、保持容量配線 $CSx(1)$ 、 $CSx(2)$ 、…、 $CSx(k)$ 、…、 $CSx(n-1)$ 、 $CSx(n)$ がこの順に並べられている。なお、 k は1以上 n 以下（ $1 \leq k < n$ ）の整数であり、 n は例えば540（ライン）である。

[0034] 第1領域において、データ信号線 $SLx(a)$ 及び走査信号線 $GLx(1)$ の交差部に対応して画素 $Px(a1)$ が設けられ、データ信号線 $SLx(a)$ 及び走査信号線 $GLx(2)$ の交差部に対応して画素 $Px(a2)$ が設けられ、データ信号線 $SLx(a)$ 及び走査信号線 $GLx(k)$ の交差部に対応して画素 $Px(ak)$ が設けられ、データ信号線 $SLx(a)$ 及び走査信号線 $GLx(n-1)$ の交差部に対応して画素 $Px(an-1)$ が設けられ、データ信号線 $SLx(a)$ 及び走査信号線 $GLx(n)$ の交差部に対応して画素 $Px(an)$ が設けられている。同様に、データ信号線 $SLx(b)$ 及び走査信号線 $GLx(k)$ の交差部に対応して画素 $Px(bk)$ が設けられている。

[0035] 各画素 Px には1つずつ画素電極 PDx が配され、画素 $Px(a1)$ の画

画素電極 $P D_x(a_1)$ は、走査信号線 $G L_x(1)$ に繋がるトランジスタ (TFT) $T_x(a_1)$ を介してデータ信号線 $S L_x(a)$ に接続され、画素 $P_x(a_2)$ の画素電極 $P D_x(a_2)$ は、走査信号線 $G L_x(2)$ に繋がるトランジスタ $T_x(a_2)$ を介してデータ信号線 $S L_x(a)$ に接続され、画素 $P_x(a_k)$ の画素電極 $P D_x(a_k)$ は、走査信号線 $G L_x(k)$ に繋がるトランジスタ $T_x(a_k)$ を介してデータ信号線 $S L_x(a)$ に接続され、画素 $P_x(a_{n-1})$ の画素電極 $P D_x(a_{n-1})$ は、走査信号線 $G L_x(n-1)$ に繋がるトランジスタ $T_x(a_{n-1})$ を介してデータ信号線 $S L_x(a)$ に接続され、画素 $P_x(a_n)$ の画素電極 $P D_x(a_n)$ は、走査信号線 $G L_x(n)$ に繋がるトランジスタ $T_x(a_n)$ を介してデータ信号線 $S L_x(a)$ に接続されている。同様に、画素 $P_x(b_k)$ の画素電極 $P D_x(b_k)$ は、走査信号線 $G L_x(k)$ に繋がるトランジスタ $T_x(b_k)$ を介してデータ信号線 $S L_x(b)$ に接続されている。

[0036] 一方、第2領域では、図3に示すように、データ信号線 $S L_y(a)$ 、 $S L_y(b)$ 、 $S L_y(c)$ 、 $S L_y(d)$ がこの順に並べられ、行方向 (図中左右方向) に延伸する走査信号線 $G L_y(1)$ 、 $G L_y(2)$ 、 \dots 、 $G L_y(k)$ 、 \dots 、 $G L_y(n-1)$ 、 $G L_y(n)$ がこの順に並べられ、各走査信号線 $G L_y$ に対応して保持容量配線 $C S_y(1)$ 、 $C S_y(2)$ 、 \dots 、 $C S_y(k)$ 、 \dots 、 $C S_y(n-1)$ 、 $C S_y(n)$ がこの順に並べられている。なお、 k は、1以上 n 以下 ($1 \leq k \leq n$) の整数であり、 n は例えば540 (ライン) である。

[0037] 第2領域において、データ信号線 $S L_y(a)$ 及び走査信号線 $G L_y(1)$ の交差部に対応して画素 $P_y(a_1)$ が設けられ、データ信号線 $S L_y(a)$ 及び走査信号線 $G L_y(2)$ の交差部に対応して画素 $P_y(a_2)$ が設けられデータ信号線 $S L_y(a)$ 及び走査信号線 $G L_y(k)$ の交差部に対応して画素 $P_y(a_k)$ が設けられ、データ信号線 $S L_y(a)$ 及び走査信号線 $G L_y(n-1)$ の交差部に対応して画素 $P_y(a_{n-1})$ が設けられ、データ信号線 $S L_y(a)$ 及び走査信号線 $G L_y(n)$ の交差部に対応し

て画素 $P_y(a_n)$ が設けられている。同様に、データ信号線 $SL_y(b)$ 及び走査信号線 $GL_y(k)$ の交差部に対応して画素 $P_y(b_k)$ が設けられている。

[0038] 各画素 P_y には1つずつ画素電極 PD_y が配され、画素 $P_y(a_1)$ の画素電極 $PD_y(a_1)$ は、走査信号線 $GL_y(1)$ に繋がるトランジスタ $T_y(a_1)$ を介してデータ信号線 $SL_y(a)$ に接続され、画素 $P_y(a_2)$ の画素電極 $PD_y(a_2)$ は、走査信号線 $GL_y(2)$ に繋がるトランジスタ $T_y(a_2)$ を介してデータ信号線 $SL_y(a)$ に接続され、画素 $P_y(a_k)$ の画素電極 $PD_y(a_k)$ は、走査信号線 $GL_y(k)$ に繋がるトランジスタ $T_y(a_k)$ を介してデータ信号線 $SL_y(a)$ に接続され、画素 $P_y(a_{n-1})$ の画素電極 $PD_y(a_{n-1})$ は、走査信号線 $GL_y(n-1)$ に繋がるトランジスタ $T_y(a_{n-1})$ を介してデータ信号線 $SL_y(a)$ に接続され、画素 $P_y(a_n)$ の画素電極 $PD_y(a_n)$ は、走査信号線 $GL_y(n)$ に繋がるトランジスタ $T_y(a_n)$ を介してデータ信号線 $SL_y(a)$ に接続されている。同様に、画素 $P_y(b_k)$ の画素電極 $PD_y(b_k)$ は、走査信号線 $GL_y(k)$ に繋がるトランジスタ $T_y(b_k)$ を介してデータ信号線 $SL_y(b)$ に接続されている。

[0039] なお、各走査信号線 GL_x 、 GL_y は、1本ずつ順に選択され、第1領域における走査方向と第2領域における走査方向とは互いに一致するとともに、第1及び第2領域は走査方向にこの順に並べられている。図3では、紙面上側(上流)から下側(下流)に走査するものとする。すなわち、走査信号線 $GL_x(1)$ 、 $GL_x(2)$ 、 \dots 、 $GL_x(k)$ 、 \dots 、 $GL_x(n-1)$ 、 $GL_x(n)$ 、 $GL_y(1)$ 、 $GL_y(2)$ 、 \dots 、 $GL_y(k)$ 、 \dots 、 $GL_y(n-1)$ 、 $GL_y(n)$ がこの順に選択される。

[0040] (画面分割方式)

ここで、液晶表示装置10aにおける書き込み動作の一例を説明する。図4の(a)は、フレームA~Dの入力タイミングを示しており、同図では、フレームA~Dそれぞれの垂直同期信号を VSA ~ VSD とし、フレームA

～Dそれぞれの期間 ($V t A \sim V t D$) を、等しく1120ライン（そのうちブランキング期間を40ライン）としている。図4の（b）は、液晶表示装置10aにおける書き込み動作のタイミングを示している。

[0041] 図4の（b）に示すように、1番目のフレームAの前半Axを第1領域に書き込んだ後に、1番目のフレームAの後半Ayを第2領域に書き込むが、このフレームAの後半Ayの書き込み期間と時間的に重なるように、2番目のフレームBの前半Bxを第1領域に書き込み、その後、2番目のフレームBの後半Byを第2領域に書き込む。そして、このフレームBの後半Byの書き込み期間と時間的に重なるように、3番目のフレームCの前半Cxを第1領域に書き込み、その後、3番目のフレームCの後半Cyを第2領域に書き込む。

[0042] 図4の（b）では、前半フレームAxのゲートスタートパルスをGSAx、前半フレームBxのゲートスタートパルスをGSBx、前半フレームCxのゲートスタートパルスをGSCx、前半フレームDxのゲートスタートパルスをGSDxとしており、前半フレームAxのゲートスタートパルスGSAxとフレームAの垂直同期信号VSAとが同期し、前半フレームBxのゲートスタートパルスGSBxとフレームBの垂直同期信号VSBとが同期し、前半フレームCxのゲートスタートパルスGSCxとフレームCの垂直同期信号VSCとが同期し、前半フレームDxのゲートスタートパルスGSDxとフレームDの垂直同期信号VSDとが同期している。また、前半フレームAx～Dxそれぞれの期間 ($V t A x \sim V t D x$) を、等しく560ライン（そのうちブランキング期間を20ライン）としている。

[0043] また、図4の（b）では、後半フレームAyのゲートスタートパルスをGSAy、後半フレームByのゲートスタートパルスをGSBy、後半フレームCyのゲートスタートパルスをGSCy、後半フレームDyのゲートスタートパルスをGSDyとしており、後半フレームAyのゲートスタートパルスGSAyがアクティブとなるのは、前半フレームAxのゲートスタートパルスGSAxからW（540ライン期間）経過後、後半フレームByのゲー

トスタートパルス $G S B y$ がアクティブとなるのは、前半フレーム $B x$ のゲートスタートパルス $G S B x$ から期間 W 経過後、後半フレーム $C y$ のゲートスタートパルス $G S C y$ がアクティブとなるのは、前半フレーム $C x$ のゲートスタートパルス $G S C x$ から期間 W 経過後、後半フレーム $D y$ のゲートスタートパルス $G S D y$ がアクティブとなるのは、前半フレーム $D x$ のゲートスタートパルス $G S D x$ から期間 W 経過後となっている。また、後半フレーム $A y \sim D y$ それぞれの期間 ($V t A y \sim V t D y$) を、等しく560ライン (そのうちブランキング期間を20ライン) としている。

[0044] 図4の(a)及び(b)に示されるように、画面分割(上下分割)駆動方式の本液晶表示装置10aでは、例えば1080ラインの入力期間に540ラインを出力(走査)すればよいことになり、出力側の1H(一水平走査期間)を入力側の1H(一水平走査期間)の2倍とすることができるため、各画素の充電率を高めることができる。また、液晶表示装置の高精細化に伴う各画素への書き込み時間の短縮化を実現することができる。

[0045] なお、分割する部分(第1領域と第2領域の境界)は、液晶パネルの上下方向の中心に限定されず、第1領域と第2領域の面積を異ならせても良い。この場合、第1領域にはフレームの一部が書き込まれ、第2領域にフレームの残部が書き込まれる。

[0046] 液晶表示装置10aにおける、他の書き込み動作の構成としては、例えば図4の(c)に示すように、フレームBの前半 $B x$ 及びフレームAの後半 $A y$ を、同じタイミングで第1領域及び第2領域それぞれに書き込む構成としても良い。この場合、第1領域及び第2領域において、同一のゲートスタートパルス及び垂直同期信号等の制御信号を利用することが可能になるため、回路構成を簡略化することができる。

[0047] ただし、ブランキング期間が長くなると、第1領域及び第2領域の表示タイミングにずれが生じ、動きの速い映像を表示する際に映像が途切れるような弊害が発生することもあるため、第1領域及び第2領域の書き込みタイミングは、液晶表示装置の設定条件に応じて調整することが好ましい。なお、

このタイミングについて検討した結果、フレームAの前半A_xの最後の書き込みタイミングと、フレームAの後半A_yの最初の書き込みタイミングとのずれ（ブランキング期間）が、一垂直走査期間の1/10程度であれば、映像の途切れが視認され難いことが分かった。

[0048] (V反転駆動方式)

ここで、本液晶表示装置10aでは、V反転駆動方式で駆動する。ここでは、便宜上、データ信号線に一垂直走査期間(1V)ごとに極性が反転するデータ信号を供給する一方、同一水平走査期間には隣り合う2本のデータ信号線に互いに逆極性となるデータ信号を供給する1V反転駆動方式として説明する。なお、本発明の液晶表示装置におけるV反転駆動方式では、同一水平走査期間において隣り合う2本のデータ信号線に互いに同極性となるデータ信号を供給する構成としてもよい。また、ここでは、表示すべき画像として、白色のベタ画像を例に挙げる。

[0049] 従来の1V反転駆動方式では、図28の(b)に示したように、走査開始端部から走査終了端部にいくにつれて輝度が低下した画像（グラデーション画像）となる。そして、1V反転駆動方式を、画面分割駆動方式に適用した場合には、輝度が低下した第1領域の終端側と、本来の輝度で表示される第2領域の始端側とが近接するため、図29に示すように、第1領域と第2領域との境界部分で輝度の変化が顕著となり、表示品位を大きく低下させることになる。図5は、図29の表示画像（グラデーション画像）に対応するタイミングチャートである。この駆動方法について以下に説明する。

[0050] フレームF1は、前半フレームF1_x及び後半フレームF1_yに分けられ、フレームF2は、前半フレームF2_x及び後半フレームF2_yに分けられ、フレームF3は、前半フレームF3_x及び後半フレームF3_yに分けられ、フレームF4は、前半フレームF4_x及び後半フレームF4_yに分けられている。それぞれの前半フレームF1_x、F2_x、F3_x、F4_xは、第1領域に書き込まれ、それぞれの後半フレームF1_y、F2_y、F3_y、F4_yは、第2領域に書き込まれる。

[0051] また、1番目の前半フレームF1xを第1領域に書き込んだ後に、後半フレームF1yを第2領域に書き込むが、この後半フレームF1yの書き込み期間と時間的に重なるように、2番目の前半フレームF2xを第1領域に書き込み、その後、2番目の後半フレームF2yを第2領域に書き込む。そして、この後半フレームF2yの書き込み期間と時間的に重なるように、3番目の前半フレームF3xを第1領域に書き込み、その後、3番目の後半フレームF3yを第2領域に書き込む。

[0052] 第1領域及び第2領域それぞれの駆動方法は、図27と同様である。

[0053] 電位 V_{s1} からの低下量を ΔV_p とすると、図5に示すように、第1領域の走査終了端部に位置する画素電極 $PD_x(a_n)$ では、その画素電位 $V_{P_x}(n)$ が $(n-1)$ 水平走査期間に亘って $V_{s1} - \Delta V_p$ となる一方、画素電極 $PD_x(a_n)$ に列方向に隣り合う第2領域の走査開始端部に位置する画素電極 $PD_y(a_1)$ では、その画素電位 $V_{P_y}(1)$ が n 水平走査期間に亘って V_{s1} を維持する。そのため、1フレーム期間当たりで、第1領域及び第2領域の境界部分において、最大 $\Delta V_p \times (n-1)$ に相当する分の輝度差が生じる。

[0054] なお、ここでは便宜上、左右に配される2本のデータ信号線のうち、画素電極に電氣的に接続されない方のデータ信号線（他のデータ信号線）との間に形成される寄生容量の影響は無視している。この寄生容量の影響については後述する（図8）。

[0055] （輝度変化の補正）

本液晶表示装置10aでは、上記輝度の変化を補正（低減）する構成を有している。以下、輝度変化を低減するための構成について説明する。本液晶表示装置10aでは、輝度変化を低減するために、入力された映像データDATに対応するデータ信号Sの電位を補正し、補正したデータ信号S'をデータ信号線SLに供給する。データ信号Sの補正は、少なくとも第1領域において行われる。以下では、第1及び第2領域ともに上記補正を行う場合について説明する。なお、第1及び第2領域の上記補正は同一の構成であるた

め、以下では第1領域について説明する。

[0056] 図6を用いて、データ信号Sの補正方法について説明する。図6は、画素電極PDx(k) (kは $1 \leq k \leq n$ の整数)に対応する駆動方法を示すタイミングチャートであり、図6の(a)はデータ信号Sの補正を行わない場合を示し、図6の(b)はデータ信号Sの補正を行った場合を示している。

[0057] Sは、データ信号線SLxに供給されるデータ信号を示し、S'は、データ信号線SLxに供給される補正したデータ信号を示し、Gx(1)は、1番目の水平走査期間に選択される走査信号線GLx(1)に供給されるゲート信号を示し、Gx(k)は、k番目の水平走査期間に選択される走査信号線GLx(k)に供給されるゲート信号を示し、Vpx(k)は、画素電極PDx(k)の電位を示している。

[0058] 画素電極PDx(k)における電位の低下量を ΔV_p とする。図6の(a)の場合、1フレーム期間の積算電位Vp(sum)は、Vslを書き込み後の期間の積算電位と、電位低下した期間の積算電位とを足し合わせた値となる。

$$\text{書き込み後の期間の積算電位} = V_{sl} \times (n - (k - 1))$$

$$\text{電位低下した期間の積算電位} = (V_{sl} - \Delta V_p) \times (k - 1)$$

$$V_p(\text{sum}) = V_{sl} \times (n - (k - 1)) + (V_{sl} - \Delta V_p) \times (k - 1)$$

$$= V_{sl} \times n - \Delta V_p \times (k - 1)$$

上記の式より、1フレーム期間の積算電位Vp(sum)が、本来の1フレーム期間の積算電位($V_{sl} \times n$)よりも、 $\Delta V_p \times (k - 1)$ だけ低くなることが分かる。この低下分に起因して、図29に示したグラデーション画像として視認されることになる。

[0059] そこで、本実施の形態に係る液晶表示装置10aでは、1フレーム期間の電位低下量($\Delta V_p \times (k - 1)$)を一水平走査期間当たりの電位低下量 $\Delta V(k)$ に換算(平均化)し、その換算値を次フレームにおいて、水平走査期間ごとにデータ信号Sの電位に加算する。 $\Delta V(k)$ は以下の式で表すこ

とができる。

$$\Delta V(k) = \Delta V_p \times (k - 1) / n$$

そして、データ信号Sの電位 V_{s1} を、以下に示すデータ信号 S' の電位 $V_{s1}'(k)$ に補正する。

$$V_{s1}'(k) = V_{s1} + \Delta V(k) = V_{s1} + \Delta V_p \times (k - 1) / n$$

図6の(b)の場合、1フレーム期間の積算電位 $V_p(\text{sum})$ は、以下のように表される。

$$\text{書き込み後の期間の積算電位} = (V_{s1} + \Delta V_k) \times (n - (k - 1))$$

$$\text{電位低下した期間の積算電位} = (V_{s1} + \Delta V_k - \Delta V_p) \times (k - 1)$$

$$V_p(\text{sum}) = (V_{s1} + \Delta V(k)) \times (n - (k - 1)) + (V_{s1} + \Delta V(k) - \Delta V_p) \times (k - 1)$$

上記の式によれば、1フレーム期間の積算電位 $V_p(\text{sum})$ が、本来の1フレーム期間の積算電位 $V_{s1} \times n$ と等しくなることが分かる。そのため、データ信号Sを S' に補正することにより、1フレーム期間における輝度を平均化することができる。

[0060] なお、現フレームのデータ信号電位に加算される電位量は、前フレーム（1フレーム前）のデータ信号の電位低下量（ ΔV_p ）に基づいて算出されるが、直前のフレームを使用しているため、表示品位の信頼性が損なわれることはない。

[0061] 図1は、図6の(b)に対応する、液晶表示装置10aの駆動方法を示すタイミングチャートである。図1において、各画素電極PDの電位 V_P に示されている点線は、本来のデータ信号電位 V_{s1} 、 $-V_{s1}$ を示している。図1に示すように、走査開始端部から走査終了端部に行くにつれて、データ信号線に供給されるデータ信号 S' の電位が高くなっている。これにより、画素電極PDに書き込まれた後の電位の低下分が補償される。すなわち、走査方向の終端部である画素電極PD(n)では、1フレーム期間における電位低下量が最大となるため、n番目の水平走査期間に画素電極 $PD_x(n)$ 、 $PD_y(n)$ に書き込まれるデータ信号電位も最大となる。

- [0062] 上記の駆動方法によれば、第1及び第2領域において、1フレーム期間における平均の表示輝度を各画素で等しくすることができるため、図28の(a)に示す表示画像を表示させることができる。
- [0063] このように、本液晶表示装置10aでは、走査開始端部からの距離に応じて、データ信号線SLxに供給するデータ信号の電位を補正することにより、第1及び第2領域に生じる輝度変化を低減することができる。なお、第1及び第2領域の境界部分に生じる輝度変化を低減するためには、少なくとも第1領域において上記補正処理（上記駆動方法）を行えばよい。第1領域のみ上記補正処理を行った場合は、図7に示す表示画像が得られる。なお、図7の表示画像では、輝度の変化が、第2領域において走査方向に連続的になるため、図28の(b)の場合よりも輝度変化を抑えることができ、視認レベルにおいて表示品位に大きな影響は生じない。
- [0064] ここで、各画素電極には、左右に配される2本のデータ信号線のうち電氣的に接続されない方のデータ信号線（他方のデータ信号線）との間にも寄生容量が形成される。例えば、画素電極PDx(k)では、電氣的に接続されないデータ信号線SLx(b)との間にも寄生容量が形成される。よって、各画素電極は、他方のデータ信号線との間に生じる寄生容量の影響も受けるため、データ信号電位の変動量は、隣り合う2本のデータ信号線（一方のデータ信号線、他方のデータ信号線）との間に生じる2つの寄生容量を考慮（差し引き）して算出することが好ましい。
- [0065] ここで、例えば、他方のデータ信号線との間に生じる寄生容量の影響が、一方のデータ信号線との間に生じる寄生容量の影響よりも大きい場合は、1フレーム期間の積算電位が、本来の積算電位($V_{s1} \times n$)よりも高くなることがある。具体的には例えば、一方のデータ信号線に黒データを供給し、他方のデータ信号線に白データ（黒データとは逆極性）を供給するような場合が想定される。このような場合には、一方のデータ信号線による電位変動の影響よりも他方のデータ信号線による電位変動の影響が大きくなるため、図8に示すように、データ信号の電位を、各フレームにおいて、本来の電位

よりも、フレーム開始時点から終了時点に向かって連続的に低下するように（センター電位に近づくように）補正する。これにより、第1及び第2領域の境界部分に生じる輝度変化を抑えることができる。なお、この場合は、第1領域に n 本（ n は1以上の整数）の走査信号線が設けられている場合、外部から入力された映像信号に対応するデータ信号の電位を V_{s1} とし、画素電極の電位がデータ信号の極性が反転することにより増加する電位量を ΔV_{ph} とすると、 k （ k は1以上 n 以下の整数）番目の水平走査期間に第1領域の各データ信号線に供給されるデータ信号の補正電位 $V_{s1}'(k)$ は、
$$V_{s1}'(k) = V_{s1} - \Delta V_{ph} \times (k - 1) / n$$
で表される。

[0066] （データ補正回路の構成）

次に、上記補正処理（上記駆動方法）を行うための液晶表示装置10aの一構成例について説明する。

[0067] 液晶表示装置10aの第1表示制御回路20x（図2参照）は、映像データDAT(x)を補正するデータ補正回路21xを備え、第2表示制御回路20y（図2参照）は、映像データDAT(y)を補正するデータ補正回路21yを備えている。データ補正回路21x、21yは同一の構成であるため、以下では、データ補正回路21xについて説明する。図9は、データ補正回路21xの構成を示すブロック図である。なお、液晶表示装置10aは、第1領域のみ上記補正処理を行う構成では、データ補正回路21xのみが設けられ、第1及び第2領域の両方において上記補正処理を行う構成では、データ補正回路21x、21yの両方が設けられる。また、第1及び第2領域の両方において上記補正処理を行う構成では、1つのデータ補正回路が、第1表示制御回路20x及び第2表示制御回路20yの外部に設けられていてもよい。

[0068] 図9に示すように、データ補正回路21xは、映像データ入力部211x、平均電圧算出部212x、第1LUT（ルックアップテーブル）213x、最大補正值算出部214x、第2LUT215x、補正位置カウンタ部2

16x、位置補正部217x、及び映像データ出力部218xを備えている。

[0069] 映像データ入力部211xには、チューナ40（図2）から映像データDAT（x）が入力される。映像データ入力部211xは、入力された映像データDAT（x）を、後段の平均電圧算出部212x及び補正位置カウンタ部216xに与える。

[0070] 平均電圧算出部212xは、映像データ入力部211xから取得した映像データDAT（x）に基づいて、データ信号線SLxごとに1フレームの平均ソース電圧を算出する。ここでのソース電圧とは、Vcomを基準とした映像データDAT（x）の信号電位の絶対値である。第1LUTには、映像データDAT（x）の信号電位とソース電圧とが対応付けられており、平均電圧算出部212xは、第1LUT213xを参照して、映像データDAT（x）に対応するソース電圧を取得する。

[0071] 平均電圧算出部212xは、1フレーム分のソース電圧を取得し、平均ソース電圧を算出する。なお、第1LUT213xに設定される電圧を、液晶印加電圧としてもよい。また、データ信号線によって設定される電圧が異なることは通常考慮する必要がないため、第1LUT213xは、1つのテーブルで構成することができる。これにより、各フレームの表示画像をベタ画像に置き換えて以降の処理を行うことができるため、補正処理を単純化することができる。

[0072] また、平均電圧算出部212xは、1フレーム分のデータ（ソース電圧）を積算することにより、平均ソース電圧の更新処理を行う。平均電圧算出部212xは、新たなデータを積算するときには、古いデータを廃棄する。なお、データ信号線ごとにラインメモリを用いて、新たなデータを読み込むとともに、古いデータを破棄しながら積算を繰り返せばデータはより正確になるが、そのためにはフレームメモリが必要となり好ましくない。そこで本実施の形態では、例えば、 V_k （ $k=1\sim n$ ）が入力されたときに、

$$\text{sum}(V_k) \leftarrow \text{sum}(V_{k-1}) + V_k - \text{sum}(V_{k-1}) / n$$

のように現在の平均ソース電圧を破棄する。これにより、真の平均ソース電圧と計算値との間にタイムラグが生じるが、1フレームの間に500本のデータを積算するときに100本程度遅れても安定した映像では平均値としてそれほど差があるわけではないし、これが影響するほど動きの大きい映像では、輝度変化の問題が顕在化することはない。

[0073] 図10に示すグラフは、平均値が約250となる0から500までの乱数データを発生させ、100データ毎に1区間としたときの平均値の計算結果（簡易計算）と、本来の平均値とを比較したものである。このグラフに示すように、簡易計算によっても、本来の平均値とほぼ同じ挙動を取ることが確認できる。なお、見かけ上、平均値の算出期間が長くなることを考え合わせ、本来の平均値が推定できるのであれば、簡易計算で求めた平均値を定数倍して利用しても良い。すなわち、0から255までの乱数データであるとすれば、127を基準に計算した平均値との差を拡大して用いることができる。しかしながら、ビデオ信号が全くの乱数であることはなくフレームを跨いでも多くの場合、強い相関関係があること、更に乱数データに対して輝度分かれの問題は視認できないこと、を考えると、そのような工夫にこだわらず簡易計算値を平均値として用いても全く問題はないと考察される。この平均値が階調データであれば、LUTからソース電圧を算出しても良いし、リソースに余裕があるのであれば、平均値を算出する各段階で同じくLUTを用いて電圧にあらかじめ換算しておいても良い。

[0074] 同様のルールによって平均ソース電圧を算出するに当たって、割り算のための回路のリソースが無視できないサイズである場合にはこれも簡略化することができる。この場合は、計算に用いる n_c を実際の平均値計算の n_r にもっとも近い2のべき乗に設定してもよい。すなわち、1080本のラインデータを扱うのであれば、 $n_r = 1080$ として、合計電圧/ n_r として平均値を算出するのが正しいが、これを $n_c = 1024 \div n_r$ として、平均値計算の際に合計電圧/ n_c を平均電圧として扱っても良い。もし、 $n_c > n_r$ であれば、垂直同期信号の入力前のタイミングで、その時点の平均ソース

電圧が入力されたものとして扱えばよいし、 $n_c < n_r$ であれば、必要な数だけ垂直同期信号の直後のデータを読み飛ばせばよい。第1領域及び第2領域の境界部分の輝度補正の観点からこの種の近似が深刻な誤差を生じないことは明らかである。これにより、簡単なビット操作と足し算及び引き算だけで平均ソース電圧を算出することができる。また、ここでは「平均」としているが、数学的に厳密なものではなく、積算電位の真の平均値の80%から120%程度の出力を示すものであれば適当な計算を当てることができる。すなわち、データ補正回路21xにおいて用いる平均ソース電圧は、真の平均ソース電圧の80%から120%とすることができる。

[0075] 最大補正值算出部214xは、平均電圧算出部212xから取得した平均ソース電圧に基づいて、第2LUT215xを参照して、1フレームにおける最大の補正量（最大補正值）を算出する。ここで、図5及び図6の(a)に示すように、走査方向の終端部である画素電極PDx(n)では、データ信号電位Vslが書き込まれた直後にデータ信号Sの極性が切り替わり、画素電位VPx(n)が、VslからVsl-ΔVpに低下する。低下した画素電位VPx(n) (=Vsl-ΔVp)は、1番目の水平走査期間から(n-1)番目の水平走査期間までの(n-1)水平走査期間だけ維持されるため、1フレーム分における最大補正值は、ΔVp×(n-1)で求められる。すなわち、画素電極PDx(k)では、1フレーム分における最大補正值は、ΔVp×(k-1)で求められる。

[0076] なお、画素電位の低下量ΔVpは、ソース電圧の階調、及び寄生容量Csd等の液晶パネルの特性等により予め算出することができる。また、フレームメモリを用いて、1フレーム前あるいはそれ以前の平均ソース電圧と、低下した画素電位とに基づいて、低下量ΔVpを算出することもできる。

[0077] 第2LUT215xには、平均ソース電圧に対応する階調（入力階調）と、上記の式で求められる最大補正值に対応する階調（出力階調）とが予め対応付けられている。最大補正值算出部214xは、算出した最大補正值を位置補正部217xに与える。

[0078] 補正位置カウンタ部216xは、映像データ入力部211xから取得した映像データDAT(x)、及びチューナ40から入力された水平同期信号HSYNC(x)に基づいて、対象となる水平走査期間(位置)を特定し、特定した位置情報を位置補正部217xに与える。

[0079] 位置補正部217xは、最大補正值算出部214xから取得した最大補正值、及び、補正位置カウンタ部216xから取得した位置情報に基づいて、対象となる水平走査期間に対応する映像データDAT(x)の補正を行う。具体的には、k番目の水平走査期間に対応するデータ信号Sの補正值 $\Delta V(k)$ を以下の式で算出する。

$$\text{補正值 } \Delta V(k) = \Delta V_p \times (k - 1) / n$$

位置補正部217xは、算出した補正值 $\Delta V(k)$ を、映像データDAT(x)に対応するデータ信号Sの電位に加算する。これにより、補正後のデータ信号S'の電位 V_{s1}' は式で表すことができる。

$$V_{s1}' = V_{s1} + \Delta V(k) = V_{s1} + \Delta V_p \times (k - 1) / n$$

上記補正されたデータ信号S'は、映像データ出力部218xに入力される。映像データ出力部218xは、タイミングコントローラ(図示せず)を介して所定のタイミングで、データ信号S'を第1ソースドライバSDxに供給する。

[0080] 上述したように、本実施の形態では、少なくとも第1領域及び第2領域の境界部分が正しく補正されれば、他の領域は連続的な補正が実現できればよいため、処理を単純化するためにさらにLUTを利用してもよいし、対数表など計算を補助する表を併用してもよい。またはnを計算しやすい数値(2のべき乗など)に設定し、nの修正に合わせてkを走査終端部で1になるように合わせて補正してもよい。

[0081] ここで、隣り合うデータ信号線SLbの影響は数値的にはデータ信号線SLaと同じ計算となるため、双方の補正量を差し引きして、補正量を決定すればよい。このために最終段階までそれぞれの補正量を計算してもよいし、双方の平均ソース電圧を比較して、補正量をさらに補正するためのファクタ

— (−1 ~ 1) を計算して、それを乗じてよい。なお、両データ信号線 S L a、S L b における寄生容量 C s d を変更した場合には、それに応じて、補正量の算出用の L U T を用意して最後に差し引きすればよい。

[0082] このように、比較的複雑な挙動を示す輝度変化に対し、最低限のリソースで影響を最小限に抑えることができる。

[0083] [実施の形態 2]

本発明の実施の形態 2 について図面に基づいて説明すると以下の通りである。なお、説明の便宜上、上記実施の形態 1 において示した部材と同一の機能を有する部材には、同一の符号を付し、その説明を省略する。また、実施の形態 1 において定義した用語については、特に断らない限り本実施例においてもその定義に則って用いるものとする。

[0084] (液晶表示装置の構成)

図 2 は、本テレビジョン受像機の概略構成を示すブロック図である。同図に示されるように、本テレビジョン受像機 5 0 b はチューナ 4 0 と液晶表示装置 1 0 b とを備える。液晶表示装置 1 0 b は、第 1 および第 2 領域に分割された液晶パネル 3 b、第 1 表示制御回路 2 0 x、第 1 ソースドライバ S D x、第 1 ゲートドライバ G D x、第 1 C s コントロール回路 3 0 x、第 2 表示制御回路 2 0 y、第 2 ソースドライバ S D y、第 2 ゲートドライバ G D y、および第 2 C s コントロール回路 3 0 y を備える。なお、第 1 表示制御回路 2 0 x、第 1 ソースドライバ S D x、第 1 ゲートドライバ G D x、および第 1 C s コントロール回路 3 0 x は第 1 領域の駆動用であり、第 2 表示制御回路 2 0 y、第 2 ソースドライバ S D y、第 2 ゲートドライバ G D y、および第 2 C s コントロール回路 3 0 y は第 2 領域の駆動用である。

[0085] (液晶パネルの構成)

実施の形態 2 に係る液晶パネル 3 b は、1 つの画素列の上半分 (パネルの上流側、第 1 領域) に対応して 2 本のデータ信号線が設けられるとともに、この画素列の下半分 (パネルの下流側、第 2 領域) に対応して 2 本のデータ信号線が設けられた、いわゆる上下分割ダブルソース構造 (1 画素列あたり

上下左右に4本のデータ信号線、例えば図11の画素列 α に対し、データ信号線 $SL_x(a1)$ 、 $SL_x(a2)$ 、 $SL_y(a1)$ 、 $SL_y(a2)$ が設けられ、同時に4本の走査信号線を選択することが可能な構造)を有し、通常のパネル構造と比較して4倍のTFT書き込み時間を割り当てることができ、超高精細パネルや4倍速駆動に適している。以下、具体的に説明する。

[0086] 図11は実施の形態2に係る液晶パネル3bの一部を示す等価回路図である。図11に示すように、液晶パネル3bでは、第1領域に、データ信号線 $SL_x(a1)$ 、 $SL_x(a2)$ 、 $SL_x(b1)$ 、 $SL_x(b2)$ 、 $SL_x(c1)$ 、 $SL_x(c2)$ 、 $SL_x(d1)$ 、 $SL_x(d2)$ がこの順に並べられ、行方向(図中左右方向)に延伸する走査信号線 $GL_x(1)$ 、 $GL_x(2)$ 、 $GL_x(3)$ 、 $GL_x(4)$ 、…、 $GL_x(k-1)$ 、 $GL_x(k)$ 、…、 $GL_x(n-1)$ 、 $GL_x(n)$ がこの順に並べられ、各走査信号線に対応して保持容量配線 $CS_x(1)$ 、 $CS_x(2)$ 、 $CS_x(3)$ 、 $CS_x(4)$ 、…、 $CS_x(k-1)$ 、 $CS_x(k)$ 、…、 $CS_x(n-1)$ 、 $CS_x(n)$ がこの順に並べられている。なお、 k は2以上 n 以下($2 \leq k \leq n$)の偶数であり、 n は例えば540(ライン)である。便宜上、図11及び以降の図では、 $GL_x(k)$ 及び $CS_x(k)$ を省略している。

[0087] 第1領域において、データ信号線 $SL_x(a1)$ 、 $SL_x(a2)$ 及び走査信号線 $GL_x(1)$ の交差部に対応して画素 $P_x(a1)$ が設けられ、データ信号線 $SL_x(a1)$ 、 $SL_x(a2)$ 及び走査信号線 $GL_x(2)$ の交差部に対応して画素 $P_x(a2)$ が設けられ、データ信号線 $SL_x(a1)$ 、 $SL_x(a2)$ 及び走査信号線 $GL_x(n-1)$ の交差部に対応して画素 $P_x(a_{n-1})$ が設けられ、データ信号線 $SL_x(a1)$ 、 $SL_x(a2)$ 及び走査信号線 $GL_x(n)$ の交差部に対応して画素 $P_x(a_n)$ が設けられている。

[0088] 同様に、データ信号線 $SL_x(b1)$ 、 $SL_x(b2)$ 及び走査信号線 $GL_x(1)$ の交差部に対応して画素 $P_x(b1)$ が設けられ、データ信号線

$SLx(b1)$ 、 $SLx(b2)$ 及び走査信号線 $GLx(2)$ の交差部に対応して画素 $Px(b2)$ が設けられ、データ信号線 $SLx(b1)$ 、 $SLx(b2)$ 及び走査信号線 $GLx(n-1)$ の交差部に対応して画素 $Px(b_{n-1})$ が設けられ、データ信号線 $SLx(b1)$ 、 $SLx(b2)$ 及び走査信号線 $GLx(n)$ の交差部に対応して画素 $Px(b_n)$ が設けられている。

[0089] ここで、データ信号線 $SLx(a1)$ 、 $SLx(a2)$ は、画素 $Px(a1) \sim Px(an)$ を含む画素列 α (第1画素列) に対応して設けられ、データ信号線 $SLx(b1)$ 、 $SLx(b2)$ は画素 $Px(b1) \sim Px(b_n)$ を含む画素列 β (第2画素列) に対応して設けられている。

[0090] 各画素 Px には1つずつ画素電極 PDx が配され、画素 $Px(a1)$ の画素電極 $PDx(a1)$ は、走査信号線 $GLx(1)$ に繋がるトランジスタ $Tx(a1)$ を介してデータ信号線 $SLx(a1)$ に接続され、画素 $Px(a2)$ の画素電極 $PDx(a2)$ は、走査信号線 $GLx(2)$ に繋がるトランジスタ $Tx(a2)$ を介してデータ信号線 $SLx(a2)$ に接続され、画素 $Px(a_{n-1})$ の画素電極 $PDx(a_{n-1})$ は、走査信号線 $GLx(n-1)$ に繋がるトランジスタ $Tx(a_{n-1})$ を介してデータ信号線 $SLx(a1)$ に接続され、画素 $Px(an)$ の画素電極 $PDx(an)$ は、走査信号線 $GLx(n)$ に繋がるトランジスタ $Tx(an)$ を介してデータ信号線 $SLx(a2)$ に接続されている。

[0091] 同様に、画素 $Px(b1)$ の画素電極 $PDx(b1)$ は、走査信号線 $GLx(1)$ に繋がるトランジスタ $Tx(b1)$ を介してデータ信号線 $SLx(b1)$ に接続され、画素 $Px(b2)$ の画素電極 $PDx(b2)$ は、走査信号線 $GLx(2)$ に繋がるトランジスタ $Tx(b2)$ を介してデータ信号線 $SLx(b2)$ に接続され、画素 $Px(b_{n-1})$ の画素電極 $PDx(b_{n-1})$ は、走査信号線 $GLx(n-1)$ に繋がるトランジスタ $Tx(b_{n-1})$ を介してデータ信号線 $SLx(b1)$ に接続され、画素 $Px(b_n)$ の画素電極 $PDx(b_n)$ は、走査信号線 $GLx(n)$ に繋がるトランジスタ

$T_x(b_n)$ を介してデータ信号線 $SL_x(b_2)$ に接続されている。

[0092] すなわち、画素列 α の偶数番目となる各画素（画素 $P_x(a_2)$ 、 $P_x(a_4)$ 、 $P_x(a_n)$ ）の画素電極（画素電極 $PD_x(a_2)$ 、 $PD_x(a_4)$ 、 $PD_x(a_n)$ ）が接続するデータ信号線 $SL_x(a_2)$ と、画素列 β の奇数番目となる画素（画素 $P_x(b_1)$ 、 $P_x(b_3)$ 、 $P_x(b_{n-1})$ ）の画素電極（画素電極 $PD_x(b_1)$ 、 $PD_x(b_3)$ 、 $PD_x(b_{n-1})$ ）が接続するデータ信号線 $SL_x(b_1)$ とが、隣り合うことになる。

[0093] また、画素 $P_x(a_1)$ の画素電極 $PD_x(a_1)$ 及び画素 $P_x(b_1)$ の画素電極 $PD_x(b_1)$ に対応する走査信号線 $GL_x(1)$ と、画素 $P_x(a_2)$ の画素電極 $PD_x(a_2)$ 及び画素 $P_x(b_2)$ の画素電極 $PD_x(b_2)$ に対応する走査信号線 $GL_x(2)$ とがパネル内あるいはパネル外で互いに接続され、走査信号線 $GL_x(1)$ 、 $GL_x(2)$ は同時選択される。画素 $P_x(a_3)$ の画素電極 $PD_x(a_3)$ 及び画素 $P_x(b_3)$ の画素電極 $PD_x(b_3)$ に対応する走査信号線 $GL_x(3)$ と、画素 $P_x(a_4)$ の画素電極 $PD_x(a_4)$ 及び画素 $P_x(b_4)$ の画素電極 $PD_x(b_4)$ に対応する走査信号線 $GL_x(4)$ とがパネル内あるいはパネル外で互いに接続され、走査信号線 $GL_x(3)$ 、 $GL_x(4)$ は同時選択される。また、画素 $P_x(a_{n-1})$ の画素電極 $PD_x(a_{n-1})$ 及び画素 $P_x(b_{n-1})$ の画素電極 $PD_x(b_{n-1})$ に対応する走査信号線 $GL_x(n-1)$ と、画素 $P_x(a_n)$ の画素電極 $PD_x(a_n)$ 及び画素 $P_x(b_n)$ の画素電極 $PD_x(b_n)$ に対応する走査信号線 $GL_x(n)$ とがパネル内あるいはパネル外で互いに接続され、走査信号線 $GL_x(n-1)$ 、 $GL_x(n)$ は同時選択される。もちろん、走査信号線 $GL_x(1)$ と $GL_x(2)$ 、走査信号線 $GL_x(3)$ と $GL_x(4)$ 、走査信号線 $GL_x(n-1)$ と $GL_x(n)$ とが、パネル内外で互いに非接続で同時選択される構成とすることも可能である。

[0094] 一方、第2領域では、図11に示すように、データ信号線 $SL_y(a_1)$

、 $SL_y(a_2)$ 、 $SL_y(b_1)$ 、 $SL_y(b_2)$ 、 $SL_y(c_1)$ 、 $SL_y(c_2)$ 、 $SL_y(d_1)$ 、 $SL_y(d_2)$ がこの順に並べられ、行方向（図中左右方向）に延伸する走査信号線 $GL_y(1)$ 、 $GL_y(2)$ 、 $GL_y(3)$ 、 $GL_y(4)$ 、…、 $GL_y(k-1)$ 、 $GL_y(k)$ 、…、 $GL_y(n-1)$ 、 $GL_y(n)$ がこの順に並べられ、各走査信号線に対応して保持容量配線 $CS_y(1)$ 、 $CS_y(2)$ 、 $CS_y(3)$ 、 $CS_y(4)$ 、…、 $CS_y(k-1)$ 、 $CS_y(k)$ 、…、 $CS_y(n-1)$ 、 $CS_y(n)$ がこの順に並べられている。なお、 k は2以上 n 以下 ($2 \leq k \leq n$) の偶数であり、 n は例えば540（ライン）である。便宜上、図11及び以降の図では、 $GL_y(k)$ 及び $CS_y(k)$ を省略している。

[0095] 第2領域において、データ信号線 $SL_y(a_1)$ 、 $SL_y(a_2)$ 及び走査信号線 $GL_y(1)$ の交差部に対応して画素 $Py(a_1)$ が設けられ、データ信号線 $SL_y(a_1)$ 、 $SL_y(a_2)$ 及び走査信号線 $GL_y(2)$ の交差部に対応して画素 $Py(a_2)$ が設けられ、データ信号線 $SL_y(a_1)$ 、 $SL_y(a_2)$ 及び走査信号線 $GL_y(n-1)$ の交差部に対応して画素 $Py(a_{n-1})$ が設けられ、データ信号線 $SL_y(a_1)$ 、 $SL_y(a_2)$ 及び走査信号線 $GL_y(n)$ の交差部に対応して画素 $Py(a_n)$ が設けられている。

[0096] 同様に、データ信号線 $SL_y(b_1)$ 、 $SL_y(b_2)$ 及び走査信号線 $GL_y(1)$ の交差部に対応して画素 $Py(b_1)$ が設けられ、データ信号線 $SL_y(b_1)$ 、 $SL_y(b_2)$ 及び走査信号線 $GL_y(2)$ の交差部に対応して画素 $Py(b_2)$ が設けられ、データ信号線 $SL_y(b_1)$ 、 $SL_y(b_2)$ 及び走査信号線 $GL_y(n-1)$ の交差部に対応して画素 $Py(b_{n-1})$ が設けられ、データ信号線 $SL_y(b_1)$ 、 $SL_y(b_2)$ 及び走査信号線 $GL_y(n)$ の交差部に対応して画素 $Py(b_n)$ が設けられている。

[0097] ここで、データ信号線 $SL_y(a_1)$ 、 $SL_y(a_2)$ は、画素 $Py(a_1) \sim Py(a_n)$ を含む画素列 α に対応して設けられ、データ信号線 SL

$y(b1)$ 、 $SLy(b2)$ は画素 $Py(b1) \sim Py(bn)$ を含む画素列 β に対応して設けられている。

[0098] 各画素 Py には1つずつ画素電極 PDy が配され、画素 $Py(a1)$ の画素電極 $PDy(a1)$ は、走査信号線 $GLy(1)$ に繋がるトランジスタ $Ty(a1)$ を介してデータ信号線 $SLy(a1)$ に接続され、画素 $Py(a2)$ の画素電極 $PDy(a2)$ は、走査信号線 $GLy(2)$ に繋がるトランジスタ $Ty(a2)$ を介してデータ信号線 $SLy(a2)$ に接続され、画素 $Py(an-1)$ の画素電極 $PDy(an-1)$ は、走査信号線 $GLy(n-1)$ に繋がるトランジスタ $Ty(an-1)$ を介してデータ信号線 $SLy(a1)$ に接続され、画素 $Py(an)$ の画素電極 $PDy(an)$ は、走査信号線 $GLy(n)$ に繋がるトランジスタ $Ty(an)$ を介してデータ信号線 $SLy(a2)$ に接続されている。

[0099] 同様に、画素 $Py(b1)$ の画素電極 $PDy(b1)$ は、走査信号線 $GLy(1)$ に繋がるトランジスタ $Ty(b1)$ を介してデータ信号線 $SLy(b1)$ に接続され、画素 $Py(b2)$ の画素電極 $PDy(b2)$ は、走査信号線 $GLy(2)$ に繋がるトランジスタ $Ty(b2)$ を介してデータ信号線 $SLy(b2)$ に接続され、画素 $Py(bn-1)$ の画素電極 $PDy(bn-1)$ は、走査信号線 $GLy(n-1)$ に繋がるトランジスタ $Ty(bn-1)$ を介してデータ信号線 $SLy(b1)$ に接続され、画素 $Py(bn)$ の画素電極 $PDy(bn)$ は、走査信号線 $GLy(n)$ に繋がるトランジスタ $Ty(bn)$ を介してデータ信号線 $SLy(b2)$ に接続されている。

[0100] すなわち、画素列 α の偶数番目となる各画素(画素 $Py(a2)$ 、 $Py(a4)$ 、 $Py(an)$)の画素電極(画素電極 $PDy(a2)$ 、 $PDy(a4)$ 、 $PDy(an)$)が接続するデータ信号線 $SLy(a2)$ と、画素列 β の奇数番目となる画素(画素 $Py(b1)$ 、 $Py(b3)$ 、 $Py(bn-1)$)の画素電極(画素電極 $PDy(b1)$ 、 $PDy(b3)$ 、 $PDy(bn-1)$)が接続するデータ信号線 $SLy(b1)$ とが、隣り合うことになる。

[0101] また、画素 $P_y(a_1)$ の画素電極 $P D_y(a_1)$ 及び画素 $P_y(b_1)$ の画素電極 $P D_y(b_1)$ に対応する走査信号線 $G L_y(1)$ と、画素 $P_y(a_2)$ の画素電極 $P D_y(a_2)$ 及び画素 $P_y(b_2)$ の画素電極 $P D_y(b_2)$ に対応する走査信号線 $G L_y(2)$ とがパネル内あるいはパネル外で互いに接続され、走査信号線 $G L_y(1)$ 、 $G L_y(2)$ は同時選択される。画素 $P_y(a_3)$ の画素電極 $P D_y(a_3)$ 及び画素 $P_y(b_3)$ の画素電極 $P D_y(b_3)$ に対応する走査信号線 $G L_y(3)$ と、画素 $P_y(a_4)$ の画素電極 $P D_y(a_4)$ 及び画素 $P_y(b_4)$ の画素電極 $P D_y(b_4)$ に対応する走査信号線 $G L_y(4)$ とがパネル内あるいはパネル外で互いに接続され、走査信号線 $G L_y(3)$ 、 $G L_y(4)$ は同時選択される。また、画素 $P_y(a_{n-1})$ の画素電極 $P D_y(a_{n-1})$ 及び画素 $P_y(b_{n-1})$ の画素電極 $P D_y(b_{n-1})$ に対応する走査信号線 $G L_y(n-1)$ と、画素 $P_y(a_n)$ の画素電極 $P D_y(a_n)$ 及び画素 $P_y(b_n)$ の画素電極 $P D_y(b_n)$ に対応する走査信号線 $G L_y(n)$ とがパネル内あるいはパネル外で互いに接続され、走査信号線 $G L_y(n-1)$ 、 $G L_y(n)$ は同時選択される。もちろん、走査信号線 $G L_y(1)$ と $G L_y(2)$ 、走査信号線 $G L_y(3)$ と $G L_y(4)$ 、走査信号線 $G L_y(n-1)$ と $G L_y(n)$ とが、パネル内外で互いに非接続で同時選択される構成とすることも可能である。

[0102] なお、第1領域における走査方向と第2領域における走査方向とは互いに一致するとともに、第1及び第2領域は走査方向にこの順に並べられている。図11では、紙面上側（上流）から下側（下流）に走査するものとする。すなわち、走査信号線 $G L_x(1)$ 、 $G L_x(2)$ 、 $G L_x(3)$ 、 $G L_x(4) \dots$ 、 $G L_x(n-1)$ 、 $G L_x(n)$ 、 $G L_y(1)$ 、 $G L_y(2)$ 、 $G L_y(3)$ 、 $G L_y(4)$ 、 \dots 、 $G L_y(n-1)$ 、 $G L_y(n)$ がこの順に選択される。

[0103] （画面分割方式）

ここで、液晶表示装置10bにおける書き込み動作は、図4の(b)に示

した液晶表示装置10aにおける書き込み動作と同一である。すなわち、1番目のフレームAの前半Axを第1領域に書き込んだ後に、1番目のフレームAの後半Ayを第2領域に書き込むが、このフレームAの後半Ayの書き込み期間と時間的に重なるように、2番目のフレームBの前半Bxを第1領域に書き込み、その後、2番目のフレームBの後半Byを第2領域に書き込む。そして、このフレームBの後半Byの書き込み期間と時間的に重なるように、3番目のフレームCの前半Cxを第1領域に書き込み、その後、3番目のフレームCの後半Cyを第2領域に書き込む。

[0104] 液晶表示装置10bにおける、他の書き込み動作の構成としては、液晶表示装置10aと同様、図4の(c)に示したように、フレームBの前半Bx及びフレームAの後半Ayを、同じタイミングで第1領域及び第2領域それぞれに書き込む構成としても良い。

[0105] (V反転駆動方式)

ここで、本液晶表示装置10bでは、V反転駆動方式で駆動する。まず、データ信号Sの補正を行わない場合の液晶表示装置の駆動方法について説明する。図12は、補正処理を行わない場合の液晶パネルの駆動方法(ノーマリブラックモード)を示すタイミングチャートである。S1はデータ信号線SL(a1)に供給されるデータ信号を示し、S2はデータ信号線SL(a2)に供給されるデータ信号を示し、GSPはゲートスタートパルスを示し、G(1)、G(2)、G(3)、G(4)、…、G(n-1)、G(n)はそれぞれ走査信号線GL(1)、GL(2)、GL(3)、GL(4)、…、GL(n-1)、GL(n)に供給されるゲート信号(走査信号)を示し、VP(1)、VP(2)、VP(3)、VP(4)、…、VP(n-1)、VP(n)は画素電極PD(a1)、PD(a2)、PD(a3)、PD(a4)、…、PD(an-1)、PD(an)の電位(画素電位)を示している。

[0106] 本駆動方法では、図12に示されるように、走査信号線を第1領域の2本と第2領域の2本の合計4本ずつ同時選択していき、データ信号線SLに供

給するデータ信号の極性を一垂直走査期間（1V）ごとに反転させるとともに、同一水平走査期間（H）においては、同一画素列に対応する2本のデータ信号線（例えばデータ信号線SLx（a1）、SLx（a2）、あるいは、データ信号線SLx（b1）、SLx（b2））に逆極性のデータ信号を供給しつつ、隣り合う2本のデータ信号線（例えばデータ信号線SLx（a2）、SLx（b1））には同極性のデータ信号を供給する（1V反転駆動）。また、表示すべき画像として、便宜上、白色のベタ画像を例に挙げる。なお、データ信号線SLに供給するデータ信号の極性を一垂直走査期間（1V）ごとに反転させるとともに、同一水平走査期間（H）においては、同一画素列に対応する2本のデータ信号線（例えばデータ信号線SLx（a1）、SLx（a2）、あるいは、データ信号線SLx（b1）、SLx（b2））に同極性のデータ信号を供給しつつ、隣り合う2本のデータ信号線（例えばデータ信号線SLx（a2）、SLx（b1））には逆極性のデータ信号を供給する構成としてもよい（1V反転駆動）。

[0107] 具体的には、任意の連続するフレームF1（前半フレームF1x、後半フレームF1y）～フレームF4（前半フレームF4x、後半フレームF4y）の前半フレームF1xでは、データ信号線SLx（a1）及びデータ信号線SLx（b2）それぞれに、1番目の水平走査期間（走査信号線GLx（1）、GLx（2）の走査期間含む）にプラス極性のデータ信号を供給し、2番目の水平走査期間（走査信号線GLx（3）、GLx（4）の走査期間含む）にもプラス極性のデータ信号を供給し、 $n/2$ 番目の水平走査期間（走査信号線GLx（ $n-1$ ）、GLx（ n ）の走査期間含む）にもプラス極性のデータ信号を供給する。また、データ信号線SLx（a2）及びデータ信号線SLx（b1）それぞれに、1番目の水平走査期間（走査信号線GLx（1）、GLx（2）の走査期間含む）にマイナス極性のデータ信号を供給し、2番目の水平走査期間（走査信号線GLx（3）、GLx（4）の走査期間含む）にもマイナス極性のデータ信号を供給し、 $n/2$ 番目の水平走査期間（走査信号線GLx（ $n-1$ ）、GLx（ n ）の走査期間含む）にも

マイナス極性のデータ信号を供給する。そして、1番目の水平走査期間の開始と同時にゲート信号 $G_x(1)$ のパルスとゲート信号 $G_x(2)$ のパルスを立ち上げ、2番目の水平走査期間の開始と同時にゲート信号 $G_x(3)$ のパルスとゲート信号 $G_x(4)$ のパルスを立ち上げ、 $n/2$ 番目の水平走査期間の開始と同時にゲート信号 $G_x(n-1)$ のパルスとゲート信号 $G_x(n)$ のパルスを立ち上げる。

[0108] 後半フレーム $F1y$ では、データ信号線 $SL_y(a1)$ 及びデータ信号線 $SL_y(b2)$ それぞれに、1番目の水平走査期間（走査信号線 $GL_y(1)$ 、 $GL_y(2)$ の走査期間含む）にプラス極性のデータ信号を供給し、2番目の水平走査期間（走査信号線 $GL_y(3)$ 、 $GL_y(4)$ の走査期間含む）にもプラス極性のデータ信号を供給し、 $n/2$ 番目の水平走査期間（走査信号線 $GL_y(n-1)$ 、 $GL_y(n)$ の走査期間含む）にもプラス極性のデータ信号を供給する。また、データ信号線 $SL_y(a2)$ 及びデータ信号線 $SL_y(b1)$ それぞれに、1番目の水平走査期間（走査信号線 $GL_y(1)$ 、 $GL_y(2)$ の走査期間含む）にマイナス極性のデータ信号を供給し、2番目の水平走査期間（走査信号線 $GL_y(3)$ 、 $GL_y(4)$ の走査期間含む）にもマイナス極性のデータ信号を供給し、 $n/2$ 番目の水平走査期間（走査信号線 $GL_y(n-1)$ 、 $GL_y(n)$ の走査期間含む）にもマイナス極性のデータ信号を供給する。そして、1番目の水平走査期間の開始と同時にゲート信号 $G_y(1)$ のパルスとゲート信号 $G_y(2)$ のパルスを立ち上げ、2番目の水平走査期間の開始と同時にゲート信号 $G_y(3)$ のパルスとゲート信号 $G_y(4)$ のパルスを立ち上げ、 $n/2$ 番目の水平走査期間の開始と同時にゲート信号 $G_y(n-1)$ のパルスとゲート信号 $G_y(n)$ のパルスを立ち上げる。

[0109] これにより、図13に示すように、画素電極 $PD_x(a1)$ 、 $PD_y(a1)$ にはプラス極性、画素電極 $PD_x(a2)$ 、 $PD_y(a2)$ にはマイナス極性、画素電極 $PD_x(a3)$ 、 $PD_y(a3)$ にはプラス極性、画素電極 $PD_x(a4)$ 、 $PD_y(a4)$ にはマイナス極性が書き込まれ、画素電

極 $PD_x(b1)$ 、 $PD_y(b1)$ にはプラス極性、画素電極 $PD_x(b2)$ 、 $PD_y(b2)$ にはマイナス極性、画素電極 $PD_x(b3)$ 、 $PD_y(b3)$ にはプラス極性、画素電極 $PD_x(b4)$ 、 $PD_y(b4)$ にはマイナス極性が書き込まれる。

[0110] フレーム $F1$ の前半フレーム $F1x$ に続くフレーム $F2$ の前半フレーム $F2x$ では、データ信号線 $SL_x(a1)$ に供給するデータ信号の極性をプラス極性からマイナス極性に反転させ、データ信号線 $SL_x(a2)$ に供給するデータ信号の極性をマイナス極性からプラス極性に反転させる。フレーム $F1$ の後半フレーム $F1y$ に続くフレーム $F2$ の後半フレーム $F2y$ では、データ信号線 $SL_y(a1)$ に供給するデータ信号の極性をプラス極性からマイナス極性に反転させ、データ信号線 $SL_y(a2)$ に供給するデータ信号の極性をマイナス極性からプラス極性に反転させる。

[0111] これにより、画素電極 $PD_x(a1)$ 、 $PD_y(a1)$ にはマイナス極性、画素電極 $PD_x(a2)$ 、 $PD_y(a2)$ にはプラス極性、画素電極 $PD_x(a3)$ 、 $PD_y(a3)$ にはマイナス極性、画素電極 $PD_x(a4)$ 、 $PD_y(a4)$ にはプラス極性が書き込まれ、画素電極 $PD_x(b1)$ 、 $PD_y(b1)$ にはプラス極性、画素電極 $PD_x(b2)$ 、 $PD_y(b2)$ にはマイナス極性、画素電極 $PD_x(b3)$ 、 $PD_y(b3)$ にはプラス極性、画素電極 $PD_x(b4)$ 、 $PD_y(b4)$ にはマイナス極性が書き込まれる。

[0112] 図 12 に示す駆動方法によれば、例えば前半フレーム $F1x$ の書き込み後にフローティング状態にある画素電極 $PD_x(n-1)$ の電位 $V_{Px}(n-1)$ は、データ信号線 $SL_x(a1)$ との寄生容量 C_{sd} に起因して、データ信号 $S1$ の極性がプラス極性からマイナス極性に切り替わるタイミングで、前半フレーム $F1x$ で書き込まれたデータ信号 S (白色に対応するプラス極性のデータ信号 S) の電位 V_{s1} から ΔV_p だけ低下 (突き下げ) する (V_{com} を基準とする画素電位 $V_{Px}(n-1)$ ($=V_{s1} - \Delta V_p$) の絶対値 $< V_{com}$ を基準とするデータ信号電位 V_{s1} の絶対値)。また、前半

フレーム F_{1x} の書き込み後にフローティング状態にある画素電極 $P_{Dx}(n)$ の電位 $V_{Px}(n)$ は、データ信号線 $S_{Lx}(a_2)$ との寄生容量 C_{sd} に起因して、データ信号 S_2 の極性がマイナス極性からプラス極性に切り替わるタイミングで、前半フレーム F_{1x} で書き込まれたデータ信号 S (白色に対応するマイナス極性のデータ信号 S) の電位 V_{s1} から ΔV_p だけ低下 (突き上げ) する (V_{com} を基準とする画素電位 $V_{Px}(n)$ ($=V_{s1} - \Delta V_p$) の絶対値 $< V_{com}$ を基準とするデータ信号電位 V_{s1} の絶対値)。

[0113] このように、第1領域の走査終了端部に位置する画素電極 $P_{Dx}(a_{n-1})$ 、 $P_{Dx}(a_n)$ では、その画素電位 $V_{Px}(n-1)$ 、 $V_{Px}(n)$ が、 $(n/2 - 1)$ 水平走査期間に亘って $V_{s1} - \Delta V_p$ となる。これに対して、第1領域の走査終了端部 (画素電極 $P_{Dx}(a_{n-1})$ 、 $P_{Dx}(a_n)$) に隣り合う第2領域の走査開始端部に位置する画素電極 $P_{Dy}(a_1)$ 、 $P_{Dy}(a_2)$ では、その画素電位 $V_{Py}(1)$ 、 $V_{Py}(2)$ が、 n 水平走査期間に亘って V_{s1} を維持する。そのため、1フレーム期間当たりで、第1領域及び第2領域の境界部分において、最大 $\Delta V_p \times (n/2 - 1)$ に相当する分の輝度差が生じる。

[0114] なお、ここでは便宜上、左右に配される2本のデータ信号線のうち、画素電極に電氣的に接続されない方のデータ信号線 (他のデータ信号線) との間に形成される寄生容量の影響は無視している。この寄生容量の影響については後述する。

[0115] (輝度変化の補正)

本液晶表示装置 10b では、上記輝度の変化を補正 (低減) する構成を有している。以下、輝度変化を低減するための構成について説明する。本液晶表示装置 10b では、輝度変化を低減するために、入力された映像データ D_{AT} に対応するデータ信号 S_1 、 S_2 の電位を補正し、補正したデータ信号 S_1' 、 S_2' をデータ信号線 S_L に供給する。データ信号 S_1 、 S_2 の補正は、少なくとも第1領域において行われる。以下では、第1及び第2領域

ともに上記補正を行う場合について説明する。なお、第1及び第2領域の上記補正は同一の構成であるため、以下では第1領域について説明する。

[0116] 図14及び図15を用いて、データ信号Sの補正方法について説明する。図14は、データ信号Sの補正を行わない場合の、画素電極 $PD_x(k-1)$ 、 $PD_x(k)$ (k は $2 \leq k \leq n$ の偶数)に対応する駆動方法を示すタイミングチャートであり、図15は、データ信号 S_1 、 S_2 の補正を行った場合の、画素電極 $PD_x(k-1)$ 、 $PD_x(k)$ に対応する駆動方法を示すタイミングチャートである。 S_1 は、データ信号線 $SL_x(a1)$ 、 $SL_x(b1)$ 、 $SL_x(c1)$ 、…、に供給されるデータ信号を示し、 S_2 は、データ信号線 $SL_x(a2)$ 、 $SL_x(b2)$ 、 $SL_x(c2)$ 、…、に供給されるデータ信号を示し、 S_1' は、データ信号線 $SL_x(a1)$ 、 $SL_x(b1)$ 、 $SL_x(c1)$ 、…、に供給される補正したデータ信号を示し、 S_2' は、データ信号線 $SL_x(a2)$ 、 $SL_x(b2)$ 、 $SL_x(c2)$ 、…、に供給される補正したデータ信号を示している。 $G_x(1)$ 及び $G_x(2)$ は1番目の水平走査期間に同時に選択される走査信号線 $GL_x(1)$ 及び $GL_x(2)$ に供給されるゲート信号を示し、 $G_x(k-1)$ 及び $G_x(k)$ は $k/2$ 番目の水平走査期間に同時に選択される走査信号線 $GL_x(k-1)$ 及び $GL_x(k)$ に供給されるゲート信号を示している。 $V_{px}(k-1)$ は画素電極 $PD_x(k-1)$ の電位を示し、 $V_{px}(k)$ は画素電極 $PD_x(k)$ の電位を示している。

[0117] 画素電極 $PD_x(k-1)$ 及び $PD_x(k)$ における電位の低下量を ΔV_p とする。図14の場合、1フレーム期間の積算電位 $V_p(\text{sum})$ は、 V_{s1} を書き込み後の期間の積算電位と、電位低下した期間の積算電位とを足し合わせた値となる。

$$\text{書き込み後の期間の積算電位} = V_{s1} \times (n/2 - (k/2 - 1))$$

$$\text{電位低下した期間の積算電位} = (V_{s1} - \Delta V_p) \times (k/2 - 1)$$

$$V_p(\text{sum}) = V_{s1} \times (n/2 - (k/2 - 1)) + (V_{s1} - \Delta V_p) \times (k/2 - 1)$$

$$=V_{s1} \times n / 2 - \Delta V_p \times (k / 2 - 1)$$

上記の式より、1フレーム期間の積算電位 $V_p(\text{sum})$ が、本来の1フレーム期間の積算電位 ($V_{s1} \times n / 2$) よりも、 $\Delta V_p \times (k / 2 - 1)$ だけ低くなることが分かる。この低下分に起因して、図29に示したグラデーション画像として視認されることになる。

[0118] そこで、本実施の形態に係る液晶表示装置10bでは、1フレーム期間の電位低下量 ($\Delta V_p \times (k / 2 - 1)$) を一水平走査期間当たりの電位低下量 $\Delta V(k)$ に換算(平均化)し、その換算値を次フレームにおいて、水平走査期間ごとにデータ信号Sの電位に加算する。 $\Delta V(k)$ は以下の式で表すことができる。

$$\Delta V(k) = \Delta V_p \times (k / 2 - 1) \times 2 / n$$

そして、データ信号S1、S2の電位 V_{s1} を、以下に示すデータ信号S1'、S2'の電位 $V_{s1}'(k)$ に補正する。

$$V_{s1}'(k) = V_{s1} + \Delta V(k) = V_{s1} + \Delta V_p \times (k / 2 - 1) \times 2 / n$$

図15の場合、1フレーム期間の積算電位 $V_p(\text{sum})$ は、以下のよう
に表される。

$$\text{書き込み後の期間の積算電位} = (V_{s1} + \Delta V(k)) \times (n / 2 - (k / 2 - 1))$$

$$\text{電位低下した期間の積算電位} = (V_{s1} + \Delta V(k) - \Delta V_p) \times (k / 2 - 1)$$

$$V_p(\text{sum}) = (V_{s1} + \Delta V(k)) \times (n / 2 - (k / 2 - 1)) + (V_{s1} + \Delta V(k) - \Delta V_p) \times (k / 2 - 1)$$

上記の式によれば、1フレーム期間の積算電位 $V_p(\text{sum})$ が、本来の1フレーム期間の積算電位 $V_{s1} \times n / 2$ と等しくなることが分かる。そのため、データ信号S1、S2をS1'、S2'に補正することにより、1フレーム期間における輝度を平均化することができる。

[0119] なお、現フレームのデータ信号電位に加算される電位量は、前フレーム(

1フレーム前)のデータ信号電位の低下量(ΔV_p)に基づいて算出されるが、直前のフレームを使用しているため、表示品位の信頼性が損なわれることはない。

[0120] 図16は、図15に対応する、液晶表示装置10bの駆動方法を示すタイミングチャートである。図16において、各画素電極PDの電位VPに示されている点線は、本来のデータ信号電位Vs1、-Vs1を示している。図16に示すように、走査開始端部から走査終了端部に行くにつれて、データ信号線に供給されるデータ信号S1'、S2'の電位が高くなっている。これにより、画素電極PDに書き込まれた後の電位の低下分が補償される。すなわち、走査方向の終端部である画素電極PD(n-1)、PD(n)では、1フレーム期間における電位低下量が最大となるため、n/2番目の水平走査期間に画素電極PDx(n-1)及びPDx(n)、PDy(n-1)及びPDy(n)に書き込まれるデータ信号電位も最大となる。

[0121] 上記の駆動方法によれば、第1及び第2領域において、1フレーム期間における平均の表示輝度を各画素で等しくすることができるため、図28の(a)に示す表示画像を表示させることができる。

[0122] このように、本液晶表示装置10bでは、走査開始端部からの距離に応じて、データ信号線SLxに供給するデータ信号の電位を補正することにより、第1及び第2領域に生じる輝度変化を低減することができる。なお、第1及び第2領域の境界部分に生じる輝度変化を低減するためには、実施の形態1の液晶表示装置10aと同様、少なくとも第1領域において上記補正処理(上記駆動方法)を行えばよい。第1領域のみ上記補正処理を行った場合は、図7に示す表示画像が得られる。なお、図7の表示画像では、輝度の変化が、第2領域において走査方向に連続的になるため、図28の(b)の場合によりも輝度変化を抑えることができ、視認レベルにおいて表示品位に大きな影響は生じない。

[0123] また、本液晶表示装置10bでは、列方向に隣り合う2つの画素に同時にデータ信号電位を書き込むことができるため、画面の書き換え速度を高める

ことができ、各画素の充電時間を増加させることができる。

[0124] ここで、各画素電極は、左右に配される2本のデータ信号線のうち電氣的に接続されない方のデータ信号線（他方のデータ信号線）との間にも寄生容量が形成される。例えば、画素電極 $PD_x(a3)$ では、電氣的に接続されないデータ信号線 $SL_x(a2)$ との間にも寄生容量が形成される。よって、各画素電極は、他方のデータ信号線との間に生じる寄生容量の影響も受けるため、データ信号電位の変動量は、隣り合う2本のデータ信号線（一方のデータ信号線、他方のデータ信号線）との間に生じる2つの寄生容量を考慮（差し引き）して算出することが好ましい。ここで、例えば、他方のデータ信号線（データ信号線 $SL_x(a2)$ ）との間に生じる寄生容量の影響が、一方のデータ信号線（データ信号線 $SL_x(a1)$ ）との間に生じる寄生容量の影響よりも大きい場合は、1フレーム期間の積算電位が、本来の積算電位 ($V_{sl} \times n$) よりも高くなることがある。具体的には例えば、一方のデータ信号線に黒データを供給し、他方のデータ信号線に白データ（黒データとは逆極性）を供給するような場合が想定される。このような場合には、一方のデータ信号線による電位変動の影響よりも他方のデータ信号線による電位変動の影響が大きくなるため、実施の形態1で示した図8と同様、データ信号の電位を、各フレームにおいて、本来の電位よりも、フレーム開始時点から終了時点に向かって連続的に低下するように（センター電位に近づくように）補正する。これにより、第1及び第2領域の境界部分に生じる輝度変化を抑えることができる。なお、この場合は、第1領域に n 本（ n は1以上の整数）の走査信号線が設けられている場合、外部から入力された映像信号に対応するデータ信号の電位を V_{sl} とし、画素電極の電位がデータ信号の極性が反転することにより増加する電位量を ΔV_{ph} とすると、 k （ k は1以上 n 以下の整数）番目の水平走査期間に第1領域の各データ信号線に供給されるデータ信号の補正電位 $V_{sl}'(k)$ は、

$$V_{sl}'(k) = V_{sl} - \Delta V_{ph} \times (k/2 - 1) \times 2/n$$

で表される。

[0125] (データ補正回路の構成)

次に、上記補正処理(上記駆動方法)を行うための液晶表示装置10bの一構成例について説明する。

[0126] 液晶表示装置10bの第1表示制御回路20x(図2参照)は、映像データDAT(x)を補正するデータ補正回路21xを備え、第2表示制御回路20y(図2参照)は、映像データDAT(y)を補正するデータ補正回路21yを備えている。データ補正回路21x、21yは同一の構成である。液晶表示装置10bは、第1領域のみ上記補正処理を行う構成では、データ補正回路21xのみが設けられ、第1及び第2領域の両方において上記補正処理を行う構成では、データ補正回路21x、21yの両方が設けられる。また、第1及び第2領域の両方において上記補正処理を行う構成では、1つのデータ補正回路が、第1表示制御回路20x及び第2表示制御回路20yの外部に設けられていてもよい。

[0127] データ補正回路21xの具体的な構成は、図9に示した実施の形態1に係るデータ補正回路21xと同一である。以下では、実施の形態1に係るデータ補正回路21xと異なる点について説明する。

[0128] 平均電圧算出部212xは、1フレーム分のデータ(ソース電圧)を積算することにより、平均ソース電圧の更新処理を行う。平均電圧算出部212xは、新たなデータを積算するときには、古いデータを廃棄する。なお、データ信号線ごとにラインメモリを用いて、新たなデータを読み込むとともに、古いデータを破棄しながら積算を繰り返せばデータはより正確になるが、そのためにはフレームメモリが必要となり好ましくない。そこで本実施の形態では、例えば、 V_k ($k=1\sim n$)が入力されたときに、 $sum(V_k) \leftarrow sum(V_{k-1}) + V_k - sum(V_{k-1}) \times 2/n$ のように現在の平均ソース電圧を破棄する。これにより、真の平均ソース電圧と計算値との間にタイムラグが生じるが、1フレームの間に500本のデータを積算するときに100本程度遅れても安定した映像では平均値としてそれほど差があるわけではないし、これが影響するほど動きの大きい映像で

は、輝度変化の問題が顕在化することはない。

[0129] 最大補正值算出部 214x は、平均電圧算出部 212x から取得した平均ソース電圧に基づいて、第 2 LUT 215x を参照して、1 フレームにおける最大の補正量（最大補正值）を算出する。ここで、図 12 及び図 14 に示すように、走査方向の終端部である画素電極 PDx (n-1)、PDx (n) では、データ信号電位 Vsl が書き込まれた直後にデータ信号 S の極性が切り替わり、画素電位 VPx (n-1)、VPx (n) が、Vsl から Vsl - ΔVp に低下する。低下した画素電位 (= Vsl - ΔVp) は、1 番目の水平走査期間から (n/2 - 1) 番目の水平走査期間までの (n/2 - 1) 水平走査期間だけ維持されるため、1 フレーム分における最大補正值は、 $\Delta V_p \times (n/2 - 1)$ で求められる。すなわち、画素電極 PDx (k-1)、PDx (k) では、1 フレーム分における最大補正值は、 $\Delta V_p \times (k/2 - 1)$ で求められる。

[0130] なお、画素電位の低下量 ΔVp は、ソース電圧の階調、及び寄生容量 Csd 等の液晶パネルの特性等により予め算出することができる。また、フレームメモリを用いて、1 フレーム前あるいはそれ以前の平均ソース電圧と、低下した画素電位とに基づいて、低下量 ΔVp を算出することもできる。

[0131] 第 2 LUT 215x には、平均ソース電圧に対応する階調（入力階調）と、上記の式で求められる最大補正值に対応する階調（出力階調）とが予め対応付けられている。最大補正值算出部 214x は、算出した最大補正值を位置補正部 217x に与える。

[0132] 補正位置カウンタ部 216x は、映像データ入力部 211x から取得した映像データ DAT (x)、及びチューナ 40 から入力された水平同期信号 HSYNC (x) に基づいて、対象となる水平走査期間（位置）を特定し、特定した位置情報を位置補正部 217x に与える。

[0133] 位置補正部 217x は、最大補正值算出部 214x から取得した最大補正值、及び、補正位置カウンタ部 216x から取得した位置情報に基づいて、対象となる水平走査期間に対応する映像データ DAT (x) の補正を行う。

具体的には、 $k/2$ 番目の水平走査期間に対応するデータ信号 S の補正值 $\Delta V(k)$ を以下の式で算出する。

$$\text{補正值 } \Delta V(k) = \Delta V_p \times (k/2 - 1) \times 2/n$$

位置補正部217xは、算出した補正值 $\Delta V(k)$ を、映像データDATA(x)に対応するデータ信号 S の電位に加算する。これにより、補正後のデータ信号 S' の電位 V_{s1}' は式で表すことができる。

$$V_{s1}' = V_{s1} + \Delta V(k) = V_{s1} + \Delta V_p \times (k/2 - 1) \times 2/n$$

上記補正されたデータ信号 S' は、映像データ出力部218xに入力される。映像データ出力部218xは、タイミングコントローラ(図示せず)を介して所定のタイミングで、データ信号 S' を第1ソースドライバSDxに供給する。

[0134] 上述したように、本実施の形態では、少なくとも第1領域及び第2領域の境界部分が正しく補正されれば、他の領域は連続的な補正が実現できればよいため、処理を単純化するためにさらにLUTを利用してもよいし、対数表など計算を補助する表を併用してもよい。または n を計算しやすい数値(2のべき乗など)に設定し、 n の修正に合わせて k を走査終端部で1になるように合わせて補正してもよい。

[0135] ここで、隣り合うデータ信号線 $SLx(a2)$ の影響は数値的にはデータ信号線 $SLx(a1)$ と同じ計算となるため、双方の補正量を差し引きして、補正量を決定すればよい。このために最終段階までそれぞれの補正量を計算してもよいし、双方の平均ソース電圧を比較して、補正量をさらに補正するためのファクター(-1~1)を計算して、それを乗じてもよい。なお、両データ信号線 $SLx(a1)$ 、 $SLx(a2)$ における寄生容量 C_{sd} を変更した場合には、それに応じて、補正量の算出用のLUTを用意して最後に差し引きすればよい。

[0136] このように、比較的複雑な挙動を示す輝度変化に対し、最低限のリソースで影響を最小限に抑えることができる。

[0137] [実施の形態3]

本発明の実施の形態3について図面に基づいて説明すると以下の通りである。なお、説明の便宜上、上記実施の形態1及び2において示した部材と同一の機能を有する部材には、同一の符号を付し、その説明を省略する。また、実施の形態1及び2において定義した用語については、特に断らない限り本実施例においてもその定義に則って用いるものとする。

[0138] 現行の高精細度テレビジョン放送 (High Definition television: HDTV) の解像度は、横1920画素×縦1080画素 (いわゆる2K1K、以下ではこの解像度をフルHD解像度と称する) であるが、フルHD解像度の4倍の解像度 (いわゆる4K2K) あるいは16倍の解像度 (いわゆる8K4K、スーパーハイビジョンSHVもこの一種) の映像規格が提唱されている。

[0139] 本実施の形態にかかる液晶表示装置10cは、フルHD解像度の16倍の解像度 (8K4K) を有する映像規格 (例えば、横7680画素×縦4320画素の解像度を有するスーパーハイビジョン) に対応するものであり、図17に示すように、入力処理回路IPC、ピクセルマッピング回路PMC、4つの表示制御基板 (タイミングコントローラ基板) DC1~DC4、液晶パネル3c、4つのゲートドライバGD1~GD4、2つのソースドライバSD1、SD2、4つのCSドライバCD1~CD4、それぞれが異なる商用電源に接続される3つの電源装置 (図示せず)、電源コントローラ (図示せず)、バックライトBL、バックライトドライバBLD、およびバックライトコントローラBLCを備える。

[0140] 入力処理回路IPCに入力される映像信号は、ブロックスキャンフォーマットの8K4K解像度を有する映像信号 (例えば、スーパーハイビジョン) であってもよいし、マルチディスプレイフォーマットの8K4K解像度を有する映像信号であってもよい。もちろん、4K2K解像度を有する映像信号であってもよいし、2K1K解像度 (フルHD解像度) を有する映像信号であってもよい。

[0141] ブロックスキャンフォーマットは、1フレーム (8K4K解像度を有する

全体画像)をキメの粗い(フルHD解像度の)16枚の全体画像(いわゆる間引き画像)に分割して送信する方式である。この場合、入力処理回路IPCに入力される16本の映像信号Qa1~Qa16それぞれが、キメの粗い全体画像(フルHD解像度)となっている。

[0142] マルチディスプレイフォーマットは、1フレーム(8K4K解像度を有する全体画像)をキメの細かさを変えずに16分割し、16枚の部分画像に分割して送信する方式である。この場合、入力処理回路IPCに入力される16本の映像信号Qa1~Qa16それぞれが、キメの細かい部分画像(フルHD解像度)となっている。

[0143] 入力処理回路IPCでは、映像データの同期処理、 γ 補正処理、色温度補正処理、および色域変換処理等を行い、映像信号Qb1~Qb16をピクセルマッピング回路PMCに出力する。

[0144] ここで、表示制御基板DC1は、2つの映像処理回路EP1・EP2および2つのタイミングコントローラTC1・TC2を備え、表示制御基板DC2は、2つの映像処理回路EP3・EP4および2つのタイミングコントローラTC3・TC4を備え、表示制御基板DC3は、2つの映像処理回路EP5・EP6および2つのタイミングコントローラTC5・TC6を備え、表示制御基板DC4は、2つの映像処理回路EP7・EP8および2つのタイミングコントローラTC7・TC8を備える。なお、映像処理回路EP1~EP4は、実施の形態1及び2における図2のデータ補正回路21xに相当し、映像処理回路EP5~EP8は、実施の形態1及び2における図2のデータ補正回路21yに相当する。データ補正回路21x、21yの具体的な構成は、実施の形態1及び2(図9参照)と同一である。

[0145] ピクセルマッピング回路PMCは、第1領域(液晶パネル3cを上下左右に4分割したときの左上領域)の左半分AR1に対応する映像信号(解像度2K2K)を、2本(フルHD解像度の映像信号Qc1・Qc2)に分割して表示制御基板DC1の映像処理回路EP1に出力し、上記第1領域の右半分AR2に対応する映像信号(解像度2K2K)を、2本(フルHD解像度

の映像信号 $Qc3 \cdot Qc4$)に分割して表示制御基板DC1の映像処理回路EP2に出力し、第2領域(液晶パネル3cを上下左右に4分割したときの右上領域)の左半分AR3に対応する映像信号(解像度2K2K)を、2本(フルHD解像度の映像信号 $Qc5 \cdot Qc6$)に分割して表示制御基板DC2の映像処理回路EP3に出力し、上記第2領域の右半分AR4に対応する映像信号(解像度2K2K)を、2本(フルHD解像度の映像信号 $Qc7 \cdot Qc8$)に分割して表示制御基板DC2の映像処理回路EP4に出力し、第3領域(液晶パネル3cを上下左右に4分割したときの左下領域)の左半分AR5に対応する映像信号(解像度2K2K)を、2本(フルHD解像度の映像信号 $Qc9 \cdot Qc10$)に分割して表示制御基板DC3の映像処理回路EP5に出力し、上記第3領域の右半分AR6に対応する映像信号(解像度2K2K)を、2本(フルHD解像度の映像信号 $Qc11 \cdot Qc12$)に分割して表示制御基板DC3の映像処理回路EP6に出力し、第4領域(液晶パネル3cを上下左右に4分割したときの右下領域)の左半分AR7に対応する映像信号(解像度2K2K)を、2本(フルHD解像度の映像信号 $Qc13 \cdot Qc14$)に分割して表示制御基板DC4の映像処理回路EP7に出力し、上記第4領域の右半分AR8に対応する映像信号(解像度2K2K)を、2本(フルHD解像度の映像信号 $Qc15 \cdot Qc16$)に分割して表示制御基板DC4の映像処理回路EP8に出力する。

[0146] さらに、ピクセルマッピング回路PMCは、表示制御基板DC1のタイミングコントローラTC1に同期信号SYS(垂直同期信号、水平同期信号、クロック信号、データイネーブル信号、極性反転信号等)を出力し、これを受けたタイミングコントローラTC1は、この同期信号SYSを、表示制御基板DC1~DC4に接続された基板間共有線SSLに送信する。

[0147] タイミングコントローラTC1は、ピクセルマッピング回路PMCから受けた同期信号SYSを受けて映像処理回路EP1と協働し、映像信号 $Qc1 \cdot Qc2$ に、階調変換処理およびフレームレート変換(FRC)処理等の映像処理を行った後に、AR1に対応するソースドライバ基板(図示せず)に

ソース制御信号SC1を出力し、ゲートドライバGD1のゲートドライバ基板（図示せず）にゲート制御信号GC1を出力し、CSドライバCD1にCS制御信号CC1を出力する。

[0148] タイミングコントローラTC2は、タイミングコントローラTC1から基板間共有線SSLを介して送信された同期信号SYSを受けて映像処理回路EP2と協働し、映像信号Qc3・Qc4に上記映像処理を行った後に、AR2に対応するソースドライバ基板（図示せず）にソース制御信号SC2を出力する。

[0149] タイミングコントローラTC3は、タイミングコントローラTC1から基板間共有線SSLを介して送信された同期信号SYSを受けて映像処理回路EP3と協働し、映像信号Qc5・Qc6に上記映像処理を行った後に、AR3に対応するソースドライバ基板（図示せず）にソース制御信号SC3を出力する。

[0150] タイミングコントローラTC4は、タイミングコントローラTC1から基板間共有線SSLを介して送信された同期信号SYSを受けて映像処理回路EP4と協働し、映像信号Qc7・Qc8に上記映像処理を行った後に、AR4に対応するソースドライバ基板（図示せず）にソース制御信号SC4を出力し、ゲートドライバGD2のゲートドライバ基板（図示せず）にゲート制御信号GC2を出力し、CSドライバCD2にCS制御信号CC2を出力する。

[0151] タイミングコントローラTC5は、タイミングコントローラTC1から基板間共有線SSLを介して送信された同期信号SYSを受けて映像処理回路EP5と協働し、映像信号Qc9・Qc10に上記映像処理を行った後に、AR5に対応するソースドライバ基板（図示せず）にソース制御信号SC5を出力し、ゲートドライバGD3のゲートドライバ基板（図示せず）にゲート制御信号GC3を出力し、CSドライバCD3にCS制御信号CC3を出力する。

[0152] タイミングコントローラTC6は、タイミングコントローラTC1から基

板間共有線SSLを介して送信された同期信号SYSを受けて映像処理回路EP6と協働し、映像信号Qc11・Qc12に上記映像処理を行った後に、AR6に対応するソースドライバ基板（図示せず）にソース制御信号SC6を出力する。

[0153] タイミングコントローラTC7は、タイミングコントローラTC1から基板間共有線SSLを介して送信された同期信号SYSを受けて映像処理回路EP7と協働し、映像信号Qc13・Qc14に上記映像処理を行った後に、AR7に対応するソースドライバ基板（図示せず）にソース制御信号SC7を出力する。

[0154] タイミングコントローラTC8は、タイミングコントローラTC1から基板間共有線SSLを介して送信された同期信号SYSを受けて映像処理回路EP8と協働し、映像信号Qc15・Qc16に上記映像処理を行った後に、AR8に対応するソースドライバ基板（図示せず）にソース制御信号SC8を出力し、ゲートドライバGD4のゲートドライバ基板（図示せず）にゲート制御信号GC4を出力し、CSドライバCD4にCS制御信号CC4を出力する。

[0155] なお、ソース制御信号SC1～SC8には、データ信号、データイネーブル信号（DE信号）、ソーススタートパルス、およびソースクロックが含まれ、ゲート制御信号GC1～GC4には、イニシャル信号、ゲートスタートパルスおよびゲートクロックが含まれる。

[0156] ここで、上記階調変換処理には、高速表示処理（QS処理）や、画面分割駆動（上下分割駆動）とデータ信号線の1V反転駆動との組み合わせに対応するための、画素位置（列方向の位置）に応じた階調補正処理（実施の形態2の補正処理）が含まれていてもよい。

[0157] また、上記FRC処理では、各映像処理回路で、16本の映像信号Qa1～Qa16のいずれか1つ（フルHD解像度である、キメの粗い全体画像）を用いて動きベクトルを求めるとともに、映像信号Qc1～Qc16のうち対応する1つ（フルHD解像度である、キメの細かい部分画像）を用いて内

挿用の部分画像（フルHD解像度）を生成してもよい。

- [0158] また、映像信号 $Qc1 \sim Qc16$ の入力に、12ビット転送のHDMI（高精細マルチメディアインターフェース、登録商標）を用いると、DE信号（1920ライン分）が1クロック（1ライン分）前に伸びて1921ライン分となるエラーが生じうるため、DE信号の幅を監視して、1921ライン分となった場合には、1クロック遅らせてDE信号を立ち上げるエラー補正処理を行うことも可能である。
- [0159] 表示制御基板DC1～DC4は、基板間で各種信号をやり取りあるいは共有することで、互いの動作を同期させている。具体的には、マスターである表示制御基板DC1が、RDY（準備完了）信号をスレーブの表示制御基板DC2に送り、これを受けた表示制御基板DC2は、準備が完了し次第、RDY信号をスレーブの表示制御基板DC3に送り、これを受けた表示制御基板DC3は、準備が完了し次第、RDY信号をスレーブの表示制御基板DC4に送り、これを受けた表示制御基板DC4は、準備が完了し次第、RDY信号を表示制御基板DC1に返送する。
- [0160] 表示制御基板DC1は、RDY信号が返送されたのを受けて、動作開始（SRST）信号を、基板間共有線SSLを介して表示制御基板DC2～DC4に一斉送信する。動作開始（SRST）信号が送信された後には、表示制御基板DC1のタイミングコントローラTC1が、ピクセルマッピング回路PMCから受けた上記同期信号SYSを、基板間共有線SSLを介して、表示制御基板DC1～DC4（に含まれるタイミングコントローラTC2～TC8）に一斉送信する。
- [0161] また、表示制御基板DC1～DC4が動作中にいずれかの制御基板に異常が発生した場合には、異常が発生した表示制御基板から送信されたフェールセーフ信号が、他のすべての表示制御基板で受信され、全ての制御表示基板は瞬時に自走状態（黒表示）モードとなる。これにより、映像破綻が回避される。
- [0162] また、表示制御基板DC1～DC4それぞれにおいて、各種駆動電源が個

別に生成されており、同種（同電位・同位相）の駆動電源が供給されるラインは、電流制限回路を介して表示制御基板間で接続されている。こうすれば、同種の駆動電源の調整を図りつつ、基板間の立ち上がりタイミングのずれ等に起因して各種ドライバや表示制御基板に過電流が流れることを防止することができる。

[0163] 液晶パネル3cは、アクティブマトリクス基板、液晶層（図示せず）および対向基板（図示せず）を備え、アクティブマトリクス基板には、複数の画素電極（図示せず）、複数のTFT（薄膜トランジスタ、図示せず）、行方向（パネルの長辺に沿う方向）に延伸する走査信号線G a～G d、列方向に延伸する複数のデータ信号線S a～S d、行方向に延伸する保持容量配線（CS配線）C S a～C S d、および列方向に延伸するCS幹配線M a～M hが設けられ、対向基板には、共通電極（図示せず）、カラーフィルタ、およびブラックマトリクス（図示せず）が設けられている。

[0164] 液晶パネル3cは、1つの画素列の上半分（第1領域、パネルの上流側）に対応して2本のデータ信号線が設けられるとともに、この画素列の下半分（第2領域、パネルの下流側）に対応して2本のデータ信号線が設けられた、いわゆる上下分割ダブルソース構造（1画素列あたり4本のデータ信号線が設けられ、同時に4本の走査信号線を選択することが可能な構造）を有し、通常のパネル構造と比較して、4倍の書き込み時間が確保できることから超高精細表示や4倍速駆動等の高速表示に適した構造である。さらに、液晶パネル3cは、1つの画素に少なくとも2つの画素電極を備えたいわゆるマルチ画素方式であり、1画素内に形成された明領域と暗領域とによって視野角特性を高めることが可能となっている。

[0165] 例えば、図17～図24に示すように、パネルの上半分（上流側）に走査信号線G a・G bおよび保持容量配線C S a・C S bが設けられるとともに、パネルの下半分（下流側）に走査信号線G c・G dおよび保持容量配線C S c・C S dが設けられ、1つの画素列 α の上半分（上流側）に列方向に隣り合う2つの画素P a・P bが含まれるとともに、画素列 α の下半分（下流側）

) に列方向に隣り合う2つの画素 $P_c \cdot P_d$ が含まれ、画素列 α の上半分 (上流側) に対応してデータ信号線 $S_a \cdot S_b$ が設けられるとともに、画素列 α の下半分 (下流側) に対応してデータ信号線 $S_c \cdot S_d$ が設けられている。

[0166] そして、画素 P_a に含まれる2つの画素電極 $17A \cdot 17a$ のうち画素電極 $17A$ に接続するトランジスタ (TFT) $12A$ および画素電極 $17a$ に接続するトランジスタ $12a$ それぞれが、データ信号線 S_a と走査信号線 G_a とに接続され、画素電極 $17A$ が保持容量配線 CS_n と保持容量 CA を形成し、画素電極 $17a$ が保持容量配線 CS_a と保持容量 Ca を形成し、さらに、画素 P_b に含まれる2つの画素電極 $17B \cdot 17b$ のうち画素電極 $17B$ に接続するトランジスタ $12B$ および画素電極 $17b$ に接続するトランジスタ $12b$ それぞれが、データ信号線 S_b と走査信号線 G_b とに接続され、画素電極 $17B$ が保持容量配線 CS_a と保持容量 CB を形成し、画素電極 $17b$ が保持容量配線 CS_b と保持容量 Cb を形成し、さらに、画素 P_c に含まれる2つの画素電極 $17C \cdot 17c$ のうち画素電極 $17C$ に接続するトランジスタ $12C$ および画素電極 $17c$ に接続するトランジスタ $12c$ それぞれが、データ信号線 S_c と走査信号線 G_c とに接続され、画素電極 $17C$ が保持容量配線 CS_m と保持容量 CC を形成し、画素電極 $17c$ が保持容量配線 CS_c と保持容量 Cc を形成し、さらに、画素 P_d に含まれる2つの画素電極 $17D \cdot 17d$ のうち画素電極 $17D$ に接続するトランジスタ $12D$ および画素電極 $17d$ に接続するトランジスタ $12d$ それぞれが、データ信号線 S_d と走査信号線 G_d とに接続され、画素電極 $17D$ が保持容量配線 CS_c と保持容量 CD を形成し、画素電極 $17d$ が保持容量配線 CS_d と保持容量 Cd を形成しており、4本の走査信号線 $G_a \sim G_d$ は同時に選択される。

[0167] なお、画素列 α では、左端にデータ信号線 $S_a \cdot S_c$ が列方向に並べて配されるとともに、右端にデータ信号線 $S_b \cdot S_d$ が列方向に並べて配され、画素列 α と隣り合う画素列 β では、左端にデータ信号線 $S_A \cdot S_C$ が列方向に並べて配されるとともに、右端にデータ信号線 $S_B \cdot S_D$ が列方向に並べ

て配されている。

[0168] そして、画素列 β では、画素電極 P_a と隣り合う画素に含まれる2つの画素電極は、別々のトランジスタを介してデータ信号線 S_B に接続され、画素電極 P_b と隣り合う画素に含まれる2つの画素電極は、別々のトランジスタを介してデータ信号線 S_A に接続され、画素電極 P_c と隣り合う画素に含まれる2つの画素電極は、別々のトランジスタを介してデータ信号線 S_D に接続され、画素電極 P_d と隣り合う画素に含まれる2つの画素電極は、別々のトランジスタを介してデータ信号線 S_C に接続されている。

[0169] 上半分（第1領域）と下半分（第2領域）の境界近傍の構成は、図19のとおりである。すなわち、第1領域のボトム（走査終了端部）に位置する画素 P_x に含まれる2つの画素電極 $17X \cdot 17x$ のうち画素電極 $17X$ に接続するトランジスタ $12X$ および画素電極 $17x$ に接続するトランジスタ $12x$ それぞれが、データ信号線 S_b と走査信号線 G_m とに接続され、画素電極 $17X$ が保持容量配線 C_{Si} と保持容量 C_X を形成し、画素電極 $17x$ が保持容量配線 C_{Sm} と保持容量 C_x を形成し、第2領域のトップ（走査開始端部）に、上記画素 P_c が位置している。

[0170] なお、パネル上半分に設けられたデータ信号線の本数は、少なくとも 7680 （画素） $\times 3$ （原色） $\times 2$ （ダブルソース） $= 46080$ 本であり、パネル上半分に設けられた走査信号線の本数は、少なくとも 2160 本であり、パネル上半分に設けられた保持容量配線の本数は、少なくとも 2160 本であり、パネル下半分に設けられたデータ信号線の本数は、少なくとも 46080 本であり、パネル下半分に設けられた走査信号線の本数は、少なくとも 2160 本であり、パネル下半分に設けられた保持容量配線の本数は、少なくとも 2160 本である。

[0171] C_S 幹配線 M_a および C_S 幹配線 M_b は、アクティブマトリクス基板の上半分が有する2つの短辺の一方に近接して設けられ、 C_S ドライバ CD_1 によってそれぞれが別位相となるように駆動される。 C_S 幹配線 M_c および C_S 幹配線 M_d は、アクティブマトリクス基板の上半分が有する上記2つの短

辺の他方に近接して設けられ、CSドライバCD2によってそれぞれが別位相となるように駆動される。CS幹配線MeおよびCS幹配線Mfは、アクティブマトリクス基板の下半分が有する2つの短辺の一方に近接して設けられ、CSドライバCD3によってそれぞれが別位相となるように駆動される。CS幹配線MgおよびCS幹配線Mhは、アクティブマトリクス基板の下半分が有する上記2つの短辺の他方に近接して設けられ、それぞれが別位相となるようにCSドライバCD4によって駆動される。そして、1本の保持容量配線は、その両側に配置された2本のCS幹配線に接続され、これら2本のCS幹配線からこの1本の保持容量配線に同一位相の変調（パルス）信号が供給される。こうすれば、保持容量配線のCR（時定数）に起因する信号鈍りのばらつき（行方向の位置によって信号鈍りの度合いが変わること）を抑制することができる。

[0172] 例えば、保持容量配線CSaはCS幹配線Ma・Mcに接続され、保持容量配線CSbはCS幹配線Mb・Mdに接続され、保持容量配線CScはCS幹配線Me・Mgに接続され、保持容量配線CSDはCS幹配線Mf・Mhに接続されている。したがって、例えば、CS幹配線Ma・Mbの電位を逆位相となるように制御すると、保持容量配線CSa・CSbの電位も逆位相となり、画素Pbでは、2つの画素電極17B・17bのうち画素電極17Bが保持容量配線CSaと保持容量CBを形成し、画素電極17bが保持容量配線CSbと保持容量Cbを形成していることから、画素電極17B・17bに同一の信号電位を書き込んだ後に、例えば、画素電極17Bの実効電位をセンター電位に近づく方向にシフトさせる一方、画素電極17bの実効電位をセンター電位から離れる方向にシフトさせる（これにより、1画素内に、画素電極17Bに対応する暗領域と画素電極17bに対応する明領域とを形成する）ことができる。

[0173] なお、1つのデータ信号線の供給されるデータ信号の極性は1垂直走査期間（1V）ごとに反転し、同一垂直走査期間では、1画素列に対応して設けられる2つのデータ信号線の一方と他方とに供給されるデータ信号の極性が

逆極性となっている。こうすれば、各データ信号線を1V反転としながら（すなわち、極性反転周期を長くして消費電力を低減しながら）、画面内の画素の極性分布をドット反転とする（これにより、トランジスタがOFFしたときに生じる引き込み電圧に起因するフリッカを抑制する）ことができる。

[0174] 液晶パネルの図18及び図19に示す部分の駆動方法を、図20のタイミングチャートおよび図21～図24の模式図に示す。なお、図20に示すように、データ信号線S_a・S_A・S_c・S_Cには、1垂直走査期間中、プラスのデータ信号電位を供給し、データ信号線S_b・S_B・S_d・S_Dには、1垂直走査期間中、マイナスのデータ信号電位を供給する。

[0175] 時刻t₀で走査信号線G_a・G_bの同時走査が始まり、t₀から1H（垂直走査期間）後の時刻t₁で走査信号線G_a～G_dの同時走査が終了する。これにより、画素電極17A・17aにはプラスのデータ信号電位が書き込まれ、画素電極17C・17cにはプラスのデータ信号電位が書き込まれ、画素電極17D・17dにはマイナスのデータ信号電位が書き込まれる。

[0176] t₁から1H後のt₂では、CS幹配線M_nから送られる変調信号によって、保持容量配線CS_nの電位レベルがL（Low）側にシフトし、これに伴って、画素電極17Aの電位は突き下がり、次の走査までの実効電位は、書き込まれたデータ信号電位（+）よりも低下する（暗領域となる）。また、t₂では、CSドライバCD1・CD2からCS幹配線M_a・M_cを介して送られる変調信号によって、保持容量配線CS_aの電位レベルがH（High）側にシフトし、これに伴って、画素電極17aの電位は突き上がり、次の走査までの実効電位は、書き込まれたデータ信号電位（+）よりも上昇する（明領域となる）。また、t₂では、（保持容量配線CS_aの電位レベルがH側にシフトするため）、画素電極17Bの電位は突き上がり、次の走査までの実効電位は、書き込まれたデータ信号電位（-）よりも上昇する（暗領域となる）。

[0177] さらに、t₂では、CS幹配線M_mから送られる変調信号によって、保持容量配線CS_mの電位レベルがL（Low）側にシフトし、これに伴って、

画素電極 17C の電位は突き下がり、次の走査までの実効電位は、書き込まれたデータ信号電位 (+) よりも低下する (暗領域となる)。また、t2 では、CS ドライバ CD3・CD4 から CS 幹配線 Me・Mg を介して送られる変調信号によって、保持容量配線 CS c の電位レベルが H (High) 側にシフトし、これに伴って、画素電極 17c の電位は突き上がり、次の走査までの実効電位は、書き込まれたデータ信号電位 (+) よりも上昇する (明領域となる)。

[0178] t2 から 2H 後の t3 では、CS ドライバ CD1・CD2 から CS 幹配線 Mb・Md を介して送られる変調信号によって、保持容量配線 CS b の電位レベルが L 側にシフトし、これに伴って、画素電極 17b の電位は突き下がり、次の走査までの実効電位は、書き込まれたデータ信号電位 (-) よりも低下する (明領域となる)。

[0179] そして、第 1 領域のボトム (走査終了端部) に位置する画素 Px の走査が時刻 t4 で終了すると、画素電極 17X・17x にはマイナスのデータ信号電位が書き込まれる。さらに、t4 では、CS 幹配線 Mm から送られる変調信号によって、保持容量配線 CS m の電位レベルが L (Low) 側にシフトするため、画素電極 17x の電位は突き下がり、次の走査までの実効電位は、書き込まれたデータ信号電位 (-) よりも低下する (明領域となる)。

[0180] ここで、画素位置 (列方向の位置) に応じた階調補正処理として、各画素電極には上記実施の形態 2 で示した補正データ信号 S1'・S2' が供給される。これにより、本液晶表示装置 10c における第 1 及び第 2 領域の境界部分に生じる輝度変化を抑えることができる。

[0181] また、同時に選択される 4 本の走査信号線 Ga~Gd について、走査信号線 Ga がパネルの上側長辺から数えて M ライン目で、走査信号線 Gb が M+1 ライン目とすると、走査信号線 Gc はこの上側長辺から数えて M+2160 ライン目で、走査信号線 Gd が M+2161 ライン目となっており、パネル上半分に設けられた走査信号線 Ga に第 N フレームの M ライン目のデータ信号が書き込まれるとすると、パネル下半分に設けられた走査信号線 Gc に

は、1つ前のフレームである第N-1フレームのM+2160ライン目のデータ信号が書き込まれる。こうすることで、パネル上下での表示ずれ感が抑制される。

[0182] また、ゲートドライバGD1は、液晶パネル3cの上半分が有する2つの短辺の一方に沿って設けられ、列方向に並ぶ複数のゲートドライバチップIを含む。垂直ドライバGD2は、液晶パネル3cの上半分が有する上記2つの短辺の他方に沿って設けられ、列方向に並ぶ複数のゲートドライバチップIを含む。また、ゲートドライバGD3は、液晶パネル3cの下半分が有する2つの短辺の一方に沿って設けられ、列方向に並ぶ複数のゲートドライバチップIを含む。垂直ドライバGD4は、液晶パネル3cの下半分が有する上記2つの短辺の他方に沿って設けられ、列方向に並ぶ複数のゲートドライバチップIを含む。そして、パネル上半分に設けられた各走査信号線はゲートドライバGD1・GD2によって駆動され、パネル下半分に設けられた各走査信号線はゲートドライバGD3・GD4によって駆動される。すなわち、1本の走査信号線がその両側に配置された2つのゲートドライバに接続され、これら2つのゲートドライバからこの1つの走査信号線に同一位相の走査（パルス）信号が供給される。こうすれば、走査信号線のCR（時定数）に起因する信号鈍りのばらつき（行方向の位置によって信号鈍りの度合いが変わること）を抑制することができる。

[0183] ソースドライバSD1は、液晶パネル3cの上半分が有する1つの長辺に沿って設けられ、行方向に並ぶ48個のソースドライバチップJ（1つのソースドライバチップの出力端子数は960個）と、図示しない4つのソースドライバ基板を含む（1つのソースドライバ基板には12個のソースドライバチップJが装着される）。一方、ソースドライバSD2は、液晶パネル3cの下半分が有する1つの長辺に沿って設けられ、行方向に並ぶ48個のソースドライバチップJ（1つのソースドライバチップの出力端子数は960個）と、図示しない4つのソースドライバ基板を含む（1つのソースドライバ基板には12個のソースドライバチップJが装着される）。そして、パネ

ル上半分に設けられた各データ信号線はソースドライバSD1によって駆動され、パネル下半分に設けられた各データ信号線はソースドライバSD2によって駆動される。例えば、データ信号線SaはソースドライバSD1によって駆動され、データ信号線ScはソースドライバSD2によって駆動される。なお、スペースの関係でソースドライバチップJをパネル長辺に沿って並べることができない場合は、スペースの余裕のあるパネル短辺側に並べる（ソースドライバチップJとゲートドライバチップIとを列方に並べる）こともできる。この場合、データ信号線とパネル短辺側のソース端子とを接続する中継ラインを、対向基板側に設けたり、アクティブマトリクス基板のソース層（トランジスタのソース・ドレイン電極の形成層）以外、すなわち、ゲート絶縁膜の下層（ゲート層）やソース層とITO層（画素電極形成層）との間の層に設けたりすることもできる。

[0184] バックライトコントローラBLCは、ピクセルマッピング回路PMCから出力された映像信号QBLを受けてバックライト制御信号をバックライトドライバBDに出力し、バックライトドライバBDによってバックライトBLが駆動される。なお、バックライトBLは、複数に分割され、それぞれが、映像信号QBLに応じて個別に輝度調整される（アクティブバックライト）。

[0185] 電源コントローラは、3つの電源回路それぞれに接続される商用電源の供給電力レベルを監視しており、何らかの理由で1つまたは複数の商用電源に異常（供給電力レベルの低下）が生じた場合には、バックライトBLへの電源ライン（例えば、R・B・G用の3系統）と表示制御基板DC1～DC4への電源ライン（例えば、1系統）とを1つまたは複数の正常な商用電源に繋ぎかえるとともに、バックライトコントローラBLCに異常発生信号を出力する。この異常発生信号を受けたバックライトコントローラBLCは、バックライトBLの輝度の上限を下げるような制御信号をバックライトドライバBDに出力する。これにより、予期せぬ商用電源の異常に起因する表示制御基板DC1～DC4の破損等を回避することができる。

[0186] なお、液晶表示装置の省電力化等によって3つの電源回路が必要でなくなり、商用電源に接続される電源回路が1つのみ設けられる構成が可能となった場合には、電源コントローラは、この1つの商用電源の供給電力レベルを監視し、何らかの理由でこの商用電源に異常（供給電力レベルの低下）が生じた場合には、バックライトコントローラBLCに異常発生信号を出力する（この異常発生信号を受けたバックライトコントローラBLCは、バックライトBLの輝度の上限を下げるような制御信号をバックライトドライバBDに出力する）ようにすることも可能である。

[0187] 本発明の実施の形態に係る液晶表示装置では、
上記第1領域の走査終了端部の表示輝度と、上記第2領域の走査開始端部の表示輝度とが、実質的に等しくなるように、少なくとも上記第1領域において、各データ信号線に供給するデータ信号の電位を補正する構成とすることもできる。

[0188] 本発明の実施の形態に係る液晶表示装置では、
少なくとも上記第1領域において、データ信号の電位の補正量が、各フレームにおいて、フレーム開始時点から終了時点に向かって連続的に増加するように、各データ信号線に供給するデータ信号の電位を補正する構成とすることもできる。

[0189] 本発明の実施の形態に係る液晶表示装置では、
上記第1及び第2領域における走査開始端部では、データ信号の電位の補正を行わない構成とすることもできる。

[0190] 本発明の実施の形態に係る液晶表示装置では、
上記第1領域に n 本（ n は1以上の整数）の走査信号線が設けられている場合、外部から入力された映像信号に対応するデータ信号の電位を V_{s1} としたとき、

k （ k は1以上 n 以下の整数）番目の水平走査期間に上記第1領域の各データ信号線に供給される、データ信号の補正後の電位 $V_{s1}'(k)$ は、

(i) 画素電極の電位が、データ信号の極性反転により ΔV_p だけ低下すると

きは、

$$V_{s1}(k) = V_{s1} + \Delta V_p \times (k - 1) / n$$

で表される一方、

(ii) 画素電極の電位が、データ信号の極性反転により ΔV_{ph} だけ増加するときは、

$$V_{s1}(k) = V_{s1} - \Delta V_{ph} \times (k - 1) / n$$

で表される構成とすることもできる。

[0191] 本発明の実施の形態に係る液晶表示装置では、

同一水平走査期間には、隣り合う2本のデータ信号線に、互いに逆極性となるデータ信号が供給される構成とすることもできる。

[0192] 本発明の実施の形態に係る液晶表示装置では、

隣り合う第1及び第2画素列それぞれに複数の画素が含まれ、該第1及び第2画素列それぞれに対応して、上記第1領域のデータ信号線が2本ずつ設けられるとともに、上記第2領域のデータ信号線が2本ずつ設けられ、

各画素には1つ以上の画素電極が含まれ、

走査信号線がm本（mは1以上の整数）ずつ同時に選択され、

上記第1及び第2画素列それぞれにおいて、連続する2つの画素の一方に含まれる1つの画素電極がトランジスタを介して接続されるデータ信号線と、上記連続する2つの画素の他方に含まれる1つの画素電極がトランジスタを介して接続されるデータ信号線とが、互いに異なっており、

上記連続する2つの画素の一方に含まれる1つの画素電極が接続されるトランジスタと、上記連続する2つの画素の他方に含まれる1つの画素電極が接続されるトランジスタとが、それぞれ、同時に選択されるm本の走査信号線に接続されている構成とすることもできる。

[0193] 本発明の実施の形態に係る液晶表示装置では、

上記第1領域にn本（nは1以上の整数）の走査信号線が設けられている場合、外部から入力された映像信号に対応するデータ信号電位を V_{s1} としたとき、

$k/2$ (k は2以上 n 以下の偶数)番目の水平走査期間に上記第1領域の各データ信号線に供給される、データ信号の補正後の電位 $V_{s1}'(k)$ は、

(i) 画素電極の電位が、データ信号の極性反転により ΔV_p だけ低下するときは、

$$V_{s1}'(k) = V_{s1} + \Delta V_p \times (k/2 - 1) \times 2/n$$

で表される一方、

(ii) 画素電極の電位が、データ信号の極性反転により ΔV_{ph} だけ増加するときは、

$$V_{s1}'(k) = V_{s1} - \Delta V_{ph} \times (k/2 - 1) \times 2/n$$

で表される構成とすることもできる。

[0194] 本発明の実施の形態に係る液晶表示装置では、

1画素列に対応する2本のデータ信号線について、一方のデータ信号線に供給されるデータ信号の極性が反転することにより低下する電位量と、他方のデータ信号線に供給されるデータ信号の極性が反転することにより低下する電位量とを足し合わせた電位量に基づいて、データ信号の電位の補正を行う構成とすることもできる。

[0195] 本発明の実施の形態に係る液晶表示装置では、

上記第1及び第2領域それぞれにおいて、同一水平走査期間には、1画素列に対応する2本のデータ信号線に互いに逆極性となるデータ信号が供給される構成とすることもできる。

[0196] 本発明の実施の形態に係る液晶表示装置では、

1つの画素に設けられた複数の画素電極それぞれが、同一の走査信号線に接続されるとともに、互いに異なる保持容量配線と容量を形成し、各保持容量配線には、周期的に電位レベルがシフトする保持容量配線信号が供給される構成とすることもできる。

[0197] 本発明の実施の形態に係る液晶表示装置では、

1つの画素に設けられた複数の画素電極それぞれが同一のデータ信号線に

接続されている構成とすることもできる。

[0198] 本発明のテレビジョン受像機は、上記何れかの液晶表示装置と、テレビジョン放送を受信するチューナ部とを備えることを特徴とする。

[0199] 本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

産業上の利用可能性

[0200] 本発明は、例えば液晶テレビに好適である。

符号の説明

[0201] 10 a、10 b、10 c 液晶表示装置（表示装置）

3 a、3 b、3 c 液晶パネル（表示部）

50 a、50 b テレビジョン受像機

20 x 第1表示制御回路

20 y 第2表示制御回路

SD x 第1ソースドライバ

SD y 第2ソースドライバ

GD x 第1ゲートドライバ

GD y 第2ゲートドライバ

30 x 第1Csコントロール回路

30 y 第2Csコントロール回路

40 チューナ

SL x、SL y データ信号線

GL x、GL y 走査信号線

CS x、CS y 保持容量配線

P x、P y 画素

PD x、PD y 画素電極

T x、T y トランジスタ

α 、 β 画素列

2 1 x、2 1 y データ補正回路

2 1 1 x 映像データ入力部

2 1 2 x 平均電圧算出部

2 1 3 x 第 1 L U T

2 1 4 x 最大補正值算出部

2 1 5 x 第 2 L U T

2 1 6 x 補正位置カウンタ部

2 1 7 x 位置補正部

2 1 8 x 映像データ出力部

E P 1 ~ E P 4 映像処理回路 (データ補正回路)

E P 5 ~ E P 8 映像処理回路 (データ補正回路)

請求の範囲

[請求項1] 表示部に設けられた第1及び第2領域それぞれにデータ信号線、走査信号線及び画素が形成され、該第1領域に現フレームの一部が書き込まれるとともに、該第2領域に現フレームの残部が書き込まれる液晶表示装置であって、

各データ信号線に、一垂直走査期間あるいは複数垂直走査期間ごとに極性が反転するデータ信号が供給され、

上記第1領域における走査方向と、上記第2領域における走査方向とは互いに一致するとともに、上記第1及び第2領域は、走査方向に、この順に並べられており、

少なくとも上記第1領域において、走査開始端部からの距離に応じて、各データ信号線に供給するデータ信号の電位を補正することを特徴とする液晶表示装置。

[請求項2] 上記第1領域の走査終了端部の表示輝度と、上記第2領域の走査開始端部の表示輝度とが、実質的に等しくなるように、少なくとも上記第1領域において、各データ信号線に供給するデータ信号の電位を補正することを特徴とする請求項1に記載の液晶表示装置。

[請求項3] 少なくとも上記第1領域において、データ信号の電位の補正量が、各フレームにおいて、フレーム開始時点から終了時点に向かって連続的に増加するように、各データ信号線に供給するデータ信号の電位を補正することを特徴とする請求項1に記載の液晶表示装置。

[請求項4] 上記第1及び第2領域における走査開始端部では、データ信号の電位の補正を行わないことを特徴とする請求項1に記載の液晶表示装置。

[請求項5] 上記第1領域に n 本（ n は1以上の整数）の走査信号線が設けられている場合、外部から入力された映像信号に対応するデータ信号の電位を V_s としたとき、

k （ k は1以上 n 以下の整数）番目の水平走査期間に上記第1領域

の各データ信号線に供給される、データ信号の補正後の電位 $V_{s1}^{\prime}(k)$ は、

(i) 画素電極の電位が、データ信号の極性反転により ΔV_p だけ低下するときは、

$$V_{s1}^{\prime}(k) = V_{s1} + \Delta V_p \times (k - 1) / n$$

で表される一方、

(ii) 画素電極の電位が、データ信号の極性反転により ΔV_{ph} だけ増加するときは、

$$V_{s1}^{\prime}(k) = V_{s1} - \Delta V_{ph} \times (k - 1) / n$$

で表されることを特徴とする請求項 1 に記載の液晶表示装置。

[請求項6] 同一水平走査期間には、隣り合う 2 本のデータ信号線に、互いに逆極性となるデータ信号が供給されることを特徴とする請求項 1 に記載の液晶表示装置。

[請求項7] 隣り合う第 1 及び第 2 画素列それぞれに複数の画素が含まれ、該第 1 及び第 2 画素列それぞれに対応して、上記第 1 領域のデータ信号線が 2 本ずつ設けられるとともに、上記第 2 領域のデータ信号線が 2 本ずつ設けられ、

各画素には 1 つ以上の画素電極が含まれ、

走査信号線が m 本 (m は 1 以上の整数) ずつ同時に選択され、

上記第 1 及び第 2 画素列それぞれにおいて、連続する 2 つの画素の一方に含まれる 1 つの画素電極がトランジスタを介して接続されるデータ信号線と、上記連続する 2 つの画素の他方に含まれる 1 つの画素電極がトランジスタを介して接続されるデータ信号線とが、互いに異なっており、

上記連続する 2 つの画素の一方に含まれる 1 つの画素電極が接続されるトランジスタと、上記連続する 2 つの画素の他方に含まれる 1 つの画素電極が接続されるトランジスタとが、それぞれ、同時に選択される m 本の走査信号線に接続されていることを特徴とする請求項 1 か

ら4の何れか1項に記載の液晶表示装置。

[請求項8]

上記第1領域にn本（nは1以上の整数）の走査信号線が設けられている場合、外部から入力された映像信号に対応するデータ信号電位を V_{s1} としたとき、

$k/2$ （ k は2以上n以下の偶数）番目の水平走査期間に上記第1領域の各データ信号線に供給される、データ信号の補正後の電位 $V_{s1}'(k)$ は、

(i) 画素電極の電位が、データ信号の極性反転により ΔV_p だけ低下するときは、

$$V_{s1}'(k) = V_{s1} + \Delta V_p \times (k/2 - 1) \times 2/n$$

で表される一方、

(ii) 画素電極の電位が、データ信号の極性反転により ΔV_{ph} だけ増加するときは、

$$V_{s1}'(k) = V_{s1} - \Delta V_{ph} \times (k/2 - 1) \times 2/n$$

で表されることを特徴とする請求項7に記載の液晶表示装置。

[請求項9]

1画素列に対応する2本のデータ信号線について、一方のデータ信号線に供給されるデータ信号の極性が反転することにより低下する電位量と、他方のデータ信号線に供給されるデータ信号の極性が反転することにより低下する電位量とを足し合わせた電位量に基づいて、データ信号の電位の補正を行うことを特徴とする請求項7に記載の液晶表示装置。

[請求項10]

上記第1及び第2領域それぞれにおいて、同一水平走査期間には、1画素列に対応する2本のデータ信号線に互いに逆極性となるデータ信号が供給されることを特徴とする請求項7に記載の液晶表示装置。

[請求項11]

1つの画素に設けられた複数の画素電極それぞれが、同一の走査信号線に接続されるとともに、互いに異なる保持容量配線と容量を形成し、各保持容量配線には、周期的に電位レベルがシフトする保持容量配線信号が供給されることを特徴とする請求項1から4の何れか1項

に記載の液晶表示装置。

[請求項12] 1つの画素に設けられた複数の画素電極それぞれが同一のデータ信号線に接続されていることを特徴とする請求項11に記載の液晶表示装置。

[請求項13] 表示部に設けられた第1及び第2領域それぞれにデータ信号線、走査信号線及び画素が形成され、現フレームの第1領域での走査によって該第1領域に現フレームの一部が書き込まれ、かつ現フレームの第2領域での走査によって該第2領域に現フレームの残部が書き込まれる液晶表示装置の駆動方法であって、

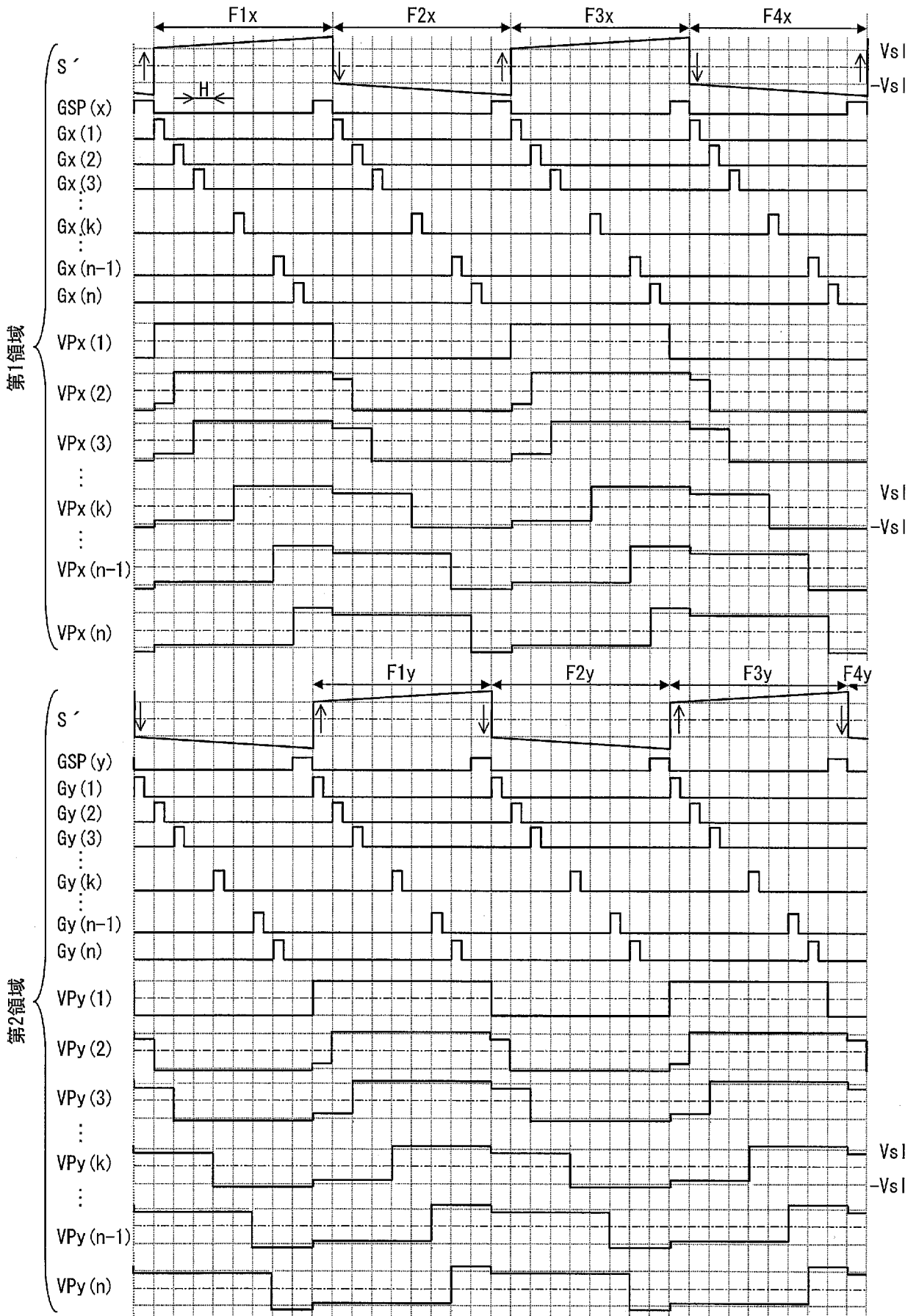
各データ信号線に、一垂直走査期間あるいは複数垂直走査期間ごとに極性が反転するデータ信号を供給し、

上記第1領域における走査方向と、上記第2領域における走査方向とは互いに一致するとともに、上記第1及び第2領域は、走査方向に、この順に並べられており、

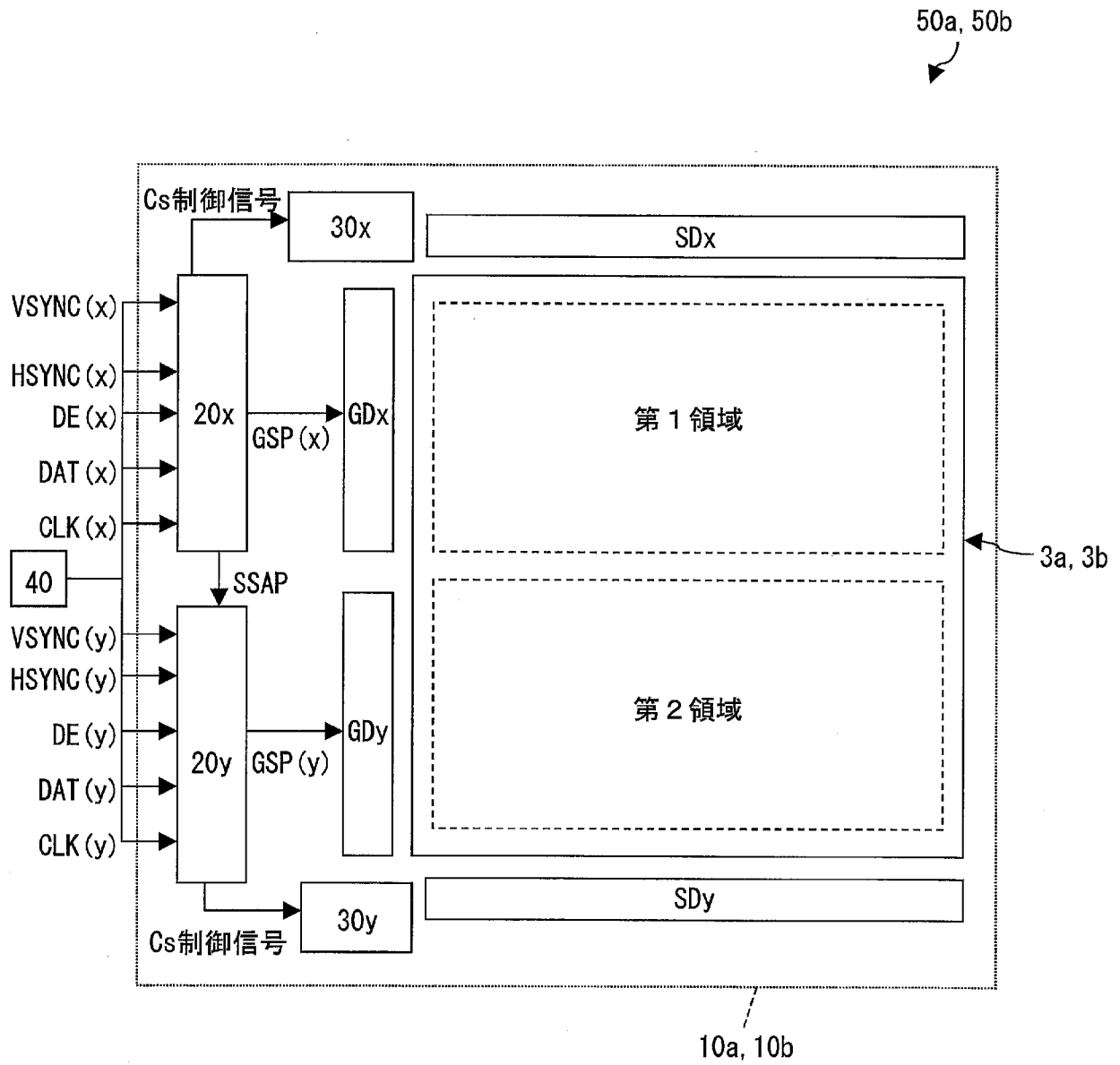
少なくとも上記第1領域において、走査開始端部からの距離に応じて、各データ信号線に供給するデータ信号の電位を補正することを特徴とする液晶表示装置の駆動方法。

[請求項14] 請求項1～12の何れか1項に記載の液晶表示装置と、テレビジョン放送を受信するチューナ部とを備えることを特徴とするテレビジョン受像機。

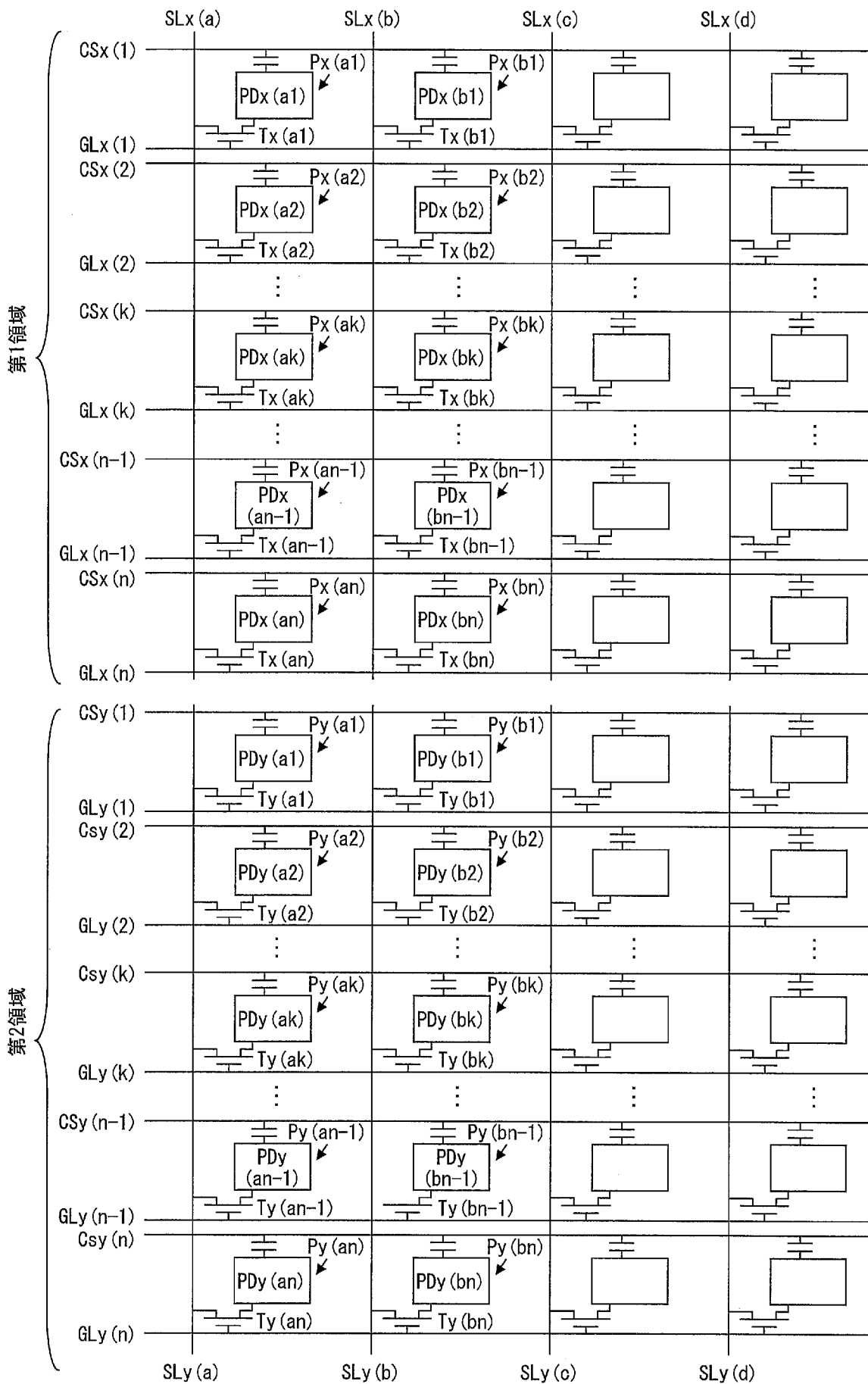
[図1]



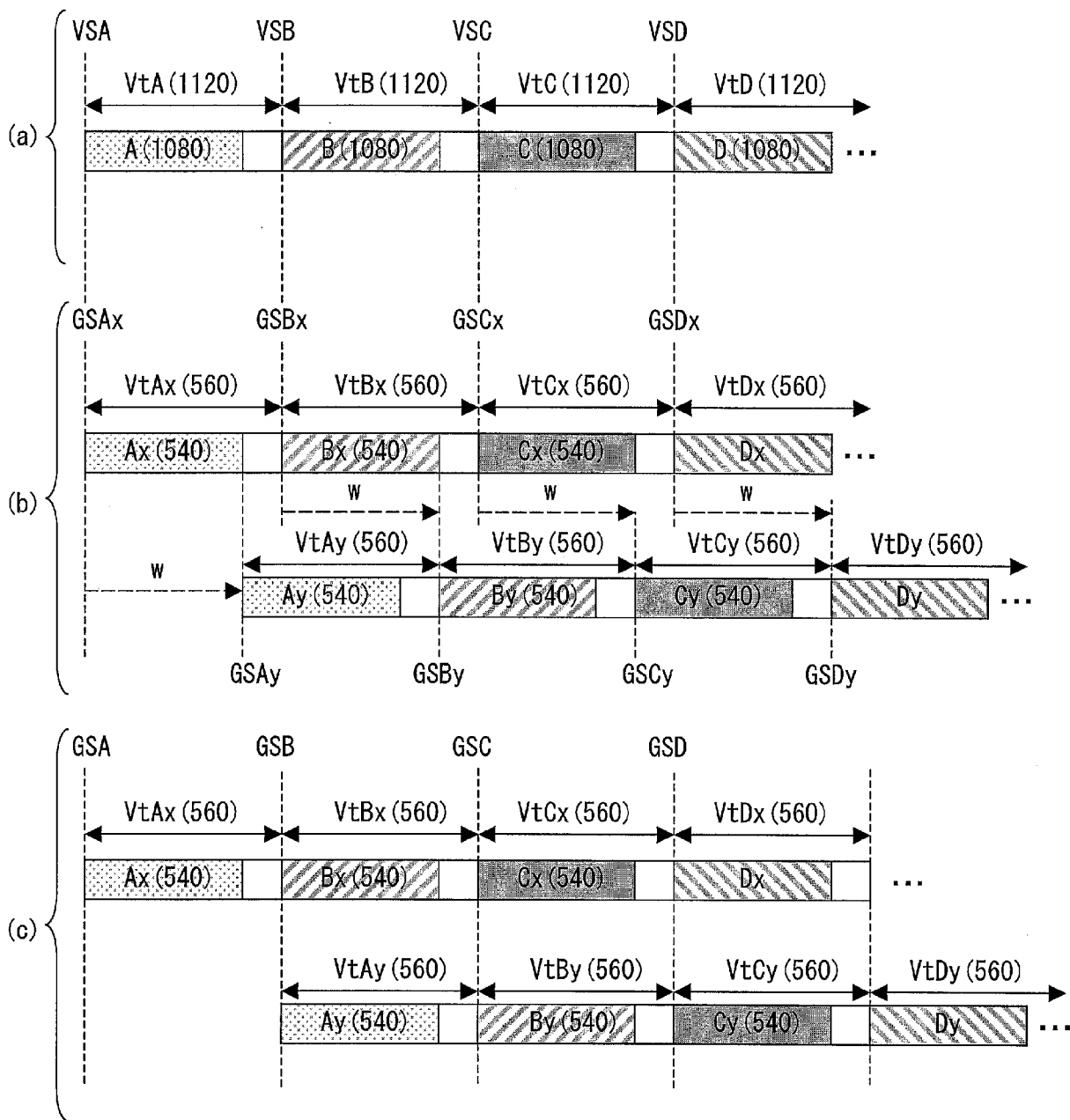
[図2]



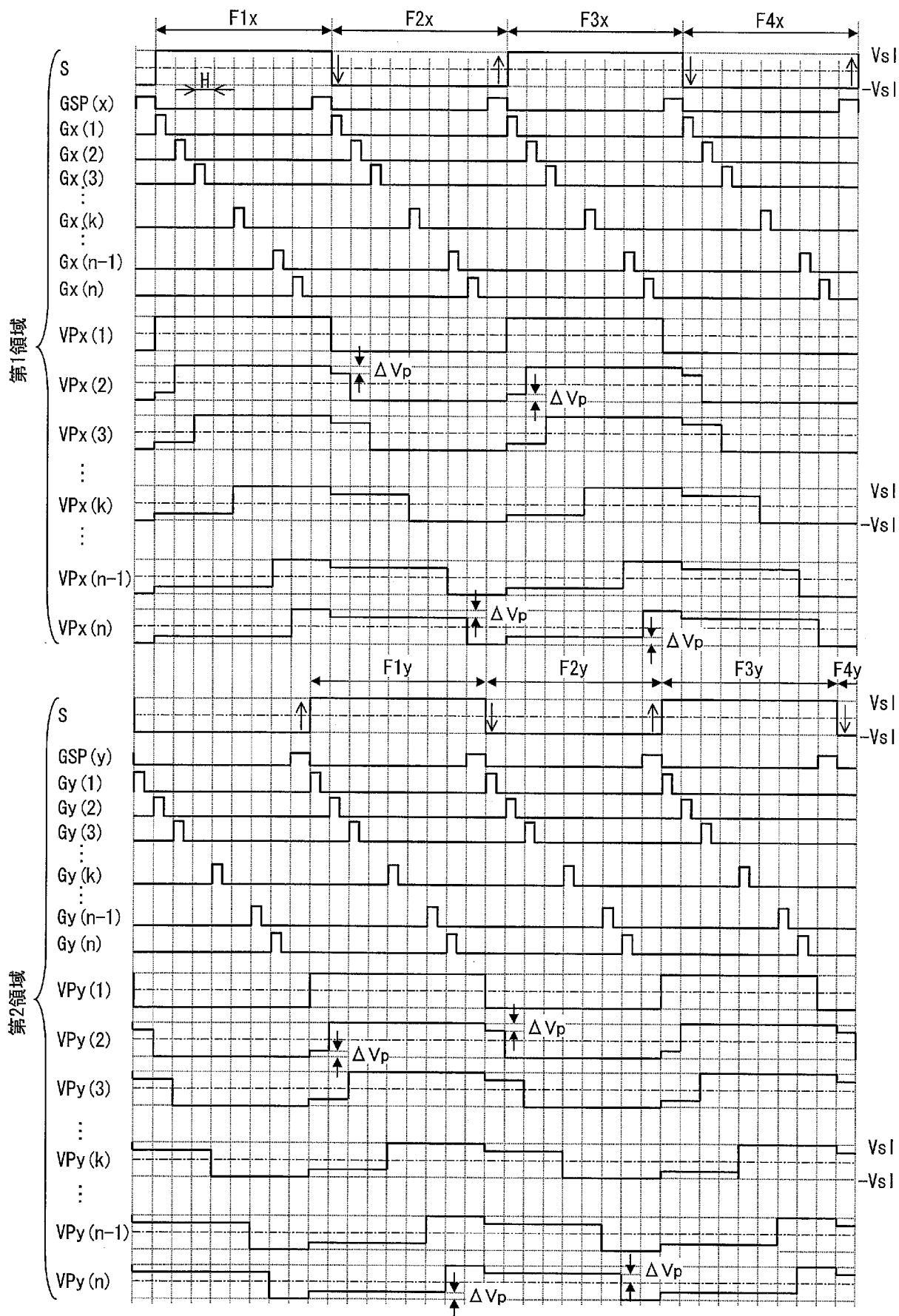
[図3]



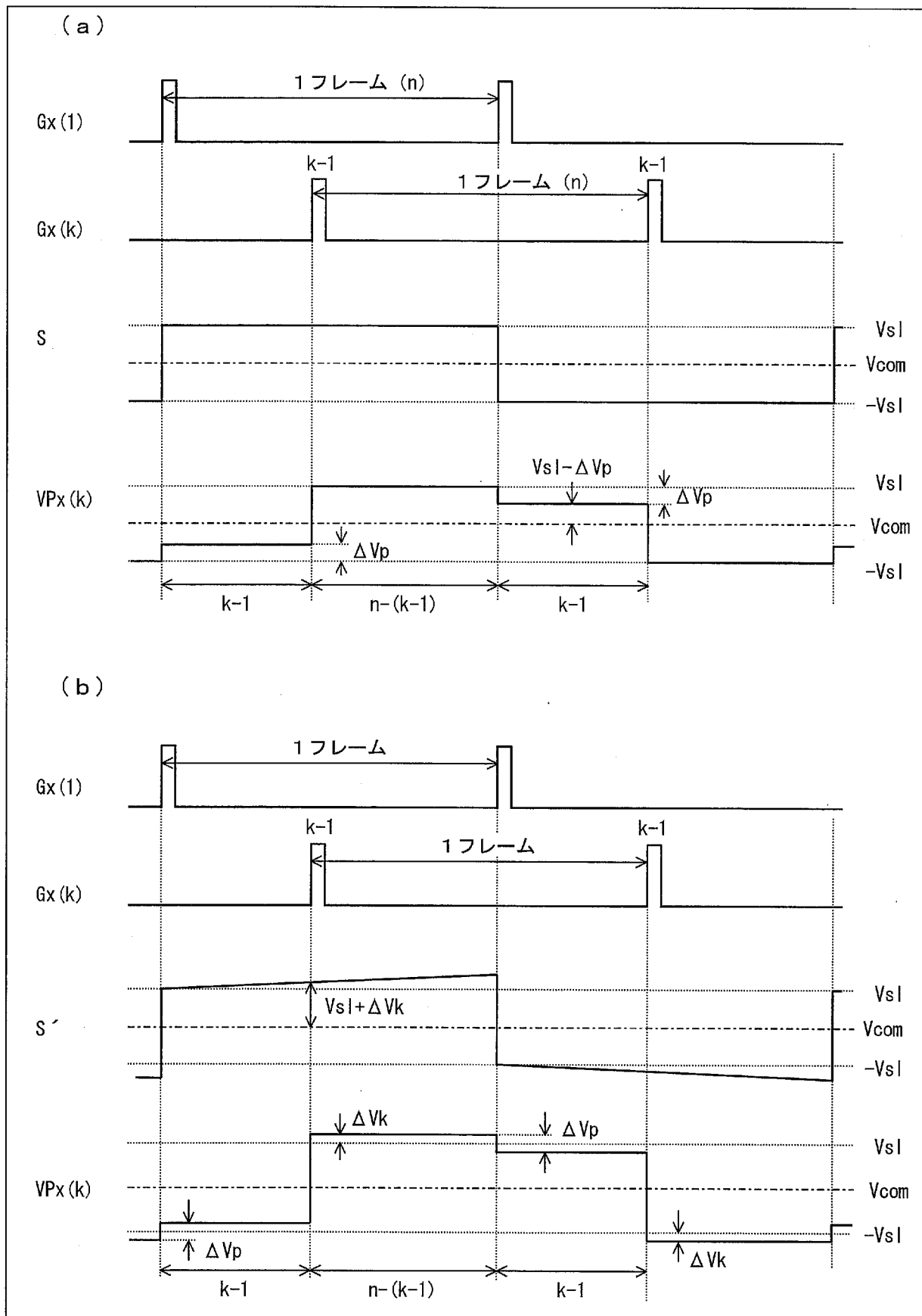
[図4]



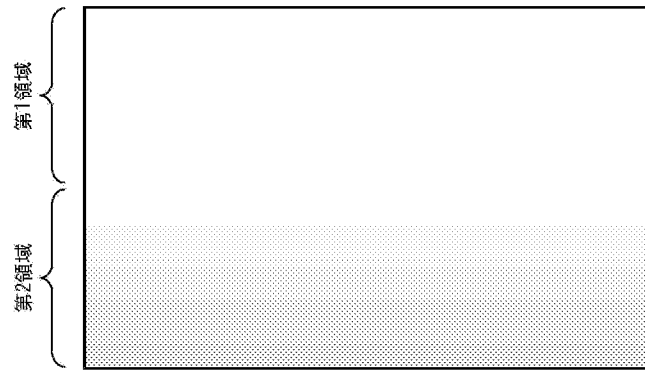
[図5]



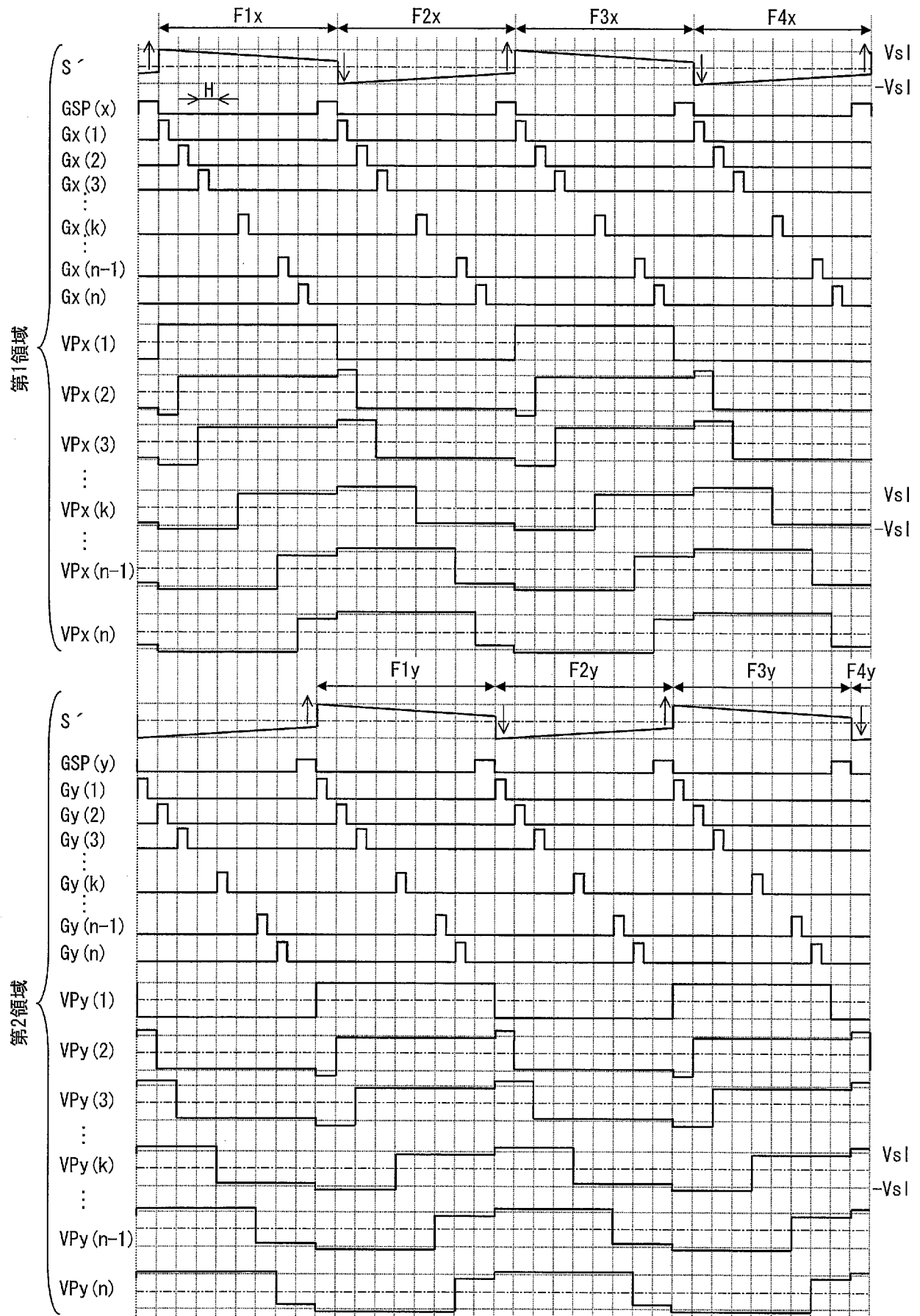
[図6]



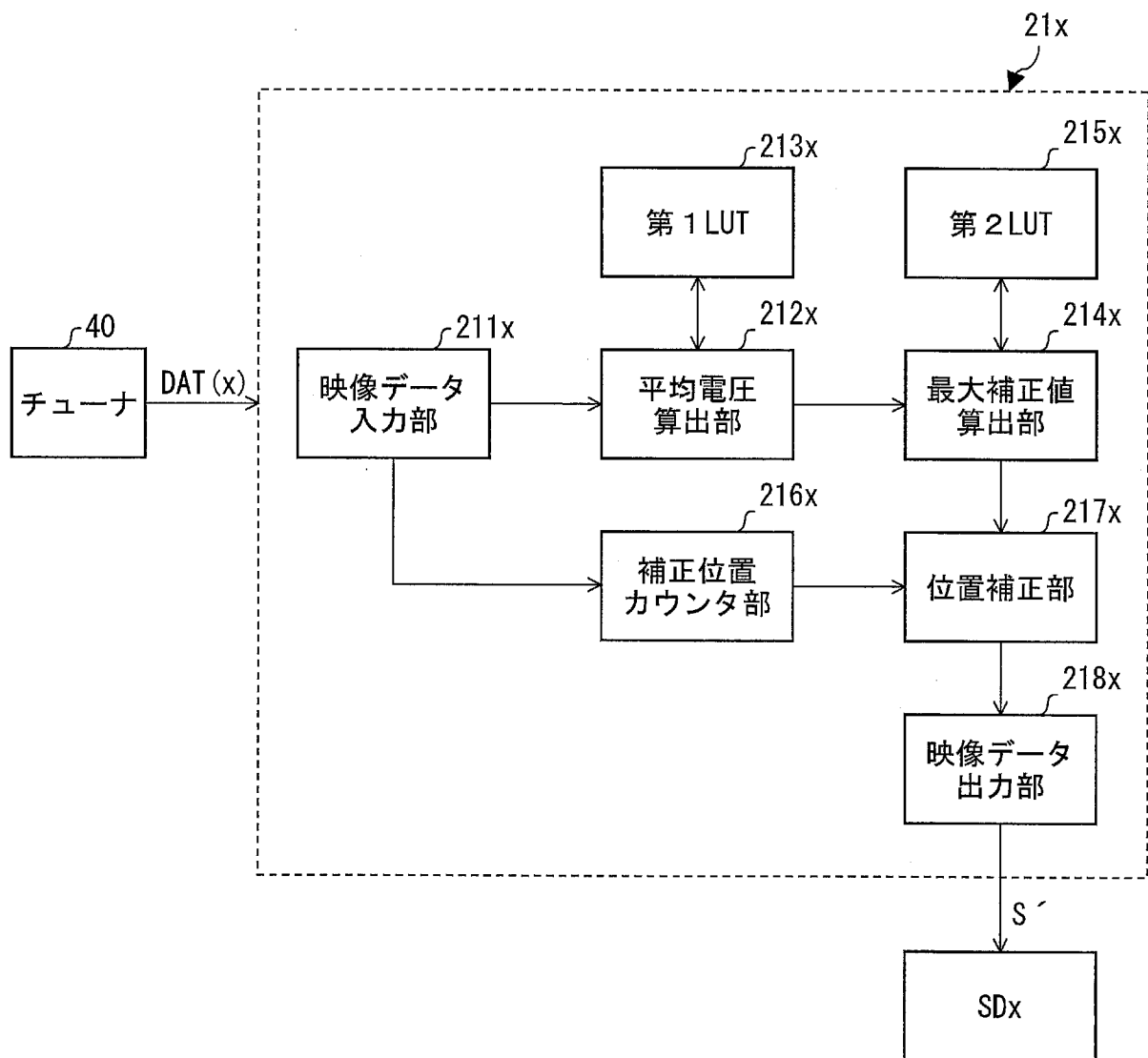
[図7]



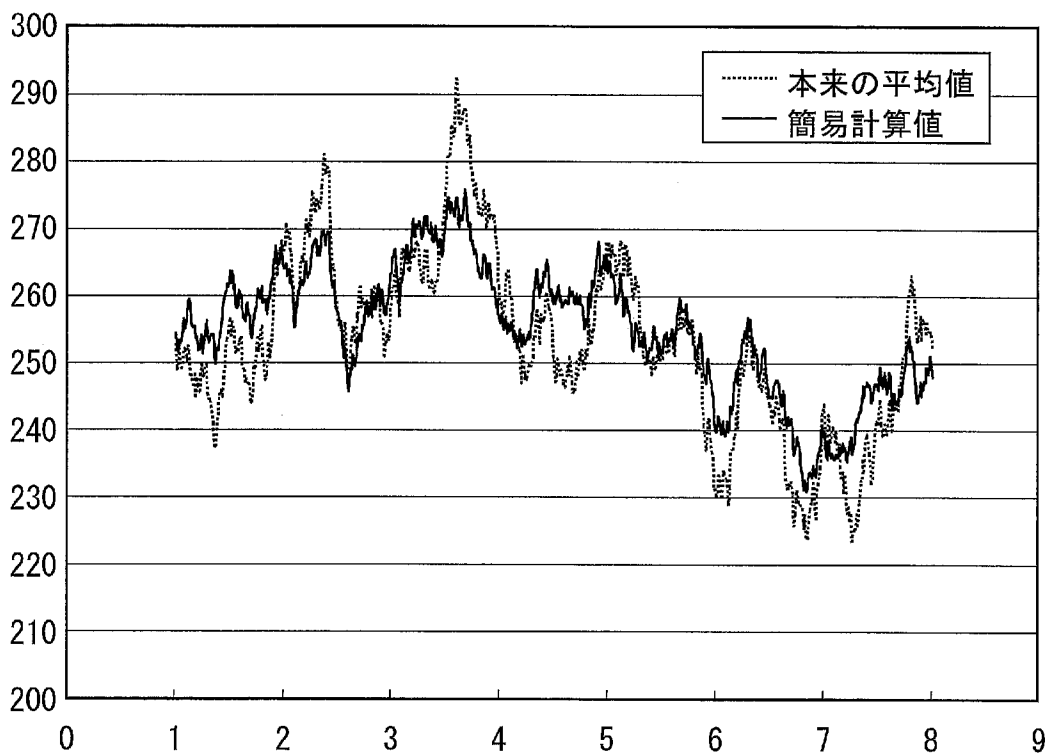
[図8]



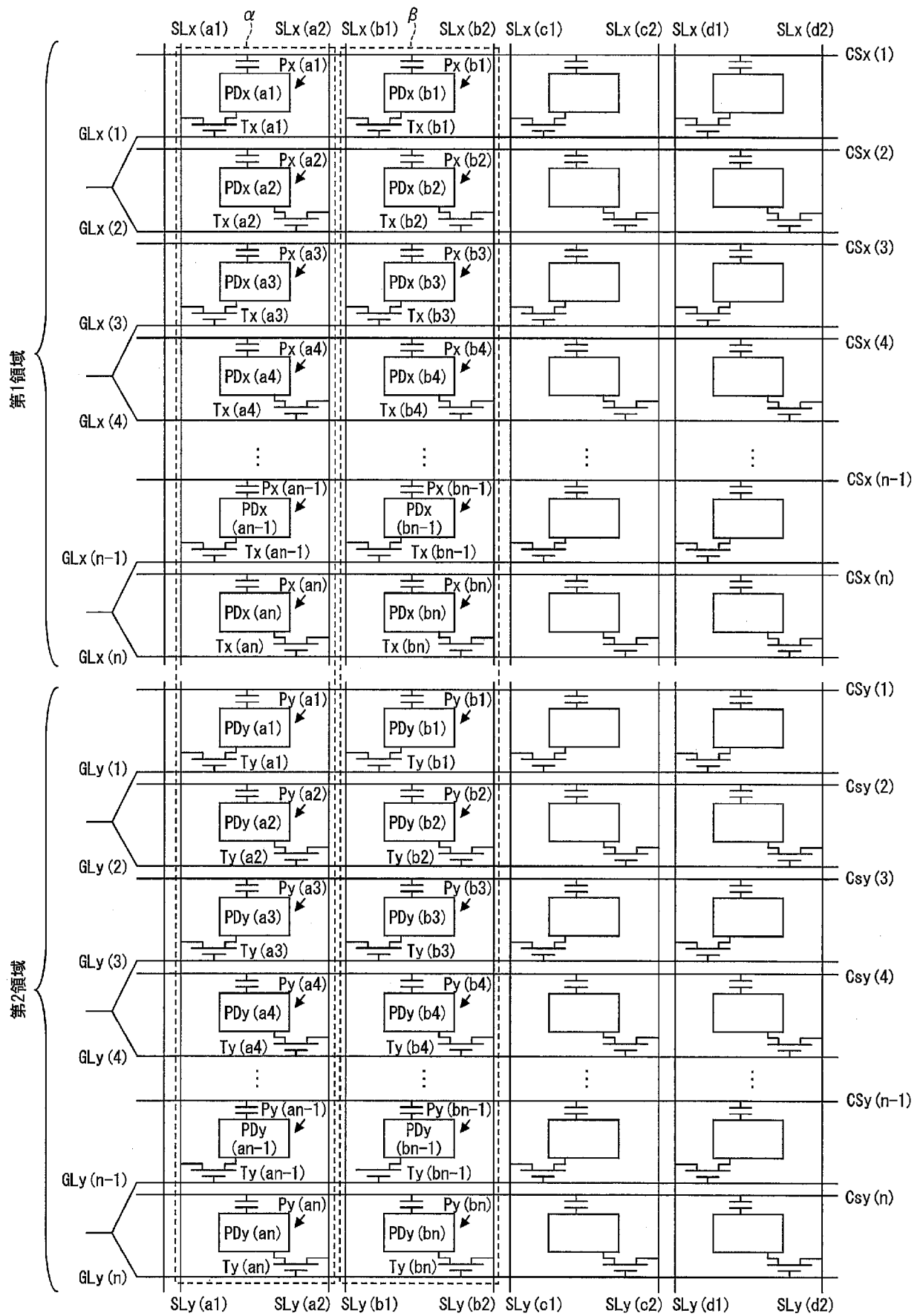
[図9]



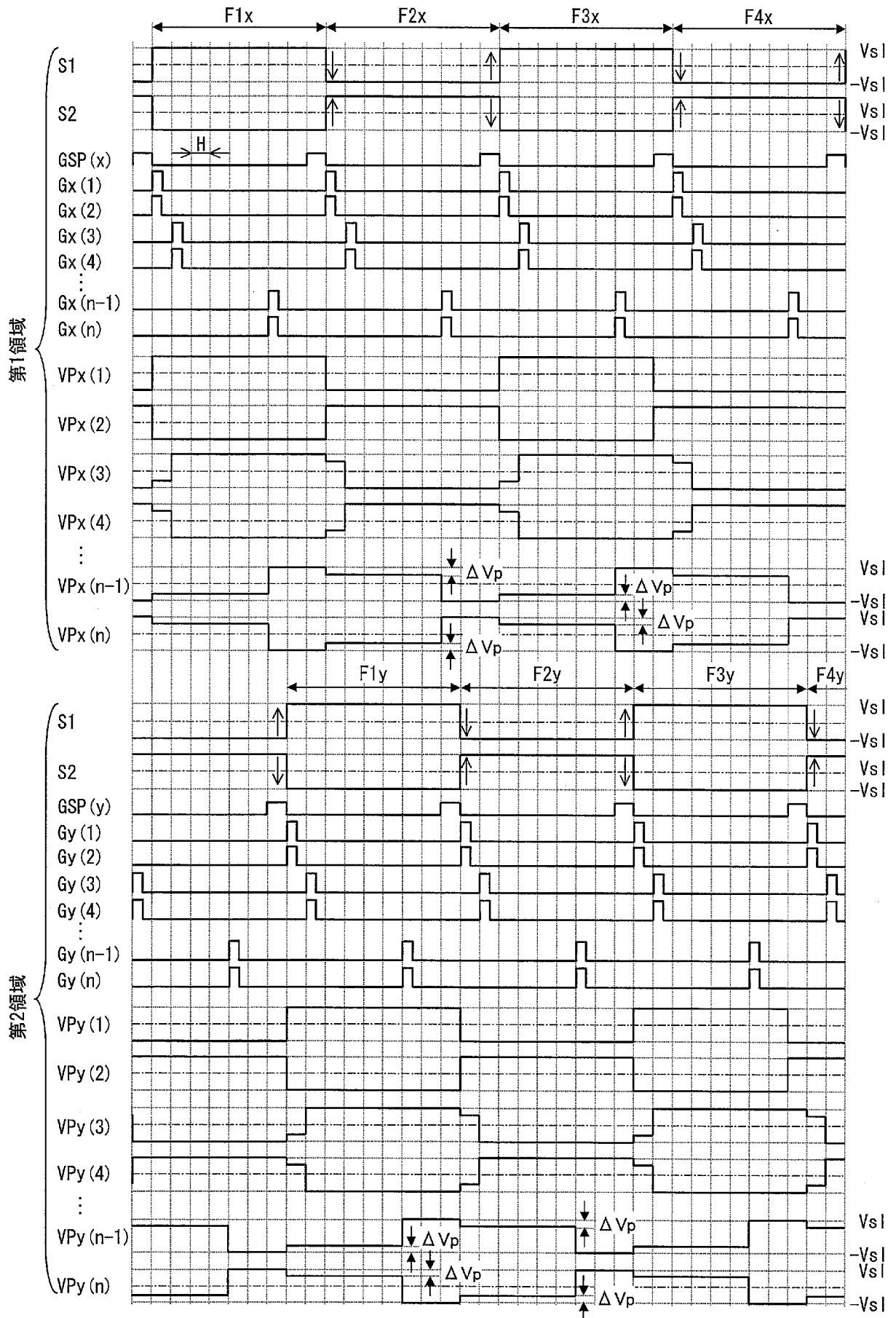
[図10]



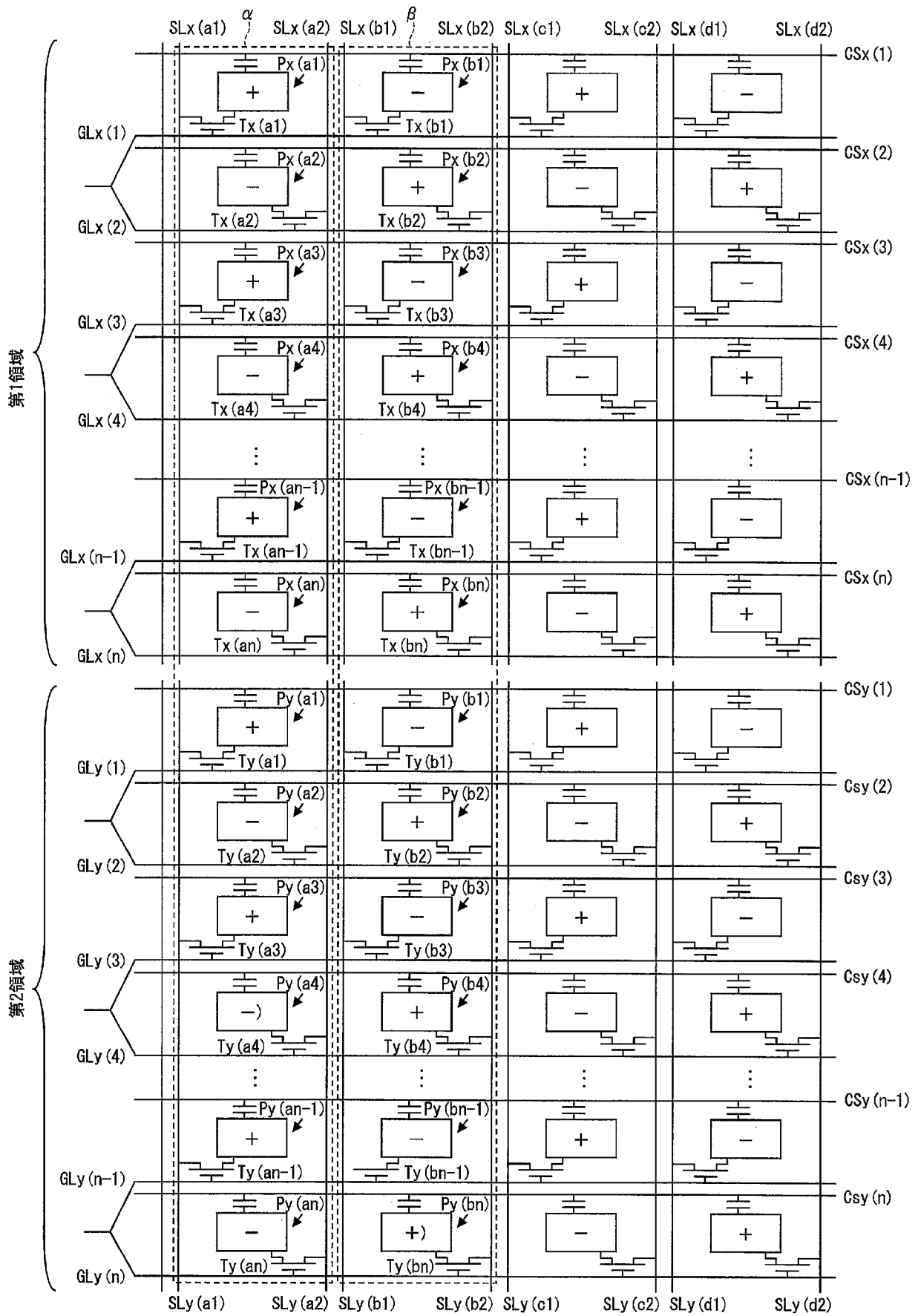
[図11]



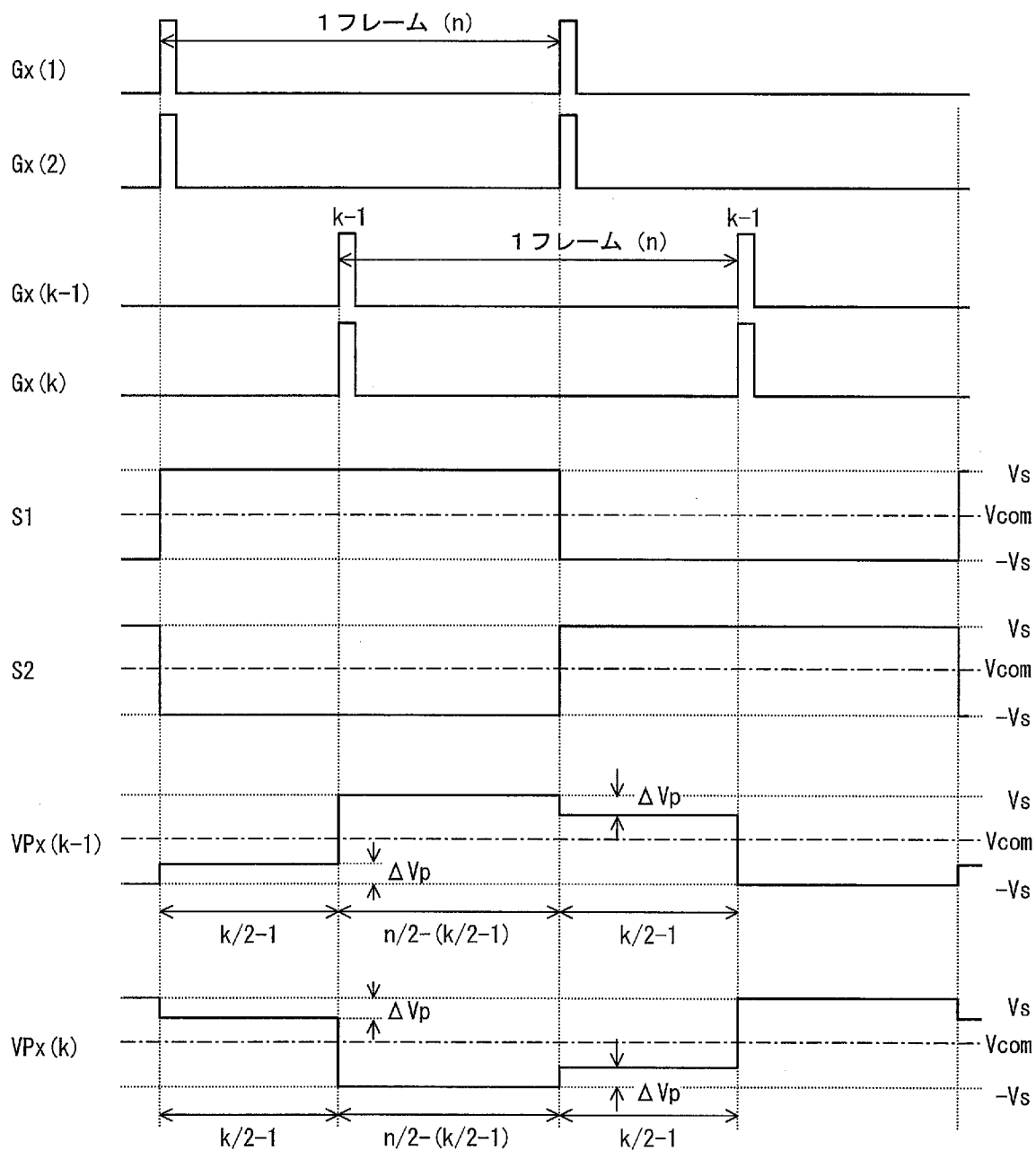
[図12]



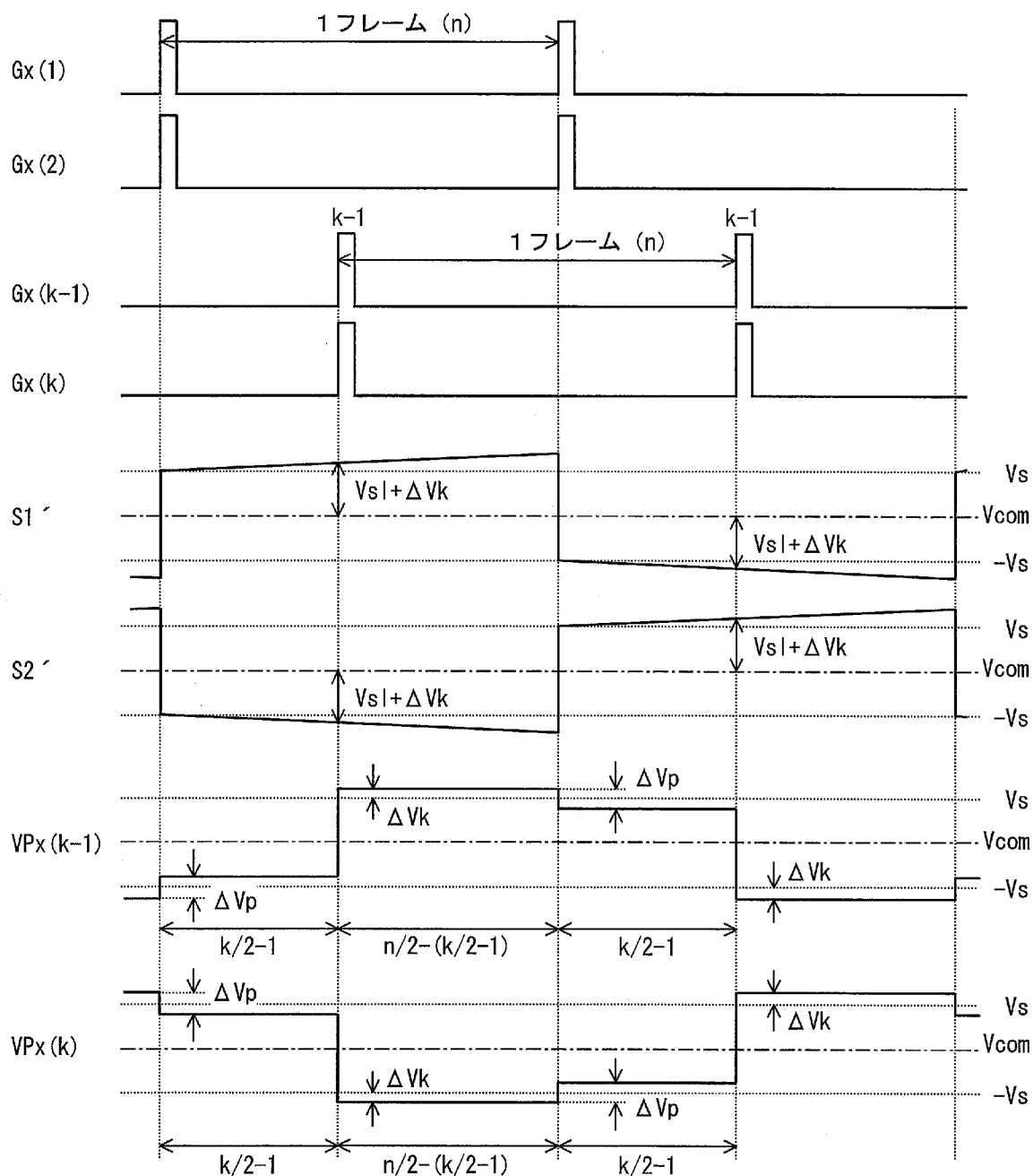
[図13]



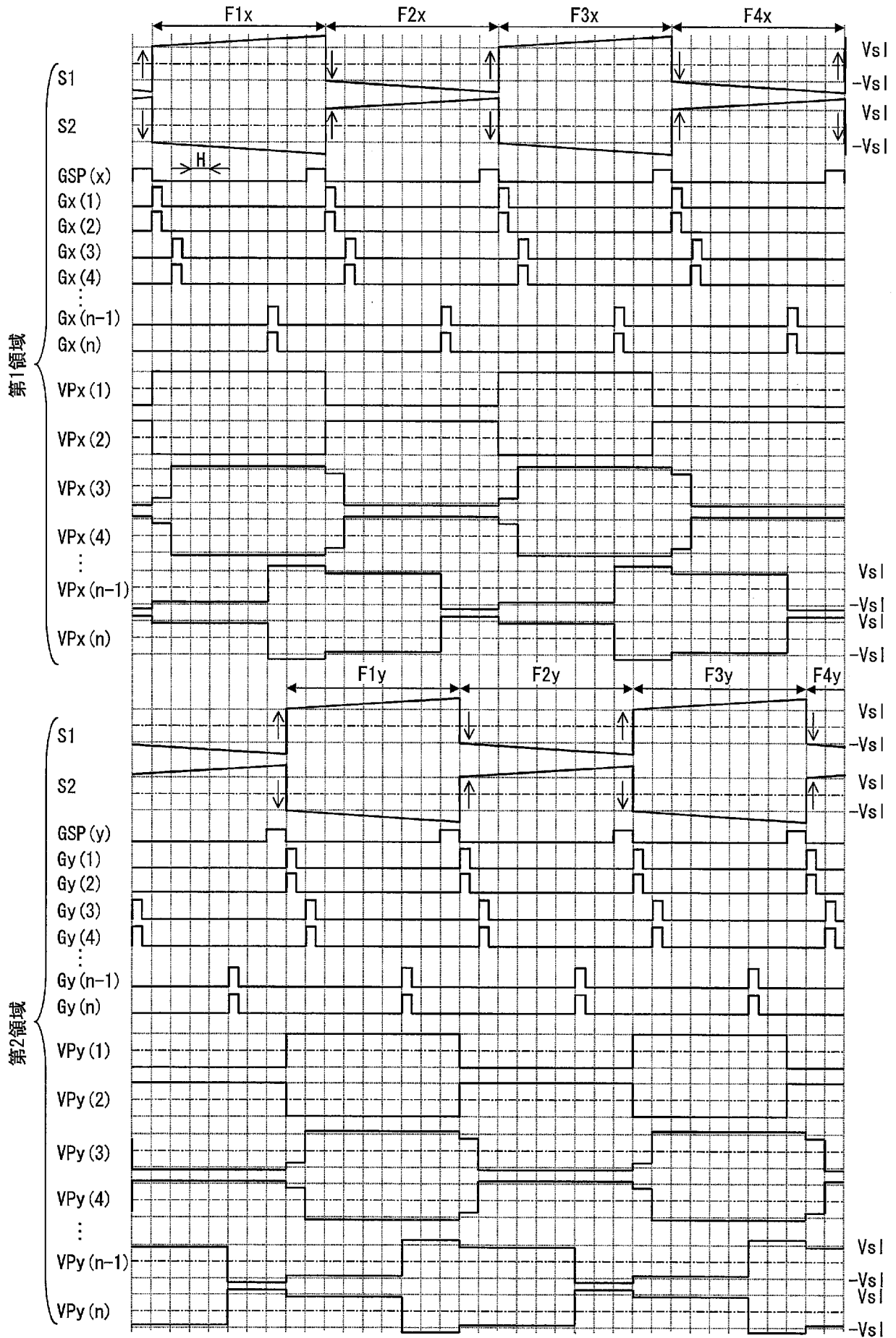
[図14]



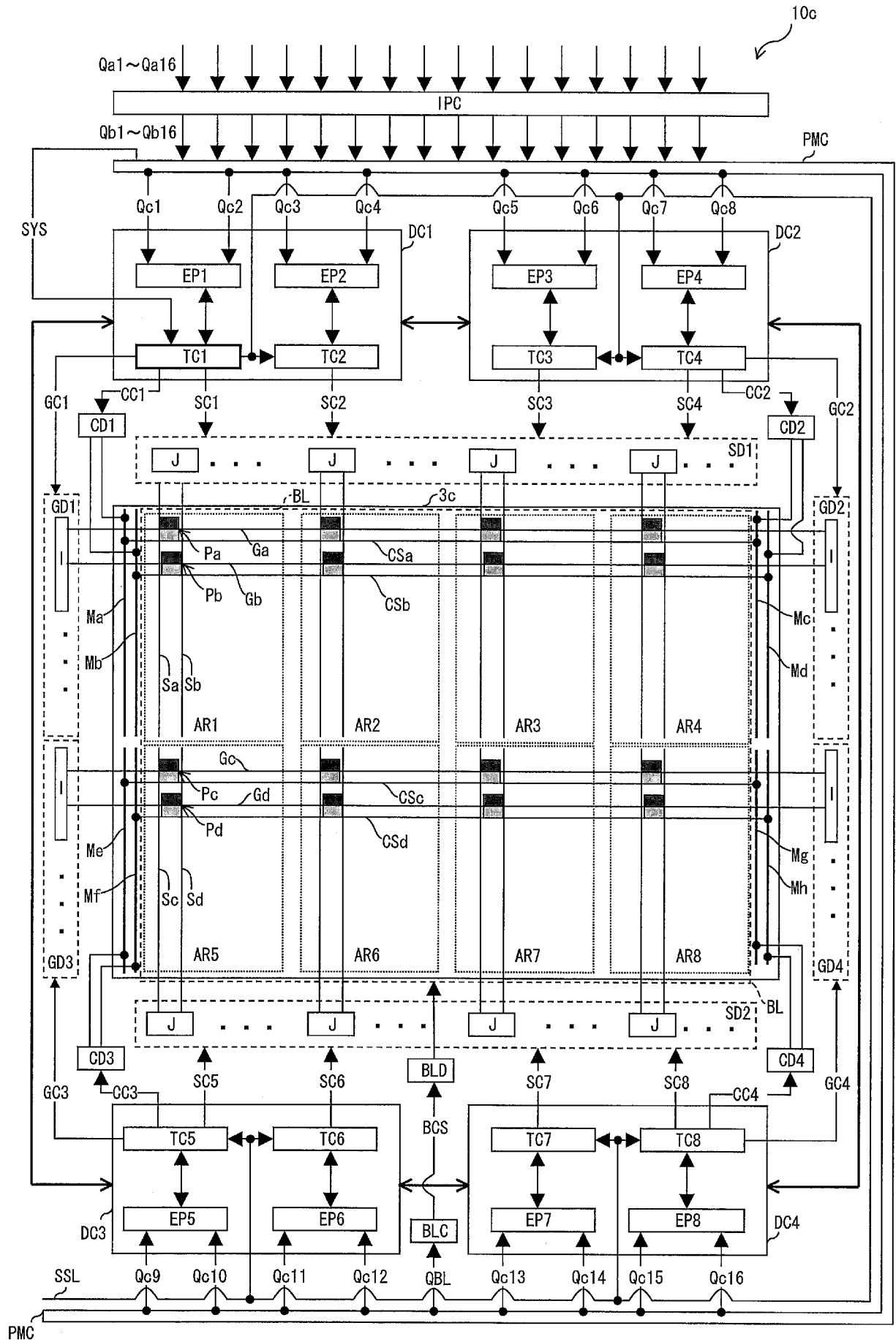
[図15]



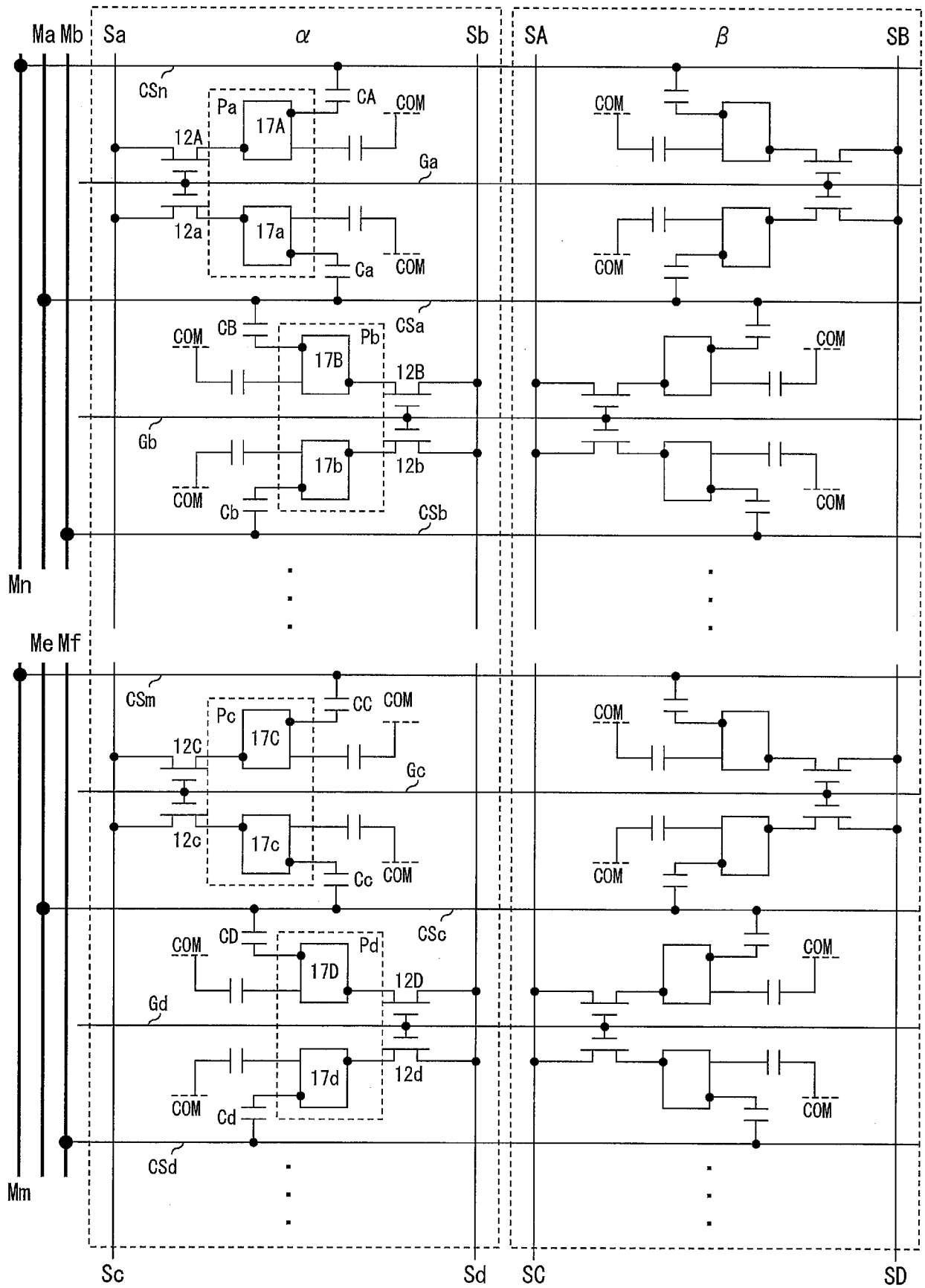
[図16]



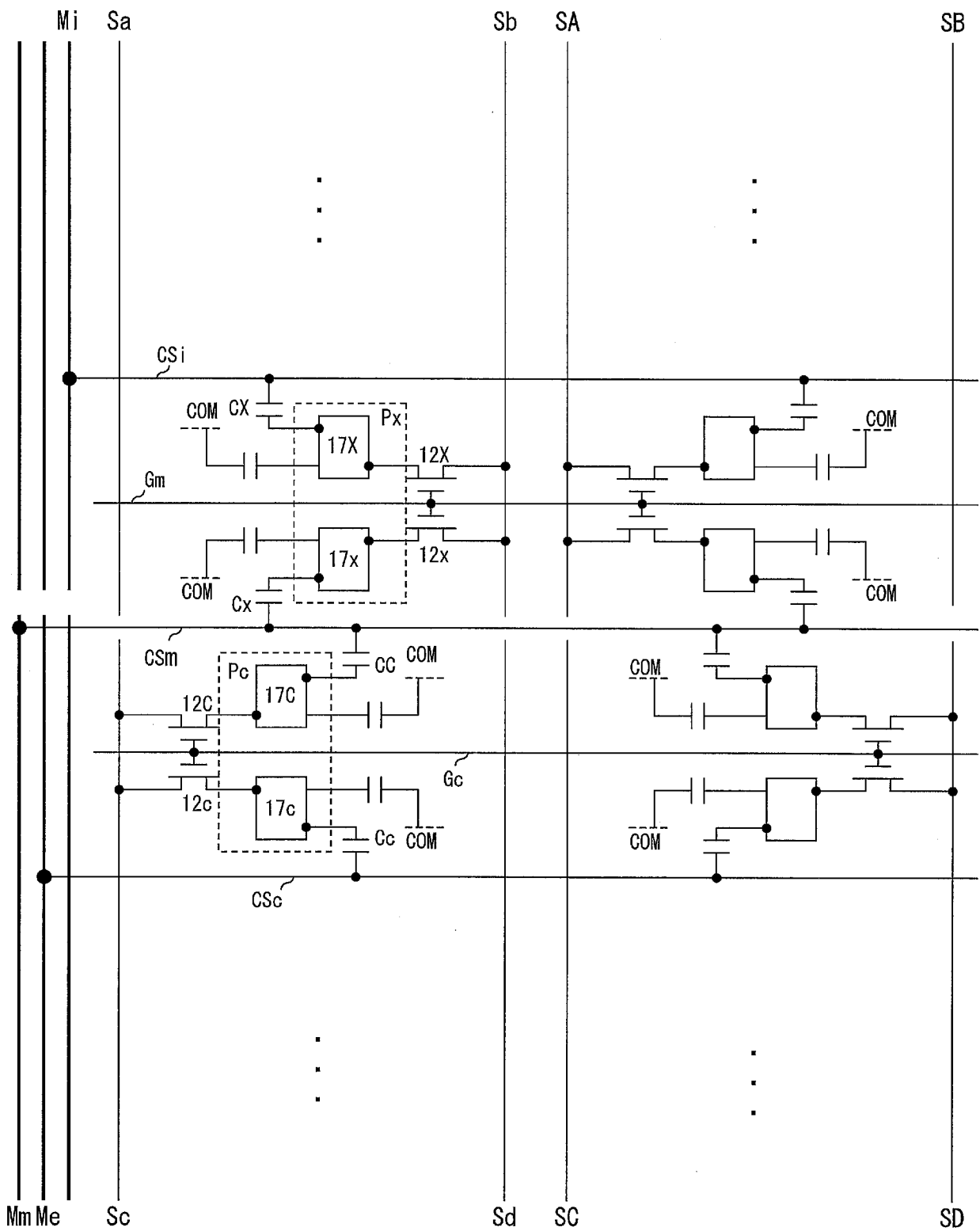
[図17]



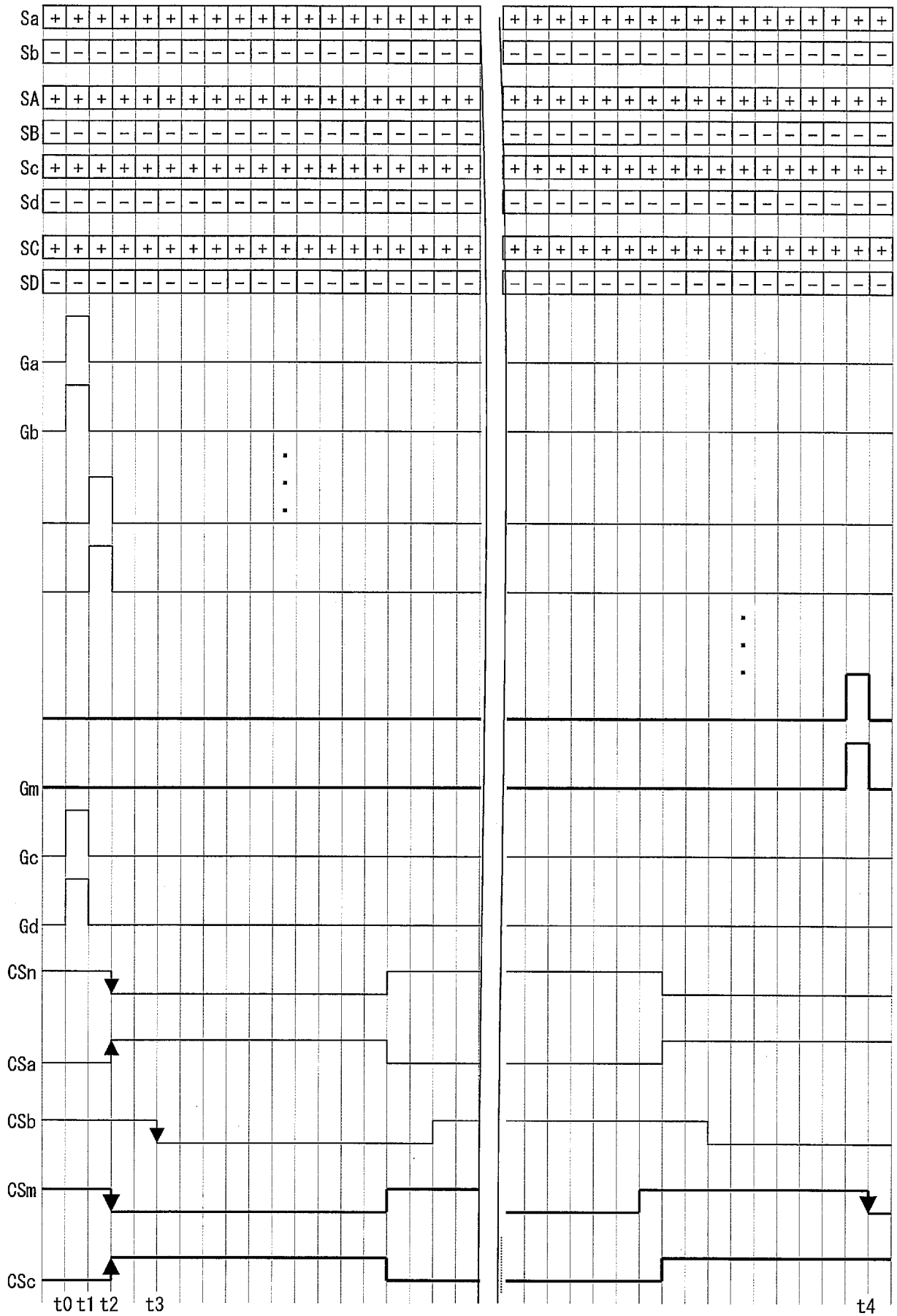
[図18]



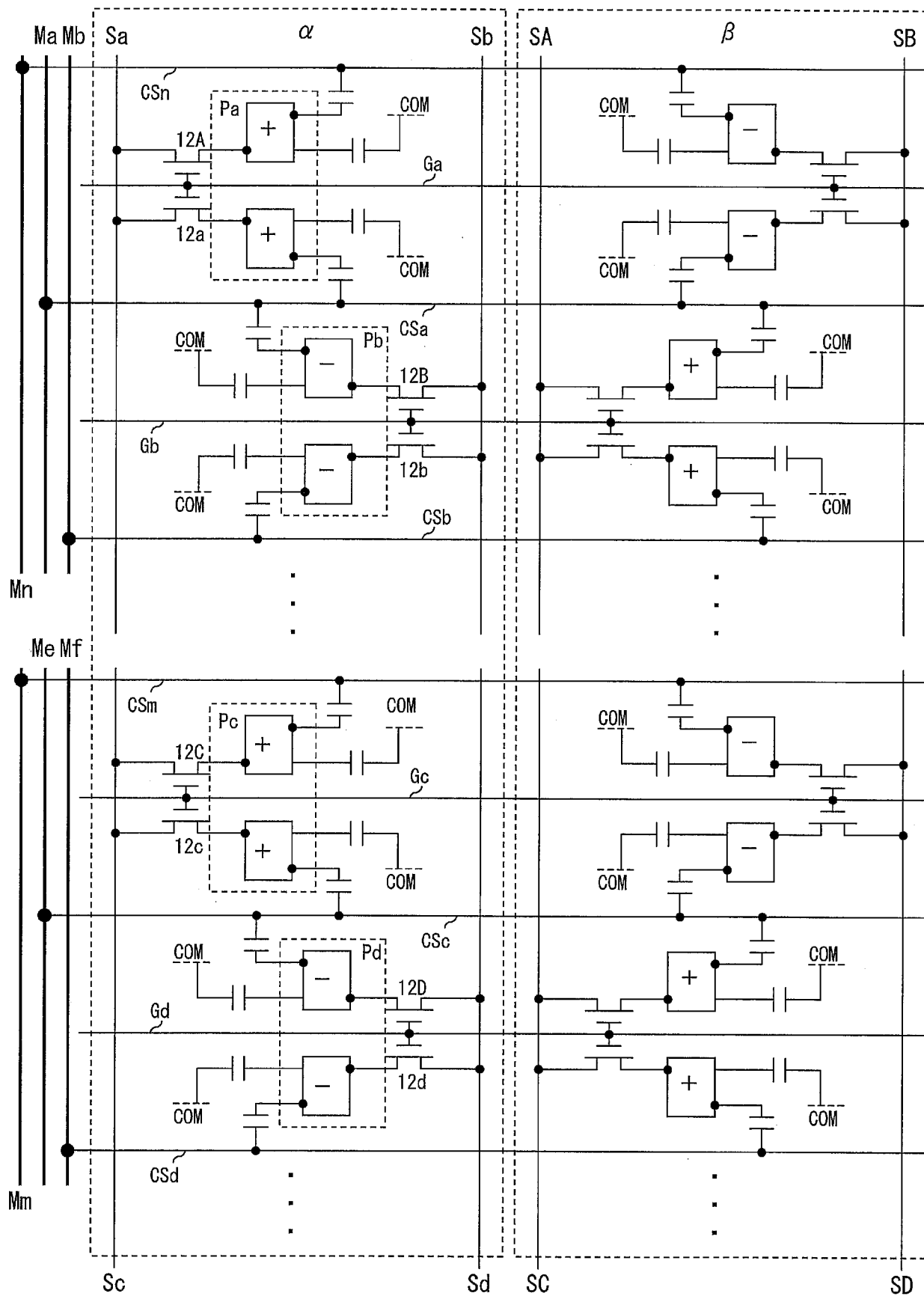
[図19]



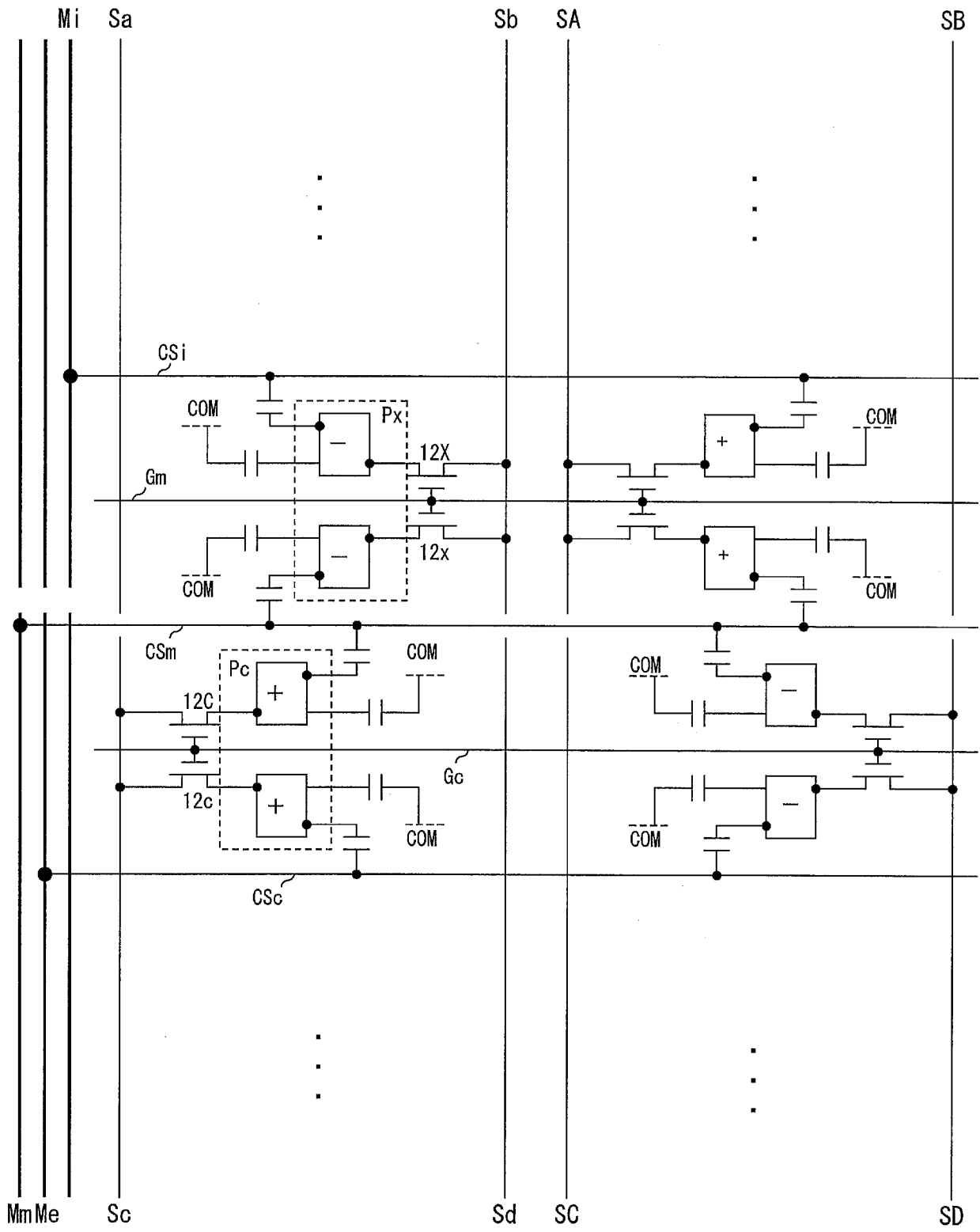
[図20]



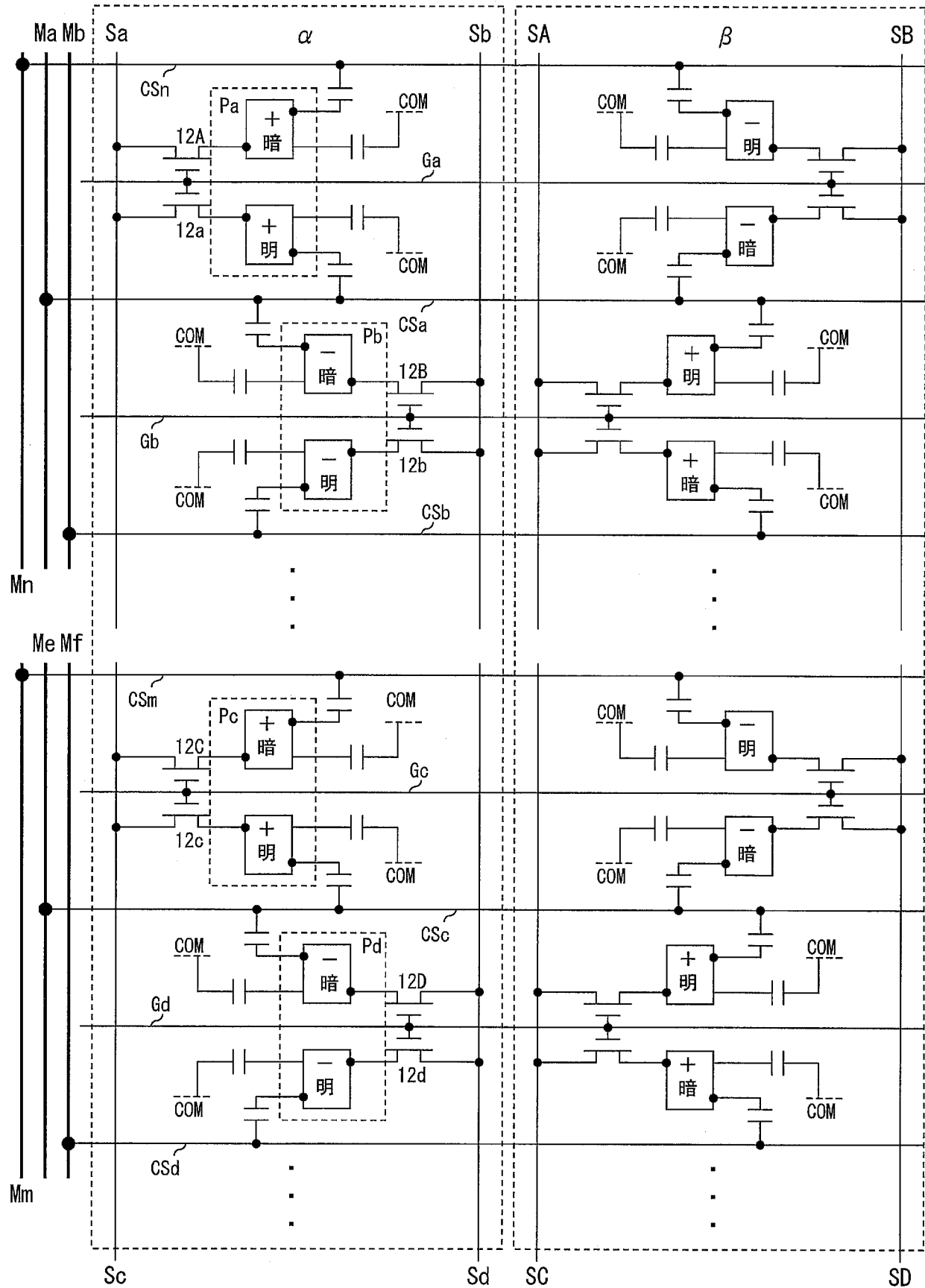
[図21]



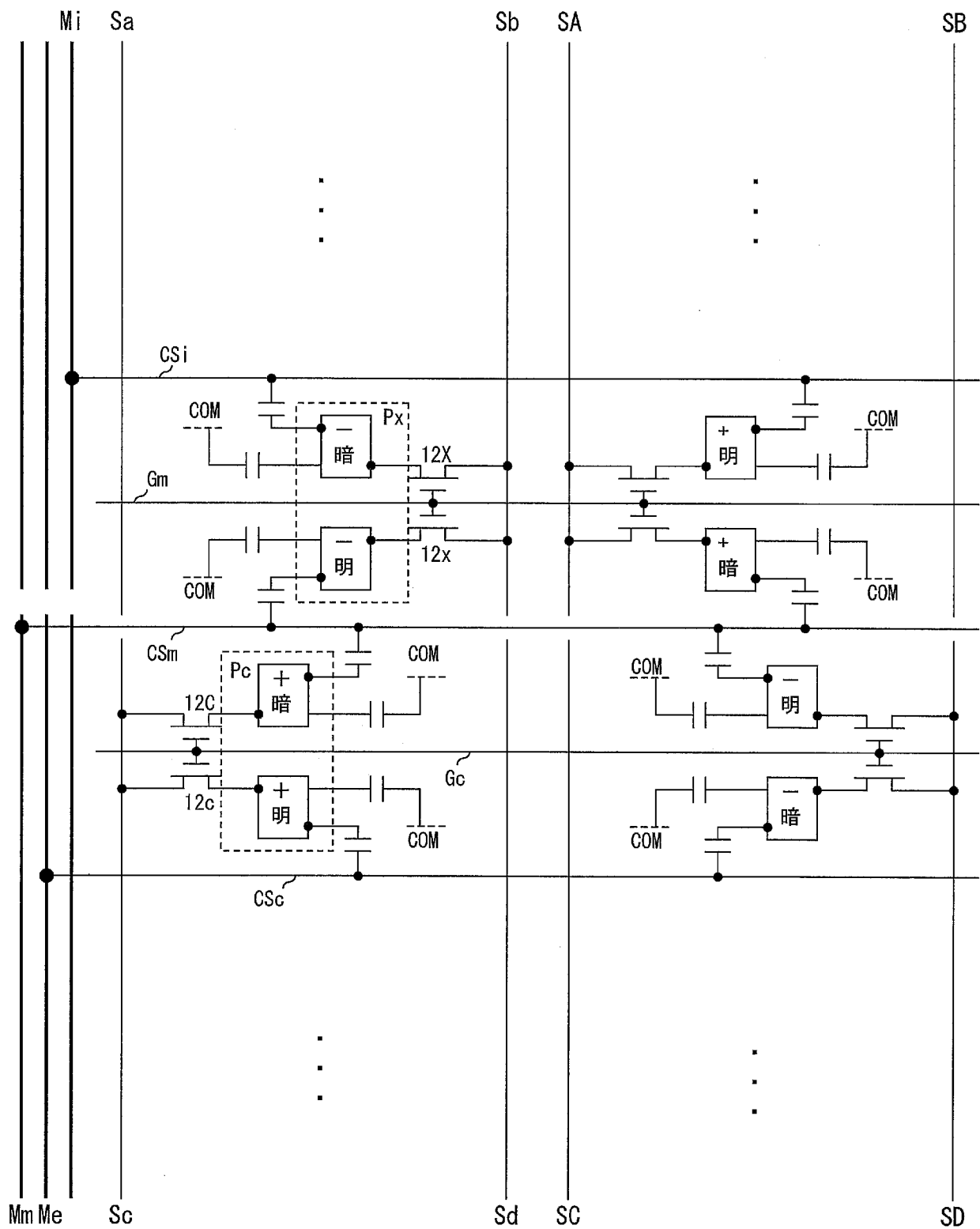
[図22]



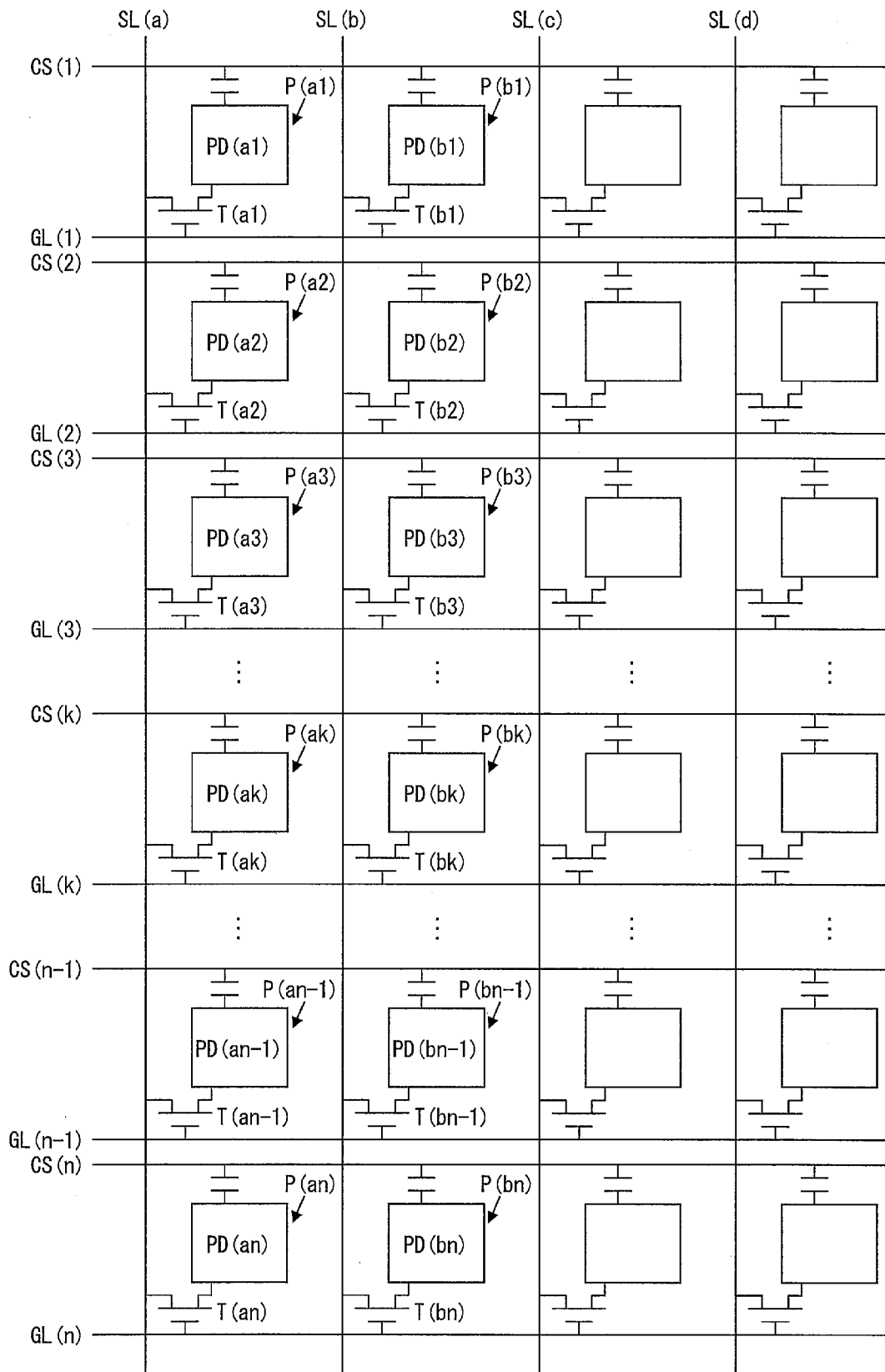
[図23]



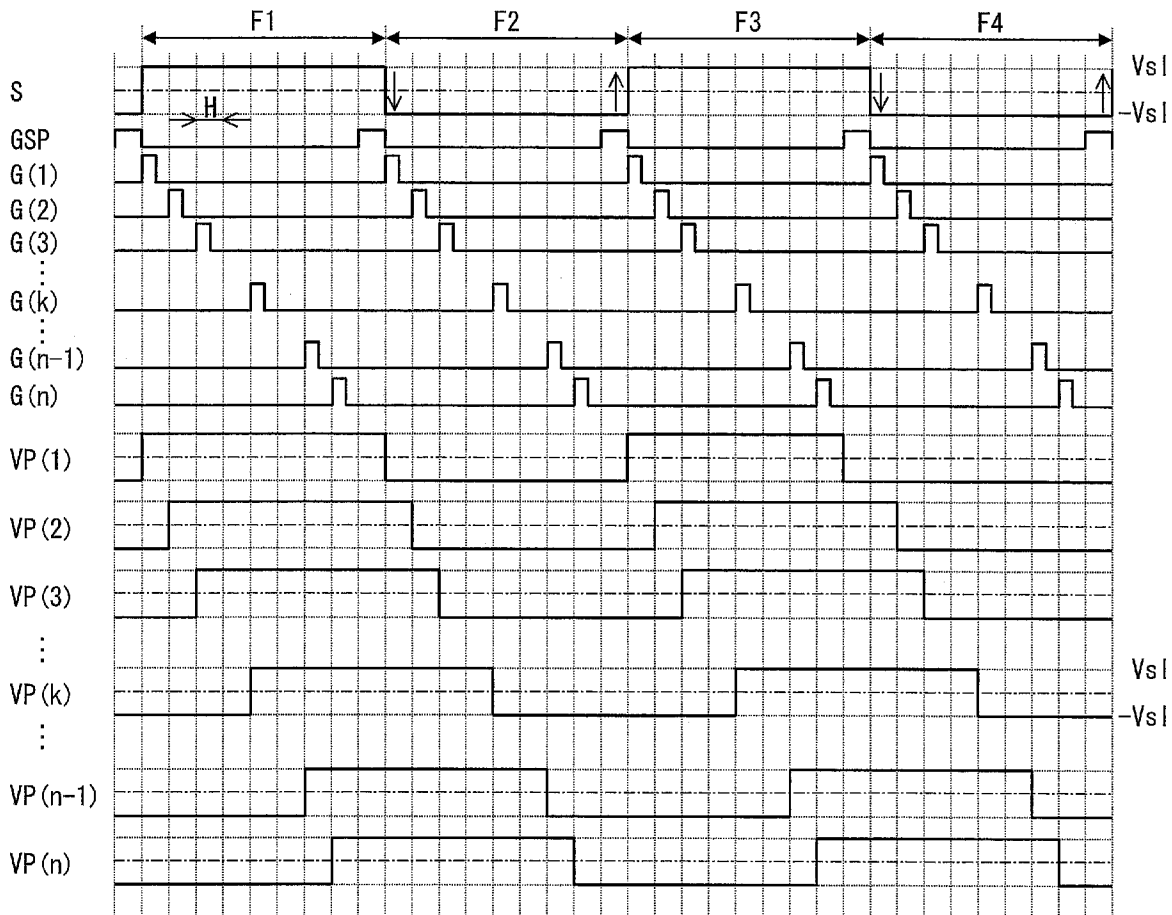
[図24]



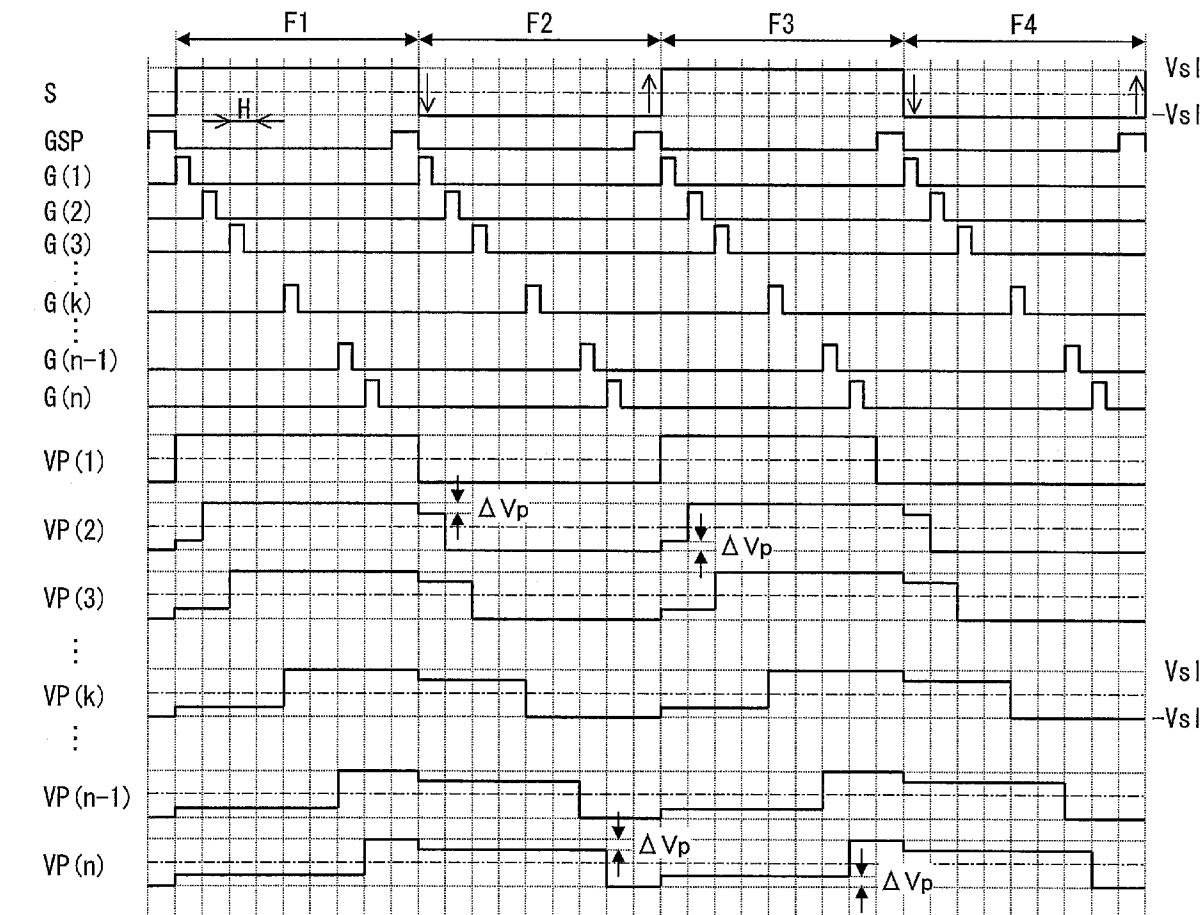
[図25]



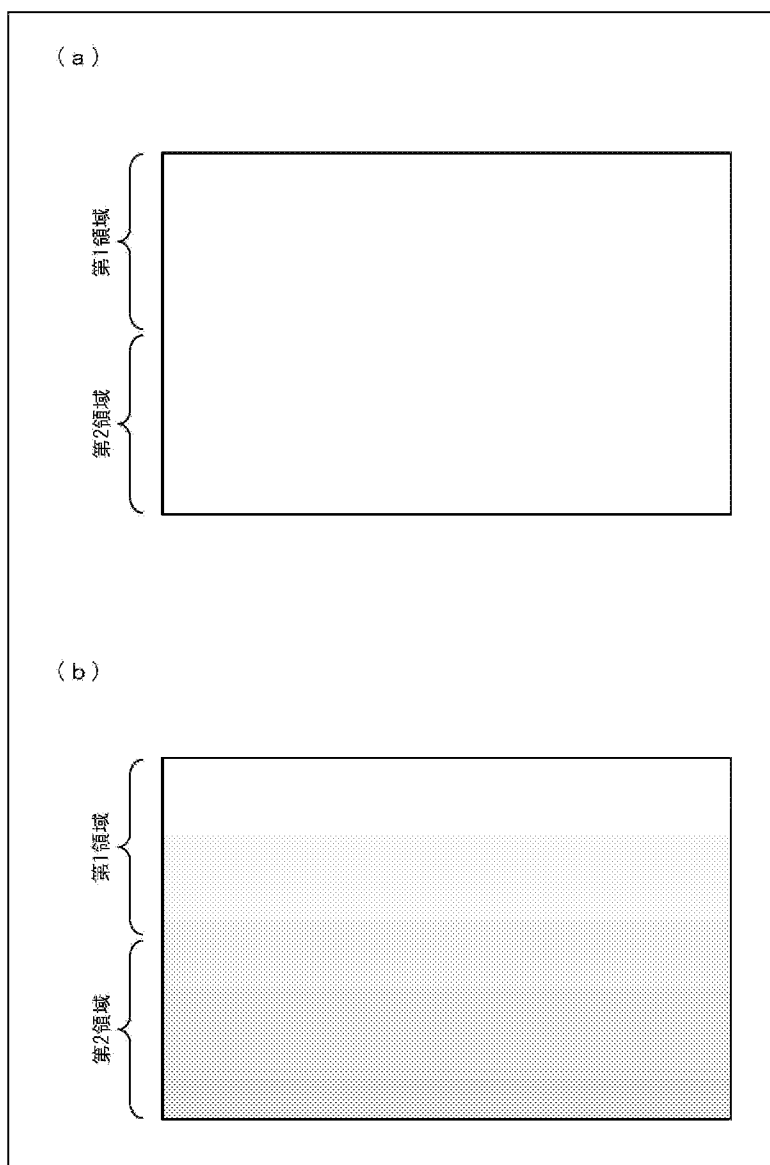
[図26]



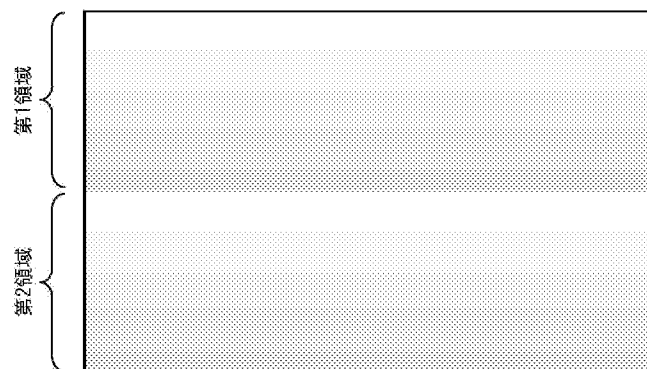
[図27]



[図28]



[図29]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/062434

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01) i, G02F1/133(2006.01) i, G09G3/20(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2012 |
| Kokai Jitsuyo Shinan Koho | 1971-2012 | Toroku Jitsuyo Shinan Koho | 1994-2012 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|--------------------------------|
| Y A | WO 2009/084331 A1 (Sharp Corp.), 09 July 2009 (09.07.2009), paragraphs [0041] to [0063], [0149], [0162]; fig. 1 to 8, 47 to 48, 55 & EP 2237257 A1 & WO 2009/084331 A1 & CN 101903938 A | 1-3, 6-7, 10-14 4-5, 8-9 |
| Y A | JP 2002-091364 A (Seiko Epson Corp.), 27 March 2002 (27.03.2002), paragraphs [0040] to [0073]; fig. 1 to 8 & US 2002/0075219 A1 | 1-3, 6-7, 10-14 4-5, 8-9 |
| A | JP 2000-310767 A (Samsung Electronics Co., Ltd.), 07 November 2000 (07.11.2000), entire text; all drawings & KR 10-2000-0056611 A & TW 442694 B | 1-14 |

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 June, 2012 (04.06.12)

Date of mailing of the international search report
12 June, 2012 (12.06.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/062434

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| A | JP 2005-338152 A (Sony Corp.), 08 December 2005 (08.12.2005), entire text; all drawings & US 2008/0284695 A1 & EP 1758090 A1 & WO 2005/114632 A1 & CN 1957391 A & TWB 00I313443 | 1-14 |

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. G09G3/36, G02F1/133, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2012年
 日本国実用新案登録公報 1996-2012年
 日本国登録実用新案公報 1994-2012年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 |
|-----------------|---|--------------------------------|
| Y A | WO 2009/084331 A1 (シャープ株式会社) 2009.07.09, 【0041】 ～【0063】, 【0149】, 【0162】, 図1～8, 47～48, 55 & EP 2237257 A1 & WO 2009/084331 A1 & CN 101903938 A | 1-3, 6-7, 10-14 4-5, 8-9 |
| Y A | JP 2002-091364 A (セイコーエプソン株式会社) 2002.03.27, 【0 040】～【0073】, 図1～8 & US 2002/0075219 A1 | 1-3, 6-7, 10-14 4-5, 8-9 |

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

| | |
|---|--|
| 国際調査を完了した日 04.06.2012 | 国際調査報告の発送日 12.06.2012 |
| 国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号 | 特許庁審査官 (権限のある職員) 鳥居 祐樹 電話番号 03-3581-1101 内線 3226 |

| C (続き) . 関連すると認められる文献 | | |
|-----------------------|--|----------------|
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 |
| A | JP 2000-310767 A (三星電子株式会社) 2000. 11. 07, 全文、全図 & KR 10-2000-0056611 A & TW 442694 B | 1-14 |
| A | JP 2005-338152 A (ソニー株式会社) 2005. 12. 08, 全文、全図 & US 2008/0284695 A1 & EP 1758090 A1 & WO 2005/114632 A1 & CN 1957391 A & TWB 00I313443 | 1-14 |