(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 118872072 A
(43)申请公布日 2024.10.29

(21)申请号 202380021202.1
(22)申请日 2023.03.13
(30)优先权数据
2022-057458 2022.03.30 JP
(85)PCT国际申请进入国家阶段日
2024.08.09
(86)PCT国际申请的申请数据
PCT/JP2023/009637 2023.03.13
(87)PCT国际申请的公布数据
WO2023/189487 JA 2023.10.05
(71)申请人 株式会社日本显示器
地址 日本东京都
(72)发明人 渡壁创 津吹将志 佐佐木俊成 田丸尊也
(74)专利代理机构 北京市金杜律师事务所 11256
专利代理师 韩雪莲
(51)Int.Cl.
H01L 29/786(2006.01)
G09F 9/30(2006.01)
H10K 50/00(2006.01)

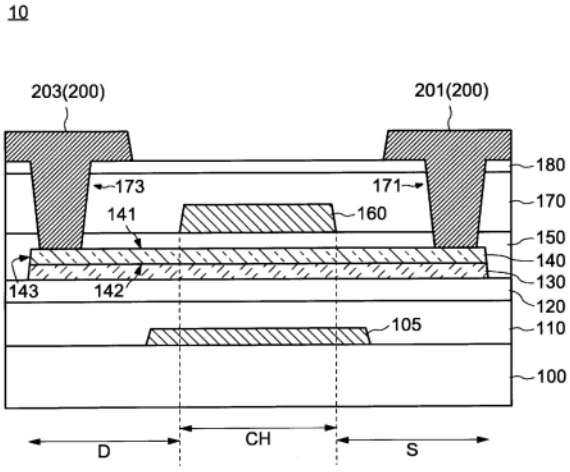
权利要求书1页 说明书15页 附图18页

(54)发明名称

半导体装置

(57)摘要

半导体装置,其包含:绝缘表面之上的氧化金属层;氧化金属层之上的氧化物半导体层;和氧化物半导体层之上的绝缘层,其中,绝缘层包含与氧化物半导体层重叠的第1区域,第1区域的第1铝浓度为1×10^{17}atoms/cm^3以上。第1区域可以为从位于氧化物半导体层的相反侧的绝缘层的表面起50nm以下的区域。



CN 118872072 A

1.半导体装置,其包含:

绝缘表面之上的氧化金属层;

所述氧化金属层之上的氧化物半导体层;和

所述氧化物半导体层之上的绝缘层,

其中,所述绝缘层包含与所述氧化物半导体层重叠的第1区域,

所述第1区域的第1铝浓度为1×10^{17}atoms/cm^3以上。

2.如权利要求1所述的半导体装置,其中,所述第1区域为从位于所述氧化物半导体层的相反侧的所述绝缘层的表面起50nm以下的区域。

3.如权利要求1或2所述的半导体装置,其还包含所述绝缘层之上的栅电极,

所述第1区域与所述栅电极重叠。

4.如权利要求3所述的半导体装置,其中,所述绝缘层还包含与所述栅电极不重叠的第2区域,

所述第2区域的第2铝浓度比所述第1铝浓度小。

5.如权利要求3或4所述的半导体装置,其还包含在所述绝缘层之上作为与所述栅电极同一层设置的布线层,

所述绝缘层包含与所述布线层重叠的第3区域,

所述第3区域的第3铝浓度为1×10^{17}atoms/cm^3以上。

6.如权利要求3至5中任一项所述的半导体装置,其中,所述栅电极不包含铝。

7.如权利要求1至6中任一项所述的半导体装置,其中,所述氧化金属层包含氧化铝。

半导体装置

技术领域

[0001] 本发明的一个实施方式涉及半导体装置。特别地,本发明的一个实施方式涉及使用氧化物半导体作为沟道的半导体装置。

背景技术

[0002] 近年来,代替非晶硅、低温多晶硅及单晶硅而将氧化物半导体用于沟道的半导体装置的开发不断发展(例如,参见专利文献1～6)。将氧化物半导体用于沟道的半导体装置与将非晶硅用于沟道的半导体装置同样地能够以简单的结构且以低温工艺形成。已知将氧化物半导体用于沟道的半导体装置具有比将非晶硅用于沟道的半导体装置高的迁移率。

[0003] 为了使将氧化物半导体用于沟道的半导体装置稳定地动作,在其制造工序中向氧化物半导体层供给氧,减少氧化物半导体层中形成的氧缺损是重要的。例如,作为向氧化物半导体层供给氧的方法之一,公开了在绝缘层包含更多氧的条件下形成覆盖氧化物半导体层的绝缘层的技术。

[0004] 现有技术文献

[0005] 专利文献

[0006] 专利文献1:日本特开2021-141338号公报

[0007] 专利文献2:日本特开2014-099601号公报

[0008] 专利文献3:日本特开2021-153196号公报

[0009] 专利文献4:日本特开2018-006730号公报

[0010] 专利文献5:日本特开2016-184771号公报

[0011] 专利文献6:日本特开2021-108405号公报

发明内容

[0012] 发明所要解决的课题

[0013] 但是,在含有较多氧的条件下形成的绝缘层含有较多缺陷。由于其影响,发生被认为原因在于电子被该缺陷捕获的半导体装置的特性异常或可靠性试验中的特性变动。另一方面,如果使用缺陷少的绝缘层,则不能增多绝缘层中所含的氧。由此,不能从绝缘层向氧化物半导体层充分地供给氧。如此一来,要求实现能够降低成为半导体装置的特性变动的原因的绝缘层中的缺陷、并且修复在氧化物半导体层中形成的氧缺损的结构。

[0014] 此外,已知通过相对地提高氧化物半导体层中所含的铟的比率,能够得到具有高迁移率的半导体装置。但是,在氧化物半导体层中所含的铟的比率高的情况下,在氧化物半导体层中容易形成氧缺损。因此,为了在维持高可靠性的同时实现高迁移率,需要在氧化物半导体层周围的绝缘层的构成上下功夫。

[0015] 本发明的一个实施方式的目的之一在于提供一种高迁移率且可靠性高的半导体装置。

[0016] 用于解决课题的手段

[0017] 本发明的一个实施方式涉及的半导体装置包含:绝缘表面之上的氧化金属层;氧化金属层之上的氧化物半导体层;和氧化物半导体层之上的绝缘层,其中,绝缘层包含与氧化物半导体层重叠的第1区域,第1区域的第1铝浓度为1×10^{17}atoms/cm^3以上。

附图说明

[0018] [图1]为示出本发明的一个实施方式涉及的半导体装置的概要的截面图。

[0019] [图2]为示出本发明的一个实施方式涉及的半导体装置的概要的俯视图。

[0020] [图3]为示出本发明的一个实施方式涉及的半导体装置的制造方法的顺序图。

[0021] [图4]为示出本发明的一个实施方式涉及的半导体装置的制造方法的截面图。

[0022] [图5]为示出本发明的一个实施方式涉及的半导体装置的制造方法的截面图。

[0023] [图6]为示出本发明的一个实施方式涉及的半导体装置的制造方法的截面图。

[0024] [图7]为示出本发明的一个实施方式涉及的半导体装置的制造方法的截面图。

[0025] [图8]为示出本发明的一个实施方式涉及的半导体装置的制造方法的截面图。

[0026] [图9]为示出本发明的一个实施方式涉及的半导体装置的制造方法的截面图。

[0027] [图10]为示出本发明的一个实施方式涉及的半导体装置的制造方法的截面图。

[0028] [图11]为示出本发明的一个实施方式涉及的半导体装置的制造方法的截面图。

[0029] [图12]为示出本发明的一个实施方式涉及的半导体装置的制造方法的截面图。

[0030] [图13]为示出本发明的一个实施方式涉及的显示装置的概要的俯视图。

[0031] [图14]为示出本发明的一个实施方式涉及的显示装置的电路构成的框图。

[0032] [图15]为示出本发明的一个实施方式涉及的显示装置的像素电路的电路图。

[0033] [图16]为示出本发明的一个实施方式涉及的显示装置的概要的截面图。

[0034] [图17]为示出本发明的一个实施方式涉及的显示装置的像素电极及公共电极的俯视图。

[0035] [图18]为示出本发明的一个实施方式涉及的显示装置的像素电路的电路图。

[0036] [图19]为示出本发明的一个实施方式涉及的显示装置的概要的截面图。

[0037] [图20]为示出半导体装置的氧化物半导体层的沟道区域中的SIMS分析的测定结果的图。

[0038] [图21]为示出半导体装置的氧化物半导体层的源极区域或漏极区域中的SIMS分析的测定结果的图。

[0039] [图22]为示出半导体装置的电特性的图。

[0040] [图23]为示出半导体装置的可靠性试验的图。

具体实施方式

[0041] 以下,参照附图对本发明的各实施方式进行说明。以下的公开内容仅是一例。本领域技术人员在保持发明的主旨的同时,通过适当变更实施方式的构成而能够容易想到的构成当然包含在本发明的范围内。为了使说明更加明确,与实际的方式相比,附图中有时示意性地表示各部分的宽度、厚度、形状等。但是,图示的形状只不过是一个例子,并不限定本发明的解释。在本说明书和各图中,对与关于已出现的附图在前面叙述过的构成相同的构成标注相同的附图标记,有时适当省略详细的说明。

[0042] 在本发明的各实施方式中,将从基板朝向氧化物半导体层的方向称为上或上方。相反,将从氧化物半导体层朝向基板的方向称为下或下方。这样,为了便于说明,使用上方或下方这样的语句进行说明,但例如也可以将基板和氧化物半导体层的上下关系配置成与图示不同的方向。在以下的说明中,例如基板上的氧化物半导体层这样的表述只不过是如上所述地说明了基板与氧化物半导体层的上下关系,也可以在基板与氧化物半导体层之间配置其他构件。上方或下方是指多个层层叠而成的结构中的层叠顺序,在表述为晶体管的上方的像素电极的情况下,也可以是在俯视观察下晶体管与像素电极不重叠的位置关系。另一方面,在表述为晶体管的垂直上方的像素电极的情况下,是指在俯视观察下晶体管与像素电极重叠的位置关系。

[0043] 所谓“显示装置”是指使用电光层显示影像的结构体。例如,显示装置这一术语有时是指包含电光层的显示面板,或者有时是指对显示单元安装了其他光学构件(例如偏振构件、背光源、触摸面板等)的结构体。“电光层”中,只要不产生技术上的矛盾,则可以包含液晶层、电致发光(EL)层、电致变色(EC)层、电泳层。因此,在后述的实施方式中,作为显示装置,例示包含液晶层的液晶显示装置以及包含有机EL层的有机EL显示装置来进行说明,但本实施方式中的结构能够应用于包含上述其他电光层的显示装置。

[0044] 在本说明书中,“α包含A、B或C”,“α包含A、B及C中的任一者”,“α包含选自由A、B及C组成的组中的一者”这样的表述,只要没有特别明示,则不排除α包含A～C的多个的组合的情况。此外,这些表述也不排除α包含其他元素的情况。

[0045] 需要说明的是,以下的各实施方式只要不产生技术上的矛盾,则能够彼此组合。

[0046] ＜第1实施方式＞

[0047] 参照图1～图12,对本发明的一个实施方式涉及的半导体装置进行说明。例如,以下所示的实施方式的半导体装置,除了显示装置中使用的晶体管之外,还可以用于微处理器(Micro-Processing Unit:MPU)等集成电路(Integrated Circuit:IC)或存储器电路。

[0048] [半导体装置10的构成]

[0049] 参照图1及图2对本发明的一个实施方式涉及的半导体装置10的构成进行说明。图1为示出本发明的一个实施方式涉及的半导体装置的概要的截面图。图2为示出本发明的一个实施方式涉及的半导体装置的概要的俯视图。

[0050] 如图1所示,半导体装置10设置在基板100的上方。半导体装置10包括栅电极105、栅极绝缘层110、120、氧化金属层130、氧化物半导体层140、栅极绝缘层150、栅电极160、绝缘层170、180、源电极201以及漏电极203。在不特别区分源电极201及漏电极203的情况下,有时将它们合称为源・漏电极200。

[0051] 栅电极105设置在基板100之上。栅极绝缘层110和栅极绝缘层120设置在基板100和栅电极105之上。氧化金属层130设置在栅极绝缘层120之上。氧化金属层130与栅极绝缘层120接触。氧化物半导体层140设置在氧化金属层130之上。氧化物半导体层140与氧化金属层130接触。在氧化物半导体层140的主面之中,与氧化金属层130接触的面被称为下表面142。氧化金属层130的端部与氧化物半导体层140的端部大致一致。

[0052] 在本实施方式中,在氧化金属层130与基板100之间未设置半导体层或氧化物半导体层。

[0053] 在本实施方式中,例示了氧化金属层130与栅极绝缘层120接触、氧化物半导体层

140与氧化金属层130接触的构成,但不限于该构成。可以在栅极绝缘层120与氧化金属层130之间设置其他层。也可以在氧化金属层130与氧化物半导体层140之间设置其他层。

[0054] 在图1中,氧化金属层130的侧壁和氧化物半导体层140的侧壁在直线上排列,但不限于该构成。氧化金属层130的侧壁相对于基板100的主面的角度可以与氧化物半导体层140的侧壁的角度不同。氧化金属层130及氧化物半导体层140中的至少一者的侧壁的截面形状可以是弯曲的。

[0055] 栅电极160与氧化物半导体层140相对。栅极绝缘层150设置在氧化物半导体层140和栅电极160之间。栅极绝缘层150与氧化物半导体层140接触。氧化物半导体层140的主面之中,与栅极绝缘层150接触的面被称为上表面141。将上表面141与下表面142之间的面称为侧面143。绝缘层170、180设置在栅极绝缘层150及栅电极160之上。在绝缘层170、180设置有到达氧化物半导体层140的开口171、173。源电极201设置在开口171的内部。源电极201在开口171的底部与氧化物半导体层140接触。漏电极203设置在开口173的内部。漏电极203在开口173的底部与氧化物半导体层140接触。

[0056] 栅电极105具备作为半导体装置10的底栅的功能和作为针对氧化物半导体层140的遮光膜的功能。栅极绝缘层110具备遮蔽从基板100向氧化物半导体层140扩散的杂质的作为阻隔膜的功能。栅极绝缘层110、120具备作为针对底栅的栅极绝缘层的功能。氧化金属层130是包含以铝为主成分的氧化金属的层,具备遮蔽氧、氢等气体的作为气体阻隔膜的功能。

[0057] 氧化物半导体层140被划分为源极区域S、漏极区域D以及沟道区域CH。沟道区域CH是氧化物半导体层140中的栅电极160的垂直下方的区域。源极区域S是氧化物半导体层140中的与栅电极160不重叠的区域,并且是比沟道区域CH更靠近源电极201侧的区域。漏极区域D是氧化物半导体层140中的与栅电极160不重叠的区域,并且是比沟道区域CH更靠近漏电极203侧的区域。沟道区域CH中的氧化物半导体层140具备作为半导体的物性。源极区域S及漏极区域D中的氧化物半导体层140具备作为导电体的物性。

[0058] 栅电极160具有作为半导体装置10的顶栅及针对氧化物半导体层140的遮光膜的功能。栅极绝缘层150具备作为针对顶栅的栅极绝缘层的功能,并且具备通过制造工艺中的热处理放出氧的功能。绝缘层170、180使栅电极160与源·漏电极200绝缘,具备降低两者间的寄生电容的功能。半导体装置10的动作主要由供给至栅电极160的电压控制。向栅电极105供给辅助电压。但是,在将栅电极105仅用作遮光膜的情况下,不向栅电极105供给特定的电压,栅电极105也可以是浮置状态。即,栅电极105也可以简称为“遮光膜”。

[0059] 在本实施方式中,作为半导体装置10,例示了使用栅电极设置在氧化物半导体层的上方和下方这两者的双栅型晶体管的构成,但不限于该构成。例如,作为半导体装置10,也可以使用栅电极仅设置在氧化物半导体层的下方的底栅型晶体管,或者栅电极仅设置在氧化物半导体层的上方的顶栅型晶体管。上述构成只不过是一个实施方式,本发明并不限定于上述构成。

[0060] 如图2所示,在俯视观察下,氧化金属层130的平面图案与氧化物半导体层140的平面图案大致相同。参照图1及图2,氧化物半导体层140的下表面142被氧化金属层130覆盖。特别是,在本实施方式中,氧化物半导体层140的下表面142全部被氧化金属层130覆盖。在D1方向上,栅电极105的宽度大于栅电极160的宽度。D1方向是连接源电极201和漏电极203

的方向,是表示半导体装置10的沟道长度L的方向。具体而言,氧化物半导体层140与栅电极160重叠的区域(沟道区域CH)中的D1方向的长度为沟道长度L,该沟道区域CH的D2方向的宽度为沟道宽度W。

[0061] 在本实施方式中,例示了氧化物半导体层140的下表面142全部被氧化金属层130覆盖的构成,但不限于该构成。例如,氧化物半导体层140的下表面142的一部分可以不与氧化金属层130接触。例如,也可以是沟道区域CH中的氧化物半导体层140的下表面142的全部被氧化金属层130覆盖,源极区域S及漏极区域D中的氧化物半导体层140的下表面142的全部或一部分未被氧化金属层130覆盖。即,源极区域S及漏极区域D中的氧化物半导体层140的下表面142的全部或一部分也可以不与氧化金属层130接触。然而,在上述构成中,沟道区CH中的氧化物半导体层140的下表面142的一部分可以不被氧化金属层130覆盖,并且该下表面142的其他部分可以与氧化金属层130接触。

[0062] 在本实施方式中,例示了在整个面上形成栅极绝缘层150、在栅极绝缘层150设置开口171、173的构成,但不限于该构成。栅极绝缘层150可以被图案化。例如,栅极绝缘层150可以被图案化以露出源极区域S及漏极区域D的氧化物半导体层140。即,也可以除去源极区域S及漏极区域D的栅极绝缘层150,在这些区域使氧化物半导体层140和绝缘层170接触。

[0063] 在图2中,例示了在俯视观察下源·漏电极200与栅电极105及栅电极160不重叠的构成,但不限于该构成。例如,在俯视观察下,源·漏电极200可以与栅电极105及栅电极160中的至少任一者重叠。上述构成只不过是一个实施方式,本发明并不限定于上述构成。

[0064] [半导体装置10的各构件的材质]

[0065] 作为基板100,可使用玻璃基板、石英基板及蓝宝石基板等具有透光性的刚性基板。在基板100需要具备挠性的情况下,作为基板100,可使用聚酰亚胺基板、丙烯酸基板、硅氧烷基板、氟树脂基板等包含树脂的基板。在使用包含树脂的基板作为基板100的情况下,为了提高基板100的耐热性,可以在上述树脂中导入杂质。特别是,在半导体装置10是顶部发射型的显示器的情况下,由于不需要基板100透明,所以也可以使用使基板100的透明度降低的杂质。在并非显示装置的集成电路中使用半导体装置10的情况下,作为基板100,可使用硅基板、碳化硅基板、化合物半导体基板等半导体基板、或者不锈钢基板等导电性基板那样不具备透光性的基板。

[0066] 作为栅电极105、栅电极160及源·漏电极200,可使用通常的金属材料。例如,作为这些构件,可使用铝(Al)、钛(Ti)、铬(Cr)、钴(Co)、镍(Ni)、钼(Mo)、铪(Hf)、钽(Ta)、钨(W)、铋(Bi)、银(Ag)、铜(Cu)、以及它们的合金或它们的化合物。作为栅电极105、栅电极160及源·漏电极200,上述材料可以以单层使用,也可以以叠层使用。

[0067] 需要说明的是,栅电极160和源·漏电极200可以使用相同的金属材料,也可以使用不同的金属材料。例如,栅电极160可以不包含铝,而源·漏电极200可以包含铝。

[0068] 作为栅极绝缘层110、120及绝缘层170、180,可使用通常的绝缘性材料。例如,作为这些绝缘层,可使用氧化硅(SiO_x)、氧化氮化硅(SiO_xN_y)、氮化硅(SiN_x)、氮化氧化硅(SiN_xO_y)、氧化铝(AlO_x)、氧化氮化铝(AlO_xN_y)、氮化氧化铝(AlN_xO_y)、氮化铝(AlN_x)等的无机绝缘层。

[0069] 上述的SiO_xN_y及AlO_xN_y是含有比氧(O)少的比率(x>y)的氮(N)的硅化合物和铝化合物。SiN_xO_y及AlN_xO_y是含有比氮少的比率(x>y)的氧的硅化合物及铝化合物。

[0070] 作为栅极绝缘层150,可使用上述绝缘层中的含有氧的绝缘层。例如,作为栅极绝缘层150,可使用氧化硅(SiOx)、氧化氮化硅(SiO_xN_y)等的无机绝缘层。

[0071] 作为栅极绝缘层120,使用具备通过热处理放出氧的功能的绝缘层。例如,栅极绝缘层120放出氧的热处理的温度为600℃以下、500℃以下、450℃以下或400℃以下。即,例如,在使用玻璃基板作为基板100的情况下,栅极绝缘层120在半导体装置10的制造工序中进行的热处理温度下放出氧。

[0072] 作为栅极绝缘层150,使用缺陷少的绝缘层。例如,在对栅极绝缘层150中的氧的组成比和与栅极绝缘层150相同组成的绝缘层(以下称为"其他绝缘层")中的氧的组成比进行比较的情况下,栅极绝缘层150中的氧的组成比较之该其他绝缘层中的氧的组成比更接近相对于该绝缘层而言的化学计量比。具体而言,在氧化硅(SiO_x)用于栅极绝缘层150和绝缘层180的各自的情况下,与用作绝缘层180的氧化硅中的氧的组成比相比,用作栅极绝缘层150的氧化硅中的氧的组成比更接近氧化硅的化学计量比。例如,作为栅极绝缘层150,也可以使用在通过电子自旋共振法(ESR)进行评价时未观测到缺陷的层。

[0073] 作为氧化金属层130及如后所述在制造工序中使用的氧化金属层190,可使用以铝为主成分的氧化金属。例如,作为氧化金属层130(或氧化金属层190),可使用氧化铝(AlO_x)、氧化氮化铝(AlO_xN_y),氮化氧化铝(AlN_xO_y)、氮化铝(AlN_x)等的无机绝缘层。"以铝为主成分的氧化金属层"是指,氧化金属层130(或氧化金属层190)中所含的铝的比率为氧化金属层130(或氧化金属层190)整体的1%以上。氧化金属层130(或氧化金属层190)中所含的铝的比率可以为氧化金属层130整体的5%以上70%以下、10%以上60%以下、或30%以上50%以下。上述比率可以是质量比,也可以是重量比。

[0074] 在栅极绝缘层150上使氧化金属层190成膜,进行氧化退火时,氧化金属层190中所含的铝会扩散到栅极绝缘层150中,详细情况后述。因此,在栅极绝缘层150的表面附近(与氧化物半导体层140相反侧的表面附近)的区域中,例如,通过SIMS(Secondary Ion Mass Spectrometry,二次离子质谱)分析等,能够检测出扩散的铝。在后述的制造方法下制造出的半导体装置10中,在从栅极绝缘层150的表面起50nm以下的区域中检测出的铝浓度优选为1×10^{17}atoms/cm^3以上。由于氧化金属层190在制造工序中被除去,所以半导体装置10不包含氧化金属层190。但是,由于在栅极绝缘层150中残留有从氧化金属层190扩散出的铝,所以通过测定栅极绝缘层150中的铝浓度,能够推测出是通过后述的制造方法制造的半导体装置10。特别是在栅极绝缘层150中的铝浓度为1×10^{17}atoms/cm^3以上时,能够推测为有效地进行使用了氧化金属层190的氧化退火。

[0075] 另外,由于栅极绝缘层150中残留的铝不是主成分,所以栅极绝缘层150中的铝浓度为杂质程度。即,栅极绝缘层150中的铝浓度例如为1×10^{21}atoms/cm^3以下,优选为1×10^{20}atoms/cm^3以下,更优选为1×10^{19}atoms/cm^3以下。

[0076] 需要说明的是,由于残留在栅极绝缘层150中的铝不会使电特性及可靠性降低,所以半导体装置10具有高迁移率和高可靠性。

[0077] 作为氧化物半导体层140,可使用具有半导体特性的氧化金属。例如,作为氧化物半导体层140,可使用含有包括铟(In)在内的2种以上的金属的氧化物半导体。在氧化物半导体层140中,铟相对于2种以上的金属的比率为50%以上。作为氧化物半导体层140,除了铟之外,还可使用镓(Ga)、锌(Zn)、铝(Al)、铪(Hf)、钇(Y)、氧化锆(Zr)、镧系元素。作为氧化

物半导体层140,也可以使用上述以外的元素。

[0078] 氧化物半导体层140可以是非晶的,也可以是结晶性的。氧化物半导体层140可以是非晶和晶体的混相。如下所述,在铟的比率为50%以上的氧化物半导体层140中,容易形成氧缺损。结晶性的氧化物半导体与非晶的氧化物半导体相比不易形成氧缺损。因此,如上所述的氧化物半导体层140优选为结晶性。

[0079] [在实现本发明的过程中新认识到的课题]

[0080] 通过使氧化物半导体层140中的铟的比率为50%以上,可实现高迁移率的半导体装置10。另一方面,在这样的氧化物半导体层140中,氧化物半导体层140中所含的氧容易被还原,因此在氧化物半导体层140中容易形成氧缺损。

[0081] 在半导体装置10中,在制造工艺的热处理工序中,从设置在比氧化物半导体层140更靠基板100侧的层(例如栅极绝缘层110、120)放出氢。该氢到达氧化物半导体层140,从而在氧化物半导体层140中发生氧缺损。氧化物半导体层140的图案尺寸越大,该氧缺损的发生越显著。为了抑制这样的氧缺损的发生,需要抑制氢到达氧化物半导体层140的下表面142。上述内容是第一个课题。

[0082] 除了上述课题以外,还有以下所示的第二个课题。氧化物半导体层140的上表面141受到形成氧化物半导体层140后的工序(例如,图案化工序或蚀刻工序)的影响。另一方面,氧化物半导体层140的下表面142(氧化物半导体层140的基板100侧的面)不受上述这样的影响。

[0083] 因此,在氧化物半导体层140的上表面141附近形成的氧缺损比在氧化物半导体层140的下表面142附近形成的氧缺损多。即,氧化物半导体层140中的氧缺损并非一致地存在于氧化物半导体层140的厚度方向,而是以不均匀的分布存在于氧化物半导体层140的厚度方向。具体而言,氧化物半导体层140中的氧缺损越靠近氧化物半导体层140的下表面142侧越少,越靠近氧化物半导体层140的上表面141侧越多。

[0084] 在对具有上述这样的氧缺损分布的氧化物半导体层140一致地进行氧供给处理的情况下,若供给用于修复在氧化物半导体层140的上表面141侧形成的氧缺损所需的量的氧,则氧会过量地供给到氧化物半导体层140的下表面142侧。结果,在下表面142侧,由于过量氧而形成与氧缺损不同的缺陷能级。结果,发生可靠性试验中的特性变动或场效应迁移率的降低等现象。因此,为了抑制这种现象,需要在抑制氧向氧化物半导体层140的下表面142侧供给的同时向氧化物半导体层140的上表面141侧供给氧。

[0085] 上述课题是在实现本发明的过程中新认识到的课题,而不是以往认识到的课题。在现有的构成及制造方法中,通过对氧化物半导体层的氧供给处理,即使改善了半导体装置的初始特性,也会发生由可靠性试验引起的特性变动,在初始特性和可靠性试验之间存在折衷的关系。但是,根据本实施方式涉及的构成,能够解决上述课题,得到半导体装置10的良好的初始特性及可靠性试验。

[0086] [半导体装置10的制造方法]

[0087] 参照图3~图12,对本发明的一个实施方式涉及的半导体装置的制造方法进行说明。图3为示出本发明的一个实施方式涉及的半导体装置的制造方法的顺序图。图4~图12为示出本发明的一个实施方式涉及的半导体装置的制造方法的截面图。在以下的制造方法的说明中,对使用氧化铝作为氧化金属层130、190的半导体装置10的制造方法进行说明。

[0088] 如图3及图4所示,在基板100之上形成栅电极105作为底栅,在栅电极105之上形成栅极绝缘层110、120(图3的步骤S2001的“底部GI/GE(Bottom GI/GE)形成”)。例如,形成氮化硅作为栅极绝缘层110。例如,形成氧化硅作为栅极绝缘层120。栅极绝缘层110、120通过CVD(Chemical Vapor Deposition,化学气相沉积)法成膜。有时将栅极绝缘层110、120的一方或双方称为“第1绝缘层”。

[0089] 通过使用氮化硅作为栅极绝缘层110,栅极绝缘层110能够阻挡例如从基板100侧向氧化物半导体层140扩散的杂质。用作栅极绝缘层120的氧化硅是具备通过热处理放出氧的物性的氧化硅。

[0090] 如图3及图5所示,在栅极绝缘层120之上形成氧化金属层130及氧化物半导体层140(图3的步骤S2002的“OS/AlOx成膜”)。关于该工序,有时在基板100之上形成栅极绝缘层110、120,在栅极绝缘层110、120之上形成氧化金属层130。或者,有时在基板100之上形成氧化金属层130,在氧化金属层130之上形成氧化物半导体层140。具体而言,氧化物半导体层140以与氧化金属层130接触的方式形成。氧化金属层130及氧化物半导体层140通过溅射法或原子层沉积法(ALD:Atomic Layer Deposition)成膜。

[0091] 例如,氧化金属层130的厚度为1nm以上100nm以下、1nm以上50nm以下、1nm以上30nm以下、或者1nm以上10nm以下。在本实施方式中,使用氧化铝作为氧化金属层130。氧化铝具有针对气体的高阻隔性。在本实施方式中,用作氧化金属层130的氧化铝阻挡从栅极绝缘层120放出的氢及氧,并且抑制所放出的氢及氧到达氧化物半导体层140。

[0092] 例如,氧化物半导体层140的厚度为10nm以上100nm以下、15nm以上70nm以下、或者20nm以上40nm以下。在本实施方式中,使用包含铟(In)及镓(Ga)的氧化物作为氧化物半导体层140。后述的热处理(OS退火)前的氧化物半导体层140是非晶的。

[0093] 通过后述的OS退火使氧化物半导体层140结晶化的情况下,优选成膜后且OS退火前的氧化物半导体层140为非晶状态(氧化物半导体的结晶成分少的状态)。即,氧化物半导体层140的成膜条件优选为刚成膜后的氧化物半导体层140尽可能不结晶化的条件。例如,在利用溅射法将氧化物半导体层140成膜的情况下,在控制被成膜对象物(基板100及形成于其上的结构物)的温度的状态下使氧化物半导体层140成膜。

[0094] 若通过溅射法对被成膜对象物进行成膜,则在等离子体中产生的离子及因溅射靶而反冲的原子与被成膜对象物碰撞。因此,随着成膜处理,被成膜对象物的温度上升。若成膜处理中的被成膜对象物的温度上升,则在刚成膜后的状态下氧化物半导体层140中含有微晶。通过该微结晶,阻碍其后的OS退火引起的结晶化。如上所述,为了控制被成膜对象物的温度,例如可以一边冷却被成膜对象物一边进行成膜。例如,以被成膜对象物的被成膜面(表面)的温度(以下,称为“成膜温度”)成为100℃以下、70℃以下、50℃以下或30℃以下的方式,可以从该被成膜面的相反侧的面冷却被成膜对象物。如上所述,通过一边冷却被成膜对象物一边进行氧化物半导体层140的成膜,从而能够在刚成膜后的状态下将结晶成分少的氧化物半导体层140成膜。

[0095] 如图3及图6所示,形成氧化物半导体层140的图案(图3的步骤S2003的“OS图案形成”)。虽然未图示,但是在氧化物半导体层140之上形成抗蚀剂掩模,使用该抗蚀剂掩模对氧化物半导体层140进行蚀刻。作为氧化物半导体层140的蚀刻,可以使用湿式蚀刻也可以使用干式蚀刻。作为湿式蚀刻,也可以使用酸性的蚀刻剂进行蚀刻。例如,作为蚀刻剂,可以

使用草酸或氢氟酸。

[0096] 在氧化物半导体层140的图案形成之后,对氧化物半导体层140进行热处理(OS退火)(图3的步骤S2004的“OS退火”)。在本实施方式中,通过该OS退火,氧化物半导体层140结晶化。

[0097] 如图3及图7所示,形成氧化金属层130的图案(图3的步骤S2005的“AlOx图案形成”)。使用在上述工序中经图案化的氧化物半导体层140作为掩模来蚀刻氧化金属层130。作为氧化金属层130的蚀刻,可以使用湿式蚀刻,也可以使用干式蚀刻。例如,作为湿式蚀刻,可使用稀释氢氟酸(DHF)。如上所述,通过使用氧化物半导体层140作为掩模来蚀刻氧化金属层130,可以省略光刻工序。

[0098] 如图3及图8所示,在氧化物半导体层140之上将栅极绝缘层150成膜(图3的步骤S2006的“GI形成”)。例如,形成氧化硅作为栅极绝缘层150。栅极绝缘层150通过CVD法形成。例如,为了形成上述缺陷少的绝缘层作为栅极绝缘层150,也可以在350℃以上的成膜温度下将栅极绝缘层150成膜。例如,栅极绝缘层150的厚度为50nm以上300nm以下、60nm以上200nm以下、或70nm以上150nm以下。也可以在将栅极绝缘层150成膜之后,进行向栅极绝缘层150的一部分注入氧的处理。有时将栅极绝缘层150称为“第2绝缘层”。在栅极绝缘层150之上将氧化金属层190成膜(图22的步骤S2007的“AlOx成膜”)。氧化金属层190通过溅射法成膜。通过氧化金属层190的成膜,氧被注入栅极绝缘层150。

[0099] 例如,氧化金属层190的厚度为5nm以上100nm以下、5nm以上50nm以下、5nm以上30nm以下、或者7nm以上15nm以下。在本实施方式中,使用氧化铝作为氧化金属层190。氧化铝具备针对气体的高阻隔性。在本实施方式中,用作氧化金属层190的氧化铝抑制在氧化金属层190的成膜时注入栅极绝缘层150的氧向外扩散。

[0100] 例如,在通过溅射法形成氧化金属层190的情况下,在氧化金属层190的膜中残存有溅射中使用的工艺气体。例如,在使用Ar作为溅射的工艺气体的情况下,在氧化金属层190的膜中有时会残存Ar。残存的Ar可以通过针对氧化金属层190的SIMS分析来检测出。

[0101] 在氧化物半导体层140之上形成栅极绝缘层150、在栅极绝缘层150之上形成氧化金属层190的状态下,进行用于向氧化物半导体层140供给氧的热处理(氧化退火)(图3的步骤S2008的“氧化退火”)。换言之,对如上所述经图案化的氧化金属层130及氧化物半导体层140进行热处理(氧化退火)。在从形成氧化物半导体层140至在氧化物半导体层140之上形成栅极绝缘层150之间的工序中,在氧化物半导体层140的上表面141及侧面143发生大量氧缺损。通过上述氧化退火,从栅极绝缘层120、150放出的氧被供给到氧化物半导体层140,氧缺损被修复。

[0102] 通过氧化退火从栅极绝缘层120放出的氧被氧化金属层130阻挡。因此,不易向氧化物半导体层140的下表面142供给氧。从栅极绝缘层120放出的氧从未形成氧化金属层130的区域向设置在栅极绝缘层120之上的栅极绝缘层150扩散,并且通过栅极绝缘层150到达氧化物半导体层140。结果,从栅极绝缘层120放出的氧不易供给到氧化物半导体层140的下表面142,而是主要供给到氧化物半导体层140的侧面143及上表面141。此外,通过氧化退火,从栅极绝缘层150放出的氧被供给至氧化物半导体层140的上表面141及侧面143。通过上述氧化退火,有时从栅极绝缘层110、120放出氢,但该氢被氧化金属层130阻挡。

[0103] 如上所述,通过氧化退火的工序,能够抑制向氧缺损的量少的氧化物半导体层140

的下表面142供给氧,并且能够进行向氧缺损的量多的氧化物半导体层140的上表面141及侧面143供给氧。

[0104] 同样地,在上述氧化退火中,注入到栅极绝缘层150的氧被氧化金属层190阻挡。因此,能够抑制该氧被放出至大气中。因此,通过该氧化退火,该氧被高效地供给到氧化物半导体层140,氧缺损被修复。

[0105] 如图3及图9所示,在氧化退火后,氧化金属层190被蚀刻(除去)(图3的步骤S2009的“AlOx除去”)。作为氧化金属层190的蚀刻,可以使用湿式蚀刻,也可以使用干式蚀刻。例如,作为湿式蚀刻,可使用稀释氢氟酸(DHF)。通过该蚀刻,除去在整个面上形成的氧化金属层190。换言之,氧化金属层190的除去不使用掩模来进行。再换言之,通过该蚀刻,至少在俯视观察下,与形成为某1个图案的氧化物半导体层140重叠的区域的全部氧化金属层190被除去。

[0106] 当进行氧化退火时,氧化金属层190中所含的铝向栅极绝缘层150扩散。因此,即使除去氧化金属层190,在栅极绝缘层150中也会残留有从氧化金属层190扩散出的铝。

[0107] 如图3及图10所示,在栅极绝缘层150之上将栅电极160成膜(图3的步骤S2010的“GE形成”)。栅电极160通过溅射法或原子层沉积法而成膜,并经光刻工序而被图案化。如上所述,栅电极160形成为与通过除去氧化金属层190而露出的栅极绝缘层150接触。

[0108] 在蚀刻栅电极160时,有时栅极绝缘层150的一部分也被蚀刻。即,栅极绝缘层150包含膜厚不同的区域。具体而言,栅极绝缘层150包括与栅电极160重叠的第1区域以及与栅电极160不重叠的第2区域。第1区域与氧化物半导体层140的沟道区域CH重叠。第2区域与氧化物半导体层140的源极区域S或漏极区域D重叠。第2区域的膜厚比第1区域的膜厚小。在此情况下,在第2区域中,由于包含从氧化金属层190扩散出的铝的区域的一部分被蚀刻,因此即使第1区域的铝浓度为1×10^{17}atoms/cm^3以上,第2区域的铝浓度也小于第1区域的铝浓度。

[0109] 在栅电极160经图案化的状态下,进行氧化物半导体层140的源极区域S及漏极区域D的低电阻化(图3的步骤S2011的“SD低电阻化”)。具体而言,通过离子注入,从栅电极160侧经由栅极绝缘层150向氧化物半导体层140注入杂质。例如,通过离子注入,氩(Ar)、磷(P)、硼(B)被注入到氧化物半导体层140。通过离子注入而在氧化物半导体层140中形成氧缺损,从而氧化物半导体层140低电阻化。由于在作为半导体装置10的沟道区域CH发挥功能的氧化物半导体层140的上方设置有栅电极160,所以在沟道区域CH的氧化物半导体层140未注入杂质。

[0110] 如图3及图11所示,在栅极绝缘层150及栅电极160之上将绝缘层170、180成膜来作为层间膜(图3的步骤S2012的“层间膜成膜”)。绝缘层170、180通过CVD法成膜。例如,形成氮化硅作为绝缘层170,形成氧化硅作为绝缘层180。用作绝缘层170、180的材料不限于上述材料。绝缘层170的厚度为50nm以上500nm以下。绝缘层180的厚度为50nm以上500nm以下。

[0111] 如图3及图12所示,在栅极绝缘层150及绝缘层170、180形成开口171、173(图3的步骤S2013的“接触开孔”)。通过开口171使源极区域S的氧化物半导体层140露出。通过开口173使漏极区域D的氧化物半导体层140露出。在通过开口171、173露出的氧化物半导体层140之上及绝缘层180之上形成源·漏电极200(图3的步骤S2014的“SD形成”),从而完成图1所示的半导体装置10。

[0112] 关于通过上述制造方法制造的半导体装置10,在沟道区域CH的沟道长度L为2μm以上4μm以下、且沟道区域CH的沟道宽度为2μm以上25μm以下的范围内,能够获得迁移率为50cm^2/Vs以上,55cm^2/Vs以上或60cm^2/Vs以上的电特性。本实施方式中的迁移率是指半导体装置10的饱和区域中的场效应迁移率。具体而言,该迁移率是指源电极与漏电极之间的电位差(Vd)比从供给至栅电极的电压(Vg)减去半导体装置10的阈值电压(Vth)后的值(Vg-Vth)大的区域中的场效应迁移率的最大值。

[0113] ＜第2实施方式＞

[0114] 参照图13～图17,对使用了本发明的一个实施方式涉及的半导体装置的显示装置进行说明。在以下所示的实施方式中,针对将在上述第1实施方式中说明过的半导体装置10应用于液晶显示装置的电路的构成进行说明。

[0115] [显示装置20的概要]

[0116] 图13为示出本发明的一个实施方式涉及的显示装置的概要的俯视图。如图13所示,显示装置20具有阵列基板300、密封部310、对置基板320、柔性印刷电路基板330(FPC330)以及IC芯片340。阵列基板300及对置基板320通过密封部310而贴合。在被密封部310包围的液晶区域22中,多个像素电路301配置成矩阵状。液晶区域22是与后述的液晶元件311在俯视观察下重叠的区域。

[0117] 设置有密封部310的密封区域24是液晶区域22的周围的区域。FPC330设置在端子区域26。端子区域26是阵列基板300从对置基板320露出的区域,设置在密封区域24的外侧。密封区域24的外侧是指设置有密封部310的区域及由密封部310包围的区域的外侧。IC芯片340设置在FPC330上。IC芯片340供给用于驱动各像素电路301的信号。

[0118] [显示装置20的电路构成]

[0119] 图14为示出本发明的一个实施方式涉及的显示装置的电路构成的框图。如图14所示,在沿D1方向(列方向)与配置有像素电路301的液晶区域22邻接的位置设置有源极驱动电路302,在D2方向(行方向)上与液晶区域22相邻的位置上设置有栅极驱动电路303。源极驱动电路302及栅极驱动电路303设置在上述密封区域24。但是,设置有源极驱动电路302及栅极驱动电路303的区域并不限定于密封区域24,只要是设置有像素电路301的区域的外侧,则任何区域都可以。

[0120] 源极布线304从源极驱动电路302向D1方向延伸,与在D1方向上排列的多个像素电路301连接。栅极布线305从栅极驱动电路303向D2方向延伸,与在D2方向上排列的多个像素电路301连接。

[0121] 在端子区域26设置有端子部306。端子部306和源极驱动电路302通过连接布线307连接。同样地,端子部306和栅极驱动电路303由连接布线307连接。通过FPC330与端子部306连接,从而FPC330所连接的外部设备与显示装置20连接,利用来自外部设备的信号驱动设置于显示装置20的各像素电路301。

[0122] 第1实施方式所示的半导体装置10用作像素电路301、源极驱动电路302及栅极驱动电路303中包含的晶体管。

[0123] [显示装置20的像素电路301]

[0124] 图15为示出本发明的一个实施方式涉及的显示装置的像素电路的电路图。如图15所示,像素电路301包括半导体装置10、保持电容350以及液晶元件311等元件。半导体装置

10具有栅电极160、源电极201及漏电极203。栅电极160与栅极布线305连接。源电极201与源极布线304连接。漏电极203与保持电容350及液晶元件311连接。在本实施方式中,为了便于说明,将附图标记“201”所示的电极称为源电极,将附图标记“203”所示的电极称为漏电极,但也可以是附图标记“201”所示的电极作为漏电极发挥功能,附图标记“203”所示的电极作为源电极发挥功能。

[0125] [显示装置20的截面结构]

[0126] 图16是本发明的一个实施方式涉及的显示装置的截面图。如图16所示,显示装置20是使用了半导体装置10的显示装置。在本实施方式中,例示了将半导体装置10用于像素电路301的构成,但也可以将半导体装置10用于包含源极驱动电路302及栅极驱动电路303的周边电路。在以下的说明中,半导体装置10的构成与图1所示的半导体装置10相同,因此省略说明。

[0127] 在源电极201及漏电极203之上设置绝缘层360。在绝缘层360之上设置有对多个像素共用地设置的公共电极370。绝缘层380设置在公共电极370之上。在绝缘层360、380设有开口381。在绝缘层380之上及开口381的内部设有像素电极390。像素电极390与漏电极203连接。

[0128] 在显示装置20中,作为与栅电极160同一层,设置有布线层162。布线层162包含与栅电极160相同的材料。布线层162设置在与栅极绝缘层150对应的绝缘层上。在该绝缘层上也形成氧化金属层190,并进行氧化退火。因此,与布线层162重叠的绝缘层的区域的铝浓度优选为1×10^{17}atoms/cm^3以上。另外,与布线层162不重叠的绝缘层的区域的铝浓度比与布线层162重叠的绝缘层的区域的铝浓度小。

[0129] 图17是本发明的一个实施方式涉及的显示装置的像素电极及公共电极的俯视图。如图17所示,公共电极370具有在俯视观察下与像素电极390重叠的重叠区域,和与像素电极390不重叠的非重叠区域。若对像素电极390与公共电极370之间供给电压,则从重叠区域的像素电极390朝向非重叠区域的公共电极370形成横电场。通过该横电场使液晶元件311所包含的液晶分子动作,从而确定像素的灰度。

[0130] <第3实施方式>

[0131] 参照图18及图19,对使用了本发明的一个实施方式涉及的半导体装置的显示装置进行说明。在本实施方式中,说明将在上述第1实施方式中说明的半导体装置10应用于有机EL显示装置的电路的构成。显示装置20的概要及电路构成与图13及图14所示的概要及构成相同,因此省略说明。

[0132] [显示装置20的像素电路301]

[0133] 图18为示出本发明的一个实施方式涉及的显示装置的像素电路的电路图。如图18所示,像素电路301包括驱动晶体管11、选择晶体管12、保持电容210及发光元件DO等元件。驱动晶体管11及选择晶体管12具备与半导体装置10同样的构成。选择晶体管12的源电极与信号线211连接,选择晶体管12的栅电极与栅极线212连接。驱动晶体管11的源电极与阳极电源线213连接,驱动晶体管11的漏电极与发光元件DO的一端连接。发光元件DO的另一端与阴极电源线214连接。驱动晶体管11的栅电极与选择晶体管12的漏电极连接。保持电容210连接到驱动晶体管11的栅电极和漏电极。对信号线211供给确定发光元件DO的发光强度的灰度信号。对栅极线212供给选择写入上述灰度信号的像素行的信号。

[0134] [显示装置20的截面结构]

[0135] 图19是本发明的一个实施方式涉及的显示装置的截面图。图19所示的显示装置20的构成与图16所示的显示装置20类似,但图19的显示装置20的比绝缘层360靠上方的结构与图16的显示装置20的比绝缘层360靠上方的结构不同。以下,在图19的显示装置20的构成中,对与图16的显示装置20相同的构成省略说明,对两者的不同点进行说明。

[0136] 如图19所示,显示装置20在绝缘层360的上方具有像素电极390、发光层392以及公共电极394(发光元件DO)。像素电极390设置在绝缘层360之上以及开口381的内部。在像素电极390之上设置有绝缘层362。在绝缘层362设置有开口363。开口363对应于发光区域。也就是说,绝缘层362划分像素。在通过开口363露出的像素电极390之上设置有发光层392及公共电极394。像素电极390及发光层392针对各像素分别设置。另一方面,公共电极394对多个像素共用地设置。发光层392根据像素的显示颜色而使用不同的材料。

[0137] 在第2实施方式及第3实施方式中,针对将在第1实施方式说明过的半导体装置应用于液晶显示装置及有机EL显示装置的构成进行了例示,但也可以将该半导体装置应用于这些显示装置以外的其他显示装置(例如,有机EL显示装置以外的自发光型显示装置或电子纸型显示装置)。另外,从中小型的显示装置到大型的显示装置,可以没有特别限定地应用上述半导体装置。

[0138] 实施例

[0139] 作为实施例,制作在第1实施方式说明过的半导体装置10,进行半导体装置10的评价。此外,作为比较例,制造未设置与氧化物半导体层140接触的氧化金属层130的半导体装置。

[0140] 进而,在实施例中,在形成栅电极GE之前,通过溅射法形成氧化铝层作为氧化金属层190,在进行了氧化退火之后除去氧化铝层。另一方面,在比较例中,不进行氧化金属层190的成膜及氧化退火。

[0141] [1.SIMS分析]

[0142] 图20为示出半导体装置的氧化物半导体层的沟道区域中的SIMS分析的测定结果的图。另外,图21为示出半导体装置的氧化物半导体层的源极区域或漏极区域中的SIMS分析的测定结果的图。在图20及图21中,纵轴表示铝浓度(Al浓度),横轴表示半导体装置的层叠方向上的深度。另外,图20及图21中示出层叠方向的实施例及比较例的层叠结构。附图标记SiNx、SiOx、GI、GE、OS及MO分别表示氮化硅层、氧化硅层、栅极绝缘层、栅电极、氧化物半导体层以及氧化金属层。与氧化硅层SiOx接触的氮化硅层SiNx及氧化硅层SiOx分别对应于栅极绝缘层110及120。氧化金属层MO、氧化物半导体层OS、栅极绝缘层GI及栅电极GE分别对应于氧化金属层130、氧化物半导体层140、栅极绝缘层150及栅电极160。需要说明的是,与氧化硅层SiOx同样地,对栅极绝缘层GI使用氧化硅。

[0143] SIMS分析使用从基板侧进行测定的所谓的SSDP-SIMS。另外,在图20及图21中,使用SiO_2标准试样,对氧化硅层SiOx及栅极绝缘层GI中的铝浓度进行定量化(图中的定量范围)。即,在图20及图21中,能够以绝对值对氧化硅层SiOx及栅极绝缘层GI各自中的铝浓度进行比较。另一方面,其他层中的铝浓度能够以大小进行比较,但无法通过绝对值进行比较。

[0144] 如图20所示,在沟道区域中,实施例(实线)的栅极绝缘层GI与比较例(虚线)的栅

极绝缘层GI相比,铝浓度变大。在栅电极GE与栅极绝缘层GI的界面附近,实施例及比较例的栅极绝缘层GI的铝浓度分别为2×10^{17}atoms/cm^3及6×10^{16}atoms/cm^3。另外,如图21所示,在源极区域或漏极区域中,实施例的栅极绝缘层GI与比较例的栅极绝缘层GI相比,铝浓度也变大。在氮化硅层SiNx与栅极绝缘层GI的界面附近,实施例及比较例的栅极绝缘层GI的铝浓度分别为1.5×10^{17}atoms/cm^3及6×10^{16}atoms/cm^3。因此,在实施例中,作为氧化金属层190而成膜的氧化铝中的铝通过氧化退火的热处理而向栅极绝缘层GI扩散。

[0145] [2.电特性]

[0146] 图22是表示半导体装置10的电特性的图。图22所示的电特性的测定条件如表1所示。

[0147] [表1]

[0148]

沟道区域的大小	W/L=3.0μm/3.0μm
源极·漏极间电压	0.1V(虚线)、10V(实线)
栅极电压	-15V~+15V
测定环境	室温、暗室

[0149] 图22中示出了半导体装置10的电特性(Id-Vg特性)和迁移率。如图22中的箭头所示,在图的左侧示出针对漏电流(Id)的纵轴,在图的右侧示出针对根据该漏电流计算出的迁移率的纵轴。

[0150] 如图22所示,半导体装置10的电特性表示在栅极电压Vg高于0V的电压下开始流过漏电流Id的所谓常关断(normally off)(增强型)特性。根据该电特性计算出的迁移率为约$59em^2/Vs$。

[0151] [3.可靠性试验]

[0152] 图23是示出半导体装置10的可靠性试验的图。图23所示的可靠性试验的测定条件如表2所示。即,作为可靠性试验,进行利用Positive Bias Temperature Stress(PBTS,正偏温度应力)及Negative Bias Temperature Illumination Stress(NBTIS,负偏压温度光照应力)的可靠性的评价。

[0153] [表2]

[0154]

	PBTS	NBTIS
沟道区域的大小	W/L= 3.0μm/3.0μm	W/L= 3.0μm/3.0μm
光照射条件	无照射 (暗室)	有照射 (8000cd/m^2)
源极电压及漏极电压	0V	0V
栅极电压	+30V	-30V
应力施加时载置台温度	60℃	60℃

[0155] 如图23所示,在应力施加前(0秒(sec))及应力施加后(3600秒),重叠示出对半导体装置1v的电特性进行评价的结果。在图23中,应力施加前(0秒)的电特性用虚线表示,应

力施加后(3600秒)的电特性用实线表示。

[0156] 应力施加前及应力施加后的半导体装置10的电特性的测定条件如表3所示。

[0157] [表3]

[0158]

沟道区域的大小	W/L＝3.0μm/3.0μm
源极·漏极间电压	0.1V、10V
栅极电压	-15V～+15V
测定环境	60℃、暗室

[0159] 如图23所示,在半导体装置10中,应力施加前后的电特性在NBTIS试验和PBTS试验中几乎无变化。

[0160] 以上,从半导体装置10的电特性及可靠性试验可知,半导体装置10不仅具有高迁移率,而且还具有稳定的可靠性。就这样的具有高迁移率且高可靠性的半导体装置10而言,能够通过使氧化物半导体层140结晶化并且向氧化物半导体层140供给足够的氧来得到。因此,在半导体装置10的制造方法中,OS退火及氧化退火是重要的。特别是,在氧化退火中,在氧化物半导体层140的下方设置氧化金属层130,进而在栅极绝缘层150上将氧化金属层190成膜的状态下进行热处理。氧化金属层130、190能够防止氢侵入氧化物半导体层140。此外,氧化物半导体层140的侧面143及上表面141与栅极绝缘层150接触,来自栅极绝缘层150的氧被高效地供给至氧缺损的量多的氧化物半导体层140的侧面143及上表面141,因此能够修复氧化物半导体层140中的氧缺损。

[0161] 氧化金属层190在之后的AlOx除去的工序中被除去,但氧化金属层190中所含的铝通过氧化退火扩散到栅极绝缘层150中并残留。因此,通过所制造的半导体装置10的栅极绝缘层150的组成分析,可检测出铝。需要说明的是,根据图22及图23所示的图也能够理解,残留在栅极绝缘层150中的铝不会使电特性及可靠性降低。

[0162] 作为本发明的实施方式而在上叙述的各实施方式只要不相互矛盾,就能够适当组合来实施。另外,以各实施方式为基础,本领域技术人员适当进行构成要素的追加、删除或设计变更而得到的方案、或者进行工序的追加、省略或条件变更而得到的方案,只要具备本发明的主旨,就包含在本发明的范围内。

[0163] 即使是与由上述各实施方式的方式带来的作用效果不同的其他作用效果,对于根据本说明书的记载明确的作用效果、或者本领域技术人员能够容易地预测的作用效果,当然可以理解为是由本发明带来的作用效果。

[0164] 附图标记说明

[0165] 10:半导体装置、11:驱动晶体管、12:选择晶体管、20:显示装置、22:液晶区域、24:密封区域、26:端子区域、100:基板、105、160:栅电极、110、120、150:栅极绝缘层、130、190:氧化金属层、140:氧化物半导体层、141:上表面、142:下表面、143:侧面、162:布线层、170、180:绝缘层、171、173:开口、200:源·漏电极、201:源电极、203:漏电极、210:保持电容、211:信号线、212:栅极线、213:阳极电源线、214:阴极电源线、220:抗蚀剂掩模、300:阵列基板、301:像素电路、302:源极驱动电路、303:栅极驱动电路、304:源极布线、305:栅极布线、306:端子部、307:连接布线、310:密封部、311:液晶元件、320:对置基板、330:柔性印刷电路基板(FPC)、340:IC芯片、350:保持电容、360、362:绝缘层、363、381:开口、370:公共电极、380:绝缘层、390:像素电极、392:发光层、394:公共电极

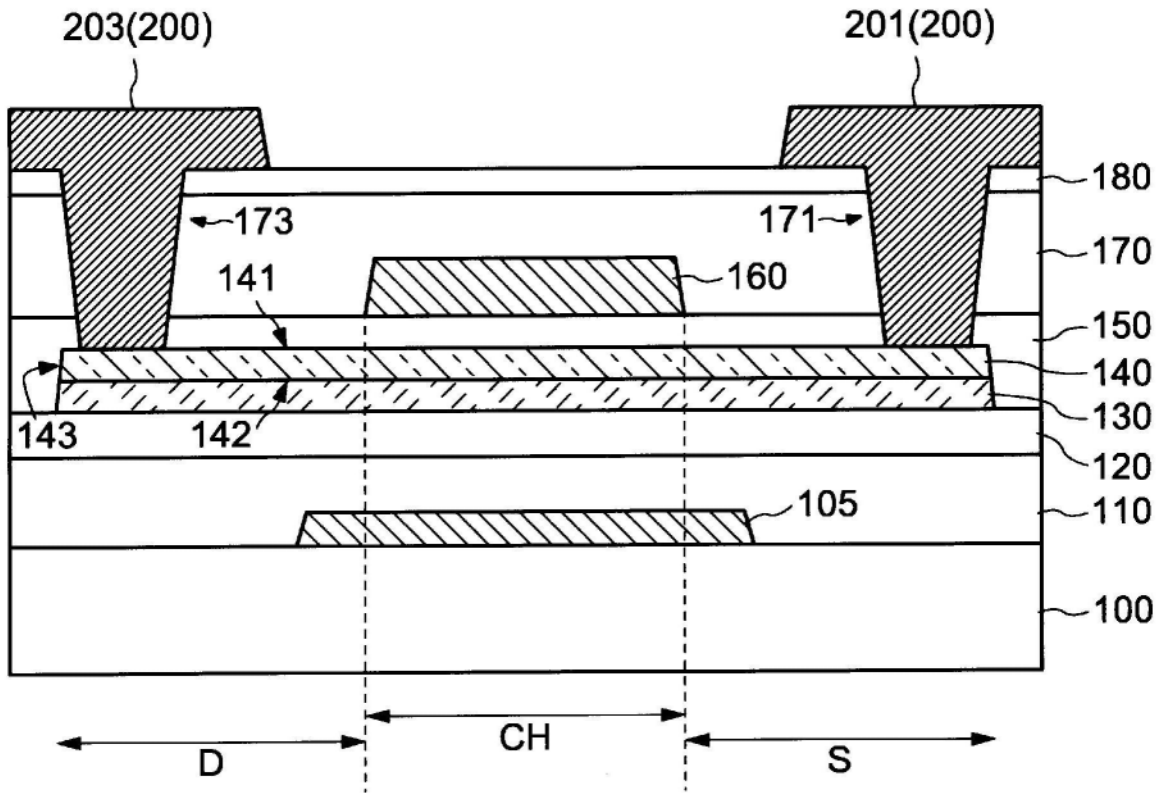

10
203(200)
201(200)
180
173
171
170
141
160
150
140
143
142
130
120
105
110
100
D
CH
S

图1

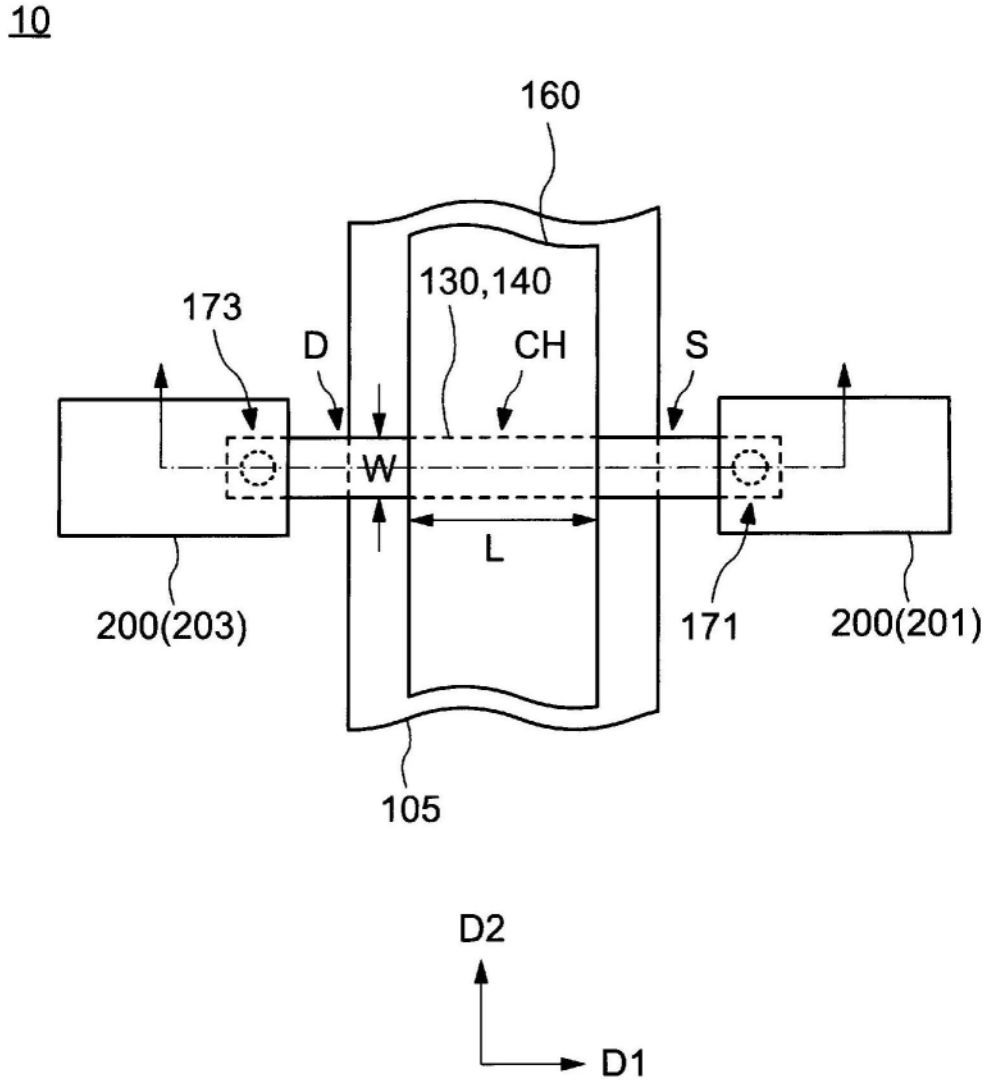


图2

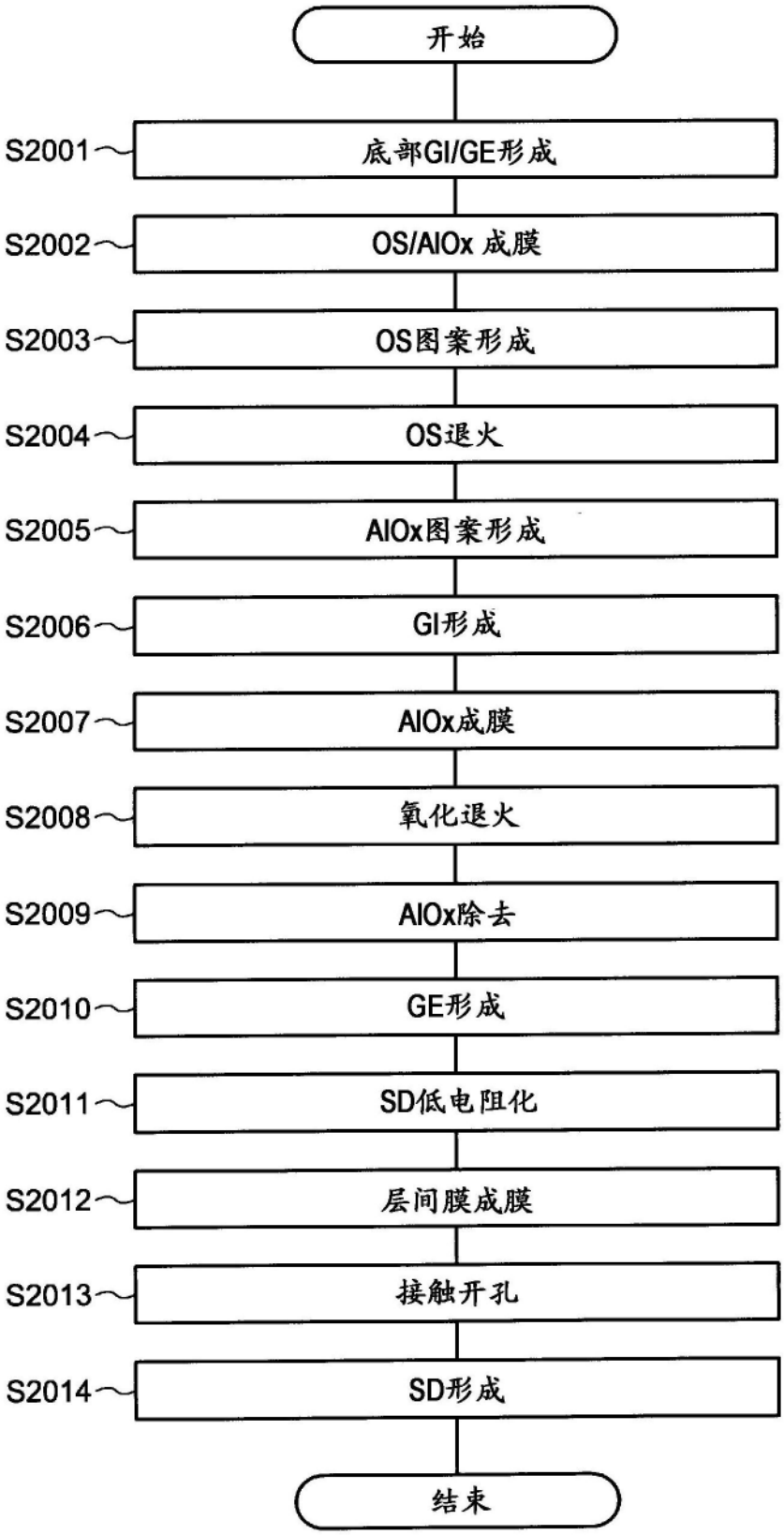

开始
S2001
底部GI/GE形成
S2002
OS/AlOx 成膜
S2003
OS图案形成
S2004
OS退火
S2005
AlOx图案形成
S2006
GI形成
S2007
AlOx成膜
S2008
氧化退火
S2009
AlOx除去
S2010
GE形成
S2011
SD低电阻化
S2012
层间膜成膜
S2013
接触开孔
S2014
SD形成
结束

图3

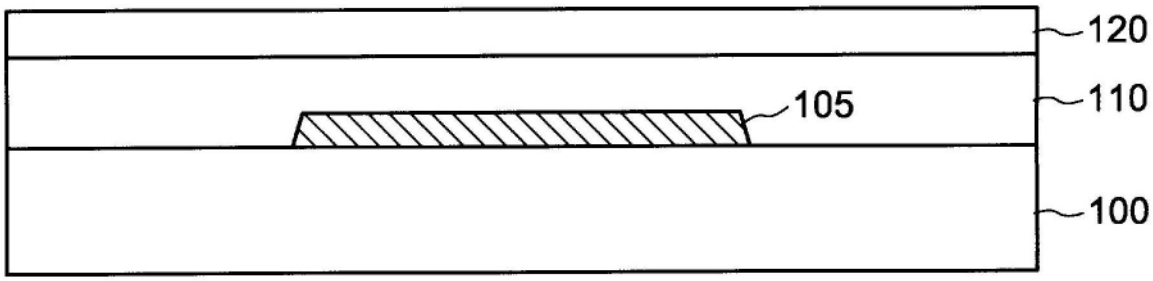


图4

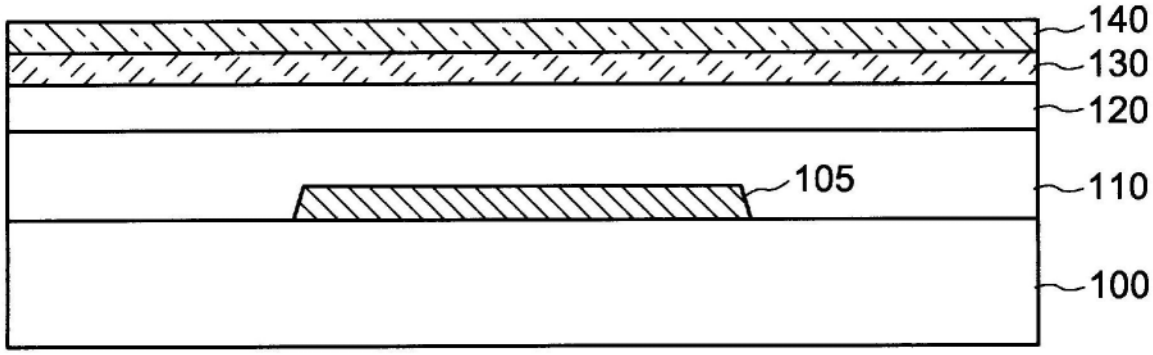


图5

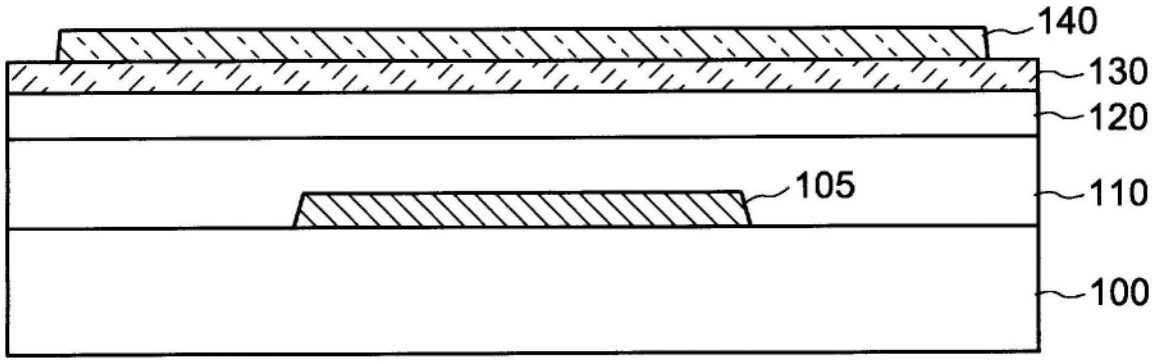


图6

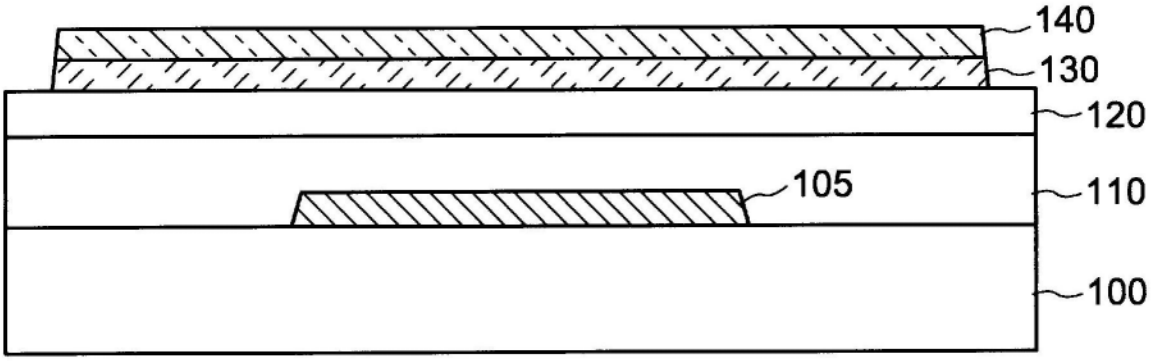

140
130
120
105
110
100

图7

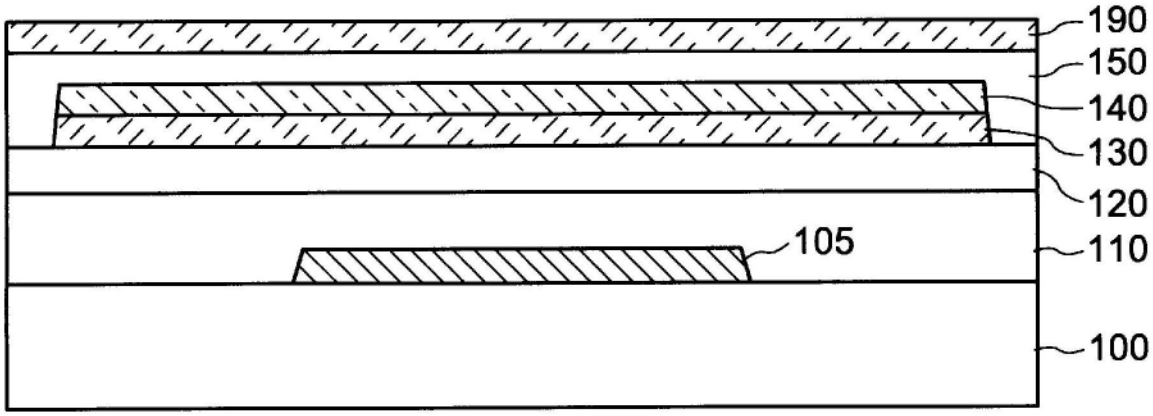

190
150
140
130
120
105
110
100

图8

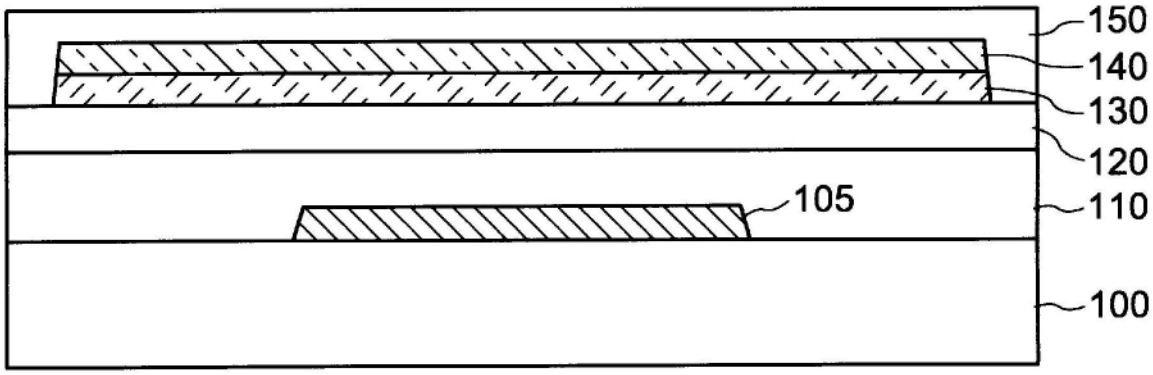

150
140
130
120
105
110
100

图9

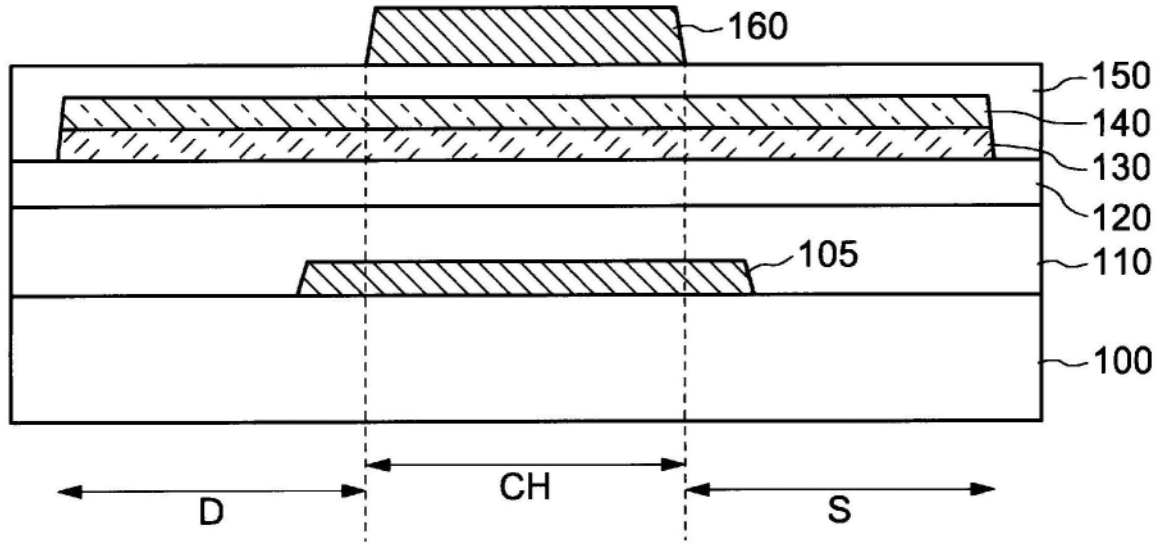

160
150
140
130
120
105
110
100
D
CH
S

图10

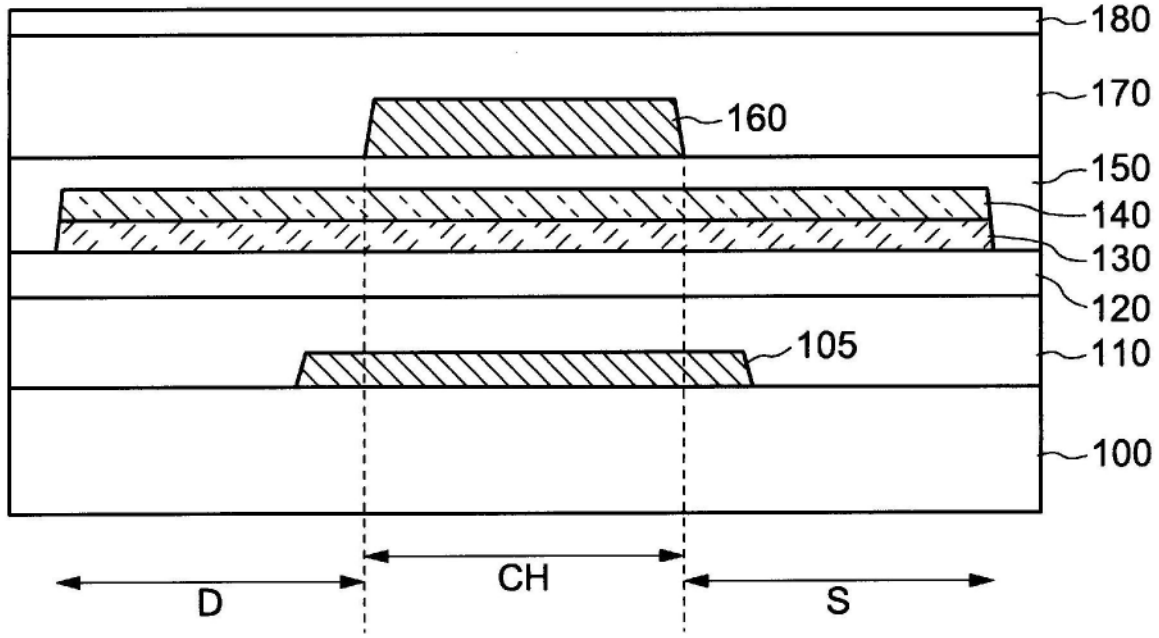

180
170
160
150
140
130
120
105
110
100
D
CH
S

图11

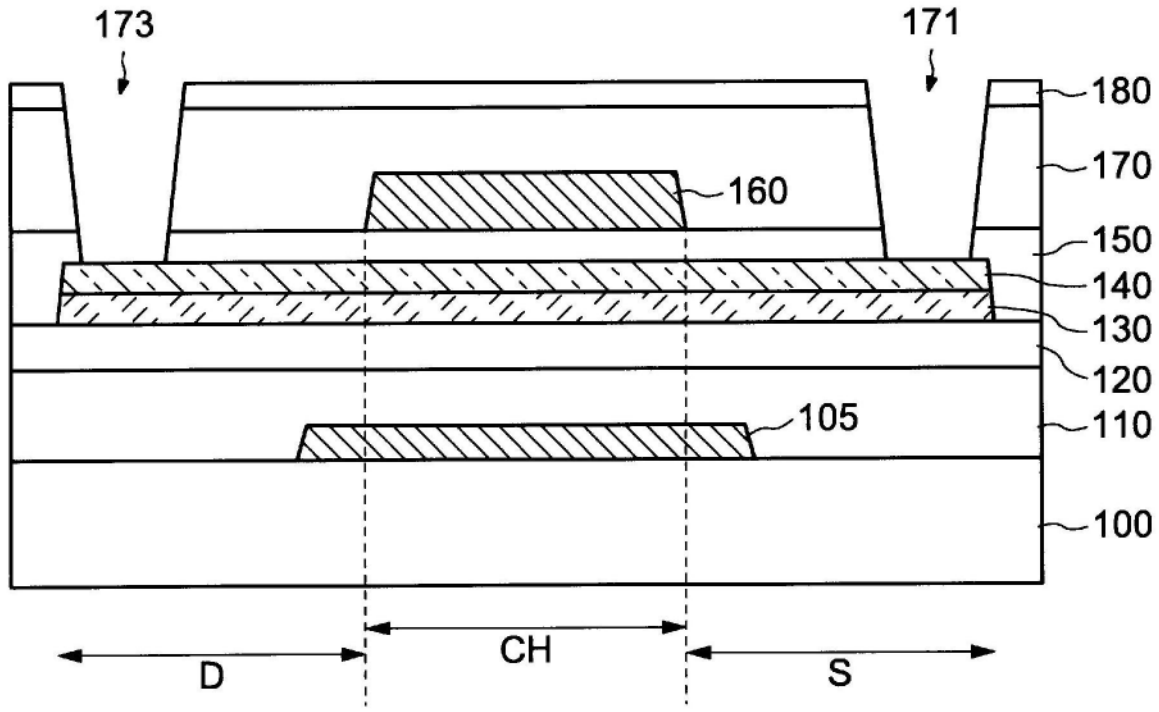


图12

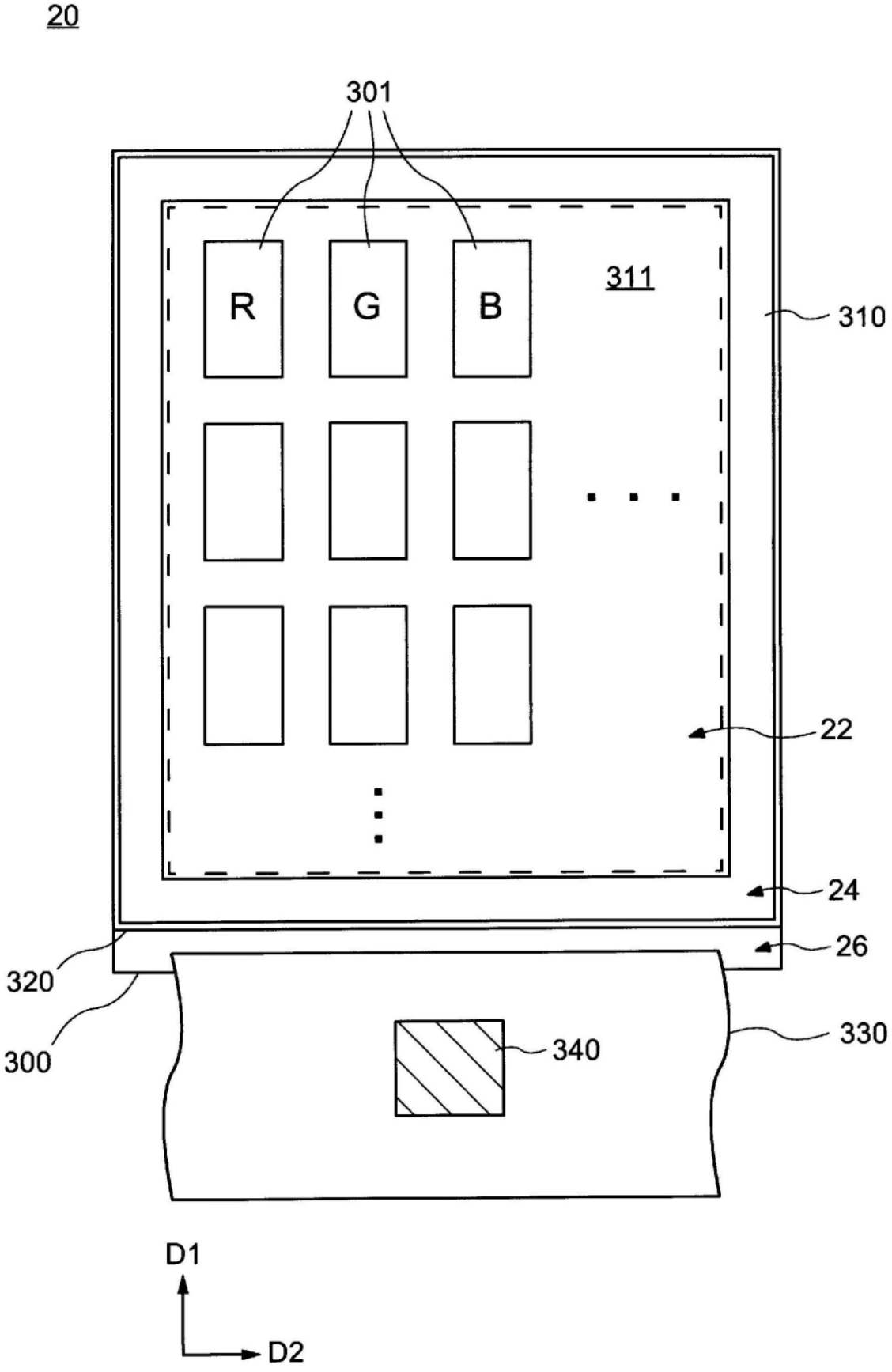


图13

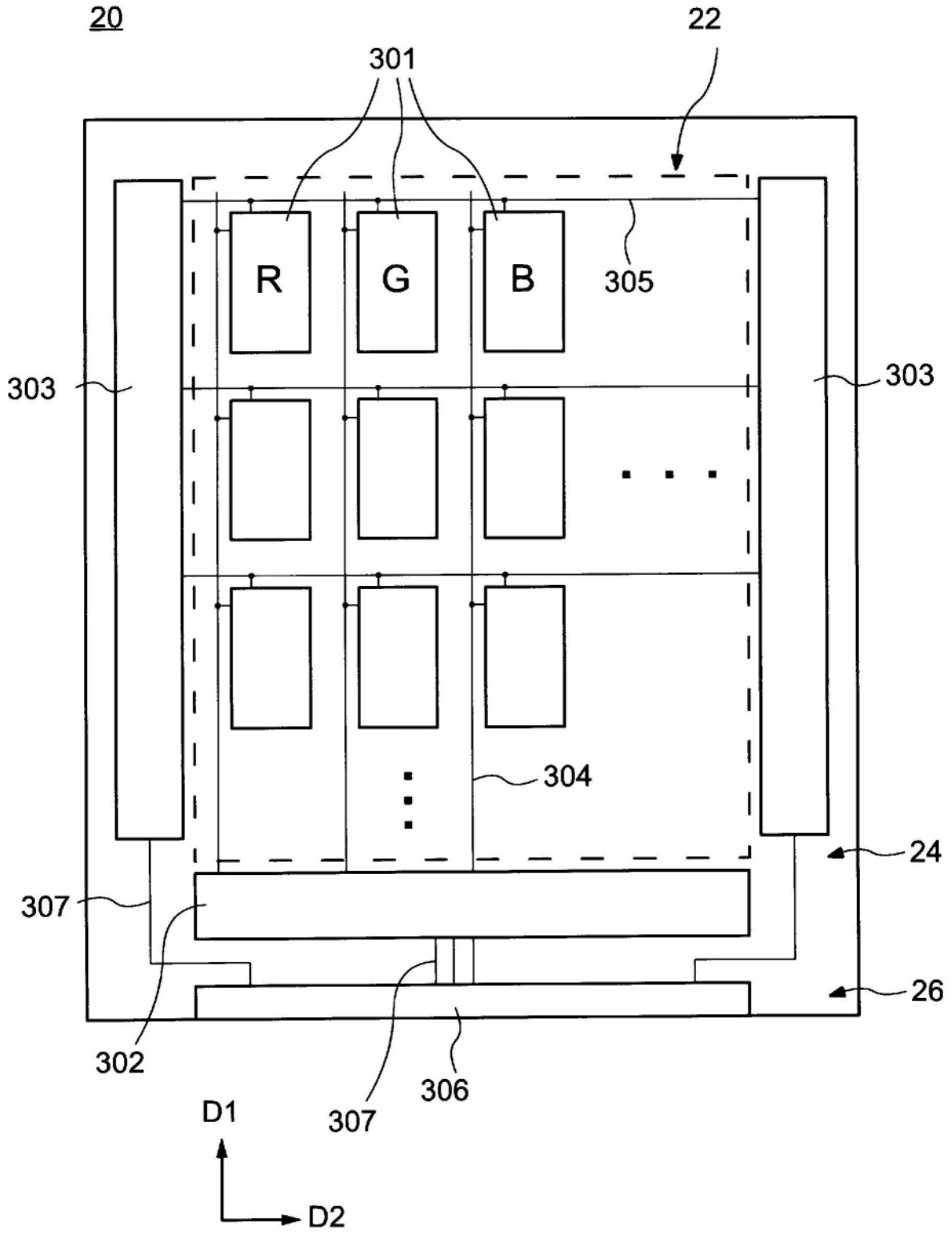


图14

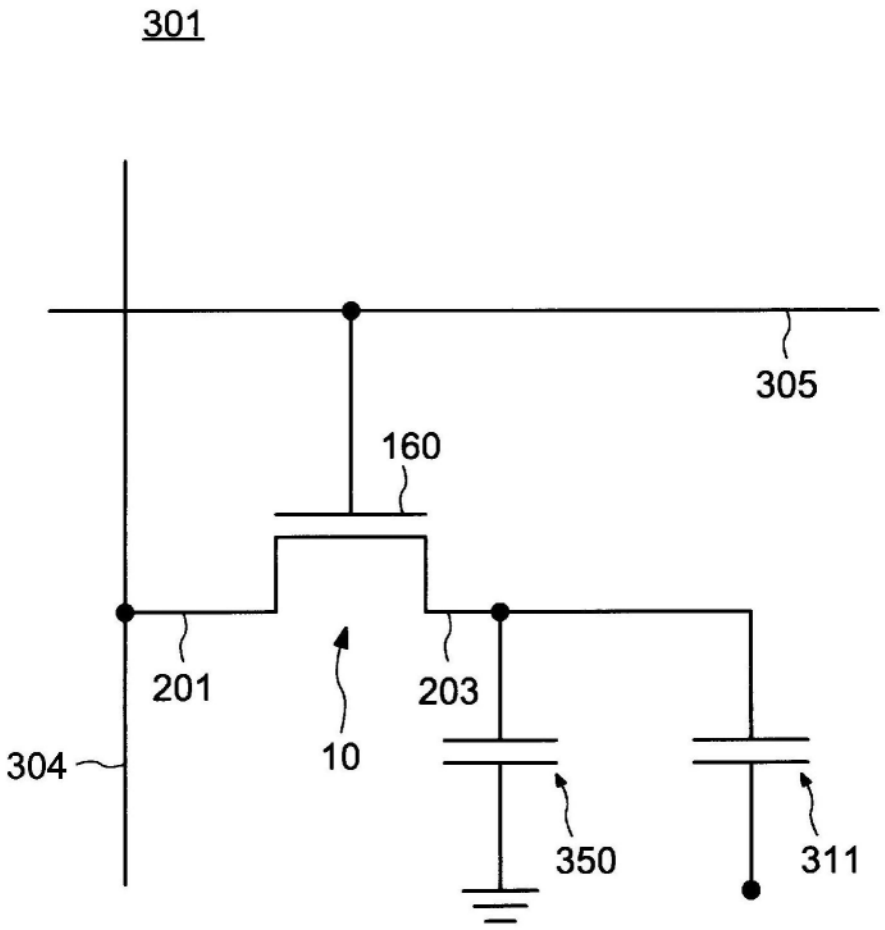


图15

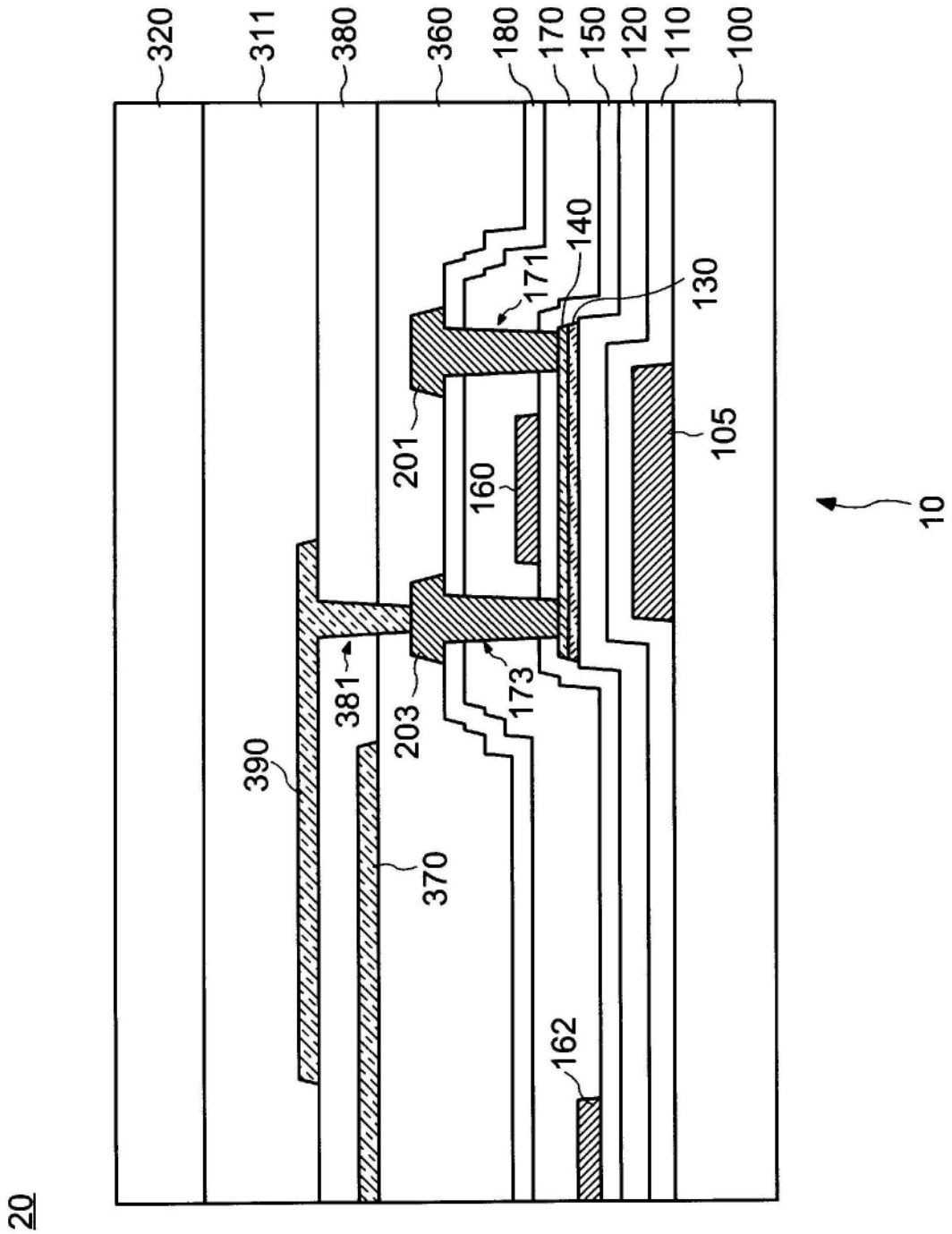

320
311
380
360
180
170
150
120
110
100
140
171
130
201
160
105
10
381
203
173
390
370
162
20

图16

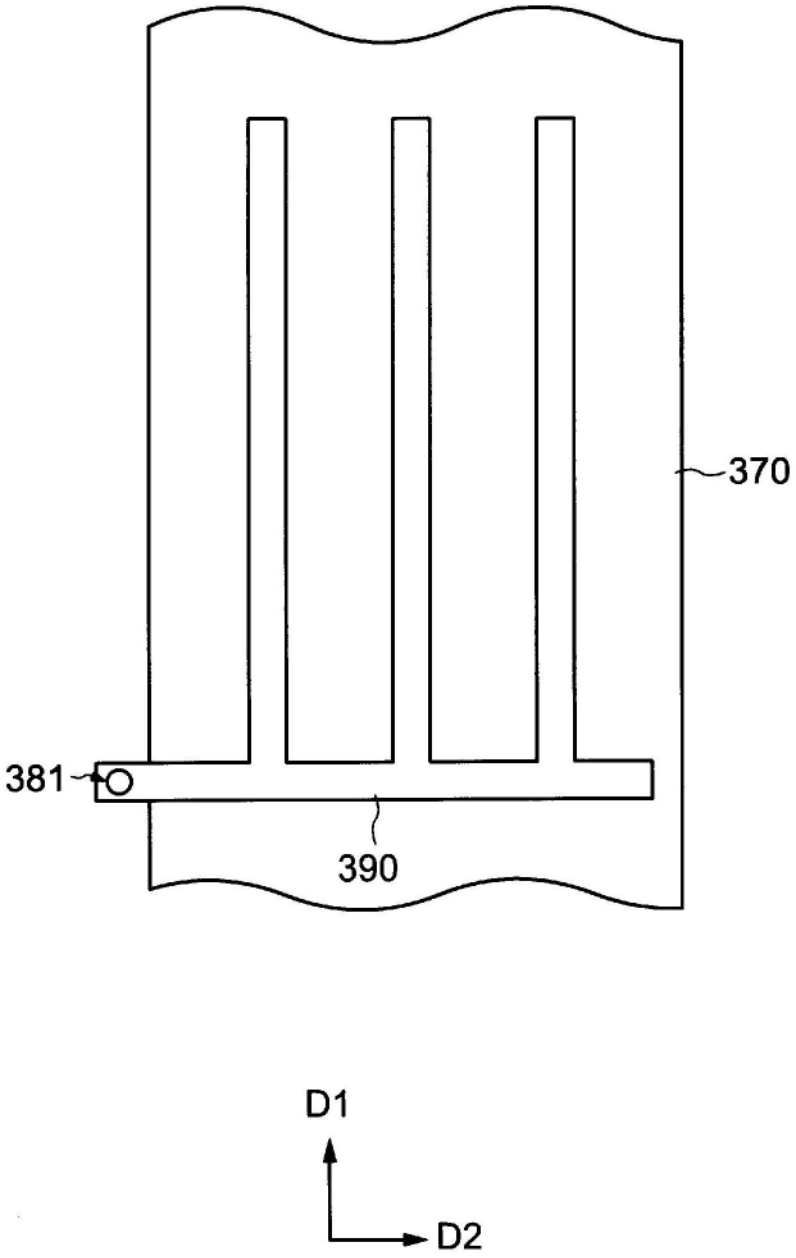


图17

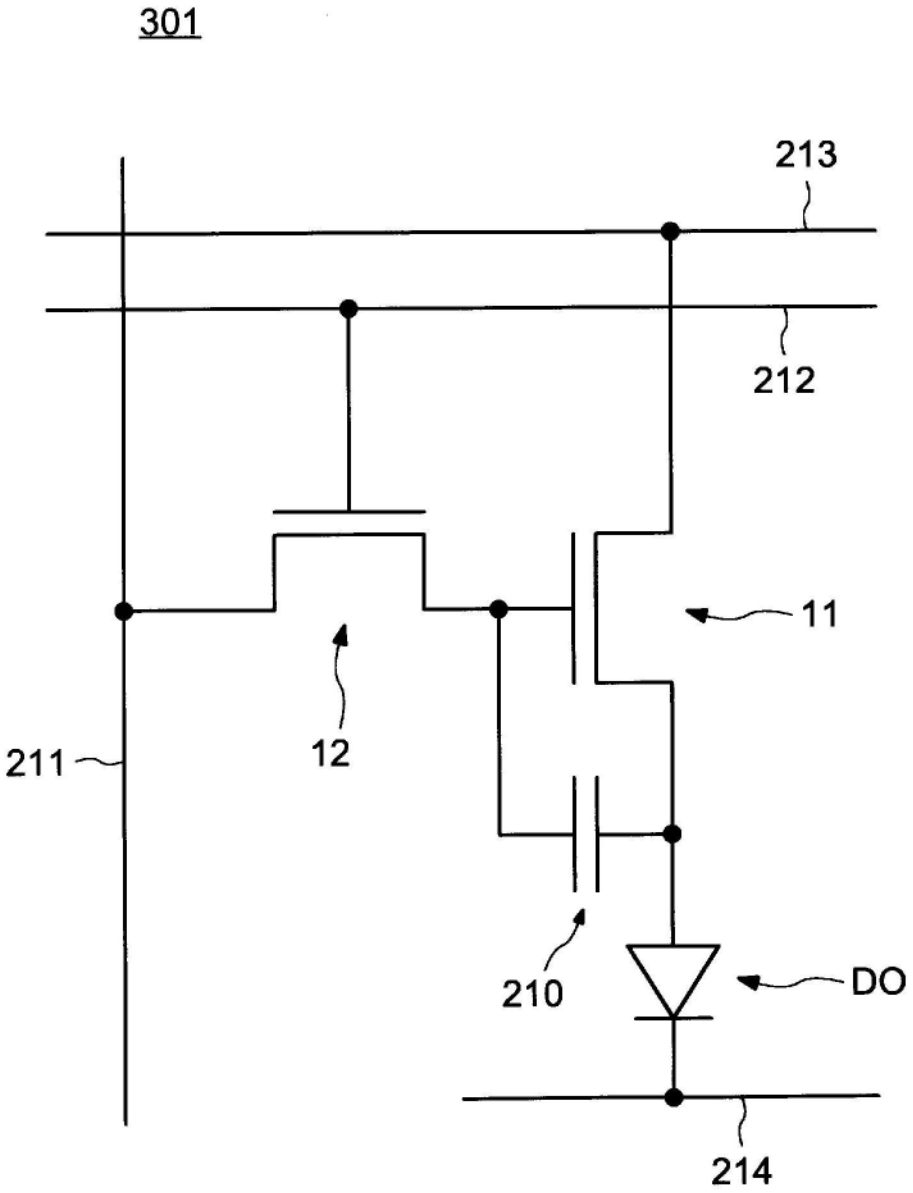


图18

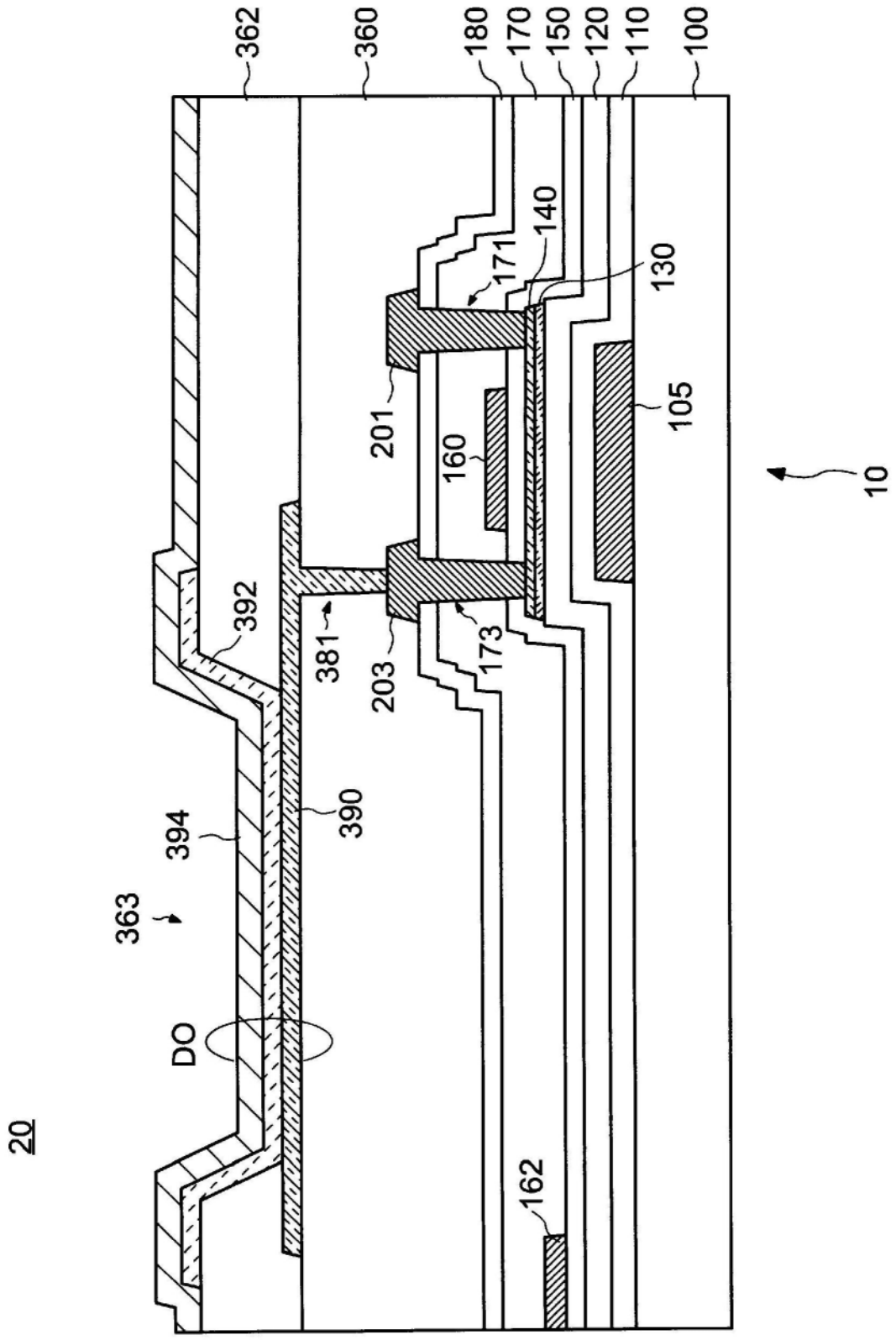

362
360
180
170
150
120
110
100
140
171
130
201
160
105
10
392
381
203
173
394
390
363
DO
20
162

图19

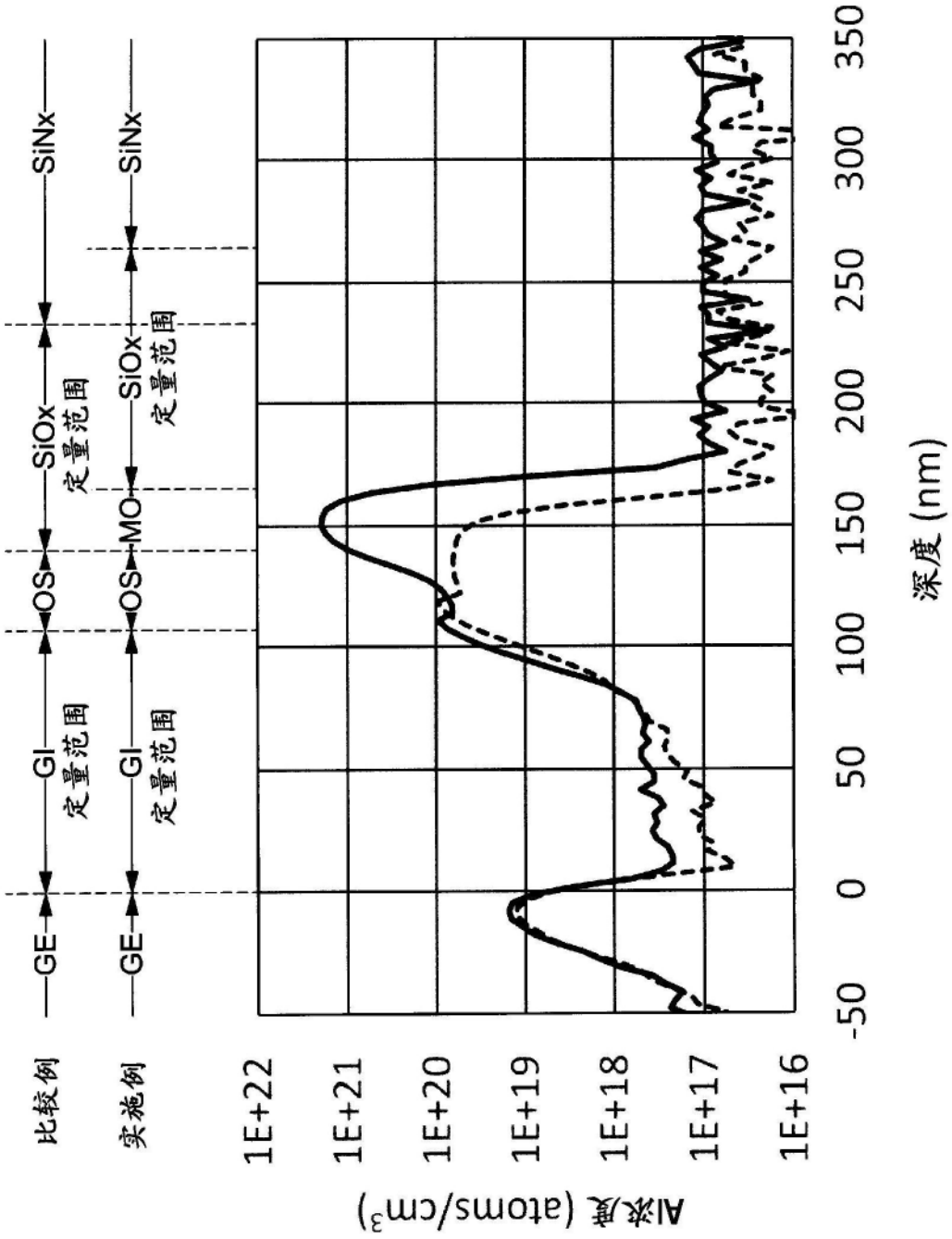

比较例
实施例
GE
GI
定量范围
OS
SiOx
SiNx
MO
1E+22
1E+21
1E+20
1E+19
1E+18
1E+17
1E+16
Al浓度 (atoms/cm³)
-50
0
50
100
150
200
250
300
350
深度 (nm)

图20

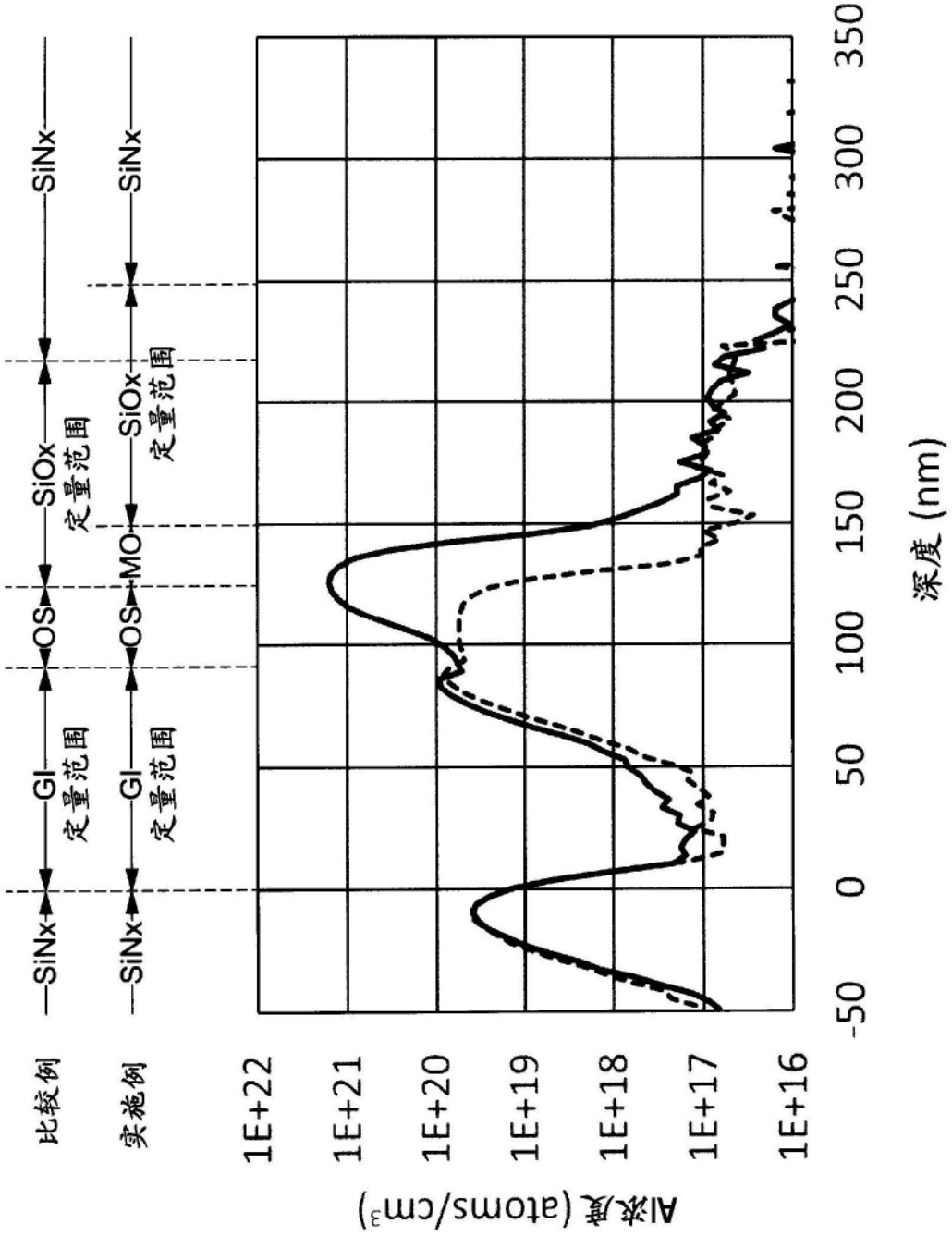

比较例
实施例
SiNx
GI
定量范围
OS
SiOx
定量范围
MO
SiOx
定量范围
1E+22
1E+21
1E+20
1E+19
1E+18
1E+17
1E+16
Al浓度 (atoms/cm³)
-50
0
50
100
150
200
250
300
350
深度 (nm)

图21

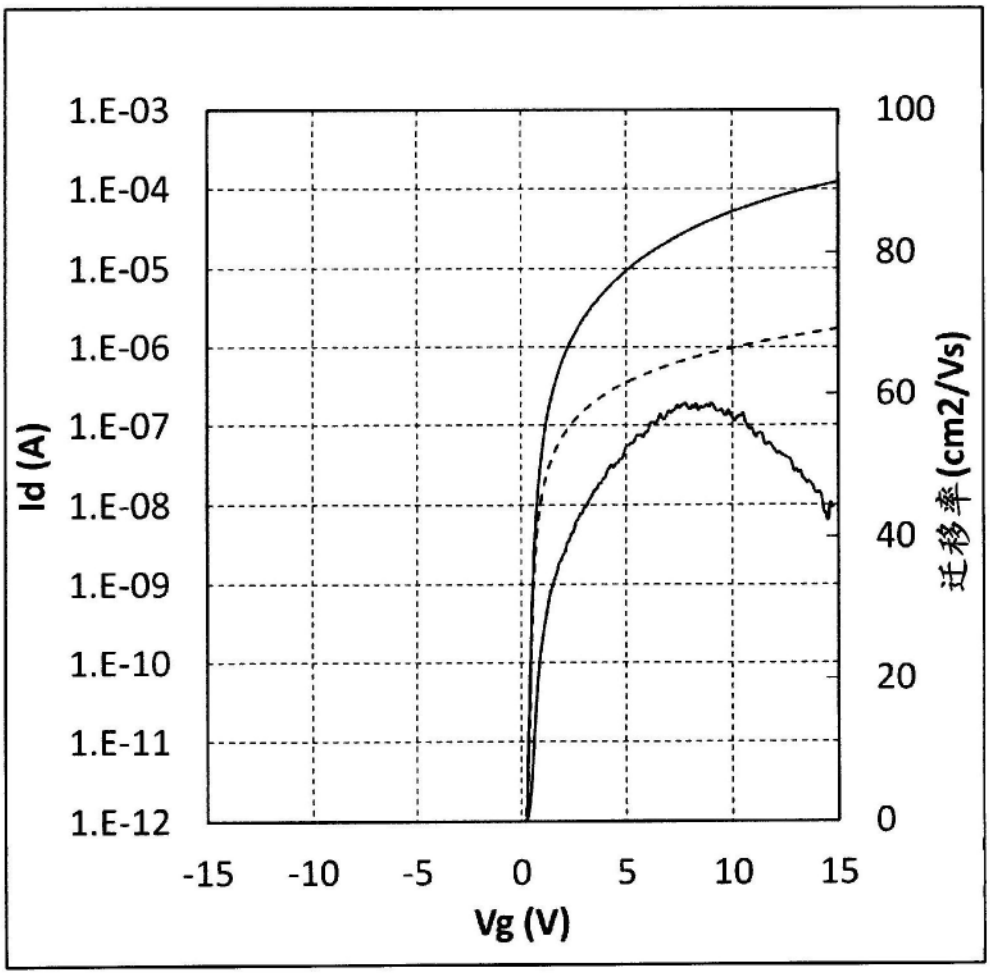
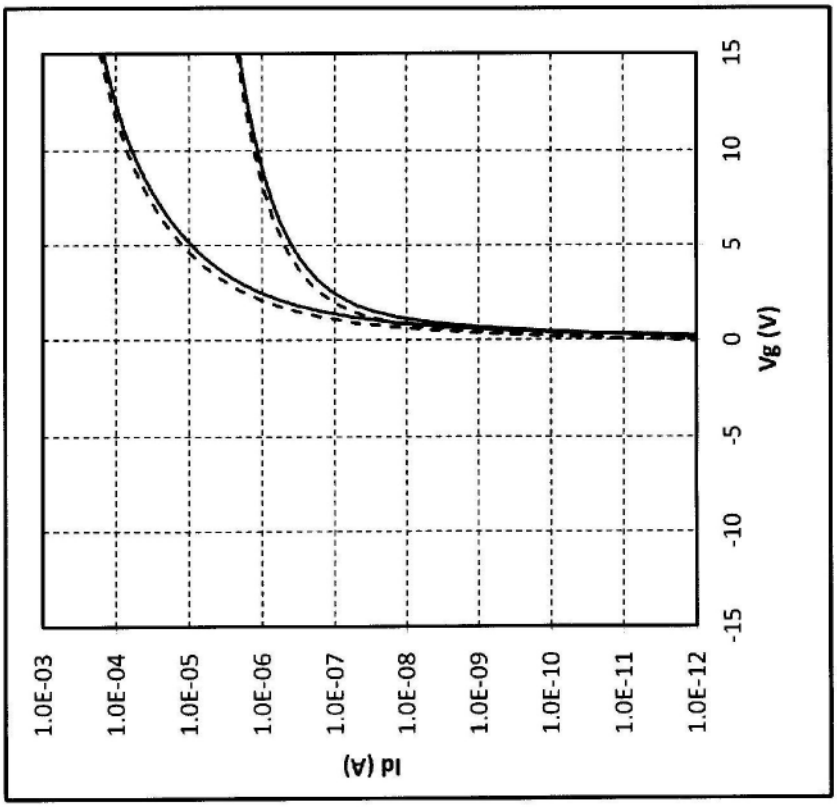

1.E-03
1.E-04
1.E-05
1.E-06
1.E-07
1.E-08
1.E-09
1.E-10
1.E-11
1.E-12
Id (A)
100
80
60
40
20
0
迁移率(cm2/Vs)
-15
-10
-5
0
5
10
15
Vg (V)

图22


PBTS
Id (A)
1.0E-03
1.0E-04
1.0E-05
1.0E-06
1.0E-07
1.0E-08
1.0E-09
1.0E-10
1.0E-11
1.0E-12
Vg (V)
15
10
5
0
-5
-10
-15

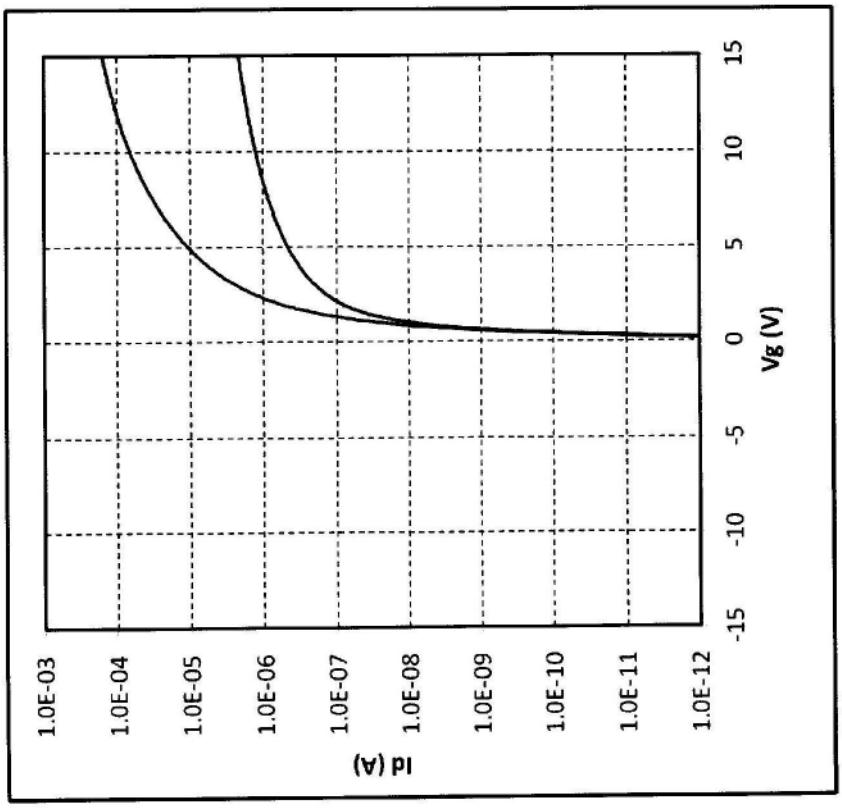

NBTIS
Id (A)
1.0E-03
1.0E-04
1.0E-05
1.0E-06
1.0E-07
1.0E-08
1.0E-09
1.0E-10
1.0E-11
1.0E-12
Vg (V)
15
10
5
0
-5
-10
-15

图23