

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5854725号
(P5854725)

(45) 発行日 平成28年2月9日(2016.2.9)

(24) 登録日 平成27年12月18日(2015.12.18)

(51) Int. Cl.		F I			
HO3M 1/10	(2006.01)	HO3M	1/10	Z E C C	
HO3M 1/56	(2006.01)	HO3M	1/56		
GO1R 31/28	(2006.01)	GO1R	31/28	V	
GO1R 31/316	(2006.01)	GO1R	31/28	C	

請求項の数 18 (全 25 頁)

(21) 出願番号	特願2011-201864 (P2011-201864)	(73) 特許権者	000001007
(22) 出願日	平成23年9月15日(2011.9.15)		キヤノン株式会社
(65) 公開番号	特開2013-65924 (P2013-65924A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成25年4月11日(2013.4.11)	(74) 代理人	100126240
審査請求日	平成26年9月16日(2014.9.16)		弁理士 阿部 琢磨
		(74) 代理人	100124442
			弁理士 黒岩 創吾
		(72) 発明者	竹中 真太郎
			東京都大田区下丸子3丁目30番2号キヤノン株式会社内
		(72) 発明者	園田 一博
			東京都大田区下丸子3丁目30番2号キヤノン株式会社内
		審査官	柳下 勝幸

最終頁に続く

(54) 【発明の名称】 アナログデジタル変換回路、撮像装置、アナログデジタル変換回路の検査方法

(57) 【特許請求の範囲】

【請求項1】

デジタル信号を保持するメモリと、アナログ信号と時間とともに変化する参照信号とを比較した比較結果を示す比較結果信号を出力する比較器と、をそれぞれ含む複数の回路部と、

クロックパルス信号を前記参照信号の変化と並行して計数して、複数のビット信号を有するカウント信号を生成し、前記カウント信号を出力するカウンタと、

前記カウント信号を複数の前記メモリに供給する複数のカウント信号伝送線と、を有し、対応する前記比較器の比較結果信号が変化した時に前記メモリが前記カウント信号を前記デジタル信号として保持することで前記アナログ信号を前記デジタル信号に変換するアナログデジタル変換回路であって、前記アナログデジタル変換回路はラッチ信号を供給するラッチ信号供給部と、

信号比較部と、

をさらに有し、

複数の前記メモリは、前記比較結果信号と前記ラッチ信号のいずれかの信号に基づいて前記カウント信号を保持し、

前記カウンタはさらに前記ラッチ信号供給部に前記カウント信号を供給し、

前記ラッチ信号供給部は前記ラッチ信号を、複数の前記ビット信号のうち、いずれかの前記ビット信号の信号レベルが変化したタイミングに応じて、複数の前記メモリに供給し、

前記信号比較部に、複数の前記メモリが保持した前記カウント信号が供給され、

前記ラッチ信号が供給された前記メモリが保持した前記デジタル信号の信号値と、前記カウント信号が前記カウンタから前記メモリに遅滞なく供給される場合において前記ラッチ信号を供給するタイミングに前記メモリが保持する前記デジタル信号の信号値と、を比較することを特徴とするアナログデジタル変換回路。

【請求項 2】

複数の前記ビット信号のうち、いずれかの前記ビット信号の信号レベルが変化したタイミングから、前記ラッチ信号を供給するまでの期間が可変であることを特徴とする請求項 1 に記載のアナログデジタル変換回路。

【請求項 3】

前記ラッチ信号供給部は、複数の前記ビット信号のうち、いずれかの前記ビット信号の信号レベルが変化したタイミングから、前記ラッチ信号を供給するまでの期間が前記クロックパルス信号のパルス周期の整数倍であることを特徴とする請求項 1 または 2 に記載のアナログデジタル変換回路。

【請求項 4】

前記ラッチ信号供給部は、複数の前記ビット信号のいずれかの前記ビット信号の信号レベルが変化したタイミングに対し、前記クロックパルス信号のパルス周期の整数倍の時間遅延して信号レベルが変化するパルス信号を、遅延時間を変えて複数生成し、

複数の前記パルス信号から選択した信号を前記ラッチ信号として供給することを特徴とする請求項 3 に記載のアナログデジタル変換回路。

【請求項 5】

前記ラッチ信号供給部は、前記カウント信号の前記複数のビット信号のいずれかの前記ビット信号の信号レベルが変化したタイミングから、前記クロックパルス信号のパルス周期の 2 周期以内の期間に前記ラッチ信号を供給することを特徴とする請求項 1 ~ 4 のいずれかに記載のアナログデジタル変換回路。

【請求項 6】

前記ラッチ信号供給部に、さらに前記クロックパルス信号が供給され、

前記ラッチ信号供給部は、供給される前記クロックパルス信号の信号レベルが変化したタイミングに同期して、前記ラッチ信号を供給することを特徴とする請求項 1 ~ 5 のいずれかに記載のアナログデジタル変換回路。

【請求項 7】

前記ラッチ信号供給部に、前記カウンタに供給される前記クロックパルス信号とは別のクロックパルス信号が供給されることを特徴とする請求項 1 ~ 5 のいずれかに記載のアナログデジタル変換回路。

【請求項 8】

前記カウント信号のビット数が a ビットであり、

前記メモリが保持する前記デジタル信号のビット数が、前記 a ビットよりも小さいビット数である b ビットであり、

前記信号比較部が、

前記ラッチ信号が供給された前記メモリが保持した前記デジタル信号と、前記カウント信号が前記カウンタから前記メモリに遅滞なく供給される場合において前記ラッチ信号を供給するタイミングに前記メモリが保持する前記デジタル信号の信号値との比較を、前記 b ビットと同じ桁同士で行うことを特徴とする請求項 1 ~ 7 のいずれかに記載のアナログデジタル変換回路。

【請求項 9】

前記ラッチ信号供給部は、同期信号生成部とマスク部とを有し、

前記同期信号生成部は、複数の前記ビット信号のいずれかの前記ビット信号の信号レベルが変化するタイミングに応じて前記マスク部に信号を供給する動作を行い、

前記マスク部によって、前記同期信号生成部から供給される前記信号を複数の前記メモリに供給されるか否かが切り替えられ、

10

20

30

40

50

前記マスク部によって複数の前記メモリに供給される前記信号が前記ラッチ信号であることを特徴とする請求項 1 ~ 8 のいずれかに記載のアナログデジタル変換回路。

【請求項 10】

前記カウント信号はさらに、前記カウント信号伝送線とは別の信号経路によって、前記カウンタから前記ラッチ信号供給部に供給されることを特徴とする請求項 1 ~ 9 のいずれかに記載のアナログデジタル変換回路。

【請求項 11】

前記カウンタから前記ラッチ信号供給部にビット信号選択部を介して前記カウント信号が供給され、

前記ビット信号選択部は、前記カウント信号が有する複数の前記ビット信号のうち、前記ラッチ信号供給部に供給する前記ビット信号を選択し、

前記ラッチ信号供給部は、前記ビット信号選択部によって選択された前記ビット信号が供給されるタイミングに応じて前記ラッチ信号を供給することを特徴とする請求項 1 ~ 10 のいずれかに記載のアナログデジタル変換回路。

【請求項 12】

前記ラッチ信号供給部が、複数の前記メモリのすべてに前記ラッチ信号を供給することを特徴とする請求項 1 ~ 11 のいずれかに記載のアナログデジタル変換回路。

【請求項 13】

前記信号比較部が、

前記ラッチ信号が供給された前記メモリが保持した前記デジタル信号の信号値と、前記カウント信号が前記カウンタから前記メモリに遅滞なく供給される場合において前記ラッチ信号を供給するタイミングに前記メモリが保持する前記デジタル信号の信号値を含む所定の信号範囲と、を比較することを特徴とする請求項 1 ~ 12 のいずれかに記載のアナログデジタル変換回路。

【請求項 14】

前記信号比較部が、前記ラッチ信号が供給された前記メモリが保持した前記デジタル信号の信号値と、前記カウント信号が前記カウンタから前記メモリに遅滞なく供給される場合において前記ラッチ信号を供給するタイミングに前記メモリが保持する前記デジタル信号の信号値とを比較して信号値のずれを検出し、

さらに、前記信号値のずれが所定の信号範囲内にあるか否かが判定することを特徴とする請求項 1 ~ 12 のいずれかに記載のアナログデジタル変換回路。

【請求項 15】

請求項 1 ~ 14 のいずれかに記載のアナログデジタル変換回路を有する撮像装置であって、

前記撮像装置はさらに、光電変換により電荷が生じる光電変換部を含む複数列の画素を有し、

複数列の前記画素の各列に、複数の前記比較器の各々が接続されていることを特徴とする撮像装置。

【請求項 16】

光電変換により電荷が生じる光電変換部を含む複数列の画素と、アナログデジタル変換回路と、を有する撮像装置であって、

前記アナログデジタル変換回路は、

デジタル信号を保持するメモリと、アナログ信号と時間とともに変化する参照信号とを比較した比較結果を示す比較結果信号を出力する比較器と、をそれぞれ含む複数の回路部と、

クロックパルス信号を前記参照信号の変化と並行して計数して、複数のビット信号を有するカウント信号を生成し、前記カウント信号を出力するカウンタと、

前記カウント信号を複数の前記メモリに供給する複数のカウント信号伝送線と、を有し、対応する前記比較器の比較結果信号が変化した時に前記メモリが前記カウント信号を前記デジタル信号として保持することで前記アナログ信号を前記デジタル信号に変換

10

20

30

40

50

するアナログデジタル変換回路であって、

複数列の前記画素の各列に、複数の前記比較器の各々が接続され、前記撮像装置は、ラッチ信号を供給するラッチ信号供給部と、信号比較部と、をさらに有し、

複数の前記メモリは、前記比較結果信号と前記ラッチ信号のいずれかの信号に基づいて前記カウント信号を保持し、

前記カウンタはさらに前記ラッチ信号供給部に前記カウント信号を供給し、

前記ラッチ信号供給部は、前記ラッチ信号を、複数の前記ビット信号のうち、いずれかの前記ビット信号の信号レベルが変化したタイミングに応じて、複数の前記メモリに供給し、

前記信号比較部に、複数の前記メモリが保持した前記カウント信号が供給され、

前記ラッチ信号が供給された前記メモリが保持した前記デジタル信号の信号値と、前記カウント信号が前記カウンタから前記メモリに遅滞なく供給される場合において前記ラッチ信号を供給するタイミングに前記メモリが保持する前記デジタル信号の信号値と、を比較することを特徴とする撮像装置。

【請求項 17】

複数のメモリと、

カウント信号伝送線と、

クロックパルス信号を計数した、複数のビット信号を有するカウント信号を、前記カウント信号伝送線を介して複数の前記メモリに供給するカウンタと、
を有するアナログデジタル変換回路の検査方法であって、

前記カウント信号を複数の前記メモリに保持させるラッチ信号を、複数の前記ビット信号のうち、いずれかの前記ビット信号の信号レベルが変化したタイミングに応じて複数の前記メモリに供給し、

前記ラッチ信号が供給された前記メモリが保持した前記カウント信号の信号値と、前記カウント信号が前記カウンタから前記メモリに遅滞なく供給される場合において前記ラッチ信号を供給するタイミングに前記メモリが保持する前記カウント信号の信号値とを比較することを特徴とするアナログデジタル変換回路の検査方法。

【請求項 18】

撮像装置と、前記撮像装置から出力される撮像信号を処理する撮像信号処理部とを含む撮像システムの製造方法であって、

前記撮像装置はアナログデジタル変換回路と画素部とを含み、

前記アナログデジタル変換回路は、

複数のメモリと、時間とともに変化する参照信号とアナログ信号とを比較した比較結果を示す信号である比較結果信号を前記メモリに供給する比較器と、と含む複数の回路部と、
カウント信号伝送線と、

クロックパルス信号を計数した、複数のビット信号を有するカウント信号を、前記カウント信号伝送線を介して複数の前記メモリに供給するカウンタと、
を有し、

前記画素部は、光電変換により電荷が生じる光電変換部を含む複数列の画素を有し、

前記撮像装置は、複数列の前記画素の各列に前記回路部が設けられており、前記画素は前記アナログ信号である画素信号を前記比較器に出力し、

前記製造方法は、請求項 17 に記載のアナログデジタル変換回路の検査方法を有することを特徴とする撮像システムの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アナログデジタル変換回路、撮像装置、アナログデジタル変換回路の検査方法に関するものである。

【背景技術】

【0002】

10

20

30

40

50

従来、アナログ信号と参照信号とを比較する比較器が複数列設けられ、メモリと比較器が電氣的に接続された、アナログ信号をデジタル信号に変換する、列並列型のアナログデジタル変換回路（以下、アナログデジタル変換回路をADC（Analog Digital Converter）、列並列型のADCを列ADCと表記する）が知られている。列ADCの一例として、クロックパルスを計数してカウント信号を出力するカウンタに複数列のメモリが共通して電氣的に接続され、複数列のメモリがカウンタの出力するカウント信号を保持する形態が知られている。

特許文献1には、列ADCの動作を診断する診断ロジック部を有する列ADCが記載されている。特許文献1に記載の列ADCは、制御ロジック及び外部システムインターフェースから二重バッファへカウント信号が供給される構成として記載されている。また、診断ロジック部について、制御ロジック及び外部システムインターフェース部の動作可否の診断を行う診断Aモード、比較器の動作可否を診断する診断Bモード、メモリの動作を検査する診断Cモードが記載されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開平11-331883号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献1には、カウント信号が伝送される信号経路の不良によって生じるカウント信号の遅延を検査することについての開示は無い。

本発明の目的は、カウンタからメモリへカウント信号を伝送する信号経路の不良によって生じる、メモリに供給されるカウント信号の遅延を好適に検出することを目的とする。

【課題を解決するための手段】

【0005】

本発明は上記の課題を鑑みてなされたものであり、一の態様は、デジタル信号を保持するメモリと、アナログ信号と時間とともに変化する参照信号とを比較した比較結果を示す比較結果信号を出力する比較器と、をそれぞれ含む複数の回路部と、クロックパルス信号を前記参照信号の変化と並行して計数して、複数のビット信号を有するカウント信号を生成し、前記カウント信号を出力するカウンタと、前記カウント信号を複数の前記メモリに供給する複数のカウント信号伝送線と、を有し、対応する前記比較器の比較結果信号が変化した時に前記メモリが前記カウント信号を前記デジタル信号として保持することで前記アナログ信号を前記デジタル信号に変換するアナログデジタル変換回路であって、前記アナログデジタル変換回路はラッチ信号を供給するラッチ信号供給部と、信号比較部と、をさらに有し、複数の前記メモリは、前記比較結果信号と前記ラッチ信号のいずれかの信号に基づいて前記カウント信号を保持し、前記カウンタはさらに前記ラッチ信号供給部に前記カウント信号を供給し、前記ラッチ信号供給部は前記ラッチ信号を、複数の前記ビット信号のうち、いずれかの前記ビット信号の信号レベルが変化したタイミングに応じて、複数の前記メモリに供給し、前記信号比較部に、複数の前記メモリが保持した前記カウント信号が供給され、前記ラッチ信号が供給された前記メモリが保持した前記デジタル信号の信号値と、前記カウント信号が前記カウンタから前記メモリに遅滞なく供給される場合において前記ラッチ信号を供給するタイミングに前記メモリが保持する前記デジタル信号の信号値と、を比較することを特徴とするアナログデジタル変換回路である。

【0006】

また、別の態様は、光電変換により電荷が生じる光電変換部を含む複数列の画素と、アナログデジタル変換回路と、を有する撮像装置であって、前記アナログデジタル変換回路は、デジタル信号を保持するメモリと、アナログ信号と時間とともに変化する参照信号とを比較した比較結果を示す比較結果信号を出力する比較器と、をそれぞれ含む複数の回路部と、クロックパルス信号を前記参照信号の変化と並行して計数して、複数のビット信号

10

20

30

40

50

を有するカウント信号を生成し、前記カウント信号を出力するカウンタと、前記カウント信号を複数の前記メモリに供給する複数のカウント信号伝送線と、を有し、対応する前記比較器の比較結果信号が変化した時に前記メモリが前記カウント信号を前記デジタル信号として保持することで前記アナログ信号を前記デジタル信号に変換するアナログデジタル変換回路であって、複数列の前記画素の各列に、複数の前記比較器の各々が接続され、前記撮像装置は、ラッチ信号を供給するラッチ信号供給部と、信号比較部と、をさらに有し、複数の前記メモリは、前記比較結果信号と前記ラッチ信号のいずれかの信号に基づいて前記カウント信号を保持し、前記カウンタはさらに前記ラッチ信号供給部に前記カウント信号を供給し、前記ラッチ信号供給部は、前記ラッチ信号を、複数の前記ビット信号のうち、いずれかの前記ビット信号の信号レベルが変化したタイミングに応じて、複数の前記

10

前記信号比較部に、複数の前記メモリが保持した前記カウント信号が供給され、

前記ラッチ信号が供給された前記メモリが保持した前記デジタル信号の信号値と、前記カウント信号が前記カウンタから前記メモリに遅滞なく供給される場合において前記ラッチ信号を供給するタイミングに前記メモリが保持する前記デジタル信号の信号値と、を比較することを特徴とする撮像装置である。

【0007】

また、別の態様は、複数のメモリと、カウント信号伝送線と、クロックパルス信号を計数した、複数のビット信号を有するカウント信号を、前記カウント信号伝送線を介して複数の前記メモリに供給するカウンタと、を有するアナログデジタル変換回路の検査方法であって、前記カウント信号を複数の前記メモリに保持させるラッチ信号を、複数の前記ビット信号のうち、いずれかの前記ビット信号の信号レベルが変化したタイミングに応じて複数の前記メモリに供給し、前記ラッチ信号が供給された前記メモリが保持した前記カウント信号の信号値と、前記カウント信号が前記カウンタから前記メモリに遅滞なく供給される場合において前記ラッチ信号を供給するタイミングに前記メモリが保持する前記カウント信号の信号値とを比較することを特徴とするアナログデジタル変換回路の検査方法である。

20

【発明の効果】

【0008】

本発明によれば、カウント信号が伝送される信号経路の不良によって生じるカウント信号の遅延を好適に検出することができる。

30

【図面の簡単な説明】

【0009】

【図1】実施例1に関わる撮像装置の構成の一例を表した図

【図2】実施例1に関わる画素部の構成及び動作の一例を表した図

【図3】実施例1に関わる、比較部、カウンタ、テストラッチ信号供給部の構成の一例を表した図

【図4】実施例1に関わる撮像装置の通常動作モード、検査モードの動作の一例を表した図

【図5】実施例1に関わる撮像装置の検査モードの一例を表したフローチャート

40

【図6】実施例2に関わるテストラッチ信号供給部の構成及び動作の一例を表した図

【図7】実施例3に関わるAD変換部の構成の一例を表した図

【図8】実施例4に関わるAD変換部の構成の一例を表した図

【図9】実施例4に関わる撮像装置の検査モードの動作の一例を表した図

【図10】実施例5に関わるカウンタの構成と、撮像装置の検査モードの動作の一例を表した図

【図11】実施例6に関わる撮像システムの一例を表した図

【発明を実施するための形態】

【0010】

以下、図面を参照しながら本発明の実施形態を説明する。

50

【実施例 1】

【0011】

図1は、本実施例に関する列ADCを有する撮像装置を例示したブロック図である。

【0012】

10は画素部、20は垂直走査部、30はAD変換部、40は水平走査部である。50はタイミング信号供給部、60は信号処理部、70は設定部、80は通信部である。

【0013】

本実施例は、撮像部としての画素部10、垂直走査部20を有している。画素部10は、撮像装置に入射した光をアナログ信号である電気信号に変換する画素が複数列、複数行配置されている。画素が垂直信号線39に出力する信号を以下、画素信号PIXSIGと呼ぶ。

10

【0014】

画素信号PIXSIGを出力する画素部10の一例を、図2(a)を参照しながら説明する。図2(a)は図1に記載した、画素部10のうちの2行8列の画素11~18, 21~28、垂直走査部20、垂直信号線39を部分的に示したものである。画素部10に含まれる画素の具体的な構成を画素11に示した。画素は、光電変換部501、転送MOSトランジスタ502、リセットMOSトランジスタ503、フローティングディフージョン部(以下、FD部と表記する)504、増幅MOSトランジスタ505、選択MOSトランジスタ506を有している。光電変換部501は入射光を電荷に変換する。ここでは例としてフォトダイオードを示している。転送MOSトランジスタ502は、フォトダイオード501の電荷をFD部504に転送する。転送MOSトランジスタ502のゲートに、垂直走査部20から転送信号PTXが供給される。

20

【0015】

FD部504は、増幅MOSトランジスタ505のゲートと電氣的に接続されている。増幅MOSトランジスタ505は、FD部504の電荷に基づいて信号を増幅して出力する。増幅MOSトランジスタ505のドレインには電源電圧Vddが供給され、ソースは選択MOSトランジスタ506のドレインに電氣的に接続されている。選択MOSトランジスタ506は、増幅MOSトランジスタ505と垂直信号線39の間の電氣的経路に設けられており、ゲートに垂直走査部20から選択信号PSELが供給される。垂直走査部20は画素の行ごとに選択信号PSELを供給し、画素の行の走査を行う。

30

【0016】

リセットMOSトランジスタ503は、ソースがFD部504と電氣的に接続し、ドレインには電源電圧Vddが供給されている。つまり、増幅MOSトランジスタ505とリセットMOSトランジスタ503のそれぞれのドレイン電圧は共通の電源電圧Vddに設定されている。また、リセットMOSトランジスタ503のゲートに垂直走査部20からリセット信号PRESが供給される。リセットMOSトランジスタ503は、垂直走査部20からリセットパルスが印加された時に、FD部504の電位のリセットを行う。増幅MOSトランジスタ505が出力した信号は、選択MOSトランジスタ506を介して垂直信号線39に画素信号PIXSIGとして出力される。

40

【0017】

次に図2(b)に例示したタイミング図を用いて、画素部10に含まれる画素の動作を説明する。

図2(b)に示したVfdはFD部504の電位、Vlineは垂直信号線39の電位を示している。

【0018】

時刻t_aでは、PRESはHレベルであり、PTXはLレベルである。選択した画素の行のPSELをHレベルとして選択MOSトランジスタ506をONすることにより、増幅MOSトランジスタ505で増幅された画素信号PIXSIGが選択MOSトランジスタ506を介して垂直信号線39に出力される。

【0019】

50

時刻 t_{a} の時、リセット信号 $PRES$ は H レベルの状態であるので、 FD 部 504 がリセットされている。 FD 部 504 のリセットされた状態の電位に基づく信号が増幅 MOS トランジスタ 505 により増幅出力される。増幅 MOS トランジスタ 505 から出力された信号は、選択 MOS トランジスタ 506 を介して垂直信号線 39 に画素信号 $PIXSIG$ として出力される。

【0020】

時刻 t_{b} でリセット信号 $PRES$ を L レベルとすることにより FD 部 504 のリセットを解除する。

【0021】

時刻 t_{c} で転送信号 PTX を H レベルとすることにより、フォトダイオード 501 に蓄積された電荷が FD 部 504 へ転送される。その後、時刻 t_{d} で転送信号 PTX を L レベルにすることで、電荷の転送を完了する。

10

【0022】

この時の FD 部 504 の電位に基づく信号が増幅 MOS トランジスタ 505 によって増幅出力される。増幅 MOS トランジスタ 505 から出力された信号は、垂直信号線 39 に画素信号 $PIXSIG$ として出力される。

【0023】

時刻 t_{e} でリセット信号 $PRES$ を再び H レベルとすることにより FD 部 504 の電位がリセットされる。垂直走査部 20 は、1行目の画素 $11 \sim 18$ を選択して画素信号 $PIXSIG$ を出力させた後、2行目の画素 $21 \sim 28$ に供給する選択信号 SEL を H レベルとして、2行目の画素 $21 \sim 28$ を選択する。そして、1行目の画素 $11 \sim 18$ と同様の動作を行い、2行目の画素 $21 \sim 28$ に画素信号 $PIXSIG$ を出力させる。

20

【0024】

次に再び図1を参照しながら、本実施例の撮像装置を引き続き説明する。

【0025】

AD 変換部 30 はランプ信号供給部 31 、カウンタ 32 、テストラッチ信号供給部 33 を含むと共に、比較部 34 、 OR 回路 35 とメモリ 36 を有する回路部 29 を複数列含む。比較部 34 は画素部 10 から入力される画素信号 $PIXSIG$ と、ランプ信号供給部 31 から供給されるランプ信号 RMP とを比較する。ランプ信号 RMP は、画素信号 $PIXSIG$ と比較される参照信号である。比較部 34 は、タイミング信号供給部 50 から転送されるラッチ許可信号 $LATEN$ が H レベルである場合に、ラッチ信号 LAT を OR 回路 35 に出力する。比較部 34 は、ランプ信号供給部 31 によって時間とともに変化するランプ信号 RMP と、画素信号 $PIXSIG$ との大小関係が逆転した時に、 OR 回路 35 にラッチ信号 LAT を出力する。

30

【0026】

OR 回路 35 は、比較部 34 からのラッチ信号 LAT と、後述するテストラッチ信号供給部 33 からのテストラッチ信号 $COMLAT$ のいずれかの信号が H レベルとなった時にメモリ 36 に、メモリ書き込み信号 WEN を出力する。

【0027】

カウンタ 32 はランプ信号供給部 31 のランプ信号 RMP の出力開始から、不図示のクロックパルス供給部から供給されるクロックパルス信号 CLK を計数した、複数のビット信号を有するカウント信号 CNT を出力する。即ち、カウンタ 32 はクロックパルス信号 CLK をランプ信号 RMP の信号値の変化と並行して計数し、複数のビット信号を有するカウント信号 CNT を生成して出力する。以降、カウント信号 CNT の n ビット目のビット信号をビット信号 $CNT(n)$ として表記する。カウント信号 CNT はカウント信号伝送線 46 を通じ、各列のメモリ 36 に共通して供給される。カウント信号伝送線 46 は、カウント信号 CNT のビット数と同じ本数設けられている。カウンタ 32 は、バイナリカウンタに限られず、グレイコードカウンタであっても良い。

40

【0028】

テストラッチ信号供給部 33 は、同期信号生成部 $33-1$ を有している。同期信号生成

50

部 33-1 は、カウンタ 32 と不図示のクロックパルス供給部とに電氣的に接続されている。テストラッチ信号供給部 33 は、カウント信号 CNT の複数のビット信号のうち、タイミング信号供給部 50 から供給されるビット選択信号 BITSEL に基づいて検査するビット信号を選択する。同期信号生成部 33-1 は、ラッチマスク信号 LATMASK に基づいて、複数のビット信号の中から選択されたビット信号の信号変化のタイミングに同期したテストラッチ信号 COMLAT の生成を行う。つまり、カウント信号 CNT の中から選択されたビット信号の信号値が 0 1 もしくは 1 0 に変化するタイミングに同期したテストラッチ信号 COMLAT を生成する。そして、テストラッチ信号供給部 33 は各列の OR 回路 35 にテストラッチ信号 COMLAT を供給する。テストラッチ信号供給部 33 の詳細な構成については後に図 3(c) を参照しながら述べる。

10

【0029】

メモリ 36 は、カウント信号伝送線 46 を通じてカウント信号 CNT が供給されている。また、各列の比較部 34 に対応して各列に設けられている。メモリ 36 は、OR 回路 35 から供給されるメモリ書き込み信号 WEN が H レベルとなる期間のカウント信号 CNT を保持する。このメモリ書き込み信号 WEN が H レベルとなることによってメモリ 36 が保持したカウント信号 CNT を、以降メモリ保持信号と表記する。

【0030】

水平走査部 40 は、タイミング信号供給部 50 から供給される水平走査信号 HSCAN に基づいて、各列のメモリ 36 を順に走査し、各列のメモリ 36 に保持されたメモリ保持信号を信号処理部 60 に転送する。

20

【0031】

タイミング信号供給部 50 にはクロックパルス信号 CLK' が供給されている。クロックパルス信号 CLK' はカウンタ 32 に供給されるクロックパルス信号 CLK と同じ周波数であっても良い。ただし、タイミング信号供給部 50 は、カウンタ 32 が計測する期間よりも長い期間を計測するため、クロックパルス信号 CLK' はクロックパルス信号 CLK よりも低い周波数が適している。タイミング信号供給部 50 は、テストラッチ信号供給部 33、カウンタ 32、比較部 34、ランプ信号供給部 31、垂直走査部 20、水平走査部 40 のそれぞれにタイミング信号を供給する。テストラッチ信号供給部 33 には、ビット選択信号 BITSEL とラッチマスク信号 LATMASK とを供給する。テストラッチ信号供給部 33 に供給する信号をまとめて表す際には、タイミング信号 SIG33 と表記する。タイミング信号供給部 50 は、後述する設定部 70 に含まれるタイミング設定部 71 から供給される信号に基づいて、タイミング信号 SIG33 を供給する。カウンタ 32 には、カウント許可信号 CNTEN と、カウントリセット信号 CNTRESET とを含むタイミング信号 SIG32 を供給する。比較部 34 には、ラッチ許可信号 LATEN を供給する。タイミング信号供給部 50 は、比較部 34 にラッチ許可信号 LATEN を供給し、同時にランプ信号供給部 31 にランプ開始信号 SIG31 を供給する。垂直走査部 20 には、垂直走査開始信号 SIG20 を供給し、垂直走査部 20 に先述した通り、画素部 10 に含まれる複数行の画素の走査を行わせる。水平走査部 40 には、水平走査開始信号 HSCAN を供給し、水平走査部 40 に先述した通り、複数列のメモリ 36 の走査を行わせる。

30

【0032】

信号処理部 60 は水平走査部 40 から転送されたメモリ保持信号を、例えばグレイ値からバイナリ値に変換するなどの処理を行い、画像信号 PICOOUT を出力する。画像信号 PICOOUT が、画像を形成するために本実施例の撮像装置 1 から出力される撮像信号である。信号処理部 60 は信号比較部 61 を有する。信号比較部 61 は、水平走査部 40 を介してメモリ 36 のそれぞれから転送されるメモリ保持信号の信号値と、カウンタ 32 からメモリ 36 に出力されるカウント信号 CNT に遅延が無い時にメモリ 36 に保持されるべき信号である期待値とを比較する。そして、信号比較部 61 はメモリ保持信号の信号値と期待値とのずれの有無を判定し、判定結果を比較結果信号 TOUT として出力する。この判定に使用される期待値とは、後述する期待値・誤差範囲設定部 72 が設定する値である。この期待値とは、カウント信号 CNT がカウンタ 32 からメモリ 36 に遅滞なく供給

40

50

される場合において、テストラッチ信号COMLATを供給するタイミングにメモリ36が保持するデジタル信号である。期待値・誤差範囲設定部72は、期待値を含む信号SIG60を信号処理部60に出力される。メモリ保持信号の信号値と期待値とで誤差範囲が期待値・誤差範囲設定部72によって設定されている場合には期待値に誤差範囲を含めた所定の信号範囲とメモリ保持信号とを比較して判定し、判定結果を比較結果信号TOUTとして出力する。

【0033】

設定部70は、タイミング設定部71と期待値・誤差範囲設定部72を有している。タイミング設定部71は、タイミング信号供給部50に対して、各タイミング信号の供給設定を有する信号を供給する。期待値・誤差範囲設定部72は、信号比較部61が比較に用いる期待値と誤差範囲の値を通信部80からの信号に基づいて設定する。また、期待値・誤差範囲設定部72は、信号処理部60に期待値と誤差範囲設定の情報を有する信号を供給する。また、タイミング信号供給部50に対し、垂直走査部20、ランプ信号発生部31、カウンタ32、ラッチ信号供給部33、水平走査部40のそれぞれにタイミング信号を供給する供給タイミング設定を出力する。タイミング設定部71は、期待値・誤差範囲設定部72が設定した期待値に基づいた、供給タイミング設定を出力する。タイミング信号供給部50は、この供給タイミング設定を有するタイミング信号SIG33をテストラッチ信号供給部33に出力する。これにより、テストラッチ信号供給部33は期待値に基づいたタイミングでテストラッチ信号COMLATを、OR回路35を介してメモリ36に出力する。

【0034】

図3(a)は、比較部34の詳細な構成の一例を示すブロック図である。比較部34は、比較器34-1、信号反転検出回路34-2およびAND回路34-3で構成される。比較器34-1は、画素信号PIXSIGと、時間とともに変化するランプ信号RMPとを比較し、ランプ信号RMPと画素信号PIXSIGと大小関係が逆転した時、出力信号のレベルを反転させる。信号反転検出回路34-2は、比較器34-1の出力信号のレベルの反転を検出し、クロックパルス信号CLKの1周期程度の長さでHレベルとなるパルスを生成する。そしてAND回路34-3は、信号反転検出回路34-2の出力信号と、タイミング信号供給部50からのラッチ許可信号LATENとの論理積をラッチ信号LATとして出力する。

【0035】

図3(b)は、カウンタ32の詳細な構成の一例を示すブロック図である。カウンタ32は、バイナリカウンタ32-1とグレイコード変換回路32-2とを有する。バイナリカウンタ32-1は、カウンタリセット信号CNTRSTがHレベルの時にカウント信号CNTを初期値にセットし、カウント許可信号CNTENがHレベルの時にクロックパルス信号CLKを計数したカウント信号CNTを出力する。グレイコード変換回路32-2は、バイナリカウンタ32-1が出力するバイナリ値の信号をグレイ値の信号に変換し、カウント信号CNTとして出力する。

【0036】

図3(c)は、テストラッチ信号供給部33の詳細な構成の一例を示す回路図である。ラッチ信号供給部33は、同期信号生成部33-1と、セレクトASEL1と、AND回路AND2とで構成される。セレクトASEL1はタイミング信号供給部50からのビット選択信号BITSELを受けて、nビットのカウント信号CNTからテスト対象のビット信号を選択する。同期信号生成部33-1は、直列に電氣的に接続された3個のフリップフロップ回路FF1~FF3、インバータINVおよびAND回路AND1, AND2で構成される。セレクトASEL1で選択されたビット信号の立ち上がりに応じて、クロックパルス信号CLKの1周期分がHレベルとなる信号がAND回路AND1から信号SIG-AND1として出力される。AND回路AND2は、信号SIG-AND1とタイミング信号供給部50からのラッチマスク信号LATMASKと論理積をとる。即ち、AND回路AND2は、信号SIG-AND1、ラッチマスク信号LATMASKがともにHレベ

10

20

30

40

50

ルの期間に、テストラッチ信号COMLATを出力する。これにより、信号SIG-AND1がHレベルとなる時期が複数回あった場合、信号AND-SIG1がHレベルとなった複数回の時期のうち、テストラッチ信号COMLATを供給する時期を選択することができる。すなわち、AND回路AND2は、同期信号生成部33-1から供給される信号SIG-AND1を複数のメモリ36にテストラッチ信号COMLATとして供給するかどうかを切り替えるマスク部である。

【0037】

図1に例示した撮像装置は通常動作モードと、検査モードの2つのモードを有する。まず、通常動作モードについて説明する。

【0038】

図4(a)は、図1に例示した撮像装置の通常動作モードを例示したタイミング図である。本実施例のカウント信号CNTは6ビットの信号であり、カウント信号伝送線46は46-0~46-5(不図示)の6本設けられている。なおカウント信号伝送線46の表記は、nビット目のビット信号を伝送するカウント信号伝送線をカウント信号伝送線46-nとして表記する。

【0039】

時刻t10で、タイミング信号供給部50はカウントリセット信号CNTRSTをHレベルとしてカウント値をリセットする。カウンタ32は、カウントリセット信号CNTRSTがHレベルとなると、カウント信号CNTを初期値(ここでは0)にセットする。その後、カウントリセット信号CNTRSTをLレベルとし、時刻t11に開始するクロックパルス信号CLKのカウントに備える。

【0040】

時刻t11で、ラッチ許可信号LATENとカウント許可信号CNTENとをHレベルとする。同時に、ランプ信号供給部31に供給するランプ開始信号をHレベルとし、ランプ信号RMPの信号レベルの時間に比例した増加を開始する。カウンタ32では、カウント許可信号CNTENがHレベルとなることにより、バイナリカウンタ32-1がクロックパルス信号CLKのカウントを開始する。さらにグレイコード変換回路32-2が、バイナリ値のカウント値をグレイ値に変換したカウント信号CNTをカウント信号伝送線46-0~46-5に出力する。

【0041】

次に、時刻t12において、ランプ信号RMPの信号レベルが画素信号PIXSIGよりも大きくなる。この時に、比較部34はラッチ信号LATをHレベルとしてOR回路35に出力する。OR回路35はラッチ信号35が供給されるとメモリ書き込み信号WENをHレベルとしてメモリ36に出力する。メモリ36はこのメモリ書き込み信号WENが入力された時のカウント信号CNTをメモリ保持信号として保持する。図4(a)に例示したタイミング図においては、メモリ36はバイナリ値の35に相当するグレイ値のカウント信号CNTを保持する。

【0042】

次に、時刻t13において、ランプ信号供給部31はランプ信号RMPの信号レベルを、ランプ信号RMPの時間変化を開始させる時刻t11の信号レベルに戻す。同時にカウント許可信号CNTENをLレベルとして、カウント信号CNTについて、クロックパルス信号CLKのカウントを終了する。また、ラッチ許可信号LATENもLレベルとする。

【0043】

時刻t14において、タイミング信号供給部50は、水平走査部40にHレベルの水平走査信号HSCANを供給する。水平走査信号HSCANが入力された水平走査部40はメモリ36を順に走査し、メモリ保持信号を信号処理部60に転送する。

【0044】

時刻t15において、カウントリセット信号CNTRSTをHレベルとし、カウント信号CNTを初期値にセットして次のAD変換に備える。

10

20

30

40

50

【 0 0 4 5 】

カウント信号 C N T について遅延、欠損の検査をするのが、検査モードである。

【 0 0 4 6 】

図 4 (b) は、図 1 に例示した撮像装置の検査モードを例示したタイミング図である。図 4 (b) に例示した検査モードは、図 4 (a) に例示したビット信号 C N T (4) について検査するモードである。

【 0 0 4 7 】

この検査モードでは、O R 回路 3 5 に、比較部 3 4 からのラッチ信号 L A T ではなく、テストラッチ信号供給部 3 3 からテストラッチ信号 C O M L A T が供給される点が通常動作モードとは異なっている。

10

【 0 0 4 8 】

時刻 $t 2 0$ から時刻 $t 3 0$ までにおいて、カウントリセット信号 C N T R S T、カウント許可信号 C N T E N、カウント信号伝送線 4 6 に供給されるカウント信号 C N T のそれぞれの動作は、通常動作モードと同様とすることができる。つまり、検査モードにおける時刻 $t 2 0$ 、 $t 2 1$ 、 $t 2 8$ 、 $t 3 0$ をそれぞれ順に通常動作モードにおける時刻 $t 1 0$ 、 $t 1 1$ 、 $t 1 3$ 、 $t 1 5$ に相当させて動作させることができる。

【 0 0 4 9 】

テストラッチ信号供給部 3 3 のセレクトア SEL 1 は、ビット選択信号 B I T S E L の信号値に従って、ビット信号 C N T (4) をフリップフロップ回路 F F 1 に出力する。フリップフロップ回路 F F 1 はビット信号 C N T (4) の信号変化したタイミングに対し、クロックパルス信号 C L K の 1 周期分遅れて H レベルとなる信号 S I G - F F 1 をフリップフロップ回路 F F 2 に出力する。フリップフロップ回路 F F 2 は、H レベルの信号 S I G - F F 1 が入力されると、さらにクロックパルス信号 C L K の 1 周期分遅れて H レベルの信号 S I G - F F 2 をフリップフロップ回路 F F 3 と A N D 回路 A N D 1 に出力する。フリップフロップ回路 F F 3 は、H レベルの信号 S I G - F F 2 が入力されると、クロックパルス信号 C L K の 1 周期分遅れて H レベルの信号をインバータ I N V に出力する。インバータ I N V はフリップフロップ回路 F F 3 から入力された信号の信号レベルを反転した信号 S I G - I N V を A N D 回路 A N D 1 に出力する。A N D 回路 A N D 1 は、信号 S I G - F F 2 と信号 S I G - I N V の論理積を A N D 回路 A N D 2 に出力する。よって、A N D 回路 A N D 1 から出力される信号 S I G - A N D 1 は時刻 $t 2 3$ に H レベルとなり、時刻 $t 2 4$ に L レベルとなる。信号 S I G - A N D 1 が H レベルである時に、タイミング信号供給部 5 0 から供給されるラッチマスク信号 L A T M A S K が H レベルであれば、A N D 回路 A N D 2 から H レベルのテストラッチ信号 C O M L A T が出力される。ラッチマスク信号 L A T M A S K は時刻 $t 2 2 \sim t 2 5$ の間、H レベルであるため、信号 S I G - A N D 1 が H レベルである時刻 $t 2 3 \sim t 2 4$ の間、H レベルのテストラッチ信号 C O M L A T が A N D 回路 A N D 2 から O R 回路 3 5 に出力される。H レベルのテストラッチ信号 C O M L A T を受けた O R 回路 3 5 は、メモリ書き込み信号 W E N をメモリ 3 6 に出力する。メモリ 3 6 はこのメモリ書き込み信号 W E N が入力された時のカウント信号 C N T をメモリ保持信号として保持する。

20

30

【 0 0 5 0 】

ここで、ビット信号 C N T (4) を伝送するカウント信号伝送線 4 6 - 4 に不良があった時、例えば抵抗が通常より高い箇所が存在した場合には、期間 $p 2 1$ として示したように、ビット信号 C N T (4) に遅延が発生する。ビット信号 C N T (4) に遅延が生じていなければ、時刻 $t 2 3 \sim t 2 4$ の間にメモリ書き込み信号 W E N が入力されたメモリ 3 6 に保持されるメモリ保持信号はバイナリ値 1 8 に相当するグレイ値である。一方、期間 $p 2 1$ の遅延がビット信号 C N T (4) に生じていた場合にメモリ 3 6 に保持されるメモリ保持信号はバイナリ値 1 3 に相当するグレイ値となる。

40

【 0 0 5 1 】

続いて、タイミング信号供給部 5 0 は、水平走査部 4 0 に水平走査信号 H S C A N を供給する。水平走査信号 H S C A N が入力された水平走査部 4 0 はメモリ 3 6 を順に走査し

50

、メモリ保持信号を信号処理部60に転送する。信号処理部60が有する信号比較部61は、期待値・誤差範囲設定部72の設定に従って、水平走査部40によって転送されたメモリ保持信号の信号値と、誤差範囲を期待値に含めた所定の信号範囲とを比較し、ずれの有無を判定する。例えば、期待値を18のバイナリ値とし、誤差範囲を±1のバイナリ値と設定した場合には、メモリ保持信号のバイナリ値が17～19の範囲であれば正常と判定し、17～19の範囲から外れた場合には故障と判定して比較結果信号TOUTを出力する。期間p21として例示した遅延がビット信号CNT(4)に生じていた場合には、メモリ保持信号は13のバイナリ値に相当するグレイ値であるため、比較結果信号TOUTを出力する。

【0052】

これまで検査モードについて、6ビットのカウンタ信号CNTにおいて例としてビット信号CNT(4)を選択して遅延を検査する方法について説明した。本実施例の検査モードは、カウンタ信号CNTの各ビット信号を順に選択し、それぞれのカウンタ信号に遅延、欠損が生じていないかを順に検査することによって、カウンタが出力するカウンタ信号CNTに遅延、欠損が無いが総合的に検査することができる。この検査方法について、図5に例示したフローチャートを参照しながら説明する。

【0053】

検査をスタートすると(step1-1)、まず始めにタイミング信号供給部50の設定として、カウンタ信号CNTのうち検査するビットを選択し、その検査のためのタイミング設定を行う(step1-2)。次に、信号比較部61の設定として、カウンタ信号CNTのうち検査を行うビット信号に応じた期待値および誤差範囲を設定する(step1-3)。次に、カウンタ32のカウンタを開始し(step1-4)、テストラッチ信号COMLATを生成する(step1-5)。そしてカウンタ32のカウンタを終了し(step1-6)、水平走査部40により、メモリ保持信号を信号処理部60に転送する(step1-7)。次に、信号処理部60の信号比較部61で、メモリ36から転送されたメモリ保持信号と期待値に誤差範囲を含めた所定の信号範囲とを比較し(step1-8)、メモリ36から転送されたメモリ保持信号が所定の信号範囲外であった場合は故障と判定する(step1-9)。メモリ36から転送されたメモリ保持信号が誤差範囲内であった場合、step1-7～step1-8を最終列のメモリ36からメモリ保持信号が転送されるまで繰り返す。そして、最終列のメモリ保持信号であると判定された時にカウンタ信号CNTの1ビット信号の検査を終える。(step1-10)。そしてカウンタ信号CNTの全ビット信号の検査を実行し(step1-2～step1-10の繰り返し)、全ビット信号の検査を終了する。(step1-11)

step1-7においては、カウンタ32から最も距離が離れた列のメモリ保持信号を転送するだけの形態であっても良い。これは以下の2つの理由によるものである。一つは、カウンタ32から距離が離れるにしたがってカウンタ信号CNTの遅延が大きくなる傾向にあり、カウンタ32から最も離れた列が、最もカウンタ信号CNTの遅延が大きくなるためである。もう一つは、カウンタ信号伝送線46(n)上に断線が生じていた場合、カウンタ32から最も距離が離れた列のメモリ保持信号を転送することのみで、カウンタ信号伝送線46(n)の断線の有無を検査することができるからである。また、任意の列のメモリ保持信号を転送する場合は、step1-10の最終列のメモリ保持信号が転送されたか否かの判定は不要である。

【0054】

各ビット信号について、期待値とのずれの有無を検査することで、各ビット信号を伝送するそれぞれのカウンタ信号伝送線46について、不良の有無を検査することができる。また、検査対象のビット信号の信号変化に応じてテストラッチ信号を供給することにより、カウンタ信号の遅延を精度よく検出することができる。ビット信号の信号変化に依らずにテストラッチ信号を供給する場合、例えば本実施例における時刻t25にテストラッチ信号COMLATをOR回路35に供給しても、メモリ保持信号の信号値は期待値と同じとなる。従って、ビット信号CNT(4)のp21の遅延を検出することはできない。よ

10

20

30

40

50

って、本実施例の撮像装置では、ビット信号の信号変化、つまり、カウント信号CNTの信号変化に応じてテストラッチ信号COMLATを供給することにより、カウント信号CNTの遅延を精度よく検出することができる。また、信号値が全く変化しないビット信号が存在する、ビット欠損がカウント信号CNTに生じていた場合も、ビット欠損を検出することができる。本実施例の撮像装置では、検査モード時には比較部34はラッチ信号LATを出力しないため、検査モード時に、信号比較部61が期待値とメモリ保持信号とで、信号値のずれを検出した場合には、カウント信号の信号経路の不良であることが分かる。

【0055】

本実施例は、列ADCを有する装置として撮像装置を一例に説明した。本発明は、撮像装置に限定されるものではなく、アナログ信号をデジタル信号に変換するアナログデジタル変換回路のうち、各列のメモリ36に共通してカウンタがカウント信号CNTを供給する共通カウンタ型の列ADCであれば良い。即ち、共通カウンタ型の列ADCを有し、アナログ信号が垂直信号線39のそれぞれに供給される構成を有する装置であれば良い。

【0056】

また、本実施例では同期信号生成部33-1で3つのフリップフロップ回路FF1~FF3を用い、カウント信号CNTのうち選択されたビット信号の信号変化のタイミングに対しクロックパルス信号CLKの2周期分遅延したテストラッチ信号COMLATを生成していた。このテストラッチ信号COMLATを、カウント信号CNTの選択されたビット信号の信号変化のタイミングに対しクロックパルス1周期分遅れた信号とする場合、フリップフロップ回路FF1を省略することができる。すなわち、セクタSEL1がフリップフロップ回路FF2に信号を出力する形態であれば良い。

【0057】

また、本実施例ではビット信号CNT(n)のLレベルからHレベルへの信号変化のタイミングに応じてテストラッチ信号COMLATを出力する形態を説明した。しかし、同期信号生成部33-1のAND回路AND1をNOR回路とすることで、ビット信号CNT(4)のHレベルからLレベルへの信号変化に応じ、時刻t26にHレベル、時刻t27にLレベルとなるテストラッチ信号COMLATを出力することができる。また、ビット信号CNT(n)のLレベルからHレベル、及びHレベルからLレベルへの両方の信号変化に応じたテストラッチ信号COMLATを供給する場合について述べる。この場合には、図3(c)に例示した同期信号生成部33-1と、AND回路AND1の代わりにNOR回路を設けた別の同期信号生成部とを有するラッチテスト信号供給部33とすれば良い。そして、それぞれの同期信号生成部が有するAND回路AND2の出力がカウント信号伝送線46に供給されるようにすれば良い。

【0058】

本実施例は、メモリ保持信号と、メモリ36にメモリ保持信号を保持させた時のカウント信号CNTとを比較する形態を説明したが、メモリ保持信号とカウント信号CNTの全ビット信号同士の比較を行わない形態とすることもできる。例えば、カウント信号CNTが6ビットの信号であり、メモリ保持信号が5ビットである場合には、信号比較部61はカウント信号CNTの6ビットの信号から5ビットを選択した信号を期待値として用いて比較、判定を行えばよい。つまり、aビットのカウント信号CNTよりも小さいビット数のbビットの撮像信号がメモリ36から出力される場合には、メモリ保持信号とカウント信号CNTとの比較をbビットの同じ桁同士で行えばよい。

【0059】

本実施例のテストラッチ信号供給部33が供給するテストラッチ信号COMLATは、クロックパルス信号CLKの立ち上がり同期して出力していた。従って、検査するビット信号CNT(n)の信号値が変化してからテストラッチ信号COMLATが供給されるまでの時間はクロックパルス信号CLKの整数倍であった。本実施例は、この形態に限定されるものではない。テストラッチ信号COMLATをクロックパルス信号CLKの立ち上がりよりも遅らせて供給する場合には、AND回路AND1とAND回路AND2との

10

20

30

40

50

間に例えば抵抗や遅延バッファなど、信号を遅延させる手段を設ければよい。これにより、検査するビット信号CNT(n)の信号値が変化してからテストラッチ信号COMLATが供給されるまでの時間がクロックパルス信号CLKの整数倍ではない期間とすることができる。

【0060】

信号比較部61は、AD変換部30が設けられた基板と同一基板に設けられていても良いし、別の基板に設けられていても良い。

【0061】

また、本実施例の撮像装置は信号比較部61を有している必要はなく、メモリ保持信号が供給される端子を有する形態とすることができる。この形態は、検査モードの時に、この端子に期待値を記憶させた信号比較部61を有するテスト装置を電氣的に接続することで、メモリ保持信号とメモリ36にメモリ保持信号を保持させた時のカウント信号CNTとの比較、判定を行うことができる。

10

【0062】

本実施例では、信号比較部61が期待値に誤差範囲を含めた所定の信号範囲とメモリ保持信号とを比較する形態を基に説明した。別の形態として、期待値とメモリ保持信号とを比較して信号値のずれを検出し、信号値のずれが期待値・誤差範囲設定部72が設定した誤差範囲である所定の信号範囲内にあるか否かに基づいて判定し、判定結果TOUTを出力する形態であっても良い。

【0063】

本実施例では、比較部34からラッチ信号LATとテストラッチ信号供給部33からのテストラッチ信号COMLATのいずれかがHレベルとなった時にメモリ書き込み信号WENをメモリ36に供給するOR回路35を有していた。本実施例はこの形態に限定されない。つまり、検査モード時に、比較部34からのラッチ信号LATがメモリ36に供給されず、テストラッチ信号供給部33からのテストラッチ信号COMLATが供給される形態であれば良く、OR回路35が設けられていなくとも良い。また、本実施例では、各列の比較部34に対応して各列にメモリ36が設けられていた。しかし、1列の比較部34に複数のメモリ36が並列に電氣的に接続されている形態や、複数列の比較部34に1つのメモリ36が並列に電氣的に接続されている形態など、比較部34とメモリ36の電氣的な接続については種々の変形が可能である。このような比較部34とメモリ36の種々の電氣的な接続の形態を含め、比較部34はメモリ36に対応して設けられていると言える。

20

30

【0064】

本実施例では、カウンタ32とテストラッチ信号供給部33に共通のクロックパルス信号CLKが供給されていたが、カウンタ32とテストラッチ信号供給部33とで独立してクロックパルス信号CLKが供給される形態であっても良い。この形態においても、カウンタ32とテストラッチ信号供給部33とに供給されるクロックパルス信号CLKの周波数が同じであり、かつパルスの信号変化のタイミングが同期していることが好ましい。これにより、カウント信号CNTの信号が変化するタイミングに応じてテストラッチ信号COMLATを所定の期間に精度よく供給することができる。

40

【0065】

また、精度よくカウント信号CNTの遅延を検出するために、カウント信号伝送線46とテストラッチ信号COMLATをOR回路35へ伝送するテストラッチ信号伝送線と同じ遅延特性を持っていることが好ましい。例えば、カウント信号伝送線46とテストラッチ信号伝送線と同じ配線幅を有する形態がある。また、カウント信号伝送線46に中継バッファが設けられている場合には、テストラッチ信号伝送線についてもカウント信号伝送線46と同数の中継バッファを設けられている形態が好ましい。

【0066】

以上説明したように、本実施例における列ADCを有する撮像装置では、カウント信号CNTの各ビット信号の信号変化に応じたテストラッチ信号COMLATをOR回路35

50

に供給し、メモリ36にメモリ保持信号を保持させる。このテストラッチ信号COMLATを供給してメモリ36に保持されたメモリ保持信号を検査することにより、カウント信号CNTの遅延を精度よく検出することができる。また、カウント信号CNTのビット欠損についても検出することができる。

【実施例2】

【0067】

図面を参照しながら、本実施例を説明する。以下では、実施例1との相違点を中心に説明する。

【0068】

図6(a)は、図1に示したテストラッチ信号供給部33を抜き出したブロック図である。本実施例のラッチ信号供給部33は、実施例1に対し、同期信号生成部33-1の構成が異なる。実施例1において同期信号生成部33-1は、直列に電氣的に接続された3個のFF1~3、インバータINV、2つのAND回路AND1, AND2で構成されていた。また、セクタSEL1でビット選択信号BITSELに基づいてカウント信号CNTのうち選択されたビット信号の立ち上がりに対し、クロックパルス信号CLKの2周期後に1周期だけHレベルとなる信号SIG-AND1が同期信号生成部33-1から出力される構成になっていた。これに対し図6(a)に例示した同期信号生成部33-1は、セクタSEL1の出力端子に対して直列に電氣的に接続された2個のFF1、FF2、インバータINV、2つのAND回路AND1, AND2を有する。さらに、AND回路AND1の出力端子に対して直列に電氣的に接続された4個のFF4~7およびセクタSEL2を有する。セクタSEL2がタイミング信号供給部50より供給される遅延量選択信号DELAYSELに基づいて信号SIG-AND1、SIG-FF4~7のいずれかの信号を選択する。セクタSEL2が出力する信号SIG-SEL2が同期信号生成部33-1から出力される信号である。

【0069】

次に、図6(b)に例示したタイミング図を用いて、本実施例の同期信号生成部33-1の動作について説明する。

【0070】

まず時刻t40において、セクタSEL1からは、ビット選択信号BITSELによって選択されたビット信号CNT(n)が出力される。続いて時刻t40からクロックパルス信号CLKの1周期後の時刻である時刻t41に信号SIG-FF1をHレベルとする。続いて時刻t41からクロックパルス信号CLKの1周期後の時刻である時刻t42にフリップフロップ回路FF2の出力信号をHレベルとしてインバータINVに出力される。インバータINVからの信号SIG-INVはフリップフロップ回路FF2からの出力信号を反転した信号であるため、時刻t42にLレベルとなる。よって、AND回路AND1から出力される信号SIG-AND1は時刻t41からt42の期間、Hレベルとなる。このクロックパルス信号CLKの1周期分Hレベルとなる信号SIG-AND1がセクタSEL2とフリップフロップ回路FF4に出力される。フリップフロップ回路FF4から出力される信号SIG-FF4は、信号SIG-AND1に対してクロックパルス1周期分遅延した信号であり、セクタSEL2とフリップフロップ回路FF5に出力される。同様に、信号SIG-FF5、SIG-FF6、SIG-FF7のそれぞれは順に信号SIG-FF4、SIG-FF5、SIG-FF6に対してクロックパルス信号CLKの1周期分ずつ遅延した信号である。そして同期信号生成部33-1から出力される信号SIG-SEL2とラッチマスク信号LATMASKの論理和であるテストラッチ信号COMLATとしてAND回路AND2から出力される。

【0071】

本実施例に関わるテストラッチ信号供給部33を用いることにより、カウント信号CNTのうち検査を行うビット信号の信号変化から、テストラッチ信号COMLATを供給するまでの遅延量を任意に設定することができる。このため、カウント信号CNTの遅延に対する誤差範囲をテストラッチ信号供給部33によっても設定することが可能となる。

10

20

30

40

50

【実施例 3】

【0072】

図面を参照しながら、本実施例を説明する。以下では、実施例 1 との相違点を中心に説明する。

【0073】

図 7 (a) は、図 1 に例示した撮像装置のうち、A/D変換部 30 とタイミング信号供給部 50 を抜き出したブロック図である。以下では、実施例 1 との相違点を中心に説明する。

【0074】

実施例 1 においては、カウンタ 32 から出力されたカウント信号 CNT はカウント信号伝送線 46 を通じ、メモリ 36 に出力される構成になっていた。これに対し図 7 (a) に例示した本実施例に関わる構成では、カウント信号 CNT は、カウント信号出力部 37 に入力される。そしてカウント信号出力部 37 が出力するカウント信号 CNT 2 が、カウント信号伝送線 46 を通じてメモリ 36 に出力される。

【0075】

図 7 (b) は、カウント信号出力部 37 の詳細な構成の一例を示す回路図である。カウント信号出力部 37 は、 n 個のクロック同期出力回路 37 - 1 で構成される。そしてクロック同期出力回路 37 - 1 は、フリップフロップ回路 FF n とバッファ回路 37 - 11 (n) で構成される。入力される n ビットのカウント信号 CNT は、クロック同期出力回路 37 - 1 でクロックパルス信号 CLK と同期した後、 n ビットのカウント信号 CNT 2 として出力する。このカウント信号 CNT 2 は、フリップフロップ回路 FF n にカウント信号 CNT が入力されてから生じるクロックパルス信号 CLK の立ち上がり同期して出力されるため、カウント信号 CNT に対してクロックパルス信号 CLK の 1 周期分遅延した信号となる。

【0076】

本実施例のテストラッチ信号供給部 33 は、実施例 1 で図 3 (c) を例示しながら説明した構成を有する。よって、本実施例の同期信号生成部 33 - 1 が生成するテストラッチ信号 COMLAT は実施例 1 と同様に、セクタ SEL 1 に入力されたビット信号 CNT (n) に対してクロックパルス信号 CLK の 2 周期分遅延した信号である。従って、テストラッチ信号 COMLAT はカウント信号 CNT 2 に対して、クロックパルス信号 CLK の 1 周期分遅延した信号である。そのため、本実施例の撮像装置では、カウント信号 CNT 2 にクロックパルス信号 CLK の 1 周期分よりも大きい遅延が生じていた場合には、これを検出することができる。カウント信号 CNT 2 はカウント信号 CNT に基づいてカウント信号出力部 37 で生成されるため、カウント信号出力部 37 に供給されたカウント信号 CNT にクロックパルス信号 CLK の 1 周期分よりも大きい遅延が生じていた場合も検出することができる。

【0077】

また、実施例 1 の構成では、カウント信号 CNT がメモリ 36 へのカウント信号伝送線 46 以外にテストラッチ信号供給部 33 にも供給されている。従って、テスト対象のビット信号はテストラッチ信号供給部 33 においても使用される一方で、テスト対象のビット信号以外のビット信号はテストラッチ信号供給部 33 では使用されない。よって、テスト対象のビット信号とテスト非対象のビット信号とで負荷のばらつきが生じる場合がある。本実施例の構成では、カウント信号出力部 37 からメモリ 36 にカウント信号 CNT 2 を供給する構成となっている。よって、カウンタ 32 の出力負荷のばらつきによらず、クロックパルス信号 CLK に同期したカウント信号 CNT 2 をメモリ 36 に供給することができる。このため、カウンタ 32 からテストラッチ信号供給部 33 にカウント信号 CNT が出力されることによって生じるカウント信号のビット信号遅延ばらつきを抑制できるという効果を得ることができる。

【実施例 4】

【0078】

10

20

30

40

50

図面を参照しながら、本実施例を説明する。図8(a)は、図1に示した構成のうち、AD変換部30とタイミング信号供給部50を抜き出したブロック図である。以下では、実施例1との相違点を中心に説明する。

【0079】

実施例1においては、カウンタ32から出力されたカウント信号CNTは、テストラッチ信号供給部33に供給されるとともに、カウント信号伝送線46を通じ、メモリ36に供給される構成になっていた。

【0080】

これに対し図8(a)に例示した本実施例の構成では、カウント信号CNTは一旦、ビット信号選択部38に入力される。そしてビット信号選択部38が出力するカウント信号CNT3が、テストラッチ信号供給部33に出力されるとともに、カウント信号伝送線46を通じ、メモリ36に供給される。また、タイミング信号供給部50は、ビット信号選択部32に対しテスト信号TESTSIGとテスト選択信号TESTSELを供給する。

【0081】

図8(b)は、ビット信号選択部38の詳細な構成の一例を示す回路図である。ビット信号選択部38は、n個のセクタ38-1で構成される。テスト選択信号TESTSELがLレベルの時はカウンタ32から出力されるカウント信号CNTを選択し、カウント信号CNT3として出力する。また、テスト選択信号TESTSELがHレベルの時には、テスト信号TESTSIGを選択し、カウント信号CNT3として出力する。

【0082】

次に、図9のタイミング図を用いて、カウント信号伝送線46が伝送するカウント信号CNT3のうち、ビット信号CNT3(4)を検査する動作の一例について説明する。

【0083】

まず始めに、検査時はラッチ許可信号LATENをLレベルにし、比較部34からHレベルのラッチ信号LATが出力されないようにする。

【0084】

次に、時刻t30において、タイミング信号供給部50がテスト選択信号TESTSELをHレベルにすると、ビット信号選択部38においてテスト信号TESTSIGが選択され、テスト信号TESTSIGがカウント信号伝送線46に出力される。タイミング信号供給部50は時刻t31で、テスト信号TESTSIGを“0”から“16”に、すなわちテスト信号TESTSIGのビット信号TESTSIG(4)をHレベルにする。

【0085】

一方、タイミング信号供給部50から出力されたビット選択信号BITSELに従って、図3(c)に例示したテストラッチ信号供給部33中のセクタSEL1はカウント信号CNT3のビット信号CNT3(4)を出力する。同期信号生成部33-1のフリップフロップ回路FF1、FF2とインバータINVが出力する信号SIG-FF1、SIG-FF2、SIG-INVは順に、ビット信号CNT3(4)からクロックパルス信号CLKの1周期分ずつ遅延した信号となる。即ち、信号SIG-FF1はビット信号CNT3(4)に対し、クロックパルス1周期分、信号SIG-FF2は同2周期分、信号SIG-INVは同3周期分遅延した信号である。そして同期信号生成部33-1から出力される信号、即ちAND回路AND1が出力する信号SIG-AND1は、信号SIG-FF2と信号SIG-INVの論理積であるので、時刻t32にHレベルとなり、時刻t33にLレベルになる。その結果、テストラッチ信号COMLATは時刻t32にHレベルに、時刻t33にLレベルとなり、メモリ書き込み信号WENも同様に時刻t32にHレベルに、時刻t33にLレベルとなる。

【0086】

ここで、カウント信号CNT3のビット信号CNT3(4)を伝送するカウント信号伝送線46-4に不良がある時、例えば抵抗が通常より高い箇所が存在し、メモリ36にビット信号CNT3(4)が到達する時間に期間p31の遅延が発生する場合について述べる。この場合、メモリ36に保持されるデジタル値はバイナリ値0に相当するグレイ値の

10

20

30

40

50

メモリ保持信号となる。しかし、ビット信号CNT3(4)に遅延がなくメモリ36に保持されるべきデータはバイナリ値16に相当するグレイ値のメモリ保持信号であり、ビット信号CNT3(4)の遅延によりバイナリ値にして16小さいメモリ保持信号が保持されたことになる。

【0087】

以上の動作によって、ビット信号CNT3(4)の遅延によって発生する不正なデータがメモリ36に書き込まれる。

【0088】

そして、時刻t35において、タイミング信号供給部50はテスト選択信号TESTSELをLレベルにする。

10

【0089】

時刻t36において、水平走査信号HSCANをHレベルとし、メモリ保持信号を信号処理部60に転送する。信号処理部60中の信号比較部61は、転送されたメモリ保持信号と、期待値とを比較し、ずれの有無を判定し、ビット信号CNT3(4)の検査を終了する。

【0090】

実施例1で先述した図5に例示したフローチャートに従って、各ビット信号を検査することにより、カウント信号CNT3に遅延やビットの欠落が生じていないか検査することができる。

【0091】

20

以上説明したように、本実施例の構成によれば、カウンタ32を動作させずともカウント信号CNT3の遅延やビットの欠落が生じていないか検査することができる。さらに、カウンタ32を動作させずにテスト信号TESTSIGを用いることにより、検査対象以外のビット信号の出力が行われない。これにより、0ビット目のビット信号CNT3(0)以外のビット信号を検査する場合において検査時間を短縮できる。よって、全ビット信号の検査に要する時間も、カウンタ32から出力されるカウント信号を用いて検査する場合に比べて本実施例の構成では短縮することができる。

【実施例5】

【0092】

本実施例の構成は、実施例3のAD変換部の構成に対し、カウンタ32がバイナリカウンタであること、および、テストラッチ信号供給部33が実施例2の構成であることが異なる。カウンタ32がバイナリカウンタである場合、カウント信号CNTのうちのビット信号CNT(n)に遅延がクロックパルス信号CLKの1周期分生じただけでも、メモリ36の保持されるメモリ保持信号はグレイカウンタである場合に比べて正常値と大きく異なる。バイナリカウンタであるカウンタ32は、図10(a)に例示したように、図3(b)に例示したカウンタ32において、グレイコード変換回路32-2を設けず、バイナリカウンタ32-1からカウント信号CNTが出力される形態とすることができる。

30

【0093】

図10(b)に例示したタイミング図を参照しながら、本実施例に関わるカウント信号出力部37から出力されるカウント信号CNT2(4)の検査について実施例3と相違する点を中心に説明する。

40

【0094】

まず始めに時刻t50にカウント許可信号CNTENがHレベルとなり、これを受けてカウンタ32のバイナリカウンタがカウントを開始する。時刻t51にカウント信号出力部37はカウンタ32からのカウント信号CNTに対しクロックパルス信号CLKの1周期分遅延したカウント信号CNT2を出力する。

【0095】

カウント信号CNT2のビット信号CNT2(4)は時刻t53にHレベルに信号変化するが、カウント信号CNTのビット信号CNT(4)はクロックパルス信号CLK1周期前の時刻t52でHレベルに信号変化する。テストラッチ信号供給部33ではDELA

50

YSELによって、信号SIG-AND1が選択されており、テストラッチ信号COMLATは時刻t53にHレベルとなり、クロックパルス信号CLKの1周期後にLレベルとなる。同様に、メモリ書き込み信号WENもテストラッチ信号COMLATと同時にHレベルとなった後、同時にLレベルとなる。

【0096】

ここで、ビット信号CNT2(4)に期間p51(クロックパルス信号CLKの1周期分)の遅延が発生し、図10(b)に例示した点線の波形になる場合について述べる。この場合、遅延の無い場合にはメモリ36に保持されるべきメモリ保持信号のバイナリ値が16であるのに対し、バイナリ値0のメモリ保持信号がメモリ36に保持される。

【0097】

このバイナリ値0のメモリ保持信号は、正常値であるバイナリ値16のメモリ保持信号とは異なる。例えば、期待値・誤差範囲設定部72が期待値のバイナリ値を16、誤差範囲のバイナリ値を±1と設定したとする。この場合、バイナリ値0のメモリ保持信号が信号処理部60に入力されると信号比較部61は期待値に対して、ずれが有るとの比較結果を比較結果信号TOUTとして出力する。期待値とメモリ保持信号とでずれが生じていることが明らかになることによって、ビット信号CNT2(4)に遅延が生じていることが推測できる。

【0098】

また、本実施例の撮像装置では、テストラッチ信号COMLATとカウント信号CNT2は、カウント信号CNTに対して共にクロックパルス信号CLKの1周期分遅延した信号である。即ち、テストラッチ信号とカウント信号CNT2は同期した信号となっている。従って、本実施例はカウント信号CNT2の僅かな遅延も検出したい場合に好適に実施することができる。また、例えばビット信号CNT2(0)、CNT2(1)のような低ビットのビット信号はパルス周期が高ビットのビット信号に比して短い。低ビットのビット信号を検査する時に、テストラッチ信号COMLATがカウント信号CNT2に対して遅延している場合には好適にビット信号の遅延を検出できない場合がある。本実施例のように、カウント信号CNT2とテストラッチ信号COMLATが同期している場合は、低ビットのビット信号を検査する場合にも好適にビット信号の遅延の有無を検査することができる。また、カウント信号CNT2のビット欠損の有無についても検査することができる。

【0099】

以上説明したように、カウンタ32がバイナリカウンタであっても、ビット信号CNT2(n)に遅延や欠損が無いかが検査することができる。

【実施例6】**【0100】**

これまでに述べた撮像装置を撮像システムに適用した場合の実施例について述べる。撮像システムとして、デジタルスチルカメラやデジタルカムコーダーや監視カメラなどがあげられる。図11に、固体撮像システムの例としてデジタルスチルカメラに固体撮像装置を適用した場合のブロック図を示す。

【0101】

図11において、111はレンズの保護のためのバリア、112は被写体の光学像を撮像装置1に結像させるレンズ、113はレンズ112を通った光量を可変にするための絞りである。115は撮像装置1より出力される出力信号の処理を行う撮像信号処理部である。

【0102】

撮像装置1が出力する信号である撮像信号は先に示した実施例1~5のように、デジタル信号であるため、撮像信号処理部115はデジタル信号処理部を有し、撮像装置1から出力される信号に対し、必要に応じて各種の補正、圧縮を行って信号を出力する。

【0103】

そして、図11において、116は画像データを一時的に記憶する為のバッファメモリ

10

20

30

40

50

部、118は記録媒体に記録または読み出しを行うためのインターフェース部、119は撮像データの記録または読み出しを行う為の半導体メモリ等の着脱可能な記録媒体である。117は外部コンピュータ等と通信する為のインターフェース部である。1110は各種演算とデジタルスチルカメラ全体を制御する全体制御・演算部、1111は撮像装置1、撮像信号処理部115に、各種タイミング信号を出力するタイミング発生部である。ここで、タイミング信号などは外部から入力されてもよく、撮像システムは少なくとも撮像装置1と、撮像装置1から出力された撮像信号を処理する撮像信号処理部115とを有すればよい。

【0104】

実施例1～5で述べた撮像装置は信号比較部61を有していたが、この信号比較部61を撮像装置信号処理部115が有する形態であっても良い。

10

【0105】

以上のように、本実施例の撮像システムは、撮像装置1を適用して撮像動作を行うことが可能である。

【0106】

本実施例の撮像システムは、実施例1～5で述べた撮像装置1のいずれかを有している。撮像装置1を撮像システムに組み込む工程を行って撮像システムを製造する際には、あらかじめ撮像システムに組み込む前に撮像装置1を検査モードで動作させておくことが好ましい。これにより、検査モードで動作させた際に、撮像装置1が有する信号比較部61が正常と判定した撮像装置1を撮像システムに組み込むことができる。よって、故障の少ない撮像システムを製造し、提供することができる。

20

【符号の説明】

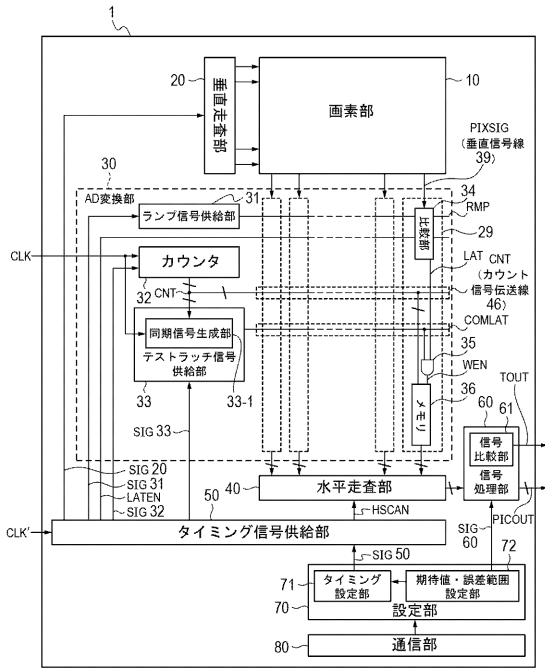
【0107】

- 1 撮像装置
- 10 画素部
- 20 垂直走査部
- 29 回路部
- 30 A/D変換部
- 31 ランプ信号供給部
- 32 カウンタ
- 33 テストラッチ信号供給部
- 34 比較部
- 35 OR回路
- 36 メモリ
- 39 垂直信号線
- 40 水平走査部
- 50 タイミング信号供給部
- 60 信号処理部
- 61 信号比較部
- 70 設定部
- 80 通信部

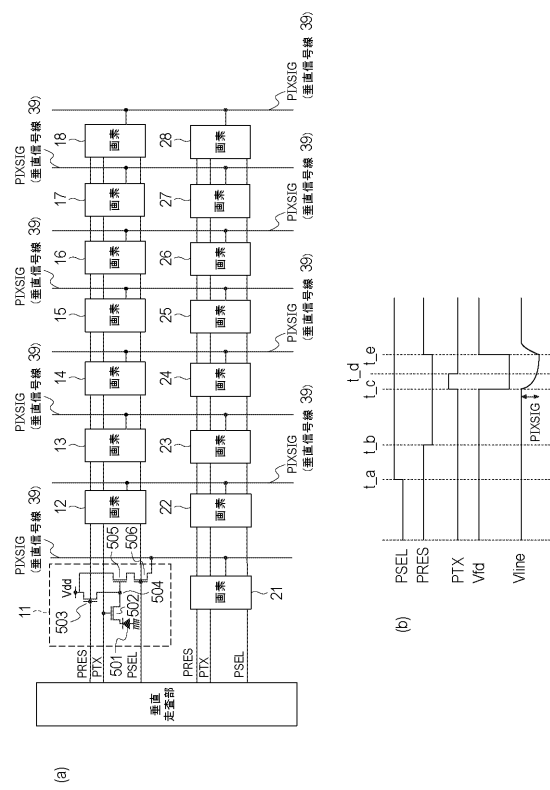
30

40

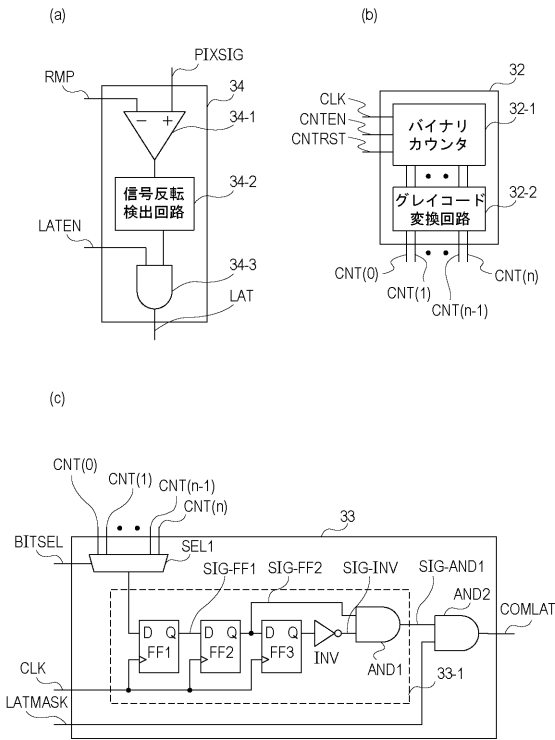
【図1】



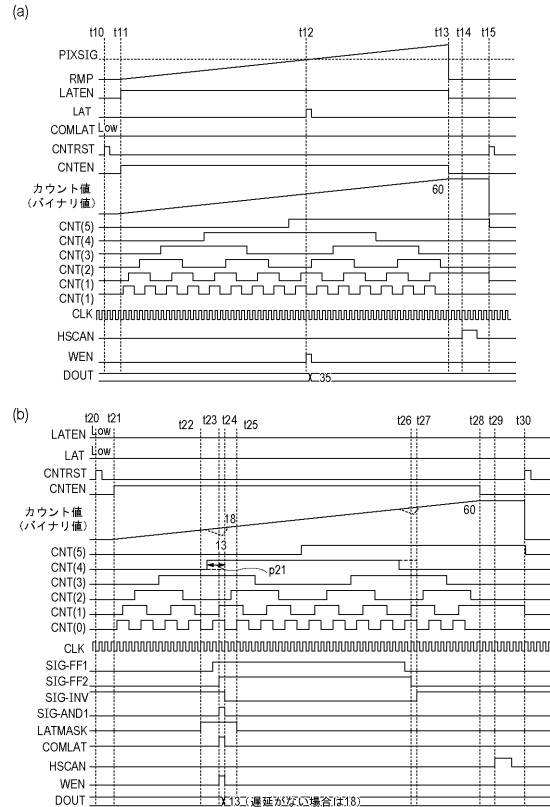
【図2】



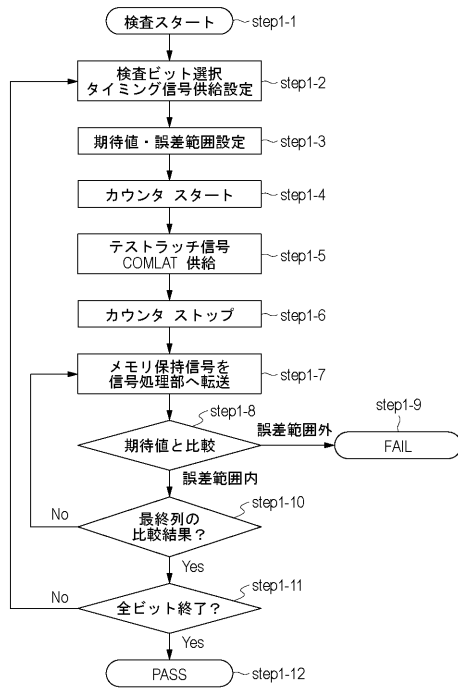
【図3】



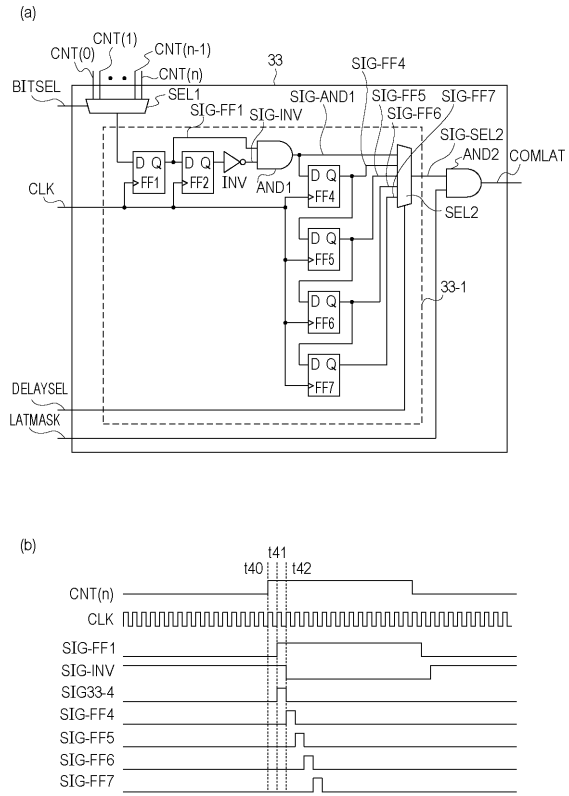
【図4】



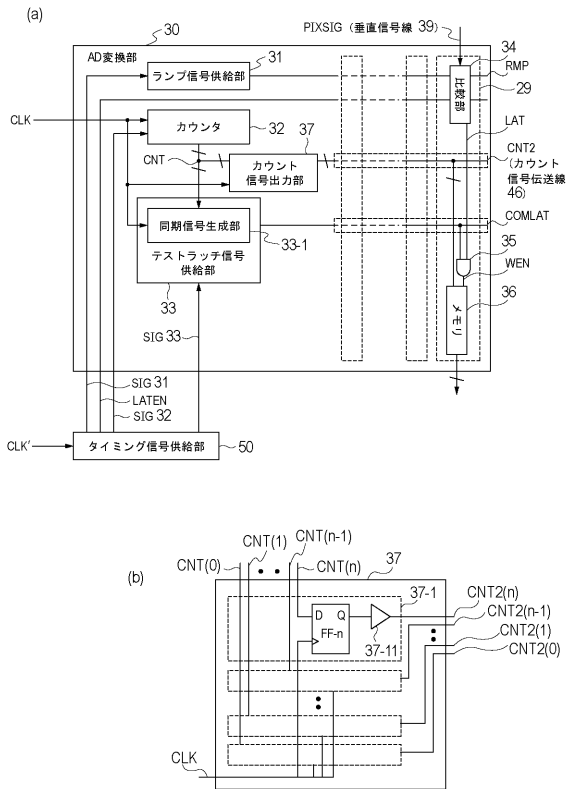
【図5】



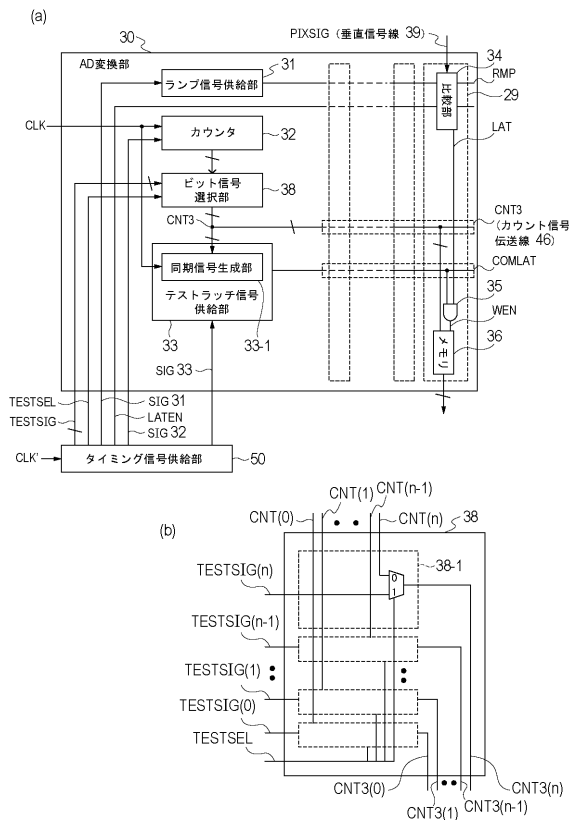
【図6】



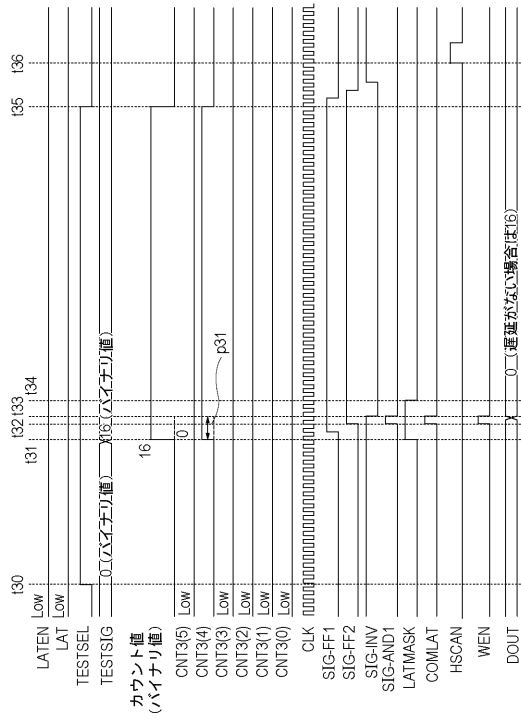
【図7】



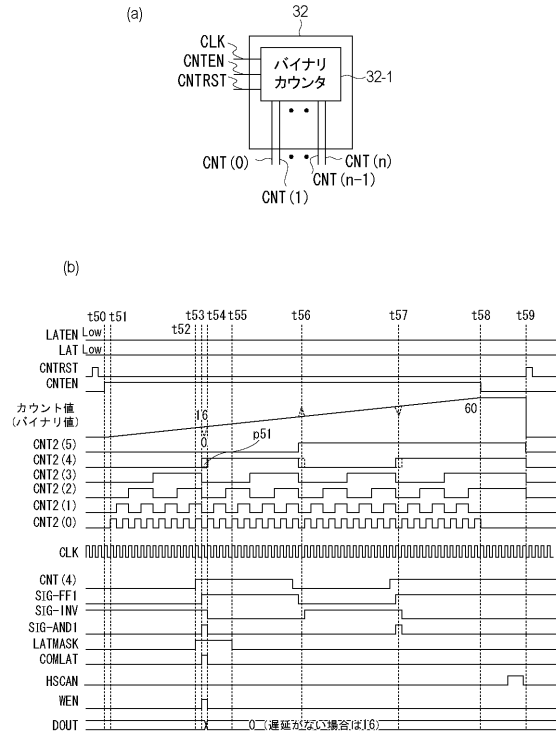
【図8】



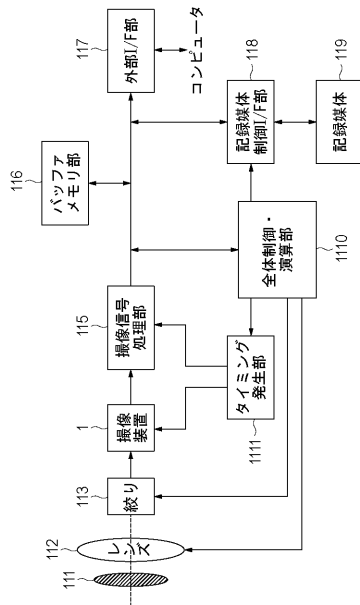
【図 9】



【図 10】



【図 11】



フロントページの続き

(56)参考文献 特開2008-270433(JP,A)
特開2005-323331(JP,A)
特開2011-015365(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03M 1/00 - 1/88
G01R 31/28
G01R 31/316