(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4934529号
(P4934529)

(45)発行日　平成24年5月16日(2012.5.16)　(24)登録日　平成24年2月24日(2012.2.24)

(51)Int.Cl.			F I		
H03M	1/10	(2006.01)	H03M	1/10	A
H03M	1/12	(2006.01)	H03M	1/12	C
H04B	3/11	(2006.01)	H04B	3/11	B
H03G	3/20	(2006.01)	H03G	3/20	A
H03G	3/30	(2006.01)	H03G	3/20	D

請求項の数 20　(全 25 頁)　最終頁に続く

(21)出願番号　特願2007-179701 (P2007-179701)
(22)出願日　平成19年7月9日 (2007.7.9)
(65)公開番号　特開2009-17455 (P2009-17455A)
(43)公開日　平成21年1月22日 (2009.1.22)
審査請求日　平成22年3月10日 (2010.3.10)

(73)特許権者　000005108
株式会社日立製作所
東京都千代田区丸の内一丁目６番６号
(74)代理人　110000350
ポレール特許業務法人
(72)発明者　大島　俊
東京都国分寺市東恋ヶ窪一丁目２８０番地
株式会社日立製作所中央研究所内
(72)発明者　山脇　大造
東京都国分寺市東恋ヶ窪一丁目２８０番地
株式会社日立製作所中央研究所内

審査官　柳下　勝幸

最終頁に続く

(54)【発明の名称】無線受信回路、並びに無線トランシーバ回路及びそのキャリブレーション方法

(57)【特許請求の範囲】
【請求項１】
高周波回路部と、該高周波回路部の出力に接続された低周波回路部と、該低周波回路部の出力に接続されたアナログデジタル変換器と、該アナログデジタル変換器の出力に接続されたキャリブレーション部と、前記高周波回路部で受信される受信信号を監視する信号監視部とを備えて成り、
前記信号監視部は、無線システム内で送受信される信号の状態を監視し、前記信号を利用して自局宛のパケット信号の受信前に前記キャリブレーション部を動作させる機能を有する
ことを特徴とする無線受信回路。
【請求項２】
請求項１において、
前記信号監視部は、前記受信信号として、自局宛のパケット信号及び他局宛のパケット信号及び前記無線システムで提供されるビーコン信号やポーリング信号を検出した場合に、前記キャリブレーション部で前記アナログデジタル変換器のキャリブレーションを実行させる機能を有する
ことを特徴とする無線受信回路。
【請求項３】
請求項２において、
前記信号監視部は、前記受信信号の検出結果に基づいて、通常オフ状態にある前記アナ

ログデジタル変換器およびキャリブレーション部およびその他の回路の動作をオン状態に制御する機能を有する
ことを特徴とする無線受信回路。
【請求項４】
請求項１において、
前記信号監視部は、整流回路部とその出力側に接続された受信信号判定部及び制御部とを備えて成り、
前記受信信号を直流電圧に変換する振幅検波の機能と、振幅検波した直流電圧の大小に応じて、前記受信信号の有無を判定する機能と、当該判定結果に基づき前記アナログデジタル変換器および前記キャリブレーション部の少なくとも一方の動作を制御する機能とを有する
ことを特徴とする無線受信回路。
【請求項５】
請求項１において、
前記信号監視部は、
データ受信時とアナログデジタル変換器のキャリブレーション時以外は前記アナログデジタル変換器およびキャリブレーション部およびその他の回路の一部または全部をスリープモードとする機能と、
当該無線システム内で送受信される他の信号の存在を検出して、前記スリープモードにある前記各回路を該スリープモードから起こして前記アナログデジタル変換器のキャリブレーションを実効させる機能と
を備えて成る
ことを特徴とする無線受信回路。
【請求項６】
請求項１において、
前記信号監視部の出力側にフィルタ制御部を備えて成り、
該フィルタ制御部が、前記信号監視部の信号検出結果に基づいて、前記低周波回路部または前記高周波回路部に含まれるフィルタ回路の通過帯域を信号が通過できるように制御する機能を有する
ことを特徴とする無線受信回路。
【請求項７】
請求項１において、
前記信号監視部の出力側に電源管理部を備えて成り、
該電源管理部が、前記信号監視部の信号検出結果に基づいて、無線受信回路部内の全部または一部の回路の電源電圧をオフにする機能を有する
ことを特徴とする無線受信回路。
【請求項８】
請求項１において、
前記高周波回路部、前記低周波回路部、前記アナログデジタル変換器、前記キャリブレーション部、および前記信号監視部が一つのチップ上に集積化されて成る
ことを特徴とする無線受信回路。
【請求項９】
請求項１において、
前記高周波回路部、前記低周波回路部、前記アナログデジタル変換器、前記キャリブレーション部、前記信号監視部、およびデジタル信号処理用プロセッサ部が一つのチップ上に集積化されて成る
ことを特徴とする無線受信回路。
【請求項１０】
無線受信回路部と、無線送信回路部と、送受信切換え部とを備えて成り、
前記無線受信回路部は、高周波回路部と、該高周波回路部の出力に接続された低周波回

路部と、該低周波回路部の出力に接続されたアナログデジタル変換器と、該アナログデジタル変換器の出力に接続されたキャリブレーション部とを備え、
無線システム内で送受信される自局宛のパケット信号以外の信号を利用して前記アナログデジタル変換器および前記リブレーション部を動作させる機能を有する
ことを特徴とする無線トランシーバ回路。
【請求項１１】
請求項１０において、
前記信号が前記無線送信回路部から前記送受信切換え部を経由して受信側に印加される信号であり、該信号を前記アナログデジタル変換器の入力部に十分な振幅レベルで伝達することで、前記キャリブレーション部が前記アナログデジタル変換器のキャリブレーションを行う機能を有する
ことを特徴とする無線トランシーバ回路。
【請求項１２】
請求項１０において、
前記無線送信回路から前記送受信切換え部を経由して受信側に印加される信号を検出するための信号監視部を備えて成り、
前記信号監視部は、前記信号を利用して自局宛のパケット信号の受信前に前記キャリブレーション部を動作させる機能を有する
ことを特徴とする無線トランシーバ回路。
【請求項１３】
請求項１２において、
前記信号が、自局宛のパケット信号及び他局宛のパケット信号及び前記無線システムで提供されるビーコン信号やポーリング信号であり、前記信号監視部は、該信号を検出した時に、前記アナログデジタル変換器のキャリブレーションを実行させる機能を有する
ことを特徴とする無線トランシーバ回路。
【請求項１４】
請求項１０において、
前記無線送信回路から前記送受信切換え部を経由して受信側に印加される信号を検出するための信号監視部を備えて成り、
該信号監視部による前記信号の検出結果に基づいて、前記アナログデジタル変換器および前記キャリブレーション部の動作を制御する機能を有する
ことを特徴とする無線トランシーバ回路。
【請求項１５】
請求項１１において、
前記信号監視部の出力にフィルタ制御部を備えて成り、
該フィルタ制御部が、前記信号監視部の信号検出結果に基づいて、前記低周波回路部または前記高周波回路部に含まれるフィルタ回路の通過帯域を、信号が通過できるように制御する機能を有する
ことを特徴とする無線トランシーバ回路。
【請求項１６】
請求項１１において、
前記信号監視部の出力に電源管理部を備えて成り、
該電源管理部が、前記信号監視部の信号検出結果に基づいて、無線受信回路部内の全部または一部の回路の電源電圧をオフにする機能を有する
ことを特徴とする無線トランシーバ回路。
【請求項１７】
請求項１０において、
前記高周波回路部、前記低周波回路部、前記アナログデジタル変換器、および前記キャリブレーション部を含んで成る無線受信回路部と送信回路部とが一つのチップ上に集積化されて成る

ことを特徴とする無線トランシーバ回路。
【請求項１８】
請求項１０において、
前記高周波回路部、前記低周波回路部、前記アナログデジタル変換器、および前記キャリブレーション部を含んで成る無線受信回路部と送信回路部とデジタル処理用プロセッサ部とが一つのチップ上に集積化されて成る
ことを特徴とする無線トランシーバ回路。
【請求項１９】
無線システム内で使用されるよう構成され、かつ、高周波回路部と該高周波回路部の出力に接続された低周波回路部と該低周波回路部の出力に接続されたアナログデジタル変換器と該アナログデジタル変換器の出力に接続されたキャリブレーション部とを備えた無線受信回路部と、無線送信回路部と、送受信切換え部とを備えて成る無線トランシーバ回路のキャリブレーション方法であって、
前記無線システム内で送受信される信号の状態を監視するステップと、
自局宛のパケット信号や他局宛のパケット信号及び無線システムで提供されるビーコン信号やポーリング信号を利用して、前記アナログデジタル変換器および前記キャリブレーション部を動作させるステップと
を有する
ことを特徴とする無線トランシーバ回路のキャリブレーション方法。
【請求項２０】
請求項１９において、
データ受信時および前記アナログデジタル変換器のキャリブレーション時以外は前記アナログデジタル変換器および前記キャリブレーション部、並びにその他の回路の少なくとも一部をスリープモードとし、
当該無線システム内で送受信される信号の存在を検出して、前記スリープモードにある前記アナログデジタル変換器、前記キャリブレーション部、および前記その他の回路の各々を前記スリープモードから平常モードへ移行させて前記アナログデジタル変換器のキャリブレーションを行う
ことを特徴とする無線トランシーバ回路のキャリブレーション方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、アナログデジタル変換器を備え無線ランシステムやセルラーシステムで使用される端末機器のキャリブレーションを行う回路を備えた無線受信回路、並びに無線トランシーバ回路およびそのキャリブレーション方法に関する。
【背景技術】
【０００２】
従来、アナログデジタル変換器のキャリブレーション回路として、デジタルキャリブレ

【０００３】
ーション型アナログデジタル変換器があった（例えば、非特許文献１参照）。
【０００４】
また、従来、デジタルバックグランドキャリブレーション型アナログデジタル変換器があった（例えば、非特許文献２および非特許文献３参照）。
【０００５】
また、従来、デジタルキャリブレーション型のパイプライン型アナログデジタルがあった（例えば、非特許文献４参照）。
【０００６】
【非特許文献１】（A.N.Karanicolas et al., “A 15-b 1-MSample/s Digitally Self-Calibrated Pipeline ADC,” IEEE Journal of Solid-State Circuits Vol.28, No.12, pp.

1207-1215(1993))
【非特許文献２】Y.Shu（Y.S.Shu et al., ‘A 15b-Linear, 20MS/s, 1.5b/Stage Pipelined ADC Digitally Calibrated with Signal-Dependent Dithering,’ 2006 Symposia on VLSI Technology and VLSI Circuits Session C25-1(2006)）
【非特許文献３】Yun Chiu（Y. Chiu et al., “Least mean square adaptive digital background calibration of pipelined analog-to-digital converters,” IEEE Transactions on Circuits and Systems Ⅰ Vol. 51, pp. 38-46(2004).）
【非特許文献４】大島俊　他、「パイプライン型ＡＤＣの高速デジタルバックグランドキャリブレーション」、（社）電子情報通信学会　信学技法ＶＬＤ２００６－１３８　２００７年
【発明の開示】
【発明が解決しようとする課題】
【０００７】
まず、従来の無線受信部の一般的な構成例を図１０に示す。アンテナから入力された信号は、高周波回路部８０１において、増幅され、さらに低い中間周波数（または、ゼロ周波数）に周波数変換される。中間周波数信号は、フィルタ８０２で妨害波成分を除去された後、可変利得増幅器８０３で増幅され、アナログデジタル変換器８０４に入力される。自動利得制御部８０６は、アナログデジタル変換器８０４の出力レベルから、可変利得増幅器８０３の利得を、同増幅器の出力が、アナログデジタル変換器８０４の入力ダイナミックレンジと等しくなるか、それより少し小さくなるように自動的に決定する。アナログデジタル変換器８０４でデジタル化された信号は、デジタル信号処理部８０５により、必要なフィルタリング、復調処理、上位レイヤの処理などが施される。フィルタ８０２は、中間周波数がゼロでない場合は、中間周波数を中心とするバンドパスフィルタで、中間周波数がゼロの場合（ダイレクトコンバージョンの場合）は、ローパスフィルタで実現する。なお、図１０に示したアナログデジタル変換器８０４では、キャリブレーションは行なわれない。
【０００８】
図１０に示したような従来の無線システムでは、高分解能かつ高サンプルレートのアナログデジタル変換器が要求されなかったため、アナログデジタル変換器に特にキャリブレーションを施さなくても、十分小さな消費電力で実現できていた。
【０００９】
しかし、近年、無線システムに対するブロードバンド化の要求が急速に高まってきている。その結果、無線ＬＡＮシステムのデータ伝送レートも増大を続け、IEEE802.11n規格では、100Mbps以上の伝送レートとなる見込みである。また、1Gbps以上の無線ＬＡＮシステムの標準化も２００７年より開始された。一方で、携帯電話のデータ伝送レートも増大を続けており、第４世代携帯電話では、静止時に1Gbps、移動時に100Mbpsの伝送レートとなる見込みである。
【００１０】
このような無線システムの高伝送レート化に対応するために、無線ＲＦ－ＩＣに搭載されるアナログデジタル変換器としては、現行の無線ＬＡＮや携帯電話に要求されている高い分解能に加えて、高いサンプルレートを持つ必要がある。
【００１１】
一般に、高分解能かつ高サンプルレートのアナログデジタル変換器を実現するためには、高利得かつ広帯域のオペアンプが必要となるため、消費電力が膨大になる問題があった。
【００１２】
この状況を打破するために考えられたのが、デジタルキャリブレーション型アナログデジタル変換器である。デジタルキャリブレーション型アナログデジタル変換器では、低性能のオペアンプを使用することで消費電力を削減し、その結果として生ずる変換誤差をデジタルキャリブレーションでキャンセルする。

【００１３】
ところで、非特許文献１に開示されたデジタルキャリブレーション型アナログデジタル変換器は、キャリブレーションとアナログデジタル変換を同時に実行できないため、特定のキャリブレーション専用の期間を別途設けて、その間にキャリブレーションを行う必要がある。そのため、無線システムにこの方式を適用する場合、到来するパケット間を狙ってキャリブレーションを行う必要があるため、パケット到来のタイミングをあらかじめ知っている必要があり、無線システムの構成を複雑にする問題がある。さらに、パケット受信期間中にはキャリブレーションを収束できないため、温度変動や電源電圧変動にともなうアナログデジタル変換器の特性変化に追従できない問題もある。
【００１４】
以上の問題を克服するために、非特許文献２や非特許文献３により、デジタルバックグランドキャリブレーション型アナログデジタル変換器が提唱された。しかし、非特許文献２に記載の方式は、キャリブレーションに疑似ランダム信号を利用するために、キャリブレーションの収束時間が長くなり、パケットのプリアンブル期間内に収束できない問題を生じたり、キャリブレーション回路部の構成が複雑になる問題がある。
【００１５】
一方、非特許文献３に記載の方式はキャリブレーション回路部の構成は単純であるが、図１１のように、無信号期間を利用してキャリブレーションを収束させられないため、やはり、パケットのプリアンブル期間内にキャリブレーションを収束できない問題があった。なお、図１１の各本パケットのプリアンブル期間は、一例として、４８μＳ、データ期間は１ｍｓである。また、非特許文献４に記載のアナログデジタル変換器も、同様に、プリアンブル期間内にキャリブレーションを収束できない問題があった。
【００１６】
上記のように、一般にアナログデジタル変換器のデジタルキャリブレーションは、収束時間が長い点、ゼロ信号時に十分なキャリブレーションが働かない点などから、パケット信号のプリアンブル期間内にキャリブレーションを収束できない可能性が高い。
【００１７】
本発明の主たる解決課題は、無線ＬＡＮや携帯電話あるいはセルラーシステムのような無線システムにおいて、低消費電力で、かつ、パケット信号のプリアンブル期間内にキャリブレーションを収束させるデジタルキャリブレーションを行うことの出来るアナログデジタル変換器及び無線トランシーバ回路を提供することにある。
【課題を解決するための手段】
【００１８】
本発明の代表的なものの一例を示せば以下の通りである。即ち、本発明の無線受信回路は、高周波回路部と、該高周波回路部の出力に接続された低周波回路部と、該低周波回路部の出力に接続されたアナログデジタル変換器と、該アナログデジタル変換器の出力に接続されたキャリブレーション部と、前記高周波回路部で受信される受信信号を監視する信号監視部とを備えて成り、前記信号監視部は、無線システム内で送受信される信号の状態を監視し、前記信号を利用して自局宛のパケット信号の受信前に前記キャリブレーション部を動作させる機能を有することを特徴とする。
【発明の効果】
【００１９】
本発明によれば、次世代無線システムに適した高分解能かつ高サンプルレートのデジタルキャリブレーション型アナログデジタル変換器のキャリブレーションを、受信したいパケット信号のプリアンブル期間終了前に収束させることができ、ひいては、無線トランシーバの消費電力を削減することができる。
【発明を実施するための最良の形態】
【００２０】
無線ＬＡＮなどのCSMA/CAシステムでは、基地局から定期的にビーコン信号がブロードキャストされたり、本パケット信号送受信の前に、基地局は端末局へポーリング信号を送

る。また、端末局はパワーセーブモード以外では、他の端末局が出すパケット信号の存在を常時監視（キャリアセンス）している。

【００２１】

本発明の各実施例では、これらの信号の全部または一部を利用して、あるいは、送信部から受信部への印加される信号を利用して、アナログデジタル変換器のデジタルキャリブレーションを行うことで、本パケット信号受信時のプリアンブル期間内にキャリブレーションを収束させる。また、消費電力低減のため、回路の一部または全部を、データ受信時とアナログデジタル変換器のキャリブレーション時以外はスリープモードとし、信号監視部が他の信号の存在を検出して、スリープ状態にある回路をスリープモードから起こしてアナログデジタル変換器のキャリブレーションを行う。

【００２２】

なお、使用の形態によってはキャリブレーションに利用できる受信信号の期間が短く、デジタルキャリブレーションの収束が自局の本パケット信号のキャリブレーション期間内、あるいはそれ以降になる場合もあり得ることは言うまでもない。

以下、図面を参照しつつ、本発明の実施例を詳細に説明する。

【実施例１】

【００２３】

まず、図１～図３により、本発明の第一の実施例を説明する。

図１に、本発明の第一の実施例になる無線受信回路のブロック図を示す。本実施例の無線受信回路は、高周波回路部１０１と、この高周波回路部の出力に接続された低周波回路部（フィルタ１０２、可変利得増幅器１０３、自動利得制御部１０７）と、この低周波回路部の出力に接続されたアナログデジタル変換器１０４と、このアナログデジタル変換器の有効分解能を向上させるためのキャリブレーションを行うデジタルキャリブレーション部１０５と、デジタル信号処理用プロセッサ等で構成されるデジタル信号処理部１０６と、受信信号を検出するための信号監視部１０８とで構成されている。信号監視部１０８は、受信信号の有無や種類を判定し、その判定結果に基づいて、アナログデジタル変換器およびデジタルキャリブレーション部およびその他の回路の動作を制御する。

【００２４】

デジタルキャリブレーション部１０５は、自局宛のパケット信号や他局宛のパケット信号、及び無線システムで提供されるビーコン信号やポーリング信号などの受信信号をアナログデジタル変換器１０４の入力部に十分な振幅レベルで伝達することで、このアナログデジタル変換器のキャリブレーションを行う機能を有している。

【００２５】

アンテナから入力された信号は、高周波回路部１０１において増幅され、さらに低い中間周波数（または、ゼロ周波数）に周波数変換される。中間周波数信号は、低周波回路部のフィルタ１０２で妨害波成分を除去された後、可変利得増幅器１０３で増幅され、アナログデジタル変換器１０４に入力される。アナログデジタル変換器１０４の出力は、デジタルキャリブレーション部１０５に入力される。デジタルキャリブレーション部１０５は、アナログデジタル変換器１０４の出力に含まれる変換誤差をキャリブレーションして出力する。自動利得制御部１０７は、デジタルキャリブレーション部１０５の出力レベルから、可変利得増幅器１０３の利得を、同増幅器の出力が、アナログデジタル変換器１０４の入力ダイナミックレンジと等しくなるか、それより少し小さくなるように自動的に決定する。

【００２６】

デジタルキャリブレーション部１０５でキャリブレーションされたデジタル信号は、デジタル信号処理部１０６により、必要なフィルタリング、復調処理、上位レイヤの処理などが施される。アナログデジタル変換器１０４は、内部回路のオペアンプなどの消費電力を削減することで低消費電力を実現し、その代償として生じる変換誤差を、デジタルキャリブレーション部１０５によりキャリブレーションすることで、高分解能かつ高サンプルレートのアナログデジタル変換器を低消費電力で実現できる。

【００２７】
高周波回路部１０１の出力部には、信号監視部１０８が接続され、信号の有無や種類が判定される。信号監視部１０８の判定結果に基づいて、アナログデジタル変換器１０４やデジタルキャリブレーション部１０５の動作が制御される。制御の具体的内容としては、例えば、電源電圧の制御や動作の完全または一部の停止などが考えられるが、もちろん、それに限られるものではない。
【００２８】
次に、無線受信回路の主な要素の具体的な構成例について、図２（２Ａ～２Ｅ）で説明する。
【００２９】
まず、高周波回路部１０１の構成例を、図２Ａに示す。高周波回路部１０１は、バンドパスフィルタ１０１１、低雑音増幅器１０１２、ミキサ１０１３及びＶＣＯ１０４を備えている。１００はアンテナ、１０９は送受信切換え部、１１０は送信回路である。アンテナ１００から高周波回路部１０１に入力された受信信号は、特定の周波数帯域の信号のみがバンドパスフィルタ１０１１を通過し、低雑音増幅器１０１２で増幅され、さらにミキサ１０１３で低い中間周波数（または、ゼロ周波数）に周波数変換され、ＩＦ信号として出力される。
【００３０】
次に、アナログデジタル変換器１０４およびデジタルキャリブレーション部１０５について、図２Ｂないし図２Ｄで説明する。
【００３１】
本実施例では、アナログデジタル変換器１０４として、高サンプルレートかつ高分解能の実現に適したパイプライン型ＡＤＣを選択した。まず、このパイプライン型ＡＤＣの動作原理を、図２Ｂで説明する。
【００３２】
パイプライン型ＡＤＣでは、例えば、Nビットの量子化を行うために、ＭＤＡＣ（Multiplying Digital to Analog Converter）をN個直列接続する。各ＭＤＡＣは、±Vref/4（Vrefは基準電圧）にしきい値を持つ２つの比較器からなる1.5bサブＡＤＣ、引算部、２倍増幅部（理想的な場合、G=2）から構成される。初段ＭＤＡＣの場合は、ＡＤＣ入力電圧を、次段以降の場合、前段のＭＤＡＣから渡される電圧値を1.5bサブＡＤＣにより３値に量子化するとともに、その際生じる量子化誤差を引算部で求め、さらに２倍増幅器で、最大、後段ＭＤＡＣのフルスケール電圧値まで増幅して、後段に処理を委ねる。これにより、各ＭＤＡＣを通過する度に1bずつ分解能を高めることができる。
【００３３】
ＭＤＡＣはスイッチトキャパシタ回路で実現され、サンプルモードとアンプモードの組合せにより、引算と２倍増幅を行う。オペアンプの開ループ利得をA(Vout)、1.5bサブＡＤＣの出力をDi (=-1, 0, 1)とすると、ＭＤＡＣの入出力関係は、以下のようになる。
【００３４】
【数１】

$$V_{out} = \frac{V_{in}(C_1 + C_2) - C_2 \cdot V_{ref} \cdot D_i}{C_1 + \frac{C_1 + C_2}{A(V_{out})}} \approx 2 \cdot (V_{in} - \frac{1}{2} \cdot V_{ref} \cdot D_i) \qquad - - (1)$$

【００３５】
次に、アナログデジタル変換器１０４およびデジタルキャリブレーション部１０５の構成例と動作を、図２Ｃ、図２Ｄで説明する。本実施例では、高サンプルレートかつ高分解能のＡＤＣを低消費電力で実現するために、デジタルバックグランドキャリブレーション方式を採用している。すなわち、図２Ｃに示すように、メインパイプラインＡＤＣに加えて、デジタルバックグランド誤差補正部と参照用ＡＤＣを持つ。二組のＡＤＣの分解能は

、目標分解能（N）＋（1～2b）が適当である。

【００３６】

メインパイプラインＡＤＣは、例えば10段の1.5b ＭＤＡＣと最終段の1.5b ＡＤＣで構成され、これら11段のステージから、それぞれ1.5b量子化の結果（D1～D11）が出力される。ここで、各ＭＤＡＣのオペアンプの利得Ａ(Vout)は小さな値、例えば30dB程度で満足することにする。その結果、上式に従って、図２Ｂの量子化誤差２倍増幅器の利得Gが２倍から、例えば１．９倍に減少する。このとき、係数wiを用いて、図２Ｃのように、デジタル値再生部の演算をDout=D1+1/1.9*D2と変更すれば、厳密性が依然として維持される。この係数wiを探すために、本キャリブレーション方式では、LMS（Least Mean Square）アルゴリズムを用いて、係数wi (i=1～11)の探索を行う。同アルゴリズムは、上記のように、参照用ＡＤＣを必要とする。参照用ＡＤＣは12bのENOBを持つ必要があるが、その前段に配置されたサンプルホールド回路（S/H）が、サンプルレートfCLKより十分遅い（1/Kの）レートで入力信号をサンプル＆ホールドするため、そのサンプルレートは低速（fCLK/K）でよい。

【００３７】

デジタル値再生部の出力Doutと参照用ＡＤＣからの出力dの誤差eを算出し、その結果から、図２Ｃの右上の枠内に示したLMSアルゴリズムに従って、デジタル値再生部の係数wiを更新する。同アルゴリズムは負帰還ループであるため、図２Ｄように自動的に正しいwi値に収束する。この収束までの時間は、殆どの場合、端末局が本パケットを受信するよりも短い。

【００３８】

以上のように、メインＡＤＣのA/D変換処理を妨げることなく、バックグランドでキャリブレーションが連続的に進行するので、温度変動や電源電圧変動にともなうwi値の時間的変化にも追従できる。

【００３９】

さらに、信号監視部１０８を実現する回路としては、例えば、ＲＦタグなどで用いられているような整流回路を使用してもよい。図２Ｅに信号監視部１０８の構成例を示す。信号監視部１０８は、整流回路部１０８１とその出力側に接続された受信信号判定部１０８２及び制御部１０８３とを備えており、交流入力信号を直流電圧に変換する振幅検波の機能と、振幅検波した直流電圧の大小に応じて受信信号の有無を判定する機能と、この判定結果に基づきアナログデジタル変換器１０４及びデジタルキャリブレーション部１０５の少なくとも一方の動作を制御する機能とを有している。

【００４０】

整流回路部１０８１は、容量素子（Ｃ０１～Ｃ０ｎ，Ｃ１１～Ｃ１ｎ）と電界効果トランジスタ等からなる整流素子（Ｄ０１～Ｄ０ｎ）を含む多段の整流回路であり、高周波信号すなわちＩＦ信号をＡＣ－ＤＣ変換してVDDとして出力することができる。

【００４１】

図２Ｅに示した整流回路部は半波整流回路であり、各段の整流素子Ｄ０１とＤ１１、Ｄ０２とＤ１２、及びＤ０ｎとＤ１ｎは夫々直列に接続されている。入力端子ａと各段の整流素子Ｄ１１、Ｄ１２、Ｄ１ｎの間には、コンデンサＣ０１、Ｃ０２、Ｃ０ｎが接続されている。また、各段の整流素子Ｄ１１、Ｄ１２、Ｄ１ｎの出力側には夫々コンデンサＣ１１、Ｃ１２、Ｃ１ｎが接続されている。入力端子ｂと出力端子ｄは共通となっている。

【００４２】

初段の整流素子Ｄ０１は、入力端子ａの電圧が入力端子ｂより低いとき電流を流し、コンデンサＣ０１を充電する。整流素子Ｄ１１は、入力端子ａの電圧が整流素子の閾値電圧より高いとき電流を流し、コンデンサＣ０１に充電されている電圧をコンデンサＣ１１に充電する。これによって、初段の整流回路の出力端子には、入力端子ａ，ｂの２倍の電圧が出力される。以下、同様にして、入力端子ａ，ｂ間に入力された中間周波数の高周波信号に基づき、出力端子ｃ，ｄ間に直流電圧VDDが出力される。

【００４３】

整流回路部１０８１から出力される直流電圧の大小に基づき受信信号判定部１０８２で受信信号の有無が判定され、その結果に基づき、制御部１０８３が動作する。すなわち、信号監視部１０８の制御部１０８３は、１つの無線システム内の各端末局において、データ受信時と前記アナログデジタル変換器のキャリブレーション時以外は前記アナログデジタル変換器およびキャリブレーション部およびその他の回路の一部または全部をスリープモードとし、当該無線システム内で送受信される信号の存在を検出して、前記スリープ状態にある前記各回路をスリープモードから起こして平常モードへ移行させ、前記アナログデジタル変換器のキャリブレーションを行う。

【００４４】

このように、信号監視部１０８は、当該無線システム内で送受信される自局宛のパケット信号のみならず、当該無線システム内の全ての受信信号を利用して電源となる直流電圧VDDを生成し、受信信号の状態に応じてアナログデジタル変換器１０４やデジタルキャリブレーション部１０５に電力を供給する機能を備えている。

【００４５】

また、信号監視部に周波数検出機能を持たせたい場合は、例えば、整流回路の前に、可変帯域バンドパスフィルタを配置すればよい。

【００４６】

次に、図３（図３Ａ、図３Ｂ）により、本実施例の無線受信回路を備えた端末局を採用した無線システムについて、その構成及び効果を説明する。

【００４７】

まず、図３Ａにおいて、無線ＬＡＮシステム１０００は、１つの基地局１００４－１と複数の端末局（ＳＴＡ－１～ＳＴＡ－ｍ）で構成される無線システム１００１と、同様な構成を有する他の無線システム１００２と、これらを接続する有線のネットワーク１００３で構成されている。無線システムは、CSMA/CA（Carrier Sens Multiple Access with Collision Avoidance）システムとして、構成されている。各端末局は、本実施例の無線受信回路を備えており、無線システム１００１に対応する各端末局（ＳＴＡ－１～ＳＴＡ－ｍ）の各受信回路では、共通する特定の周波数帯域の信号がバンドパスフィルタを通過し、高周波回路部１０１の出力部から出力される。同様に、無線システム１００２に対応する各端末局（ＳＴＡｎ）の各受信回路では、共通する他の特定の周波数帯域の信号がバンドパスフィルタを通過し、高周波回路部１０１の出力部からＩＦ信号として出力される。あるいはまた、無線システム１００１と無線システム１００２が共通する周波数帯域を使用する場合もありうる。

【００４８】

一般に無線システムでは、信号はパケット単位で到来する。図３Ｂのように、CSMA/CAシステムでは、基地局から定期的にビーコン信号がブロードキャストされたり、本パケット信号送受信の前に、基地局は端末局へポーリング信号を送る。また、端末局はパワーセーブモード以外では、他の端末局が出すパケット信号の存在を常時監視（キャリアセンス）している。

【００４９】

本実施例では、上記各信号、すなわち、ビーコン信号、ポーリング信号、キャリアセンス信号、あるいは他のユーザ（端末局）における本パケット送受信信号の全部または一部を利用して、自分の端末局のデジタルキャリブレーション部１０５によるアナログデジタル変換器１０４のデジタルキャリブレーションを進行させる。

【００５０】

また、消費電力低減のため、回路の一部または全部を、データ受信時とアナログデジタル変換器１０４のキャリブレーション時以外はスリープモードなどとし、信号監視部１０８が無線信号の存在を検出した時に、スリープ状態にある回路をスリープモードから起こして、データの受信やアナログデジタル変換器１０４のキャリブレーションを行う。例えば、端末局２に関して、図３Ｂのように、信号監視部１０８がアナログデジタル変換器１０４の電源ＡＤＣ－Ｖｄｄと、デジタルキャリブレーション部１０５の電源ＣＡＬ－Ｖｄ

ｄを、自局宛のパケット信号の存在時のみならず、自局宛のパケット信号を除いた無線信号の存在を検出した時にもオンとなるように制御する。

【００５１】

この時、アナログデジタル変換器１０４の入力信号は、可変利得増幅器１０３と自動利得制御部１０７により、アナログデジタル変換器のフルスケールレンジか、それに近いレベルまで増幅されるため、キャリブレーションを正常に進行させることができる。

【００５２】

図３Ｂの例では、基地局からのビーコン信号及びポーリング信号を利用して、端末局１のアナログデジタル変換器のデジタルキャリブレーションを行っている。これにより、端末局１が本パケット信号受信前、あるいは、少なくとも本パケット信号受信時のプリアンブル期間終了前に、デジタルキャリブレーションを収束させることができる。従って、例えばプリアンブル期間が４８μＳ程度であっても、本パケット信号の受信時前にデジタルキャリブレーションを収束させることができる。端末局２では、ビーコン信号、ポーリング信号、キャリアセンス信号、及び端末局１の本パケット送受信信号の全部を利用して、アナログデジタル変換器のデジタルキャリブレーションを行っている。これにより、端末局２は、本パケット信号受信前に、デジタルキャリブレーションを収束させることができる。

【００５３】

デジタルキャリブレーションを効果的に行うためには、アナログデジタル変換器１０４への入力信号が、アナログデジタル変換器１０４のフルスケールに近いレベルまで十分に振れる必要がある。一般に、デジタルキャリブレーション部１０５の収束には、アナログデジタル変換器１０４にフルスケールに十分近いレベルの信号が入力された状態でも、データ受信準備期間であるプリアンブル期間以上の時間を収束に要する。本実施例によれば、上記各信号の全部または一部を利用して、デジタルキャリブレーション部１０５によるアナログデジタル変換器１０４のデジタルキャリブレーションを進行させることで、本パケット信号受信前、あるいは、少なくとも本パケット信号受信時のプリアンブル期間終了前にデジタルキャリブレーション部１０５を収束させることができる。なお、１つの無線システム１００１では、多くの場合、複数の端末局が動作状態にあり、それらの端末局宛の本パケット信号や基地局との送受信信号を利用することで、デジタルキャリブレーションをより早期に収束させることができる。

【００５４】

このように、無線システム内の各端末局が、当該無線システム内で送受信される自局宛のパケット信号のみならず、当該無線システム内の全ての受信信号を利用して自局のデジタルキャリブレーションを行うように構成したことで、次世代無線システムに適した高分解能かつ高サンプルレートのデジタルキャリブレーション型アナログデジタル変換器のキャリブレーションを、受信したいパケット信号のプリアンブル期間終了前に収束させることができる。

【００５５】

また、データ受信時とアナログデジタル変換器のキャリブレーション時以外は回路の一部または全部をスリープモードとし、信号監視部が他の信号の存在を検出して、スリープ状態にある回路をスリープモードから起こしてアナログデジタル変換器のキャリブレーションを行うこれにより、端末局の消費電力を削減することができる。

【実施例２】

【００５６】

図４（図４Ａ、４Ｂ）により、本発明の第二の実施例を説明する。

図４Ａに、本発明の第二の実施例になる無線受信回路のブロック図を示す。本実施例の無線受信回路は、高周波回路部２０１と、この高周波回路部の出力に接続された低周波回路部（フィルタ２０２、可変利得増幅器２０３、自動利得制御部２０７）と、この低周波回路部の出力に接続されたアナログデジタル変換器２０４と、このアナログデジタル変換器の有効分解能を向上させるためのキャリブレーションを行うデジタルキャリブレーショ

ン部２０５と、デジタル信号処理用プロセッサ等で構成されるデジタル信号処理部２０６と、受信信号を検出するための信号監視部２０８と、フィルタ制御部２０９で構成されている。フィルタ制御部２０９は、信号監視部２０８の信号検出結果に基づいて、低周波回路部（または高周波回路部）に含まれるフィルタの通過帯域を信号が通過できるように制御する機能を有する。なお、フィルタ制御部２０９とそれに関係する部分以外の構成は、第一の実施例の構成と同じである。

【００５７】

アンテナから入力された信号は、高周波回路部２０１において増幅され、さらに低い中間周波数（または、ゼロ周波数）に周波数変換される。中間周波数信号は、フィルタ２０２で妨害波成分を除去された後、可変利得増幅器２０３で増幅され、アナログデジタル変換器２０４に入力される。アナログデジタル変換器２０４の出力は、デジタルキャリブレーション部２０５に入力され、アナログデジタル変換器２０４の出力に含まれる変換誤差をキャリブレーションして出力する。自動利得制御部２０７は、デジタルキャリブレーション部２０５の出力レベルから、可変利得増幅器２０３の利得を、同増幅器の出力が、アナログデジタル変換器２０４の入力ダイナミックレンジと等しくなるか、それより少し小さくなるように自動的に決定する。

【００５８】

デジタルキャリブレーション部２０５でキャリブレーションされたデジタル信号は、デジタル信号処理部２０６により、必要なフィルタリング、復調処理、上位レイヤの処理などが施される。アナログデジタル変換器２０４は、内部回路のオペアンプなどの消費電力を削減することで低消費電力を実現し、その代償として生じる変換誤差を、デジタルキャリブレーション部２０５によりキャリブレーションすることで、高分解能かつ高サンプルレートのアナログデジタル変換器を低消費電力で実現できる。

【００５９】

高周波回路部２０１の出力部には、信号監視部２０８が接続され、信号の有無や種類を判定できる。信号監視部２０８の判定結果に基づいて、アナログデジタル変換器２０４やデジタルキャリブレーション部２０５の動作が制御される。制御の具体的内容としては、例えば、電源電圧の制御や動作の完全または一部の停止などが考えられるが、もちろん、それに限られるものではない。

【００６０】

例えば、端末局２に関して、図４Ｂのように、アナログデジタル変換器２０４の電源ＡＤＣ－Ｖｄｄと、デジタルキャリブレーション部２０５の電源ＣＡＬ－Ｖｄｄを、信号監視部２０８が自局宛のパケット信号の存在時のみならず、自局宛のパケット信号を除いた無線信号の存在を検出した時にもオンとなるように制御する。

【００６１】

本実施例では、さらに、信号監視部２０８の出力がフィルタ制御部２０９に入力される。信号監視部２０８は、例えば周波数判定機能を持つことで、到来信号の周波数を知ることができ、その情報をフィルタ制御部２０９に入力することで、フィルタ制御部２０９は、到来信号の周波数がフィルタ２０２の通過帯域内になるように、フィルタ２０２の通過帯域を制御する。

【００６２】

例えば、図４Ｂのように、フィルタ２０２の通過帯域周波数をｆcとし、選択可能な通過帯域周波数をｆ1、ｆ2とし、端末局２を自局（通過帯域周波数＝ｆ2）をすると、自局宛以外、例えば端末局１宛の本パケット信号送信時に通過帯域周波数がｆ1、自局宛の本パケット信号送信時の通過帯域周波数がｆ2に制御される。このようにすることで、到来信号の周波数に関わらず、すなわち、自局にとっては不要波や妨害波であっても、アナログデジタル変換器２０４の入力部に十分大きな信号を伝えることができるため、キャリブレーションの収束を進行させることができる。

【００６３】

本実施例によれば、次世代無線システムに適した高分解能かつ高サンプルレートのデジ

タルキャリブレーション型アナログデジタル変換器のキャリブレーションを、受信したいパケット信号のプリアンブル期間終了前に収束させることができる。また、無線トランシーバの消費電力を削減することができる。

【実施例３】

【００６４】

図５に、本発明の第三の実施例になる無線受信回路のブロック図を示す。本実施例の無線受信回路は、高周波回路部３０１と、この高周波回路部の出力に接続された低周波回路部（フィルタ３０２、可変利得増幅器３０３、自動利得制御部３０７）と、この低周波回路部の出力に接続されたアナログデジタル変換器３０４と、このアナログデジタル変換器の有効分解能を向上させるためのキャリブレーションを行うデジタルキャリブレーション部３０５と、デジタル信号処理用プロセッサ等で構成されるデジタル信号処理部３０６と、受信信号を検出するための信号監視部３０８と、フィルタ制御部３０９と、電源管理部３１０で構成されている。なお、電源管理部３１０とそれに関係する部分以外の構成は、第二の実施例の構成と同じである。

【００６５】

アンテナから入力された信号は、高周波回路部３０１において、増幅され、さらに低い中間周波数（または、ゼロ周波数）に周波数変換される。中間周波数信号は、フィルタ３０２で妨害波成分を除去された後、可変利得増幅器３０３で増幅され、アナログデジタル変換器３０４に入力される。アナログデジタル変換器３０４の出力は、デジタルキャリブレーション部３０５に入力され、アナログデジタル変換器３０４の出力に含まれる変換誤差をキャリブレーションして出力する。自動利得制御部３０７は、デジタルキャリブレーション部３０５の出力レベルから、可変利得増幅器３０３の利得を、同増幅器の出力が、アナログデジタル変換器３０４の入力ダイナミックレンジと等しくなるか、それより少し小さくなるように自動的に決定する。デジタルキャリブレーション部３０５でキャリブレーションされたデジタル信号は、デジタル信号処理部３０６により、必要なフィルタリング、復調処理、上位レイヤの処理などが施される。アナログデジタル変換器３０４は、内部回路のオペアンプなどの消費電力を削減することで低消費電力を実現し、その代償として生じる変換誤差を、デジタルキャリブレーション部３０５によりキャリブレーションすることで、高分解能かつ高サンプルレートのアナログデジタル変換器を低消費電力で実現できる。

【００６６】

高周波回路部３０１の出力部には、信号監視部３０８が接続され、信号の有無や種類を判定できる。信号監視部３０８の出力部には、電源管理部３１０が接続され、電源管理部３１０は、信号監視部３０８の信号有無の判定結果や信号の種類の判定結果に基づいて、フィルタ３０２、可変利得増幅器３０３、アナログデジタル変換器３０４、デジタルキャリブレーション部３０５、デジタル信号処理部３０６などの一部または全ての電源電圧を制御することで低消費電力化を図ることができる。

【００６７】

例えば、信号監視部３０８が（妨害波も含めて）信号有と判定した場合、デジタル信号処理部３０６を除く全ての回路の電源をオンにして、デジタルキャリブレーション部３０５により、アナログデジタル変換器３０４のキャリブレーションを進行させる。また、例えば、信号監視部３０８が、その周波数判定機能を利用して、希望波信号有りと判定した場合は、データを受信するために、デジタル信号処理部３０６を含む全ての回路の電源をオンにする。これらは、あくまでも一例であって、もちろん、これらに限定されるものではない。

【００６８】

信号監視部３０８の出力は、フィルタ制御部３０９に入力される。信号監視部３０８は、その周波数判定機能により、到来信号の周波数を知ることができるため、その情報をフィルタ制御部３０９に入力することで、フィルタ制御部３０９は、到来信号の周波数がフィルタ３０２の通過帯域内になるように、フィルタ３０２の通過帯域を制御する。

【００６９】
このように本実施例では、無線システム内の各端末局が、当該無線システム内で送受信される自局宛のパケット信号のみならず、当該無線システム内の全ての受信信号を利用して自局のデジタルキャリブレーションを行う。このように構成したことで、各端末局は、到来信号の周波数に関わらず、すなわち、自局にとっては不要波や妨害波であっても、アナログデジタル変換器３０４の入力部に十分大きな信号を伝えることができるため、キャリブレーションの収束を進行させることができる。
【００７０】
本実施例によれば、次世代無線システムに適した高分解能かつ高サンプルレートのデジタルキャリブレーション型アナログデジタル変換器のキャリブレーションを、受信したいパケット信号のプリアンブル期間終了前に収束させることができる。また、無線トランシーバの消費電力を削減することができる。
【実施例４】
【００７１】
図６（図６Ａ、図６Ｂ）により、本発明の第四の実施例を説明する。
図６Ａに、本実施例になる無線トランシーバのブロック図を示す。無線トランシーバは、送受信切換え部４０１に接続された無線受信回路と無線送信回路部４０９を備えている。無線受信回路は、高周波回路部４０２と、この高周波回路部の出力に接続された低周波回路部（フィルタ４０３、可変利得増幅器４０４、自動利得制御部４０８）と、この低周波回路部の出力に接続されたアナログデジタル変換器４０５と、このアナログデジタル変換器の有効分解能を向上させるためのキャリブレーションを行うデジタルキャリブレーション部４０６と、デジタル信号処理用プロセッサ等で構成されるデジタル信号処理部４０７で構成されている。低周波回路部やアナログデジタル変換器、デジタルキャリブレーション部の構成は、第一の実施例の構成と同じである。
【００７２】
アンテナから入力された受信信号は、送受信切換え部４０１を通過した後、高周波回路部４０２において、増幅され、さらに低い中間周波数（または、ゼロ周波数）に周波数変換される。中間周波数信号は、フィルタ４０３で妨害波成分を除去された後、可変利得増幅器４０４で増幅され、アナログデジタル変換器４０５に入力される。アナログデジタル変換器４０５の出力は、デジタルキャリブレーション部４０６に入力され、アナログデジタル変換器４０５の出力に含まれる変換誤差をキャリブレーションして出力する。自動利得制御部４０８は、デジタルキャリブレーション部４０６の出力レベルから、可変利得増幅器４０４の利得を、同増幅器の出力が、アナログデジタル変換器４０５の入力ダイナミックレンジと等しくなるか、それより少し小さくなるように自動的に決定する。デジタルキャリブレーション部４０６でキャリブレーションされたデジタル信号は、デジタル信号処理部４０７により、必要なフィルタリング、復調処理、上位レイヤの処理などが施される。アナログデジタル変換器４０５は、内部回路のオペアンプなどの消費電力を削減することで低消費電力を実現し、その代償として生じる変換誤差を、デジタルキャリブレーション部４０６によりキャリブレーションすることで、高分解能かつ高サンプルレートのアナログデジタル変換器を低消費電力で実現できる。
【００７３】
本実施例では、端末局は、図６Ｂに示したように、アナログデジタル変換器４０５の電源ＡＤＣ－Ｖｄｄと、デジタルキャリブレーション部４０６の電源ＣＡＬ－Ｖｄｄの電源を、送信パケット信号の送信時にオンとなるように制御して自局の送信信号ＴＸを電力源として利用する。すなわち、送受信切換え部４０１に接続された無線送信回路部４０９から、送信パケット信号の送信時に送受信切換え部４０１を経由して受信側に印加される信号を利用して、デジタルキャリブレーション部４０６により、アナログデジタル変換器４０５のキャリブレーションを進行させる。
【００７４】
上記の送信側から受信側への信号印加は、通常、送受信切換え部４０１の送受信パス間

のアイソレーションの限界から、送信側から受信側への送信信号のリークとして自然に実現されるが、送受信切換え部４０１の特性を意図的に設定して、送信側から受信側への信号印加量を調整しても、もちろん良い。

【００７５】

本実施例によれば、次世代無線システムに適した高分解能かつ高サンプルレートのデジタルキャリブレーション型アナログデジタル変換器のキャリブレーションを、受信したいパケット信号のプリアンブル期間終了前に収束させることができる。また、無線トランシーバの消費電力を削減することができる。

【実施例５】

【００７６】

図７により、本発明の第五の実施例を説明する。

図７は、本実施例になる無線トランシーバのブロック図である。無線トランシーバは、送受信切換え部５０１に接続された無線受信回路と無線送信回路部５０９を備えている。無線受信回路は、高周波回路部５０２と、この高周波回路部の出力に接続された低周波回路部（フィルタ５０３、可変利得増幅器５０４、自動利得制御部５０８）と、この低周波回路部の出力に接続されたアナログデジタル変換器５０５と、このアナログデジタル変換器の有効分解能を向上させるためのキャリブレーションを行うデジタルキャリブレーション部５０６と、デジタル信号処理用プロセッサ等で構成されるデジタル信号処理部５０７と、信号監視部５１０で構成されている。低周波回路部やアナログデジタル変換器、デジタルキャリブレーション部の構成は、第一の実施例の構成と同じである。

【００７７】

アンテナから入力された受信信号は、送受信切換え部５０１を通過した後、高周波回路部５０２において、増幅され、さらに低い中間周波数（または、ゼロ周波数）に周波数変換される。中間周波数信号は、フィルタ５０３で妨害波成分を除去された後、可変利得増幅器５０４で増幅され、アナログデジタル変換器５０５に入力される。アナログデジタル変換器５０５の出力は、デジタルキャリブレーション部５０６に入力され、アナログデジタル変換器５０５の出力に含まれる変換誤差をキャリブレーションして出力する。自動利得制御部５０８は、デジタルキャリブレーション部５０６の出力レベルから、可変利得増幅器５０４の利得を、同増幅器の出力が、アナログデジタル変換器５０５の入力ダイナミックレンジと等しくなるか、それより少し小さくなるように自動的に決定する。デジタルキャリブレーション部５０６でキャリブレーションされたデジタル信号は、デジタル信号処理部５０７により、必要なフィルタリング、復調処理、上位レイヤの処理などが施される。アナログデジタル変換器５０５は、内部回路のオペアンプなどの消費電力を削減することで低消費電力を実現し、その代償として生じる変換誤差を、デジタルキャリブレーション部５０６によりキャリブレーションすることで、高分解能かつ高サンプルレートのアナログデジタル変換器を低消費電力で実現できる。

【００７８】

送受信切換え部５０１に接続された無線送信回路部５０９から、信号送信時に送受信切換え部５０１を経由して受信側に印加される信号を利用して、デジタルキャリブレーション部５０６により、アナログデジタル変換器５０５のキャリブレーションを進行させる。この送信側から受信側への信号印加は、通常、送受信切換え部５０１の送受信パス間のアイソレーションの限界から、送信側から受信側への送信信号のリークとして自然に実現されるが、送受信切換え部５０１の特性を意図的に設定して、送信側から受信側への信号印加量を調整しても、もちろん良い。

【００７９】

本実施例では、さらに、高周波回路部５０２の出力部に、信号監視部５１０が接続され、信号の有無や種類を判定できる。信号監視部５１０の判定結果に基づいて、アナログデジタル変換器５０５やデジタルキャリブレーション部５０６の動作が制御される。制御の具体的内容としては、例えば、消費電力削減のために、電源電圧の制御や動作の完全または一部の停止などが考えられるが、もちろん、それに限られるものではない。すなわち、

本実施例では、自局の送信信号のみならず、前記各実施例で述べた、当該無線システム内の全ての受信信号も利用して自局のデジタルキャリブレーションを行う。

【００８０】

本実施例によれば、次世代無線システムに適した高分解能かつ高サンプルレートのデジタルキャリブレーション型アナログデジタル変換器のキャリブレーションを、受信したいパケット信号のプリアンブル期間終了前に収束させることができる。また、無線トランシーバの消費電力を削減することができる。

【実施例６】

【００８１】

本発明の第六の実施例を図８で説明する。

【００８２】

図８は、本実施例になる無線トランシーバのブロック図である。無線トランシーバは、送受信切換え部６０１に接続された無線受信回路と無線送信回路部６１０を備えている。無線受信回路は、高周波回路部６０２と、この高周波回路部の出力に接続された低周波回路部（フィルタ６０３、可変利得増幅器６０４、自動利得制御部６０８）と、この低周波回路部の出力に接続されたアナログデジタル変換器６０５と、このアナログデジタル変換器の有効分解能を向上させるためのキャリブレーションを行うデジタルキャリブレーション部６０６と、デジタル信号処理用プロセッサ等で構成されるデジタル信号処理部６０７と、信号監視部６０９と、フィルタ制御部６１１と、電源管理部６１２で構成されている。低周波回路部やアナログデジタル変換器、デジタルキャリブレーション部の構成は、第一の実施例の構成と同じである。

【００８３】

アンテナから入力された受信信号は、送受信切換え部６０１を通過した後、高周波回路部６０２において、増幅され、さらに低い中間周波数（または、ゼロ周波数）に周波数変換される。中間周波数信号は、フィルタ６０３で妨害波成分を除去された後、可変利得増幅器６０４で増幅され、アナログデジタル変換器６０５に入力される。アナログデジタル変換器６０５の出力は、デジタルキャリブレーション部６０６に入力され、アナログデジタル変換器６０５の出力に含まれる変換誤差をキャリブレーションして出力する。自動利得制御部６０８は、デジタルキャリブレーション部６０６の出力レベルから、可変利得増幅器６０４の利得を、同増幅器の出力が、アナログデジタル変換器６０５の入力ダイナミックレンジと等しくなるか、それより少し小さくなるように自動的に決定する。デジタルキャリブレーション部６０６でキャリブレーションされたデジタル信号は、デジタル信号処理部６０７により、必要なフィルタリング、復調処理、上位レイヤの処理などが施される。アナログデジタル変換器６０５は、内部回路のオペアンプなどの消費電力を削減することで低消費電力を実現し、その代償として生じる変換誤差を、デジタルキャリブレーション部６０６によりキャリブレーションすることで、高分解能かつ高サンプルレートのアナログデジタル変換器を低消費電力で実現できる。

【００８４】

本実施例では、送受信切換え部６０１に接続された無線送信回路部６０９から、信号送信時に送受信切換え部６０１を経由して受信側に印加される信号を利用して、デジタルキャリブレーション部６０６により、アナログデジタル変換器６０５のキャリブレーションを進行させる。上記の送信側から受信側への信号印加は、通常、送受信切換え部６０１の送受信パス間のアイソレーションの限界から、送信側から受信側への送信信号のリークとして自然に実現されるが、送受信切換え部６０１の特性を意図的に設定して、送信側から受信側への信号印加量を調整しても、もちろん良い。

【００８５】

本実施例では、さらに、高周波回路部６０２の出力部に、信号監視部６１０が接続され、信号の有無や種類を判定できる。信号監視部６１０の判定結果に基づいて、アナログデジタル変換器６０５やデジタルキャリブレーション部６０６の動作が制御される。制御の具体的内容としては、例えば、消費電力削減のために、電源電圧の制御や動作の完全また

は一部の停止などが考えられるが、もちろん、それに限られるものではない。

【００８６】

本実施例では、さらに、信号監視部６０９の出力がフィルタ制御部６１１に入力される。信号監視部６０９は、例えば周波数判定機能を持つことで、到来信号の周波数を知ることができ、その情報をフィルタ制御部６１１に入力することで、フィルタ制御部６１１は、到来信号の周波数がフィルタ６０３の通過帯域内になるように、フィルタ６０３の通過帯域を制御する。このようにすることで、到来信号の周波数に関わらず、すなわち、自局にとっては不要波や妨害波であっても、アナログデジタル変換器６０８の入力部に十分大きな信号を伝えることができるため、キャリブレーションの収束を進行させることができる。

【００８７】

本実施例によれば、次世代無線システムに適した高分解能かつ高サンプルレートのデジタルキャリブレーション型アナログデジタル変換器のキャリブレーションを、受信したいパケット信号のプリアンブル期間終了前に収束させることができる。また、無線トランシーバの消費電力を削減することができる。

【実施例７】

【００８８】

図９に、本発明の第７の実施例を示す。図９は、本実施例になる無線受信回路のブロック図である。無線受信回路は、高周波回路部７０１と、この高周波回路部の出力に接続された低周波回路部（フィルタ７０２、可変利得増幅器７０３、自動利得制御部７０６）と、この低周波回路部の出力に接続されたアナログデジタル変換器７０４と、デジタルキャリブレーション部兼デジタル信号処理部７０５と、信号監視部７０７構成されている。デジタルキャリブレーション部兼デジタル信号処理部以外の構成は、第一の実施例の構成と同じである。

【００８９】

アンテナから入力された受信信号は、高周波回路部７０１において、増幅され、さらに低い中間周波数（または、ゼロ周波数）に周波数変換される。中間周波数信号は、フィルタ７０２で妨害波成分を除去された後、可変利得増幅器７０３で増幅され、アナログデジタル変換器７０４に入力される。アナログデジタル変換器７０４の出力は、デジタルキャリブレーション部兼デジタル信号処理部７０５に入力され、デジタルキャリブレーション部兼デジタル信号処理部７０５は、アナログデジタル変換器７０４の出力に含まれる変換誤差をキャリブレーションして出力し、さらに、その出力に対して、必要なフィルタリング、復調処理、上位レイヤの処理などが施す。自動利得制御部７０６は、デジタルキャリブレーション部兼デジタル信号処理部７０５から得られるキャリブレーション後の信号レベルから、可変利得増幅器７０３の利得を、同増幅器の出力が、アナログデジタル変換器７０４の入力ダイナミックレンジと等しくなるか、それより少し小さくなるように自動的に決定する。アナログデジタル変換器７０４は、内部回路のオペアンプなどの消費電力を削減することで低消費電力を実現し、その代償として生じる変換誤差を、デジタルキャリブレーション部兼デジタル信号処理部７０５によりキャリブレーションすることで、高分解能かつ高サンプルレートのアナログデジタル変換器を低消費電力で実現できる。

【００９０】

高周波回路部７０１の出力部には、信号監視部７０７が接続され、信号の有無や種類を判定できる。信号監視部７０７の判定結果に基づいて、アナログデジタル変換器７０４やデジタルキャリブレーション部兼デジタル信号処理部７０５の動作が制御される。制御の具体的内容としては、例えば、消費電力削減のために、電源電圧の制御や動作の完全または一部の停止などが考えられるが、もちろん、それに限られるものではない。

【００９１】

本実施例では、特にデジタル信号処理部を同一チップ上に搭載することで、その強力なデジタル信号処理能力を活用して、アナログデジタル変換器７０４の出力を高精度にキャリブレーションすることができる。また、デジタル信号処理部を同一チップ上に搭載する

ことで、信号監視部７０７による上記の制御が容易となる。

【００９２】

本実施例によれば、次世代無線システムに適した高分解能かつ高サンプルレートのデジタルキャリブレーション型アナログデジタル変換器のキャリブレーションを、受信したいパケット信号のプリアンブル期間終了前に収束させることができる。また、無線トランシーバの消費電力を削減することができる。

【００９３】

なお、以上のべた本発明の各実施例において、高周波回路部及び低周波回路部からデジタル信号処理部までを同一チップ化する場合、さらにデジタルキャリブレーション部まで同一チップ化する場合、さらにアナログデジタル変換器まで同一チップ化する場合、さらにはアナログデジタル変換器以前（アナログデジタル変換器は除く）まで同一チップ化する場合など、さまざまなバリエーションが考えられるのは言うまでもない。

【００９４】

例えば、高周波回路部、低周波回路部、アナログデジタル変換器、キャリブレーション部、信号監視部からなる無線受信回路は、一つのチップ上に集積化して実現することができる。あるいは、高周波回路部、低周波回路部、アナログデジタル変換器、キャリブレーション部、信号監視部と、デジタル信号処理用プロセッサ部を一つのチップ上に集積化して実現することもできる。あるいはまた、高周波回路部、低周波回路部、アナログデジタル変換器、キャリブレーション部からなる無線受信回路部と送信回路部を一つのチップ上に集積化して実現することができる。あるいはまた、高周波回路部、低周波回路部、アナログデジタル変換器、キャリブレーション部からなる無線受信回路部と送信回路部とデジタル処理用プロセッサ部を一つのチップ上に集積化して実現することもできる。

【図面の簡単な説明】

【００９５】

【図１】本発明の第一の実施例になる無線受信回路のブロック図を示す図である。

【図２Ａ】本発明の第一の実施例における受信回路の高周波回路部の構成例を示す図である。

【図２Ｂ】本発明の第一の実施例におけるアナログデジタル変換器の構成例及び機能を示す図である。

【図２Ｃ】本発明の第一の実施例におけるデジタルキャリブレーション部の構成例及び機能を示す図である。

【図２Ｄ】本発明の第一の実施例におけるデジタルキャリブレーション部の動作を説明する図である。

【図２Ｅ】本発明の第一の実施例における信号監視部の構成例を示す図である。

【図３Ａ】本発明の第一の実施例になる無線受信回路を端末局に採用した無線システムの構成例を示す図である。

【図３Ｂ】本発明の第一の実施例になる無線受信回路を備えた端末局の効果を説明する図である。

【図４Ａ】本発明の第二の実施例になる無線受信回路のブロック図である。

【図４Ｂ】第二の実施例の動作説明図である。

【図５】本発明の第三の実施例になる無線受信回路のブロック図である。

【図６Ａ】本発明の第四の実施例になる無線トランシーバのブロック図である。

【図６Ｂ】第四の実施例の動作説明図である。

【図７】本発明の第五の実施例になる無線トランシーバのブロック図である。

【図８】本発明の第六の実施例になる無線トランシーバのブロック図である。

【図９】本発明の第七の実施例になる無線受信回路のブロック図である。

【図１０】従来の一般的な無線受信回路の構成例を示す図である。

【図１１】本発明の背景を説明する図である。

【符号の説明】

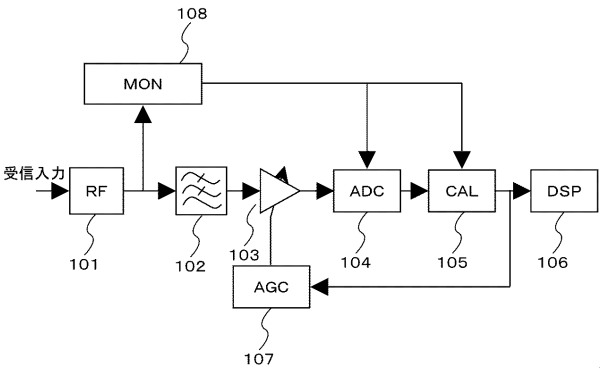
【００９６】

１０１：高周波回路部
１０２：フィルタ
１０３：可変利得増幅器
１０４：アナログデジタル変換器
１０５：デジタルキャリブレーション部
１０６：デジタル信号処理部
１０７：自動利得制御部
１０８：信号監視部
２０１：高周波回路部
２０２：フィルタ
２０３：可変利得増幅器
２０４：アナログデジタル変換器
２０５：デジタルキャリブレーション部
２０６：デジタル信号処理部
２０７：自動利得制御部
２０８：信号監視部
２０９：フィルタ制御部
３０１：高周波回路部
３０２：フィルタ
３０３：可変利得増幅器
３０４：アナログデジタル変換器
３０５：デジタルキャリブレーション部
３０６：デジタル信号処理部
３０７：自動利得制御部
３０８：信号監視部
３０９：フィルタ制御部
３１０：電源管理部
４０１：送受信切換え部
４０２：高周波回路部
４０３：フィルタ
４０４：可変利得増幅器
４０５：アナログデジタル変換器
４０６：デジタルキャリブレーション部
４０７：デジタル信号処理部
４０８：自動利得制御部
４０９：無線送信回路部
５０１：送受信切換え部
５０２：高周波回路部
５０３：フィルタ
５０４：可変利得増幅器
５０５：アナログデジタル変換器
５０６：デジタルキャリブレーション部
５０７：デジタル信号処理部
５０８：自動利得制御部
５０９：無線送信回路部
５１０：信号監視部
６０１：送受信切換え部
６０２：高周波回路部
６０３：フィルタ
６０４：可変利得増幅器

６０５：アナログデジタル変換器
６０６：デジタルキャリブレーション部
６０７：デジタル信号処理部
６０８：自動利得制御部
６０９：信号監視部
６１０：無線送信回路部
６１１：フィルタ制御部
６１２：電源管理部
７０１：高周波回路部
７０２：フィルタ
７０３：可変利得増幅器
７０４：アナログデジタル変換器
７０５：デジタルキャリブレーション部兼デジタル信号処理部
７０６：自動利得制御部
７０７：信号監視部
８０１：高周波回路部
８０２：フィルタ
８０３：可変利得増幅器
８０４：アナログデジタル変換器
８０５：デジタル信号処理部
８０６：自動利得制御部
１０８１：整流回路部
１０８２：受信信号判定部
１０８３：制御部。

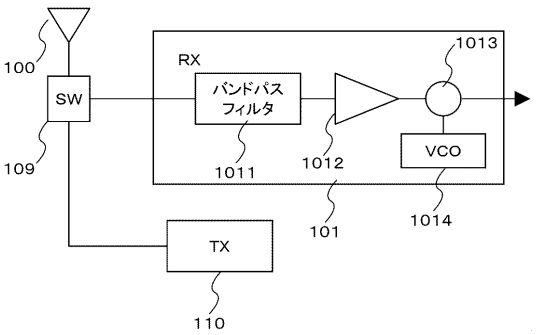
【図１】

図１



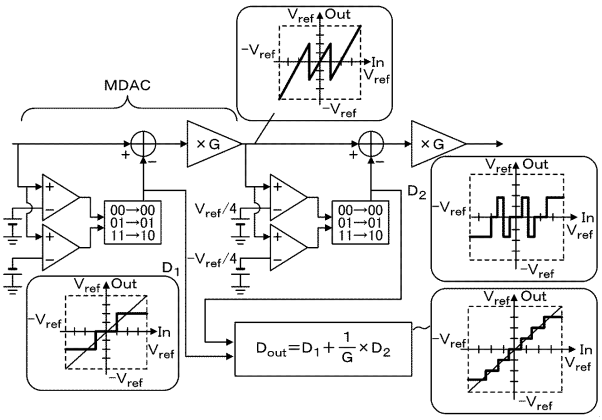
【図２Ａ】

図２Ａ



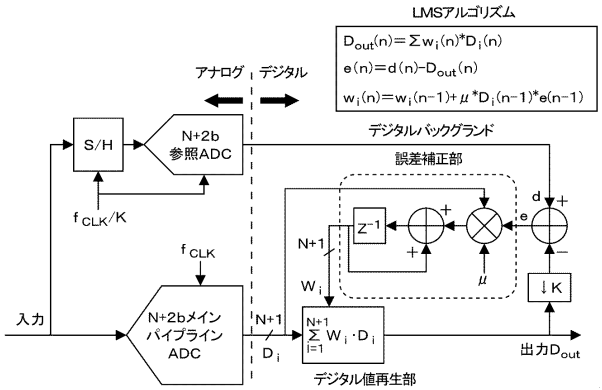
【図２Ｂ】

図２Ｂ



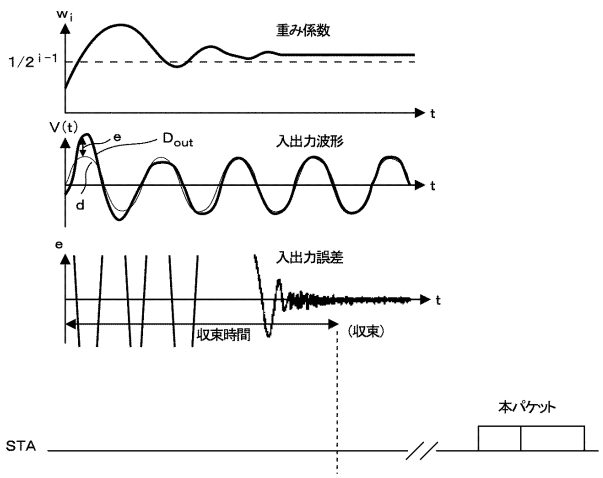
【図２Ｃ】

図２Ｃ



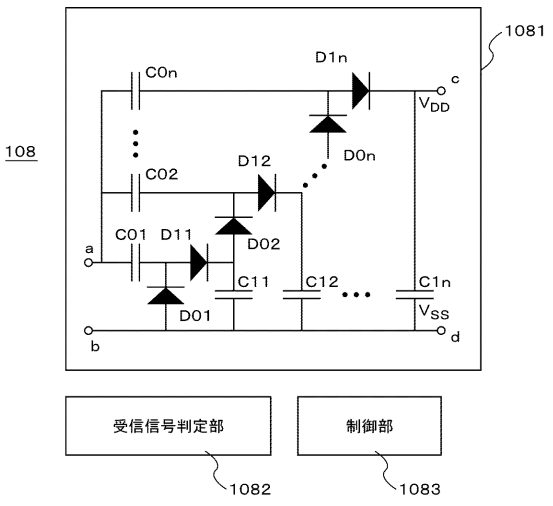
【図２Ｄ】

図２Ｄ



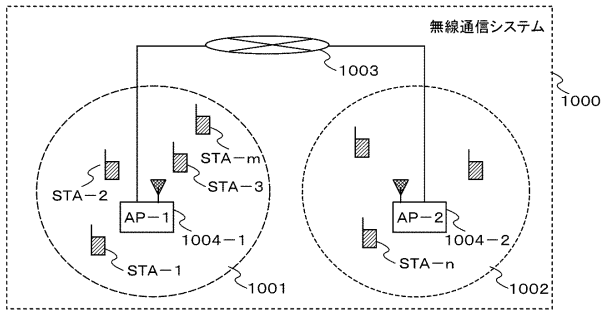
【図２Ｅ】

図２Ｅ



【図３Ａ】

図３Ａ



【図３Ｂ】

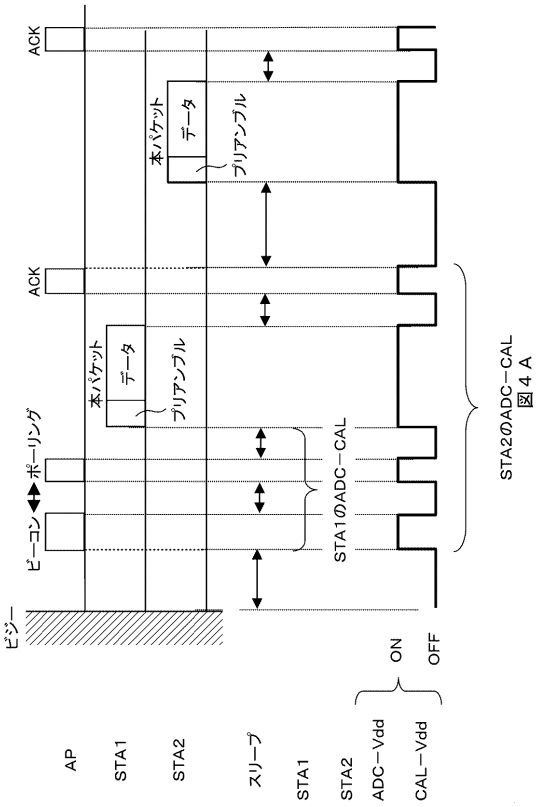


図３Ｂ

【図４Ａ】

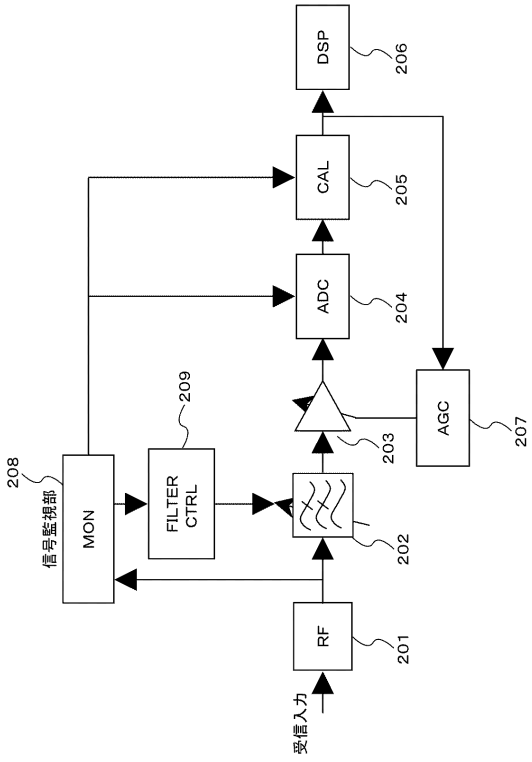


図４Ａ

【図４Ｂ】

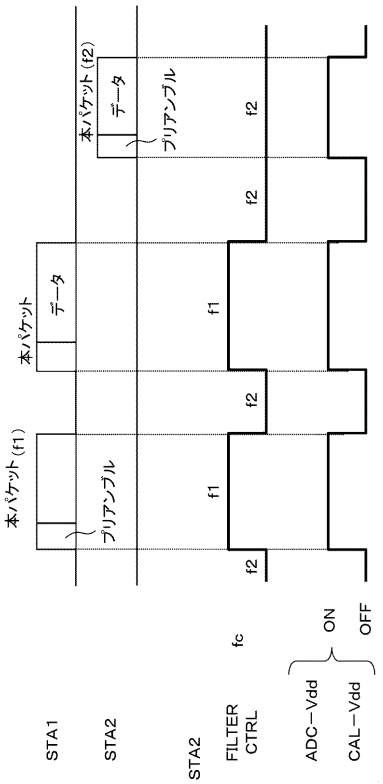


図４Ｂ

【図５】

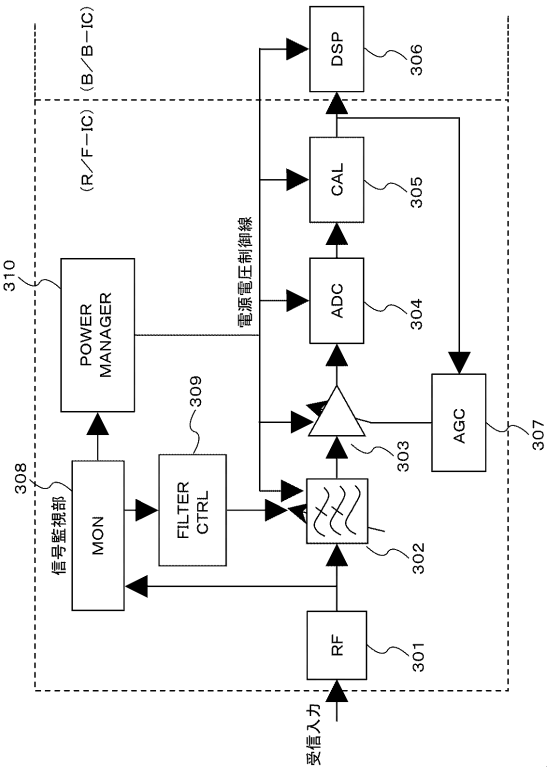
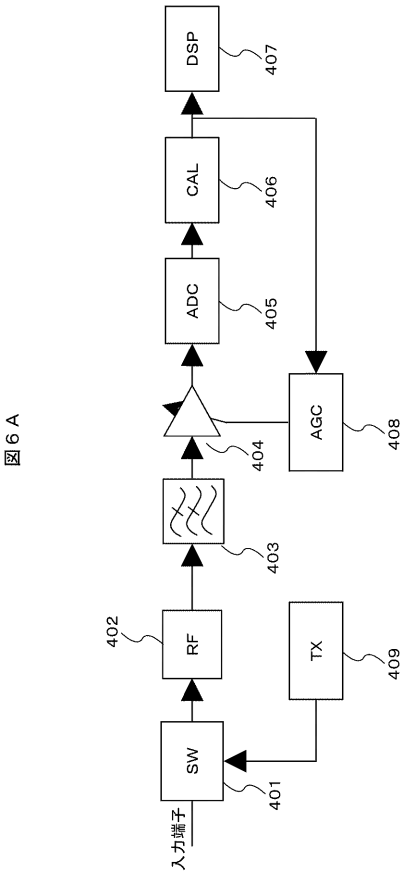
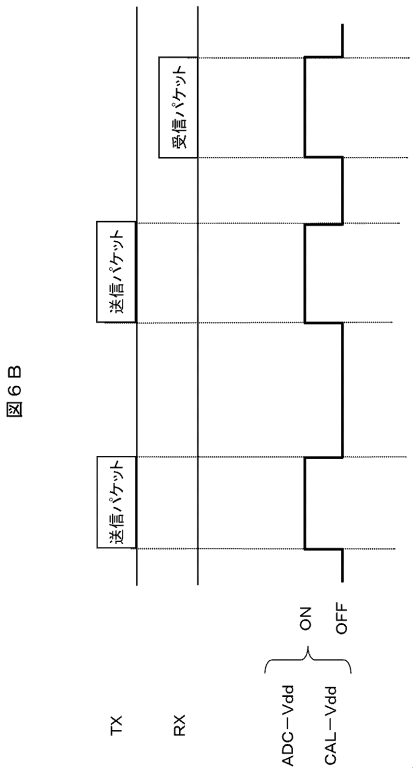


図５

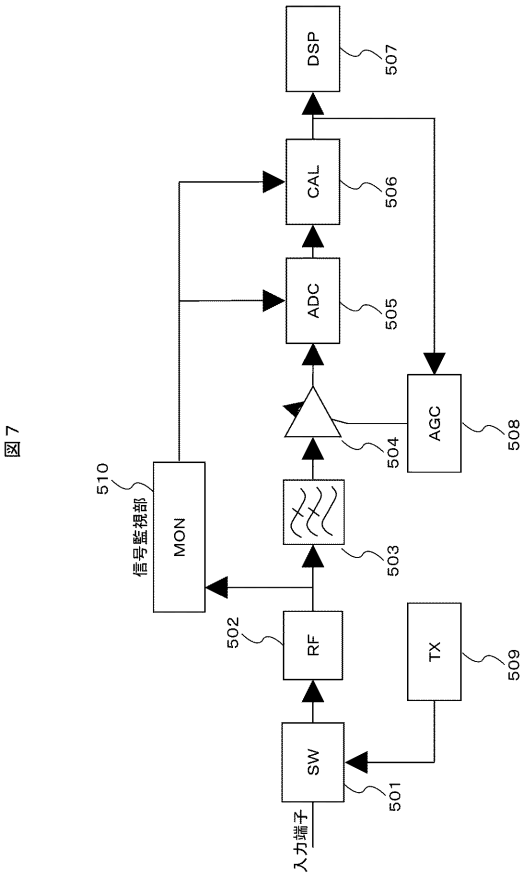
【図６Ａ】


図６Ａ
入力端子
SW
401
RF
402
403
404
ADC
405
CAL
406
DSP
407
AGC
408
TX
409

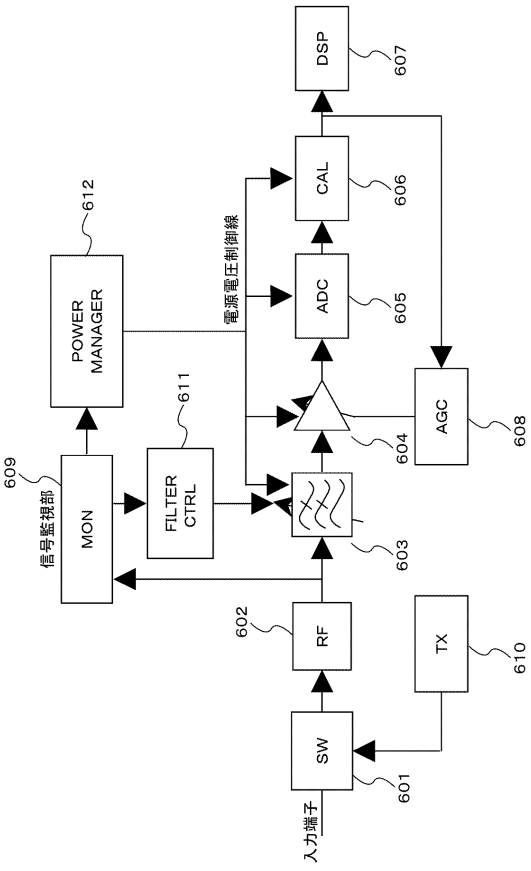
【図６Ｂ】


図６Ｂ
送信パケット
送信パケット
受信パケット
TX
RX
ADC−Vdd
CAL−Vdd
ON
OFF

【図７】


図７
入力端子
SW
501
RF
502
503
504
ADC
505
CAL
506
DSP
507
AGC
508
TX
509
信号監視部
MON
510

【図８】


図８
入力端子
SW
601
RF
602
603
604
ADC
605
CAL
606
DSP
607
AGC
608
信号監視部
MON
609
FILTER
CTRL
611
POWER
MANAGER
612
電源電圧制御線
TX
610

【図９】

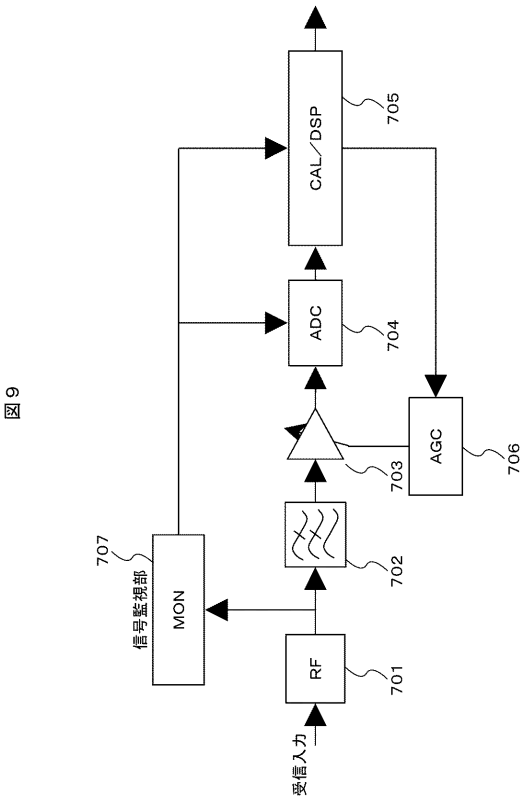


図９

【図１０】

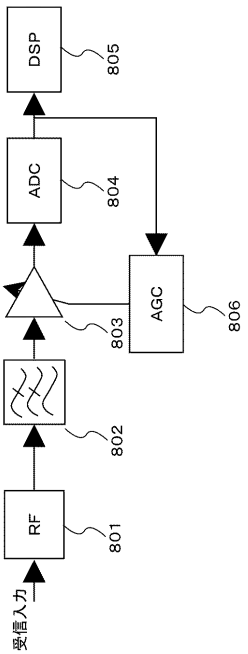
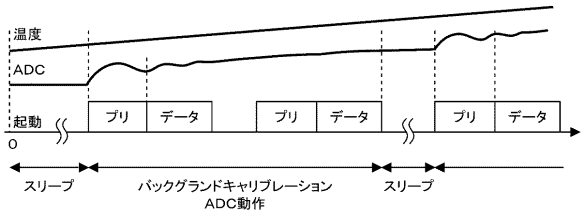


図１０

【図１１】

図１１



フロントページの続き

(51)Int.Cl. F I
H03G 3/30 B

(56)参考文献 特開２００５－２２９５１８（ＪＰ，Ａ）
特表平１１－５０６５７３（ＪＰ，Ａ）
特開２００６－１２１１４６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０３Ｍ１／００－１／８８
Ｈ０３Ｇ　３／２０
Ｈ０３Ｇ　３／３０
Ｈ０４Ｂ　３／１１