(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0135139
(43) 공개일자 2021년11월12일

(51) 국제특허분류(Int. Cl.)
G06N 3/063 (2006.01) *G06N 3/04* (2006.01)
G06N 3/08 (2006.01)
(52) CPC특허분류
G06N 3/063 (2013.01)
G06N 3/04 (2013.01)
(21) 출원번호 10-2020-0053488
(22) 출원일자 2020년05월04일
심사청구일자 2020년05월04일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
왕건욱
서울특별시 강북구 삼양로19길 25, 112동 1103호 (미아동, 삼성래미안트리베라1차아파트)
최상현
대구광역시 달서구 이곡공원로 49, 301동 511호(이곡동, 성서3차동서타운)
(74) 대리인
김연권

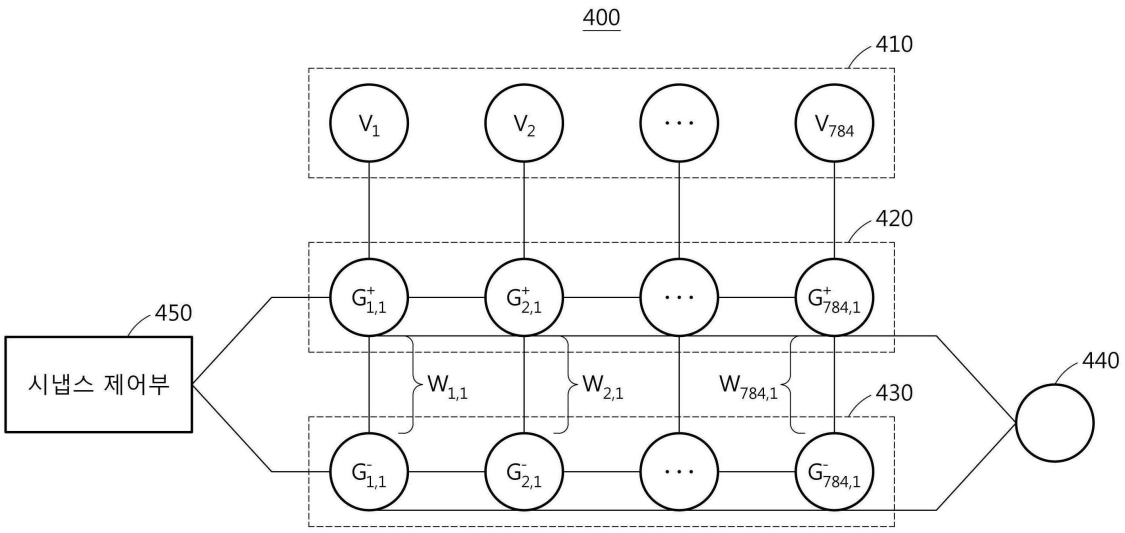
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 **드롭커넥트 신경망 시스템 및 이를 이용한 학습 방법**

(57) 요 약

본 발명은 드롭커넥트 신경망 시스템 및 이를 이용한 학습 방법에 관한 것으로서, 일실시예에 따른 드롭커넥트 신경망 시스템은 복수의 프리-뉴런(pre-neuron)과, 복수의 프리-뉴런과 각각 연결되는 복수의 시냅스 유닛 및 복수의 시냅스 유닛 중 활성화된 시냅스 유닛으로부터 출력되는 포스트-시냅틱 전류(post-synaptic current)를 수신하는 포스트-뉴런(post-neuron)을 포함하고, 복수의 시냅스 유닛 각각은 복수의 프리-뉴런 중 대응되는 적어도 하나의 프리-뉴런으로부터 수신되는 입력 전압에 기초한 확률적인 상변화에 대응하여 활성화될 수 있다.

대 표 도



(52) CPC특허분류
G06N 3/08 (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 2019R1A2C2003704
과제번호 R1904381
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 (이공)(유형1-2)중견연구
연구과제명 에너지 절감형 스마트 단일 뉴럴 네트워크를 위한 가소성 고차원 튜닝 및 누설 뉴럴 신호 제어 가능한 이종접합형 인공시냅스 소재/소자 개발
기 여 율 4/5
과제수행기관명 고려대학교
연구기간 2019.09.01 ~ 2020.02.29
이 발명을 지원한 국가연구개발사업
과제고유번호 2V07090-19-P504
과제번호 R1828381
부처명 연구지원부
과제관리(전문)기관명 한국과학기술연구원
연구사업명 KU-KIST 스쿨 운영사업
연구과제명 초저전력 Non-Von Neumann 정보처리/저장 소자 시스템 개발
기 여 율 1/5
과제수행기관명 고려대학교
연구기간 2019.01.01 ~ 2019.12.31

명 세 서

청구범위

청구항 1

복수의 프리-뉴런(pre-neuron);

상기 복수의 프리-뉴런과 각각 연결되는 복수의 시냅스 유닛 및

상기 복수의 시냅스 유닛 중 활성화된 시냅스 유닛으로부터 출력되는 포스트-시냅틱 전류(post-synaptic current)를 수신하는 포스트-뉴런(post-neuron)

을 포함하고,

상기 복수의 시냅스 유닛 각각은,

상기 복수의 프리-뉴런 중 대응되는 적어도 하나의 프리-뉴런으로부터 수신되는 입력 전압에 기초한 확률적인 상변화에 대응하여 활성화되는

드롭커넥트 신경망 시스템.

청구항 2

제1항에 있어서,

상기 복수의 시냅스 유닛 각각은,

상기 입력 전압의 크기가 기설정된 세트 전압(set voltage) 이상인 경우에, 저전도성의 아몰퍼스(amorphous) 상과 고전도성의 나노크리스탈(nanocrystal) 상 중에서 어느 하나의 상으로 결정되고, 상기 결정된 어느 하나에 상에 대응하여 활성화되는

드롭커넥트 신경망 시스템.

청구항 3

제2항에 있어서,

상기 복수의 시냅스 유닛이 구비된 기판을 통해 인가되는 게이트 전압의 크기 및 상기 게이트 전압의 펄스폭 중 적어도 하나를 기설정된 스위칭 천이 확률에 대응되는 값으로 조절하여, 상기 복수의 시냅스 유닛 중 상기 스위칭 천이 확률에 대응되는 개수의 시냅스 유닛을 활성화하는 시냅스 제어부

를 더 포함하는 드롭커넥트 신경망 시스템.

청구항 4

제3항에 있어서,

상기 시냅스 제어부는,

상기 제1 시냅스 소자들과 상기 제2 시냅스 소자들 중 15%로 설정된 상기 스위칭 천이 확률에 대응되는 개수의 시냅스 유닛을 활성화하는

드롭커넥트 신경망 시스템.

청구항 5

제1항에 있어서,

상기 복수의 시냅스 유닛 각각은,

양의 컨덕턴스 값을 갖는 제1 시냅스 소자와, 음의 컨덕턴스 값을 갖는 제2 시냅스 소자를 구비하고, 상기 제1 시냅스 소자와 상기 제2 시냅스 소자가 병렬 구조로 연결되는

드롭커넥트 신경망 시스템.

청구항 6

제5항에 있어서,

상기 제1 시냅스 소자와 상기 제2 시냅스 소자의 컨덕턴스에 따라 상기 복수의 프리-뉴런과 상기 포스트-뉴런의 연결 강도(connection strength)가 결정되는

드롭커넥트 신경망 시스템.

청구항 7

제1항에 있어서,

상기 포스트-뉴런은,

상기 활성화된 시냅스 유닛으로부터 출력되는 상기 포스트-시냅틱 전류를 합산하고, 상기 합산된 전류의 크기가 기설정된 임계 크기 이상이 되면 발화(firing)하는

드롭커넥트 신경망 시스템.

청구항 8

프리-뉴런 제어부에서, 입력 데이터에 대응하여 복수의 프리-뉴런 각각에 대한 입력 전압을 설정하고, 상기 입력 전압을 제1 시냅스 소자와 제2 시냅스 소자를 각각 구비하는 복수의 시냅스 유닛에 출력하도록 제어하는 단계;

시냅스 제어부에서, 상기 복수의 시냅스 유닛 중 기설정된 스위칭 천이 확률에 대응되는 개수의 시냅스 유닛이 활성화 되도록 제어하는 단계 및

상기 시냅스 제어부에서, 상기 입력 전압을 상기 활성화된 시냅스 유닛을 통해 각각 스케일링하고, 상기 스케일링의 결과로 상기 활성화된 시냅스 유닛 각각으로부터 출력되는 포스트-시냅틱 전류(post-synaptic current)를 포스트-뉴런(post-neuron)에 제공 하도록 제어하는 단계

를 포함하고,

상기 복수의 시냅스 유닛 각각은,

상기 복수의 프리-뉴런 중 대응되는 적어도 하나의 프리-뉴런으로부터 수신되는 입력 전압에 기초한 확률적인 상변화에 대응하여 활성화되는

드롭커넥트 신경망의 학습 방법.

청구항 9

제8항에 있어서,

상기 활성화 되도록 제어하는 단계는,

상기 복수의 시냅스 유닛이 구비된 기판을 통해 인가되는 게이트 전압의 크기 및 상기 게이트 전압의 펄스폭 중 적어도 하나를 상기 스위칭 천이 확률에 대응되는 값으로 조절하여, 상기 스위칭 천이 확률에 대응되는 개수의 시냅스 유닛이 활성화 되도록 제어하는

드롭커넥트 신경망의 학습 방법.

청구항 10

제8항에 있어서,

상기 복수의 시냅스 유닛에 출력하도록 제어하는 단계는,

상기 입력 데이터를 복수의 픽셀 데이터로 분할하고, 상기 복수의 픽셀 데이터 각각을 상기 복수의 프리-뉴런에 할당하며,

상기 복수의 프리-뉴런 각각에 대한 입력 전압은,

상기 할당된 픽셀 데이터가 블랙 픽셀의 데이터인 경우 기설정된 크기의 음의 전압으로 설정되고, 상기 할당된 픽셀 데이터가 화이트 픽셀의 데이터인 경우 기설정된 크기의 양의 전압으로 설정되는

드롭커넥트 신경망의 학습 방법.

청구항 11

제10항에 있어서,

상기 복수의 시냅스 유닛에 출력하도록 제어하는 단계는,

상기 복수의 프리-뉴런 중 상기 기설정된 크기의 음의 전압을 출력하는 프리-뉴런에 대응되는 제1 시냅스 소자에는 기설정된 세트 전압(set voltage)이 적용되고, 상기 기설정된 크기의 음의 전압을 출력하는 프리-뉴런에 대응되는 제2 시냅스 소자에는 기설정된 리셋 전압(reset voltage)이 적용되며,

상기 복수의 프리-뉴런 중 상기 기설정된 크기의 양의 전압을 출력하는 프리-뉴런에 대응되는 제1 시냅스 소자에는 상기 기설정된 리셋 전압이 적용되고, 상기 기설정된 크기의 양의 전압을 출력하는 프리-뉴런에 대응되는 제2 시냅스 소자에는 상기 기설정된 세트 전압이 적용되는

드롭커넥트 신경망의 학습 방법.

청구항 12

제8항에 있어서,

상기 포스트-뉴런에서, 상기 활성화된 시냅스 유닛으로부터 출력되는 포스트-시냅틱 전류를 합산하고, 상기 합산된 전류의 크기가 기설정된 임계 크기 이상이되면 발화(firing)하는 단계

를 더 포함하는 드롭커넥트 신경망의 학습 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 드롭커넥트 신경망 시스템 및 이를 이용한 학습 방법에 관한 것으로, 보다 상세하게는 저전력 가속학습 뉴로모픽 컴퓨팅의 신경망 구조를 위한 희소 신경망 모사 기반의 드롭커넥트 신경망 시스템 및 이를 이용한 학습 방법에 관한 것이다.

배 경 기 술

[0002] 빅데이터 시대에 접어들면서 방대한 양의 데이터를 한 번에 처리해야 하는 수요가 증가하고 있으며, 특히 그림과 소리 같은 비정형적인 데이터가 급증하고 있다.

[0003] 기존 컴퓨터 구조(폰 노이만 구조)에서는 이러한 정보처리 및 컴퓨팅 작업을 하는데 비효율적이며, 전력소모가 크다는 문제가 있다.

[0004] 이를 해결할 방안으로, 사람의 두뇌 신경 작용을 모사한 뉴로모픽 기술이 해결책으로 대두되고 있다. 2015년 세계경제포럼(World Economic Forum)에서는 미래를 바꿀 10가지의 주요 차세대 기술 중 하나로 뉴로모픽 기술을 선정하였으며, 이와 더불어 국내외에서 그 가능성에 대한 연구가 활발하게 진행되고 있다.

[0005] 현재 뉴로모픽 컴퓨팅을 위한 인공신경망은 다층 구조의 모든 뉴런/시냅스들이 서로 연결되어 있는 형태로 시스템이 복잡해지는 경향이 있다.

[0006] 이는, 정보처리 시에 각 신경망의 계층이 입력 신호에 의해 모두 반응/활성화 되므로 인지 정확도 관점에서는 우수하지만 에너지 측면에서 상당히 비효율적인 구조이다. 또한, 일반적으로 많은 양의 반복 연산을 통해 학습되는 알고리즘으로 동작하므로 에너지 소모가 크고 연산 효율이 매우 떨어진다.

[0007] 이로 인해 많은 컴퓨팅 리소스(computing resource)가 요구되어, 엣지 컴퓨팅 (edge-computing) 체계에서 적용

하기 어렵다는 문제가 있다.

[0008] 하지만 실제 두뇌는 희소 신경망(sparse neural network) 형태로 이루어져 있으며 확률에 기반한 희소한 연결성(sparse connectivity) 및 활성화(sparse activity)를 보이는 특징이 있다. 두뇌의 희소 신경망은 두뇌의 인지/인식의 고효율성 및 저전력 구동이 가능하게 만드는 것으로 알려져 있다.

[0009] 따라서, 초저전력 연산/학습을 하기 위해서는 실제 뇌의 희소 신경망을 모사한 뉴로모픽 컴퓨팅용 인공 신경망의 구조 및 학습 알고리즘의 개발이 반드시 필요한 실정이다.

선행기술문헌

특허문헌

[0010] (특허문헌 0001) 한국등록특허 제10-1468521호, "멤리스티브 디바이스와 그 제조 방법 및 사용 방법"

(특허문헌 0002) 한국공개특허 제10-2014-0071556호, "멤리스터 브리지 회로 및 이를 이용하는 멤리스티브 브리지 시냅스 회로와 뉴런 회로"

(특허문헌 0003) 한국공개특허 제10-2019-0069547호, "뉴로모픽 회로들에 대한 멤리스티브 학습"

발명의 내용

해결하려는 과제

[0011] 본 발명은 기설정된 스위칭 천이 확률에 기반한 시냅스 소자의 선택적인 활성화를 통해 추가적인 전기회로나 컴퓨팅 파워없이 드롭커넥트 신경망을 구현할 수 있는 드롭커넥트 신경망 시스템 및 이를 이용한 학습 방법을 제공하고자 한다.

[0012] 또한, 본 발명은 기설정된 스위칭 천이 확률에 기반한 시냅스 소자의 선택적인 활성화를 통해 완전 연결형 신경망(all-to-all connected network)과 대비하여 높은 인식의 정확도와 저전력 구동을 구현할 수 있는 드롭커넥트 신경망 시스템 및 이를 이용한 학습 방법을 제공하고자 한다.

과제의 해결 수단

[0013] 본 발명의 일실시예에 따른 드롭커넥트 신경망 시스템은 복수의 프리-뉴런(pre-neuron)과, 복수의 프리-뉴런과 각각 연결되는 복수의 시냅스 유닛 및 복수의 시냅스 유닛 중 활성화된 시냅스 유닛으로부터 출력되는 포스트-시냅틱 전류(post-synaptic current)를 수신하는 포스트-뉴런(post-neuron)을 포함하고, 복수의 시냅스 유닛 각각은 복수의 프리-뉴런 중 대응되는 적어도 하나의 프리-뉴런으로부터 수신되는 입력 전압에 기초한 확률적인 상변화에 대응하여 활성화될 수 있다.

[0014] 일측에 따르면, 복수의 시냅스 유닛 각각은 입력 전압의 크기가 기설정된 세트 전압(set voltage) 이상인 경우에, 저전도성의 아몰퍼스(amorphous) 상과 고전도성의 나노크리스탈(nanocrystal) 상 중에서 어느 하나의 상으로 결정되고, 결정된 어느 하나에 상에 대응하여 활성화될 수 있다.

[0015] 일측에 따르면, 드롭커넥트 신경망 시스템은 복수의 시냅스 유닛이 구비된 기판을 통해 인가되는 게이트 전압의 크기 및 게이트 전압의 펄스폭 중 적어도 하나를 기설정된 스위칭 천이 확률에 대응되는 값으로 조절하여, 복수의 시냅스 유닛 중 스위칭 천이 확률에 대응되는 개수의 시냅스 유닛을 활성화하는 시냅스 제어부를 더 포함할 수 있다.

[0016] 일측에 따르면, 시냅스 제어부는 제1 시냅스 소자들과 제2 시냅스 소자들 중 15%로 설정된 스위칭 천이 확률에 대응되는 개수의 시냅스 유닛을 활성화할 수 있다.

[0017] 일측에 따르면, 복수의 시냅스 유닛 각각은 양의 컨덕턴스 값을 갖는 제1 시냅스 소자와, 음의 컨덕턴스 값을 갖는 제2 시냅스 소자를 구비하고, 제1 시냅스 소자와 제2 시냅스 소자가 병렬 구조로 연결될 수 있다.

[0018] 일측에 따르면, 제1 시냅스 소자와 제2 시냅스 소자의 컨덕턴스에 따라 복수의 프리-뉴런과 포스트-뉴런의 연결강도(connection strength)가 결정될 수 있다.

[0019] 일측에 따르면, 포스트-뉴런은 활성화된 시냅스 유닛으로부터 출력되는 포스트-시냅틱 전류를 합산하고, 합산된

전류의 크기가 기설정된 임계 크기 이상이 되면 발화(firing)할 수 있다.

[0020] 일실시예에 따른 드롭커넥트 신경망의 학습 방법은 프리-뉴런 제어부에서 입력 데이터에 대응하여 복수의 프리-뉴런 각각에 대한 입력 전압을 설정하고, 입력 전압을 제1 시냅스 소자와 제2 시냅스 소자를 각각 구비하는 복수의 시냅스 유닛에 출력하도록 제어하는 단계와, 시냅스 제어부에서 복수의 시냅스 유닛 중 기설정된 스위칭 천이 확률에 대응되는 개수의 시냅스 유닛이 활성화 되도록 제어하는 단계 및 시냅스 제어부에서 입력 전압을 활성화된 시냅스 유닛을 통해 각각 스케일링하고, 스케일링의 결과로 활성화된 시냅스 유닛 각각으로부터 출력되는 포스트-시냅틱 전류(post-synaptic current)를 포스트-뉴런(post-neuron)에 제공 하도록 제어하는 단계를 포함하고, 복수의 시냅스 유닛 각각은 복수의 프리-뉴런 중 대응되는 적어도 하나의 프리-뉴런으로부터 수신되는 입력 전압에 기초한 확률적인 상변화에 대응하여 활성화될 수 있다.

[0021] 일측에 따르면, 활성화 되도록 제어하는 단계는 복수의 시냅스 유닛이 구비된 기판을 통해 인가되는 게이트 전압의 크기 및 게이트 전압의 펄스폭 중 적어도 하나를 스위칭 천이 확률에 대응되는 값으로 조절하여, 스위칭 천이 확률에 대응되는 개수의 시냅스 유닛이 활성화 되도록 제어할 수 있다.

[0022] 일측에 따르면, 복수의 시냅스 유닛에 출력하도록 제어하는 단계는,

[0023] 상기 입력 데이터를 복수의 픽셀 데이터로 분할하고, 복수의 픽셀 데이터 각각을 복수의 프리-뉴런에 할당하며, 복수의 프리-뉴런 각각에 대한 입력 전압은 할당된 픽셀 데이터가 블랙 픽셀의 데이터인 경우 기설정된 크기의 음의 전압으로 설정되고, 할당된 픽셀 데이터가 화이트 픽셀의 데이터인 경우 기설정된 크기의 양의 전압으로 설정될 수 있다.

[0024] 일측에 따르면, 복수의 시냅스 유닛에 출력하도록 제어하는 단계는 복수의 프리-뉴런 중 기설정된 크기의 음의 전압을 출력하는 프리-뉴런에 대응되는 제1 시냅스 소자에는 기설정된 세트 전압(set voltage)이 적용되고, 기설정된 크기의 음의 전압을 출력하는 프리-뉴런에 대응되는 제2 시냅스 소자에는 기설정된 리셋 전압(reset voltage)이 적용되며, 복수의 프리-뉴런 중 기설정된 크기의 양의 전압을 출력하는 프리-뉴런에 대응되는 제1 시냅스 소자에는 기설정된 리셋 전압이 적용되고, 기설정된 크기의 양의 전압을 출력하는 프리-뉴런에 대응되는 제2 시냅스 소자에는 기설정된 세트 전압이 적용될 수 있다.

[0025] 일측에 따르면, 드롭커넥트 신경망의 학습 방법은 포스트-뉴런에서, 활성화된 시냅스 유닛으로부터 출력되는 포스트-시냅틱 전류를 합산하고, 합산된 전류의 크기가 기설정된 임계 크기 이상이되면 발화(firing)하는 단계를 더 포함할 수 있다.

발명의 효과

[0026] 일실시예에 따르면, 본 발명은 기설정된 스위칭 천이 확률에 기반한 시냅스 소자의 선택적인 활성화를 통해 추가적인 전기회로나 컴퓨팅 파워없이 드롭커넥트 신경망을 구현 할 수 있다.

[0027] 일실시예에 따르면, 본 발명은 기설정된 스위칭 천이 확률에 기반한 시냅스 소자의 선택적인 활성화를 통해 완전 연결형 신경망(all-to-all connected network)과 대비하여 높은 인식의 정확도와 저전력 구동을 구현할 수 있다.

도면의 간단한 설명

[0028] 도 1은 망막 신호 처리 시스템에서의 로드-투-로드 바이폴라 시냅스 특성을 설명하기 위한 도면이다.

도 2는 일실시예에 따른 시냅스 소자를 설명하기 위한 도면이다.

도 3은 일실시예에 따른 드롭커넥트 신경망을 설명하기 위한 도면이다.

도 4는 일실시예에 따른 드롭커넥트 신경망 시스템을 설명하기 위한 도면이다.

도 5a는 일실시예에 따른 시냅스 소자를 촬영한 이미지를 설명하기 위한 도면이다.

도 5b는 일실시예에 따른 시냅스 소자의 Ipsc-Vpre 특성을 설명하기 위한 도면이다.

도 6a는 일실시예에 따른 시냅스 소자의 게이트 전압에 따른 Ipsc-Vpre 특성을 설명하기 위한 도면이다.

도 6b는 일실시예에 따른 시냅스 소자의 에너지 밴드 다이어그램을 설명하기 위한 도면이다.

도 6c는 일실시예에 따른 시냅스 소자의 게이트 전압에 따른 통계 히스토그램을 설명하기 위한 도면이다.

도 6d는 일실시예에 따른 시냅스 소자의 Vset- V_G 특성을 설명하기 위한 도면이다.

도 6e 내지 도 6f는 일실시예에 따른 시냅스 소자의 초기 일렉트로포밍 과정에서의 Ipsc-Vpre 특성을 설명하기 위한 도면이다.

도 6g는 일실시예에 따른 시냅스 소자의 일렉트로포밍 전압에 따른 통계 히스토그램을 설명하기 위한 도면이다.

도 7은 일실시예에 따른 시냅스 소자의 확률 가변성의 측정 결과를 설명하기 위한 도면이다.

도 8a 내지 도 8b는 일실시예에 따른 스위칭 천이 확률을 설명하기 위한 도면이다.

도 9a 내지 도 9b는 일실시예에 따른 시냅스 소자의 인듀어런스 특성 및 리텐션 특성을 설명하기 위한 도면이다.

도 10a 내지 도 10c는 일실시예에 따른 시냅스 소자의 에너지 소비 특성을 설명하기 위한 도면이다.

도 11은 일실시예에 따른 시냅스 소자의 제조방법을 설명하기 위한 도면이다.

도 12a 내지 도 12e는 일실시예에 따른 시냅스 소자의 제조방법의 구현예를 설명하기 위한 도면이다.

도 13a 내지 도 13c는 일실시예에 따른 시냅스 크로스바 어레이의 제조방법을 설명하기 위한 도면이다.

도 14는 일실시예에 따른 시냅스 크로스바 어레이를 촬영한 이미지를 설명하기 위한 도면이다.

도 15a는 일실시예에 따른 시냅스 크로스바 어레이의 게이트 전압에 따른 Ipsc-Vpre 특성을 설명하기 위한 도면이다.

도 15b는 일실시예에 따른 시냅스 크로스바 어레이에 대한 통계 히스토그램을 설명하기 위한 도면이다.

도 15c는 일실시예에 따른 시냅스 크로스바 어레이의 스위칭 천이 확률 특성을 설명하기 위한 도면이다.

도 15d는 일실시예에 따른 시냅스 크로스바 어레이의 확률 가변성의 측정 결과를 설명하기 위한 도면이다.

도 16a 내지 도 16d는 일실시예에 따른 시냅스 크로스바 어레이의 확률적 프로그래밍 특성을 설명하기 위한 도면이다.

도 17은 일실시예에 따른 드롭커넥트 신경망의 학습 방법을 설명하기 위한 도면이다.

도 18은 일실시예에 따른 드롭커넥트 신경망의 인식 과정을 설명하기 위한 도면이다.

도 19는 일실시예에 따른 드롭커넥트 신경망의 학습 방법의 구현예를 설명하기 위한 도면이다.

도 20은 일실시예에 따른 드롭커넥트 신경망의 학습 방법에 따라 시냅스를 연결하는 예시를 설명하기 위한 도면이다.

도 21a 내지 도 21c는 일실시예에 따른 드롭커넥트 신경망 장치에 대한 인식 과정의 시뮬레이션 결과를 설명하기 위한 도면이다.

도 22는 일실시예에 따른 드롭커넥트 신경망 장치의 소비 전력 특성을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0029] 이하, 본 문서의 다양한 실시 예들이 첨부된 도면을 참조하여 기재된다.

[0030] 실시 예 및 이에 사용된 용어들은 본 문서에 기재된 기술을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 해당 실시 예의 다양한 변경, 균등물, 및/또는 대체물을 포함하는 것으로 이해되어야 한다.

[0031] 하기에서 다양한 실시 예들을 설명에 있어 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다.

[0032] 그리고 후술되는 용어들은 다양한 실시 예들에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.

[0033] 도면의 설명과 관련하여, 유사한 구성요소에 대해서는 유사한 참조 부호가 사용될 수 있다.

[0034] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함할 수 있다.

[0035] 본 문서에서, "A 또는 B" 또는 "A 및/또는 B 중 적어도 하나" 등의 표현은 함께 나열된 항목들의 모든 가능한 조합을 포함할 수 있다.

[0036] "제1," "제2," "첫째," 또는 "둘째," 등의 표현들은 해당 구성요소들을, 순서 또는 중요도에 상관없이 수식할 수 있고, 한 구성요소를 다른 구성요소와 구분하기 위해 사용될 뿐 해당 구성요소들을 한정하지 않는다.

[0037] 어떤(예: 제1) 구성요소가 다른(예: 제2) 구성요소에 "(기능적으로 또는 통신적으로) 연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 어떤 구성요소가 상기 다른 구성요소에 직접적으로 연결되거나, 다른 구성요소(예: 제3 구성요소)를 통하여 연결될 수 있다.

[0038] 본 명세서에서, "~하도록 구성된(또는 설정된)(configured to)"은 상황에 따라, 예를 들면, 하드웨어적 또는 소프트웨어적으로 "~에 적합한," "~하는 능력을 가지는," "~하도록 변경된," "~하도록 만들어진," "~를 할 수 있는," 또는 "~하도록 설계된"과 상호 호환적으로(interchangeably) 사용될 수 있다.

[0039] 어떤 상황에서는, "~하도록 구성된 장치"라는 표현은, 그 장치가 다른 장치 또는 부품들과 함께 "~할 수 있는" 것을 의미할 수 있다.

[0040] 예를 들면, 문구 "A, B, 및 C를 수행하도록 구성된(또는 설정된) 프로세서"는 해당 동작을 수행하기 위한 전용 프로세서(예: 임베디드 프로세서), 또는 메모리 장치에 저장된 하나 이상의 소프트웨어 프로그램들을 실행함으로써, 해당 동작들을 수행할 수 있는 범용 프로세서(예: CPU 또는 application processor)를 의미할 수 있다.

[0041] 또한, '또는' 이라는 용어는 배타적 논리합 'exclusive or' 이기보다는 포함적인 논리합 'inclusive or' 를 의미한다.

[0042] 즉, 달리 언급되지 않는 한 또는 문맥으로부터 명확하지 않는 한, 'x가 a 또는 b를 이용한다' 라는 표현은 포함적인 자연 순열들(natural inclusive permutations) 중 어느 하나를 의미한다.

[0044] 상술한 구체적인 실시예들에서, 발명에 포함되는 구성 요소는 제시된 구체적인 실시 예에 따라 단수 또는 복수로 표현되었다.

[0045] 그러나, 단수 또는 복수의 표현은 설명의 편의를 위해 제시한 상황에 적합하게 선택된 것으로서, 상술한 실시예들이 단수 또는 복수의 구성 요소에 제한되는 것은 아니며, 복수로 표현된 구성 요소라 하더라도 단수로 구성되거나, 단수로 표현된 구성 요소라 하더라도 복수로 구성될 수 있다.

[0046] 한편 발명의 설명에서는 구체적인 실시 예에 관해 설명하였으나, 다양한 실시 예들이 내포하는 기술적 사상의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다.

[0047] 그러므로 본 발명의 범위는 설명된 실시 예에 국한되어 정해져서는 아니되며 후술하는 청구범위뿐만 아니라 이 청구범위와 균등한 것들에 의해 정해져야 한다.

[0049] 도 1은 망막 신호 처리 시스템에서의 로드-투-로드 바이폴라 시냅스 특성을 설명하기 위한 도면이다.

[0050] 도 1을 참조하면, 참조부호 100은 각각의 시냅스가 로드(rod) 사이에 개별적으로 형성되는 로드-투-로드 바이폴라 셀(Rod-to-rod bipolar cell)을 도시한다.

[0051] 참조부호 100에 따르면, 망막 신호 처리 시스템에서 로드-투-로드 바이폴라 시냅스의 TLN(threshold-like nonlinearity)은 시냅스 노이즈(synaptic noise)와 광 구동 반응(light-driven response)을 명확히 구분하여 분리할 수 있다.

[0052] 특히, TLN은 이진 상태 ('1' 또는 '0' 상태)에 대한 임계 값 게이트로서 작용할 수 있다. 즉, TLN은 입력 신호(hv)에 대응되는 포스트-시냅틱 전류(post-synaptic current; Ipsc)에 대한 로드 광수용체(rod photoreceptor)의 전달 여부를 결정하기 위해 진폭 기준(amplitude criterion)에 대한 임계값을 설정 할 수 있다.

[0053] 다시 말해, 시냅스는 TLN을 통해 설정된 임계값의 크기를 초과하는 크기의 광 구동 반응만을 다음 바이폴라 셀로 전달할 수 있다.

[0054] 한편, 시냅스의 임계값은 포스트-시냅틱 영역(post-synaptic region)에서의 신호 캐스케이드의 정도에 의해 변경될 수 있으며, 이는 로드 바이폴라 셀을 통한 전송 확률이 제어 가능하다는 것을 의미한다.

[0056] 도 2는 일실시예에 따른 시냅스 소자를 설명하기 위한 도면이다.

[0057] 도 2를 참조하면, 일실시예에 따른 시냅스 소자(200)는 배리스터 구조 및 맴리스티브 소재에 기반하여 복잡한 전기회로의 추가 없이, 두뇌신경망의 희소한(sparse) 특성을 구현할 수 있다.

[0058] 또한, 시냅스 소자(200)는 희소한 특성을 반영하여 저전력, 고성능, 고제어성의 확률 가변을 구현할 수 있다.

[0059] 이를 위해, 시냅스 소자(200)는 기판(210) 상에 형성된 배리스터층(220), 배리스터층(220) 상에 형성된 제2 전극(230), 배리스터층(220) 상에 형성된 시냅스 구동층(240) 및 시냅스 구동층(240) 상에 형성된 제1 전극(250)을 포함할 수 있다.

[0060] 구체적으로, 시냅스 소자(200)는 기판(210), 배리스터층(220), 제2 전극(230), 시냅스 구동층(240) 및 제1 전극(250)으로 구성되고, 복수의 시냅스 소자(200) 각각은 하나의 기판(210), 배리스터층(220) 및 제2 전극(230)을 공유할 수도 있다.

[0061] 예를 들면, 기판(210)은 p-타입의 실리콘 웨이퍼(211) 및 실리콘 웨이퍼(211) 상에 형성된 이산화 실리콘층(SiO_2)(212)을 포함할 수 있다.

[0062] 또한, 제1 전극(250)은 드레인 전극(drain electrode)이고, 제2 전극(230)은 소스 전극(source electrode)일 수 있다.

[0063] 또한, 제1 전극(250)은 프리-뉴런(pre-neuron)으로 동작하고, 제2 전극(230)은 포스트-뉴런(post-neuron)으로 동작할 수 있다.

[0064] 일측에 따르면, 배리스터층(220)은 그래핀(graphene) 물질을 포함할 수 있으나, 이에 한정되지 않고, 배리스터 구조를 형성할 수 있는 다양한 종류의 2D 소재를 포함할 수 있다.

[0065] 또한, 시냅스 구동층(240)은 멤리스티브 소재로서, 실리콘 산화물(SiO_x), 티타늄 산화물(TiO_x), 탄탈륨 산화물(TaO_x) 및 하프늄 산화물(HfO_x) 중 적어도 하나의 산화물을 포함할 수 있으며, 여기서, x는 non-stoichiometry로서 산화물의 종류에 따라 다른 값으로 결정될 수 있다.

[0066] 예를 들면, x는 $0 < x < 2$의 범위 내에서 결정될 수 있으나, 이에 한정되는 것은 아니다.

[0067] 바람직하게는, 배리스터층(220)은 단일 그래핀층으로 구현되고, 시냅스 구동층(240)은 실리콘 산화물에 기반한 멤리스티브층으로 구현될 수 있다.

[0068] 한편, 시냅스 구동층(240)은 제1 전극(250)으로부터 수신되는 입력 전압(Vpre)에 기초한 확률적인 상변화에 대응하여 스위칭 필라멘트가 형성될 수 있다.

[0069] 구체적으로, 시냅스 구동층(240)은 입력 전압의 크기가 기설정된 세트 전압(set voltage, Vset) 이상인 경우에, 저전도성의 아몰퍼스(amorphous) 상과 고전도성의 나노크리스탈(nanocrystal) 상 중에서 어느 하나의 상으로 결정되고, 결정된 어느 하나에 상에 대응하여 스위칭 필라멘트가 형성될 수 있다.

[0070] 다시 말해, 시냅스 구동층(240)은 입력 전압의 크기가 기설정된 세트 전압(Vset) 이상인 경우에 확률적으로 랜덤하게 어느 하나의 상으로 결정될 수 있으며, 결정된 상이 나노크리스탈 상인 경우에 고전도성의 나노크리스탈 필라멘트를 형성할 수 있다.

[0071] 보다 구체적으로, 시냅스 구동층(240)이 실리콘 산화물에 기반한 멤리스티브층인 경우, 일렉트로포밍 과정(electroforming process)을 거쳐 실리콘(Si)과 산소(O) 사이의 결합이 끊어지면서 에지 부분에 실리콘 상 기반의 스위칭 필라멘트가 형성되는데, 저전도성의 아몰퍼스 실리콘(a-Si) 상과 고전도성의 실리콘 나노 크리스탈(Si NC) 상 사이를 상변화하면서 스위칭이 일어나게 되며, 형성되는 실리콘 상 기반의 스위칭 필라멘트는 확률적으로 랜덤하게 형성되기 때문에 동일한 입력 전압(Vpre)이 인가되더라도 상변화가 확률적으로 일어나 확률가변 시냅스 구동층으로서의 역할을 수행할 수 있다.

[0072] 다시 말해, 시냅스 소자(200)는 확률가변 시냅스 구동층으로 인해 입력 전압(Vpre)의 크기가 기설정된 세트 전

압(Vset) 이상인 경우에도 100% 활성화되지 않고 확률적으로 랜덤하게 활성화되며, 활성화된 시냅스 소자(200)는 제2 전극(230) 에 포스트-시냅틱 전류(post-synaptic current; Ipsc)를 전달할 수 있다.

[0073] 일측에 따르면, 배리스터층(220)은 기판을 통해 인가되는 게이트 전압(V_G)의 크기 및 게이트 전압(V_G)의 펄스폭 중 적어도 하나에 대응하여 페르미 레벨(fermi level)이 제어되고, 시냅스 구동층(240)은 제어된 배리스터층(220)의 페르미 레벨에 기초하여 배리스터층(220)과의 접합 계면에 형성된 쇼트키 배리어(schottky barier)가 조절되어, 기설정된 세트 전압(Vset)이 시프트(shift)될 수 있다.

[0074] 게이트 전압(V_G)의 크기, 게이트 전압(V_G)의 펄스폭은 이하에서 도 4를 통해 설명하는 시냅스 제어부에 의해 제어될 수 있다.

[0075] 바람직하게는, 시냅스 구동층(240)은 게이트 전압(V_G)의 크기가 제어되어 세트 전압(Vset)의 크기가 시프트(shift)될 수 있다. 다시 말해, 기판(210)을 통해 인가되는 게이트 전압(V_G)은 TLN(threshold-like nonlinearity)의 역할을 수행할 수 있다.

[0076] 보다 구체적으로, 배리스터층(220)이 단일 그래핀층으로 구현되고, 시냅스 구동층(240)이 실리콘 산화물에 기반한 멤리스티브층으로 구현되는 경우에, 게이트 전압(V_G)에 의해 발생된 전기장에 의해서 그래핀의 페르미 레벨이 조절될 수 있기 때문에, 실리콘상과 그래핀의 접합계면에 형성된 쇼트키 배리어의 높이는 게이트전압(V_G)을 통해 조절될 수 있다.

[0077] 예를 들면, 양의 게이트 전압(positive V_G)이 인가되면, 그래핀의 페르미 레벨을 증가시켜 쇼트키 배리어가 낮아지게 되어 동일한 크기에 입력 전압(Vpre)이 인가 되더라도 더 강한 전기장이 실리콘 상에 인가될 수 있다.

[0078] 즉, 시냅스 소자(200)는 게이트 전압(V_G)에 따라 확률 가변성을 조절할 수 있고, 기존 대비 저전력으로 구동될 수 있다.

[0080] 도 3은 일실시예에 따른 드롭커넥트 신경망을 설명하기 위한 도면이다.

[0081] 도 3을 참조하면, 참조부호 300은 기존의 완전 연결형 신경망(all-to-all connected network)과, 스위칭 천이 확률(switching-transition probability, Pset)에 기반하여 동작하는 일실시예에 따른 드롭커넥트 신경망(drop-connect network)을 도시 한다.

[0082] 참조부호 300에 따르면, 완전 연결형 신경망의 시냅스들(deterministic synapses)이 모두 연결되는 것과 달리, 드롭커넥트 신경망의 시냅스들(probabilistic synapses)은 기설정된 스위칭 천이 확률에 기초하여 확률적으로 랜덤하게 연결될 수 있다.

[0083] 예를 들면, 스위칭 천이 확률(Pset)은 복수의 프리-뉴런과 포스트-뉴런 사이에 구비된 시냅스들의 총 개수와 활성화(연결)되는 시냅스의 개수 간의 비율을 의미할 수 있으며, 드롭커넥트 신경망의 시냅스들 각각은 도 2를 통해 설명한 일실시예에 따른 시냅스 소자일 수 있다.

[0084] 보다 구체적인 예를 들면, 프리-뉴런과 포스트-뉴런 사이에 구비된 시냅스들의 총 개수가 100개라 가정하였을 때 스위칭 천이 확률(Pset)이 15%이면, 15개의 시냅스 소자가 확률적으로 랜덤하게 활성화될 수 있다.

[0085] 드롭커넥트 신경망은 완전 연결형 신경망에 스위칭 천이 확률(Pset)을 도입한 학습 과정을 통해 형성될 수 있다.

[0086] 즉, 드롭커넥트 신경망은 모든 시냅스들을 학습 시키는 것이 아니라 기설정된 스위칭 천이 확률(Pset)에 기초하여 확률적으로 선택된 시냅스들은 학습이 수행되고, 나머지 1-Pset의 확률에 기초하여 확률적으로 선택된 시냅스들은 학습에서 제외시키는 방법으로 학습 과정이 수행될 수 있다.

[0087] 또한, 드롭커넥트 신경망은 주로 이용되어 왔던 역전파 학습 알고리즘(가중치 보정값을 계산하는 방식)을 통한 피드백 학습과는 다르게, 학습 데이터의 특징과 학습 데이터에 의해 정해지는 타겟 포스트-뉴런(targeted post-neuron)과의 상관관계에 따라 신경망을 직접적으로 학습시켜 에너지와 시간 효율성이 향상될 수 있다.

[0088] 다시 말해, 드롭커넥트 신경망은 희소 신경망과 유사하게 시냅스의 연결이 듬성듬성하게 이루어 질 수 있어 저전력 구동이 가능하며, 역전파 학습 알고리즘에서 요구되는 보정값을 계산할 필요없이 직접적으로 시냅스를 학

습시키는 방법을 취하여 가속화된 학습을 수행할 수 있다.

[0090] 도 4는 일실시예에 따른 드롭커넥트 신경망 시스템을 설명하기 위한 도면이다.

[0091] 도 4를 참조하면, 일실시예에 따른 드롭커넥트 신경망 시스템(400)은 기설정된 스위칭 천이 확률(Pset)에 기반한 시냅스 소자의 선택적인 활성화를 통해 추가적인 전기회로나 컴퓨팅 파워없이 드롭커넥트 신경망을 구현할 수 있다.

[0092] 또한, 드롭 커넥트 신경망 시스템(400)은 기설정된 스위칭 천이 확률(Pset)에 기반한 시냅스 소자의 선택적인 활성화를 통해 완전 연결형 신경망과 대비하여 보다 높은 인식의 정확도와 저전력 구동을 구현할 수 있다.

[0093] 이를 위해, 드롭커넥트 신경망 시스템(400)은 복수의 프리-뉴런(410), 복수의 프리-뉴런(410)과 각각과 연결되고 제1 시냅스 소자(420)와 제2 시냅스 소자(430)를 각각 구비하는 복수의 시냅스 유닛(W_1 내지 W_n, 여기서, n은 프리-뉴런의 총 개수) 및 복수의 시냅스 유닛(W_1 내지 W_n) 중 활성화된 시냅스 유닛으로부터 출력되는 포스트-시냅틱 전류(post-synaptic current)를 수신하는 포스트-뉴런(440)을 포함할 수 있다.

[0094] 이하에서는, 복수의 프리-뉴런(410)의 개수를 784개로 예시하고, 포스트-뉴런(440)을 1개로 예시하여 설명하나, 프리-뉴런(410)과 포스트-뉴런(440)의 개수는 이에 한정되지 않고, 더 많거나 적은 개수로 구현될 수 있다.

[0095] 또한, 드롭커넥트 신경망 시스템(400)에서 시냅스 소자의 총 개수는 [(프리-뉴런의 총 개수) x (포스트-뉴런의 총 개수) x 2]의 연산을 통해 산출될 수 있다.

[0096] 한편, 복수의 시냅스 유닛(W_1 내지 W_n) 각각은 복수의 프리-뉴런(410) 중 대응되는 적어도 하나의 프리-뉴런으로부터 수신되는 입력 전압에 기초한 확률적인 상변화에 대응하여 활성화될 수 있다.

[0097] 구체적으로, 복수의 시냅스 유닛(W_1 내지 W_n) 각각은 입력 전압의 크기가 기설정된 세트 전압(set voltage) 이상인 경우에, 저전도성의 아몰퍼스(amorphous) 상과 고전도성의 나노크리스탈(nanocrystal) 상 중에서 어느 하나의 상으로 결정되고, 결정된 어느 하나에 상에 대응하여 활성화될 수 있다.

[0098] 다시 말해, 복수의 시냅스 유닛(W_1 내지 W_n)을 구성하는 제1 시냅스 소자(420)와 제2 시냅스 소자(430)는 도 2를 통해 설명한 일실시예에 따른 시냅스 소자일 수 있다.

[0099] 일측에 따르면, 드롭커넥트 신경망 시스템(400)은 복수의 시냅스 유닛(420, 430)이 구비된 기판을 통해 인가되는 게이트 전압(V_G)의 크기 및 게이트 전압(V_G)의 펄스폭 중 적어도 하나를 기설정된 스위칭 천이 확률(Pset)에 대응되는 값으로 조절하여, 제1 시냅스 소자들(420)과 제2 시냅스 소자들(430) 중 스위칭 천이 확률(Pset)에 대응되는 개수의 시냅스 유닛들을 활성화하는 시냅스 제어부(450)를 더 포함할 수 있다.

[0100] 예를 들면, 기설정된 스위칭 천이 확률에 대응되는 게이트 전압(V_G)의 크기 및 게이트 전압(V_G)의 펄스폭은 관련 실험을 통해 도출될 수 있다.

[0101] 일측에 따르면, 시냅스 제어부(450)는 복수의 시냅스 유닛(W_1 내지 W_n) 중 15%로 설정된 스위칭 천이 확률(Pset)에 대응되는 개수의 시냅스 유닛을 활성화할 수 있다.

[0102] 예를 들면, 스위칭 천이 확률(Pset)이 15%이고 복수의 시냅스 유닛($W_{1,1}$ 내지 $W_{n,1}$)의 개수가 100개인 경우, 100개의 시냅스 유닛 중 15개의 시냅스 유닛이 확률적으로 선택되어 활성화될 수 있다. 또한, 스위칭 천이 확률(Pset)이 15%이고 복수의 시냅스 유닛(W_1 내지 W_n)을 구성하는 제1 시냅스 소자들(420) 및 제2 시냅스 소자들(430)의 개수가 100개인 경우, 100개의 시냅스 소자 중 15개의 시냅스 소자가 확률적으로 선택될 수도 있다.

[0103] 일측에 따르면, 복수의 시냅스 유닛(W_1 내지 W_n) 각각은 양의 컨덕턴스 값을 갖는 제1 시냅스 소자들(420)과, 음의 컨덕턴스 값을 갖는 제2 시냅스 소자들(430)을 포함하고, 제1 시냅스 소자들(420)와 제2 시냅스 소자들(430)이 병렬 구조로 연결될 수 있다.

[0104] 구체적으로, V_1의 입력 전압 제공하는 제1 프리-뉴런은 제1 시냅스 유닛을 구성하는 제1 시냅스 소자(G^+_1) 및 제2 시냅스 소자(G^-_1)와 서로 연결되고, V_{784}의 입력 전압을 제공하는 제784 프리-뉴런은 제784 프리-뉴런을 구성하

는 제1 시냅스 소자(G^{+}_{784}) 및 제2 시냅스 소자(G^{-}_{784})와 서로 연결될 수 있다.

[0105] 또한, 복수의 제1 시냅스 소자들(420) 각각은 서로 연결되고, 복수의 제2 시냅스 소자들(430) 각각도 서로 연결되며, 제1 시냅스 소자들(420) 및 제2 시냅스 소자들(430) 각각은 포스트-뉴런(440)과 서로 연결됨으로써, 제1 시냅스 소자들(420) 및 제2 시냅스 소자들(430)은 서로 병렬 구조로 연결될 수 있다

[0106] 일측에 따르면, 드롭커넥트 신경망 시스템(400)은 제1 시냅스 소자들(420)의 컨덕턴스 $G^{+}1$ 내지 $G^{+}n$과, 제2 시냅스 소자(430)들의 컨덕턴스 G^{-}_{1} 내지 G^{-}_{n}에 따라 복수의 프리-뉴런(410)과 포스트-뉴런(440) 사이의 연결 강도(connection strength)가 달라질 수 있다.

[0107] 예를 들면, 복수의 시냅스 유닛(420, 430) 각각의 시냅스 가중치 W_1 내지 W_n는 대응되는 프리-뉴런과 포스트-뉴런 사이의 연결 강도를 의미할 수 있으며, 시냅스 가중치 W_1은 대응되는 제1 시냅스 소자 및 제2 시냅스 소자의 컨덕턴스 G^{+}_{1} 및 G^{-}_{1}에 의해 달라질 수 있다.

[0108] 한편, 포스트-뉴런(440)은 활성화된 시냅스 소자로부터 출력되는 포스트-시냅틱 전류를 합산하고, 합산된 전류의 크기가 기설정된 임계 크기 이상이 되면 발화(firing)할 수 있다.

[0110] 도 5a는 일실시예에 따른 시냅스 소자를 촬영한 이미지를 설명하기 위한 도면이고, 도 5b는 일실시예에 따른 시냅스 소자의 Ipsc-Vpre 특성을 설명하기 위한 도면이다.

[0111] 도 5a 내지 도 5b를 참조하면, 참조부호 510의 좌측 이미지는 주사식 전자 현미경(Scanning electron microscopey, SEM)을 통해 획득된 시냅스 소자의 탑뷰(topview)를 도시하고, 우측 이미지는 고분해능 투과형전자현미경(high-resolution transmision electron microscope, HR-TEM)을 통해 획득된 시냅스 소자의 단면을 도시한다.

[0112] 또한, 참조부호 520은 0V 및 20V의 게이트 전압(V_G)이 인가되는 시냅스 소자의 Ipsc-Vpre 특성 그래프를 도시한다.

[0113] 여기서, Vpre는 프리-뉴런에 인가되는 전압, 즉 프리-뉴런으로부터 시냅스 소자로 인가되는 입력 전압을 의미하고, Ipsc는 입력 전압을 수신한 시냅스 소자에서 출력되는 포스트-시냅틱 전류를 의미할 수 있다.

[0114] 참조부호 510에 따르면, 시냅스 소자는 기판의 이산화 실리콘층(SiO_2) 상에 배리스터층인 그래핀층(graphene), 시냅스 구동층인 실리콘 산화물층(SiO_x) 및 드레인 전극인 팔라듐(Pd)이 적층 형성된 것을 확인할 수 있다.

[0115] 참조부호 520에 따르면, 0V 내지 3V로 스윕(sweep)된 시냅스 소자의 Ipsc-Vpre 특성은 게이트 전압(V_G)에 크게 의존하는 것을 확인할 수 있다.

[0116] 구체적으로, 시냅스 소자는 게이트 전압(V_G)이 높을수록 배리스터층과 시냅스 구동층과의 접합 계면에서의 쇼트키 배리어가 감소하며, 이로 인해 시냅스 구동층의 에지에서 국부적으로 전도성 필라멘트를 형성하기 위한 임계값인 세트 전압(set voltage, Vset)이 감소될 수 있다.

[0117] 다시 말해, 시냅스 소자는 게이트 전압(V_G)을 통해 세트 전압(Vset)을 낮춤으로써, 비교적 작은 입력 전압(Vpre)에서 보다 더 높은 포스트-시냅틱 전류(Ipsc)를 생성할 수 있다.

[0119] 도 6a는 일실시예에 따른 시냅스 소자의 게이트 전압에 따른 Ipsc-Vpre 특성을 설명하기 위한 도면이고, 도 6b는 일실시예에 따른 시냅스 소자의 에너지 밴드 다이어그램을 설명하기 위한 도면이다.

[0120] 도 6a 내지 도 6b를 참조하면, 참조부호 610은 0V 내지 20V 범위에서 변화하는 게이트 전압(V_G)에 따른 시냅스 소자의 Ipsc-Vpre 특성 그래프를 도시하고, 참조부호 620은 V_G = 0V, V_G > 0V인 경우에 대한 시냅스 소자의 에너지 밴드 다이어그램을 도시한다.

[0121] 참조부호 610 내지 620에 따르면, 시냅스 소자는 >10^6의 온/오프비(on/off ratio)를 갖는 단극성 바이너리 스위칭(unipolar binary switching) 특성을 보이는 것을 확인할 수 있다.

[0122] 또한, 시냅스 소자에서 게이트 전압(Vg)이 0V에서 20V로 변화하는 동안, 리셋 전압(Vreset)은 ~11V에서 큰 변화가 없는 반면, 세트 전압(Vset)은 4.15V에서 2.08V로 감소하는 것을 확인할 수 있다.

[0123] 즉, 시냅스 소자의 그래핀(배리스터층)의 페르미 레벨의 변화가 게이트 전압(V_G)에 기초한다는 것을 고려하면, 세트 전압(Vset)의 게이트 전압(V_G) 의존 특성은 에너지-대역 정렬(energy-band alignments)을 통해 설명될 수 있다.

[0124] 구체적으로, 시냅스 소자의 SiOx(시냅스 구동층)는 Si-NC의 밴드갭이 ~1.0eV 미만으로 a-Si(~ 1.6-1.8eV) 보다 낮은 것으로 알려져 있다.

[0125] SiOx은 '0'상태에서, SiOx층의 에지에서 2개의 실리콘 상(Si-NC 및 a-Si)을 포함하는 혼합 에너지 밴드가 형성될 수 있으며, V_G = 0 V의 경우, SiOx의 에지에서 Si-NC 필라멘트로의 전이를 완료하기 위해서는 비교적 높은 세트 전압(Vset)을 필요로 한다.

[0126] 그러나, 시냅스 소자는 게이트 전압(V_G)이 증가함에 따라(V_G > 0), 그래핀의 페르미 레벨은 실리콘 상의 전도 대역에 근접하고, 그래핀 전자 도핑(graphene electron doping)으로 인해 그래핀의 전자 농도가 증가함에 따라 동일한 크기의 입력 전압(Vpre)이 인가되는 환경에서 전기장을 보다 강화시킬 수 있다.

[0127] 즉, 시냅스 소자는 강화된 전기장에 따른 기계적 가압(mechanical pressurization) 또는 핵화장벽(nucleation barrier)의 감소로 인해 a-si에서의 결정화 속도를 증가시켜 에너지 효율이 높은 세트 프로그래밍(a-si에서 Si-NC로의 프로그래밍)을 구현할 수 있다.

[0128] 반면, 리셋 전압(Vreset)은 줄 히팅-구동 방식(joule heating-driven)의 리셋 매커니즘에 의해 게이트 전압(V_G)에 대한 영향을 거의 받지 않는 것을 확인할 수 있다.

[0130] 도 6c는 일실시예에 따른 시냅스 소자의 게이트 전압에 따른 통계 히스토그램을 설명하기 위한 도면이고, 도 6d는 일실시예에 따른 시냅스 소자의 Vset- V_G 특성을 설명하기 위한 도면이다.

[0131] 도 6c 내지 도 6d를 참조하면, 참조부호 630은 0V, 10V 및 20V의 게이트 전압(V_G)이 인가되는 40개의 시냅스 소자에 대한 리셋 전압(Vset)의 통계 히스토그램을 도시하고, 참조부호 640은 참조부호 630의 도면을 5x8의 Vset 분포맵으로 재구성한 도면을 도시한다.

[0132] 참조부호 630에 따르면, 시냅스 소자는 도 6a 내지 도 6b를 통해 설명한 바와 같은 Vset-V_G 상관성을 보이는 것을 확인할 수 있다.

[0133] 구체적으로 통계적으로 세트 전압(Vset)의 크기는 게이트 전압(V_G)이 0V에서 20V로 증가함에 따라 점진적인 감소를 보이는 것을 확인할 수 있다. 여기서, 40개의 시냅스 소자의 세트 전압(Vset) 편차는 SiO_x(시냅스 구동층)의 에지에서 실리콘(Si)과 산소(O) 사이의 결합을 끊는 확률적 일렉트로포밍 과정(stochastic electroforming process)에 따른 불확실성에 의한 것일 수 있다.

[0134] 참조부호 640에 따르면, 게이트 전압이 20V일 때 비교적 균일한 Vset 분포맵이 관찰되는 것을 확인할 수 있으며, 이를 통해 전도성 필라멘트의 균일성 및 게이트 전압(V_G) 스위칭 변조의 효율성 향상을 확인할 수 있다.

[0136] 도 6e 내지 도 6f는 일실시예에 따른 시냅스 소자의 초기 일렉트로포밍 과정에서의 Ipsc-Vpre 특성을 설명하기 위한 도면이고, 도 6g는 일실시예에 따른 시냅스 소자의 일렉트로포밍 전압에 따른 통계 히스토그램을 설명하기 위한 도면이다.

[0137] 도 6e 내지 도 6g를 참조하면, 참조부호 650은 0V의 게이트 전압(V_G)이 인가된 시냅스 소자에 대한 초기 일렉트로포밍 과정(initial electroforming process) 동안의 Ipsc-Vpre 특성 그래프를 도시하고, 참조부호 660은 20V

의 게이트 전압(V_G)이 인가된 시냅스 소자에 대한 초기 일렉트로포밍 과정 동안의 Ipsc-Vpre 특성 그래프를 도시한다.

[0138] 또한, 참조부호 670은 0V, 10V 및 20V의 게이트 전압(V_G)이 인가되는 40개의 시냅스 소자에 대한 일렉트로포밍 전압(V_F)의 통계 히스토그램을 도시한다.

[0139] 참조부호 650 내지 670에 따르면, 게이트 전압(V_G)이 0V일 때 일렉트로포밍 전압(V_F)은 19.6V이고, 게이트 전압(V_G)이 20V일 때 일렉트로포밍 전압(V_F)은 15.7V인 것을 확인할 수 있으며, 게이트 전압(V_G)이 0V에서 20V로 증가함에 따라 일렉트로포밍 전압(V_F)은 19.48±1.44V에서 16.93±1.43V로 낮아지는 것을 확인할 수 있다.

[0141] 도 7은 일실시예에 따른 시냅스 소자의 확률 가변성의 측정 결과를 설명하기 위한 도면이다.

[0142] 도 7을 참조하면, 참조부호 700은 세트 프로세스 전후에 20개의 시냅스 소자에 대한 초기 상태(initial state) 및 최종 상태(set success/failure)에 따른 통계 히스토그램을 도시한다.

[0143] 참조부호 700에 따르면, 초기 상태를 먼저 측정을 한 뒤, 프로그래밍 전압을 인가하고 세트가 되었는지 확인하고, 초기 상태에서 포스트-시냅틱 전류(Ipsc)가 10^5 A 이상으로 상승하면 세트 성공(set success), 이하면 세트 실패(set failure)로 표현될 수 있으며, 확률 가변성은 세트 성공 및 실패의 개수를 고려하여 확률 가변성을 확인할 수 있다.

[0144] 특히, 시냅스 소자는 프로그래밍 전압을 사용하더라도 게이트 전압(V_G)에 따라 세트 확률이 조절 가능함을 확인할 수 있다.

[0146] 도 8a 내지 도 8b는 일실시예에 따른 스위칭 천이 확률을 설명하기 위한 도면이다.

[0147] 도 8a 내지 도 8b를 참조하면, 참조부호 810은 4V의 입력 전압(Vpre)이 수신되는 시냅스 소자에 인가되는 게이트 전압(V_G)의 크기와 펄스폭(W)에 따른 스위칭 천이 확률(Pset)을 도시한다.

[0148] 또한, 참조부호 820은 3V의 입력 전압(Vpre)이 수신되는 시냅스 소자에 인가되는 게이트 전압(V_G)의 크기와 펄스폭(W)에 따른 스위칭 천이 확률(Pset)을 도시한다.

[0149] 한편, 참조부호 810 내지 820에 삽입된 V_G-W 그래프는 스위칭 천이 확률(Pset)이 100%일 때, 게이트 전압(V_G)의 크기에 따른 펄스폭(W)의 최소 크기를 도시한다.

[0150] 참조부호 810에 따르면, 시냅스 소자의 스위칭 천이 확률(Pset)은 게이트 전압의 크기가 더 클수록, 펄스폭(W)의 길이가 더 길수록 증가하는 것을 확인할 수 있다.

[0151] 예를 들면, 스위칭 천이 확률(Pset)이 55%인 경우, 펄스폭(W)은 V_G = 0V에서 1us이고, V_G = 6V에서 100ns로 감소하는 것을 확인할 수 있다.

[0152] 이는 게이트 전압(V_G)을 증가시킴으로써, 세트 프로그래밍이 더 빠른 속도(더 작은 펄스폭)로 균일하게 완료될 수 있음을 의미한다.

[0153] 다만, 참조부호 820에 따르면, 입력 전압(Vpre)이 3V로 감소하면, 펄스폭(W)과 관계없이 Vg = 0V에서 모든 세트 프로그래밍이 실패(Pset = 0%)하는 것을 확인할 수 있다.

[0154] 한편, 참조부호 810 내지 820에서의 세트 성공 및 세트 실패 횟수는 하기 표1과 같이 도출될 수 있다.

표 1

Vpre	W / V_G	50ns	80ns	100ns	500ns	1us	5us	10us	50us	100us
3 V	0 V	0/20	0/20	0/20	0/20	0/20	0/20	0/20	0/20	0/20
	6 V	0/20	0/20	1/20	5/20	9/20	12/20	18/20	19/20	20/20
	10 V	1/20	2/20	2/20	7/20	11/20	15/20	20/20	20/20	20/20
4 V	0 V	1/20	1/20	2/20	6/20	11/20	14/20	18/20	20/20	20/20
	6 V	3/20	7/20	11/20	14/20	19/20	20/20	20/20	20/20	20/20
	10 V	6/20	9/20	13/20	17/20	20/20	20/20	20/20	20/20	20/20
5 V	0 V	1/20	2/20	2/20	8/20	11/20	16/20	20/20	20/20	20/20

[0155]

[0156] 표1에서 세트 성공 및 세트 실패는 입력 전압(Vpre) 및 게이트 전압(V_G)에 기초한 프로그래밍 과정을 통해 연산될 수 있다.

[0157] 예를 들면, 스위칭 천이 확률(Pset)은 20개의 시냅스 소자에 대한 세트 프로그래밍 전후에 대한 초기 상태 및 최종 상태에 기초하여 세트 성공 횟수를 시냅스 소자의 개수인 20으로 나누는 연산을 통해 도출될 수 있다.

[0158] 즉, 입력 전압(Vpre) 및 게이트 전압(V_G)의 크기가 클수록 스위칭 천이 확률(Pset)이 증가하고, 완료된 세트 프로그래밍에 필요한 최소 대역폭(W)이 감소하는 것을 확인할 수 있다.

[0160] 도 9a 내지 도 9b는 일실시예에 따른 시냅스 소자의 인듀어런스 특성 및 리텐션 특성을 설명하기 위한 도면이다.

[0161] 도 9a 내지 도 9b를 참조하면, 참조부호 910은 시냅스 소자의 게이트 전압이 0V 및 20V일 때, 10^3 사이클 동안의 인듀어런스 사이클 테스트(endurance cycling test) 결과를 도시하고, 참조부호 920은 시냅스 소자의 게이트 전압이 0V 및 20V일 때, 10^4 s(Δt = 1s)의 시간 동안의 리텐션 테스트(retention test) 결과를 도시한다.

[0162] 또한, 참조부호 910 내지 920에서 시냅스 소자의 세트 전압(Vset)은 4.5V, 리드 전압(Vread)은 1V, 리셋 전압(Vreset)은 15V일 수 있다.

[0163] 참조부호 910 내지 920에 따르면, 시냅스 소자는 세트 프로그래밍에 대한 게이트 전압(V_G)의 영향에도 불구하고, 강력한 인듀어런스 특성 및 리텐션 특성이 나타나는 것을 확인할 수 있다.

[0165] 도 10a 내지 도 10c는 일실시예에 따른 시냅스 소자의 에너지 소비 특성을 설명하기 위한 도면이다.

[0166] 도 10a 내지 도 10c를 참조하면, 참조부호 1010 내지 1030은 각각 3V, 4V 및 5v의 입력 전압(Vpre)에서 게이트 전압(V_G) 및 스위칭 천이 확률(Pset)에 따른 에너지 소비(energy consumption) 특성을 도시한다.

[0167] 참조부호 1010 내지 1030에 따르면, 일실시예에 따른 시냅스 소자는 게이트 전압(V_G)은 높을수록, 스위칭 천이 확률(Pset)은 낮을수록 에너지 소비가 감소(최대 ~1.5pJ)하는 것을 확인할 수 있다.

[0169] 도 11은 일실시예에 따른 시냅스 소자의 제조방법을 설명하기 위한 도면이다.

[0170] 다시 말해, 도 11은 도 1 내지 도 10c를 통해 설명한 일실시예에 따른 시냅스 소자에 대한 제조방법을 설명하기 위한 도면으로, 이하에서 설명하는 내용 중 일실시예에 따른 시냅스 소자를 통해 설명한 내용과 중복되는 설명은 생략하기로 한다.

[0171] 도 11을 참조하면, 1110 단계에서 일실시예에 따른 시냅스 소자의 제조방법은 기판 상에 배리스터층을 전사할 수 있다.

[0172] 예를 들면, 기판은 p-타입의 실리콘 웨이퍼(wafer) 및 실리콘 웨이퍼 상에 형성된 이산화 실리콘층(SiO_2)을 포

함할 수 있다.

[0173] 일측에 따르면, 1110 단계에서 일실시예에 따른 시냅스 소자의 제조방법은 1,000 ℃의 온도에서 수소 기체(H_2) 및 메탄 기체(CH_4)에 기초하는 화학 기상 증착법을 통해 배리스터층을 형성하고, 형성된 배리스터층을 기판 상에 전사할 수 있다.

[0174] 다음으로, 1120 단계에서 일실시예에 따른 시냅스 소자의 제조방법은 기판 상에 전사된 배리스터층 상에 제2 전극 및 시냅스 구동층을 형성할 수 있다.

[0175] 일측에 따르면, 1120 단계에서 일실시예에 따른 시냅스 소자의 제조방법은 포토리소그래피 방법 및 전자빔 증착 방법을 이용하여 제2 전극 및 시냅스 구동층을 형성할 수 있다.

[0176] 또한, 1120 단계에서 일실시예에 따른 시냅스 소자의 제조방법은 전사된 배리스터층의 제1 영역 상에 접착층(adhesion layer)을 형성하고, 형성된 접착층 상에 제2 전극을 형성할 수 있으며, 전사된 배리스터층의 제2 영역 상에 시냅스 구동층을 형성할 수 있다.

[0177] 예를 들면, 배리스터층은 그래핀(graphene) 물질을 포함하고, 시냅스 구동층은 실리콘 산화물(SiO_x), 티타늄 산화물(TiO_x), 탄탈륨 산화물(TaO_x) 및 하프늄 산화물(HfO_x) 중 적어도 하나의 산화물을 포함할 수 있다.

[0178] 다음으로, 1130 단계에서 일실시예에 따른 시냅스 소자의 제조방법은 시냅스 구동층 상에 제1 전극을 형성할 수 있다.

[0179] 일측에 따르면, 제1 전극 및 제2 전극 중 적어도 하나의 전극은 금(Au), 은(Ag), 구리(Cu), 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 크롬(Cr), 티타늄(Ti), 텅스텐(W), 니오븀(Nb), 탄탈륨(Ta), 바나듐(V), 철(Fe), 망간(Mn), 코발트(Co), 니켈(Ni), 아연(Zn), 주석(Sb) 및 이들의 합금으로 구성된 그룹에서 선택된 적어도 하나의 물질을 포함할 수 있다.

[0180] 또한, 제1 전극은 프리-뉴런(pre-neuron)으로 동작하고, 제2 전극은 포스트-뉴런(post-neuron)으로 동작할 수 있다.

[0181] 한편, 시냅스 구동층은 제1 전극을 통해 수신되는 입력 전압에 기초하는 확률적인 상변화에 대응하여 스위칭 필라멘트가 형성될 수 있다.

[0182] 일측에 따르면, 시냅스 구동층은 입력 전압의 크기가 기설정된 세트 전압(set voltage) 이상인 경우에, 저전도성의 아몰퍼스(amorphous) 상과 고전도성의 나노크리스탈(nanocrystal) 상 중에서 어느 하나의 상으로 결정되고, 결정된 어느 하나에 상에 대응하여 스위칭 필라멘트가 형성될 수 있다.

[0183] 일측에 따르면, 배리스터층은 기판을 통해 인가되는 게이트 전압(V_G)의 크기 및 게이트 전압(V_G)의 펄스폭 중 적어도 하나에 대응하여 페르미 레벨(fermi level)이 제어되고, 시냅스 구동층은 제어된 페르미 레벨에 기초하여 배리스터층과의 접합 계면에 형성된 쇼트키 배리어(schottky barier)가 조절되어, 기설정된 세트 전압의 크기가 시프트(shift) 될 수 있다.

[0184] 일실시예에 따른 시냅스 소자의 제조방법은 이후 실시예 도 12a 내지 12e를 통해 보다 구체적으로 설명하기로 한다.

[0186] 도 12a 내지 도 12e는 일실시예에 따른 시냅스 소자의 제조방법의 구현예를 설명하기 위한 도면이다.

[0187] 도 12a 내지 도 12e를 참조하면, 1210 단계에서 제1 실시예에 따른 시냅스 소자의 제조방법은 p-타입의 실리콘 웨이퍼(P^{++}-Si) 및 이산화 실리콘층(SiO_2)을 포함하는 기판 상에 단일의 그래핀층(배리스터층)을 전사할 수 있다. 예를 들면, 기판은 1.2 cm x 1.2 cm 크기의 SiO_2/Si 기판일 수 있으며, p-타입의 실리콘 웨이퍼(P^{++}-Si)는 약 285nm의 두께로 형성될 수 있다.

[0188] 일측에 따르면, 1210 단계에서 제1 실시예에 따른 시냅스 소자의 제조방법은 1,000° C의 온도에서 수소 가스(H_2) 및 메탄 가스(CH_4)에 기초한 화학 기상 증착법(chemical vapor deposition)을 통해 단층의 그래핀층을 형성하고, 기판에 대한 세정 과정을 진행한 후, 그래핀층을 세정된 기판 상에 전사할 수 있다.

[0189] 예를 들면, 세정 과정은 아세톤(acetone), 이소 프로필 알코올(isopropyl alcohol) 및 탈이온수(deionized water)에 기판을 각각 3분씩 침지시킨 상태에서 초음파 처리하여 수행될 수 있다.

[0190] 다음으로, 1220 내지 1230 단계에서 제1 실시예에 따른 시냅스 소자의 제조방법은 전사된 그래핀층의 제1 영역 상에 포토리소그래피 방법 및 전자빔 증착 방법을 이용하여 팔라듐(Pd) 물질을 제2 전극으로서 형성할 수 있다.

[0191] 구체적으로, 1220 내지 1230 단계에서 제1 실시예에 따른 시냅스 소자의 제조방법은 포토리소그래피 및 전자빔 증발기(E-beam evaporator)를 이용하여 제1 영역상에 제2 전극을 패터닝 및 증착할 수 있으며, 이때 증착 속도(deposition rate)는 ~9 X 10^{-7} torr에서 0.5 Å/s일 수 있다.

[0192] 또한, 1220 내지 1230 단계에서 제1 실시예에 따른 시냅스 소자의 제조방법은 제1 영역 상에 크롬(Cr) 접착층을 3nm정도 증착하고, 그 위에 제2 전극을 50nm 이상으로 증착할 수 있다.

[0193] 다음으로, 1240 내지 1250 단계에서 제1 실시예에 따른 시냅스 소자의 제조방법은 포토리소그래피 방법 및 전자빔 증착 방법을 이용하여 전사된 그래핀층의 제2 영역 상에 실리콘 산화물(SiO_x)(시냅스 구동층)을 형성하고, 형성된 실리콘 산화물 상에 팔라듐 물질을 제1 전극으로서 형성할 수 있다.

[0194] 구체적으로, 1240 내지 1250 단계에서 제1 실시예에 따른 시냅스 소자의 제조방법은 포토리소그래피 및 전자빔 증발기를 이용하여 제1 영역과는 상이한 그래핀층의 제2 영역 상에 실리콘 산화물을 형성할 수 있다. 이때, 실리콘 산화물은 원형으로 형성될 수 있으며, 직경은 200um, 두께는 60nm로 형성될 수 있다.

[0195] 또한, 1240 내지 1250 단계에서 제1 실시예에 따른 시냅스 소자의 제조방법은 직경이 200um로 형성된 실리콘 산화물 상에 동일한 직경의 제1 전극을 형성할 수 있다. 다시 말해, 실리콘 산화물(시냅스 구동층)에 형성되는 실리콘 상 기반의 전도성 필라멘트가 에지 부분에 형성되므로, 제1 전극과 연결되기 위해서는 제1 전극의 크기가 실리콘 산화물와 동일해야 한다. 한편, 제1 전극은 약 50nm의 두께로 형성될 수 있다.

[0197] 도 13a 내지 도 13c는 일실시예에 따른 시냅스 크로스바 어레이의 제조방법을 설명하기 위한 도면이다.

[0198] 다시 말해, 도 13a 내지 도 13c는 도 1 내지 도 12e를 통해 설명한 일실시예에 따른 시냅스 소자를 제조하는 다른 실시예에 관한 도면으로, 이후 도 13a 내지 도 13c를 통해 설명하는 내용 중 일실시예에 따른 시냅스 소자를 통해 설명한 내용과 중복되는 설명은 생략하기로 한다.

[0199] 도 13a 내지 도 13c를 참조하면, 1310 단계에서 일실시예에 따른 시냅스 크로스바 어레이의 제조방법은 기판 상에 배리스터층을 전사할 수 있다.

[0200] 예를 들면, 1310 단계에서 일실시예에 따른 시냅스 크로스바 어레이의 제조방법은 p-타입의 실리콘 웨이퍼(P^{++}-Si) 및 이산화 실리콘층(SiO_2)을 포함하는 기판 상에 단일의 배리스터층을 전사할 수 있으며, 바람직하게는 배리스터층은 그래핀(graphene) 물질을 포함할 수 있다.

[0201] 다음으로, 1320 단계에서 일실시예에 따른 시냅스 크로스바 어레이의 제조방법은 배리스터층을 식각하여 복수의 배리스터 소스 라인을 형성할 수 있다.

[0202] 예를 들면, 1320 단계에서 일실시예에 따른 시냅스 크로스바 어레이의 제조방법은 포토리소그래피 방법을 통해 배리스터층에서 포토 레지스트가 코팅되지 않은 부분에 대하여 RIE(reactive ion etch) 공정을 수행할 수 있다.

[0203] 또한, 1320 단계에서 일실시예에 따른 시냅스 크로스바 어레이의 제조방법은 RIE 공정 수행 후, 16개의 포스트-뉴런에 대응되는 16개의 배리스터 소스 라인을 형성 할 수 있다.

[0204] 구체적으로, 1320 단계에서 일실시예에 따른 시냅스 크로스바 어레이의 제조방법은 UV-마스크 포토 리소그래피 공정을 통해 전사된 배리스터층 상에 포토 레지스트를 스핀 코팅을 하고, 패터닝을 통해 포스트-뉴런을 위한 16개의 그래핀 소스 라인을 형성할 수 있다.

[0205] 다음으로, 1330 단계에서 일실시예에 따른 시냅스 크로스바 어레이의 제조방법은 복수의 배리스터 소스 라인에 직교하는 복수의 드레인 라인을 형성할 수 있다.

[0206] 여기서, 복수의 드레인 라인 각각은 시냅스 구동층 및 시냅스 구동층 상에 형성되는 드레인 전극층을 구비할 수 있다. 바람직하게는, 시냅스 구동층은 실리콘 산화물(SiO_x, 여기서 x는 $0 < x < 2$)에 기반한 멤리스티브층으로

구현되고, 드레인 전극층은 팔라듐(Pd) 전극층으로 구현될 수 있다.

[0207] 예를 들면, 1330 단계에서 일실시예에 따른 시냅스 크로스바 어레이의 제조방법은 그래핀 소스 라인에 수직 방향으로 형성되고, 16개의 프리-뉴런에 대응되는 16개의 드레인 라인을 형성할 수 있다.

[0208] 일측에 따르면, 1330 단계에서 일실시예에 따른 시냅스 크로스바 어레이의 제조방법은 기판 하부에 게이트 전극을 형성할 수 있다. 여기서, 게이트 전극을 통해 인가되는 게이트 전압(V_G)은 TLN(threshold-like nonlinearity)의 역할을 수행할 수 있다.

[0209] 한편, 시냅스 구동층은 드레인 전극층을 통해 수신되는 입력 전압(Vpre)에 기초한 확률적인 상변화에 대응하여 스위칭 필라멘트가 형성될 수 있다.

[0210] 일측에 따르면, 시냅스 구동층은 입력 전압(Vpre)의 크기가 기설정된 세트 전압(set voltage) 이상인 경우에, 저전도성의 아몰퍼스(amorphous) 상과 고전도성의 나노크리스탈(nanocrystal) 상 중에서 어느 하나의 상으로 결정되고, 결정된 어느 하나에 상에 대응하여 스위칭 필라멘트가 형성될 수 있다.

[0211] 또한, 복수의 배리스터 소스 라인 각각은 게이트 전압(V_G)의 크기 및 게이트 전압(V_G)의 펄스폭 중 적어도 하나에 대응하여 페르미 레벨(fermi level)이 제어되고, 시냅스 구동층은 제어된 페르미 레벨에 기초하여 배리스터층과의 접합 계면에 형성된 쇼트키 배리어(schottky barier)가 조절되어, 기설정된 세트 전압의 크기가 시프트(shift) 될 수 있다.

[0212] 일측에 따르면, 복수의 배리스터 소스 라인 각각은 복수의 포스트-뉴런과 연결되고, 복수의 드레인 라인 각각은 드레인 전극층을 통해 복수의 프리-뉴런과 연결될 수 있다.

[0214] 도 14는 일실시예에 따른 시냅스 크로스바 어레이를 촬영한 이미지를 설명하기 위한 도면이다.

[0215] 도 14를 참조하면, 참조부호 1400은 주사식 전자 현미경을 통해 획득된 시냅스 크로스바 어레이의 탑뷰(topview)를 도시한다.

[0216] 참조부호 1400에 따르면, 시냅스 크로스바 어레이를 구성하는 시냅스 소자들의 선폭(line width)은 20um인 것을 확인할 수 있으며, 셀 면적(~ 20 x 20 um^2)은 도 2를 통해 설명한 장치 보다는 작지만, 드레인 라인에 구비된 시냅스 구동층의 에지 상에 스위칭 필라멘트가 형성되었기 때문에 도 2의 장치와 유사한 특성 및 컨덕턴스 레벨을 나타냈다.

[0218] 도 15a는 일실시예에 따른 시냅스 크로스바 어레이의 게이트 전압에 따른 Ipsc-Vpre 특성을 설명하기 위한 도면이고, 도 15b는 일실시예에 따른 시냅스 크로스바 어레이에 대한 통계 히스토그램을 설명하기 위한 도면이다.

[0219] 도 15a 내지 도 15b를 참조하면, 참조부호 1510은 시냅스 크로스바 어레이에 구비된 시냅스 소자의 게이트 전압(V_G)에 따른 Ipsc-Vpre 특성을 도시하고, 참조부호 1520은 36개의 서로 다른 시냅스 소자들에 대한 '1(on)' 상태 및 '0(off)' 상태에 따른 통계 히스토그램 및 on/off비(on/off ratio)를 도시한다.

[0220] 참조부호 1510 내지 1520에 따르면, 통계적인 '1' 상태 및 '0' 상태와, on/off비는 $5.70 \pm 0.64 \times 10^{-6}$, $3.54 \pm 2.09 \times 10^{-11}$ 및 $1.61 \pm 1.00 \times 10^{5}$으로, 나타났으며, 이를 통해 소자 각각이 구분 가능한 스위칭 상태를 보이는 것을 확인할 수 있다.

[0222] 도 15c는 일실시예에 따른 시냅스 크로스바 어레이의 스위칭 천이 확률 특성을 설명하기 위한 도면이고, 도 15d는 일실시예에 따른 시냅스 크로스바 어레이의 확률 가변성의 측정 결과를 설명하기 위한 도면이다.

[0223] 도 15c 내지 도 15d를 참조하면, 참조부호 1530은 인가되는 전압의 펄스폭(W)의 변화에 따른 시냅스 크로스바 어레이에 구비된 10개의 시냅스 소자의 스위칭 천이 확률(Pset) 특성을 도시하고, 참조부호 1540은 세트 프로세스 전후에 시냅스 크로스바 어레이에 구비된 10개의 시냅스 소자에 대한 초기 상태(initial state) 및 최종 상태(set success/failure)에 따른 통계 히스토그램을 도시한다.

[0224] 참조부호 1530 내지 1540에 따르면, Vpre = 4V이고, V_G = 0V 일때, 펄스폭(W)의 변화에 따른 스위칭 천이 확률(Pset) 특성은 도 2의 장치와 유사하게 나타는 것을 확인할 수 있었다.

[0225] 또한, 참조부호 1540에서의 세트 성공 및 세트 실패 횟수는 하기 표2와 같이 도출될 수 있다.

표 2

[0226]

Vpre	W / V_G	50ns	80ns	100ns	500ns	1us	5us	10us	50us	100us
4 V	0 V	1/10	1/10	2/10	4/10	5/10	6/10	8/10	9/10	10/10

[0227] 표 2에서 스위칭 천이 확률(Pset)은 10개의 시냅스 소자에 대한 세트 프로그래밍 전후에 대한 초기 상태 및 최종 상태에 기초하여 세트 성공 횟수를 시냅스 소자의 개수인 10으로 나누는 연산을 통해 도출될 수 있다.

[0229] 도 16a 내지 도 16d는 일실시예에 따른 시냅스 크로스바 어레이의 확률적 프로그래밍 특성을 설명하기 위한 도면이다.

[0230] 도 16a 내지 도 16d를 참조하면, 참조부호 1610은 시냅스 크로스바 어레이에 구비된 16개의 시냅스 소자들을 이용하여 구현된 'K' 테스트 이미지 및 'U' 테스트 이미지를 도시한다.

[0231] 또한, 참조부호 1620은 16개의 시냅스 소자들을 이용하여 'K' 테스트 이미지를 위한 세트 프로그래밍을 수행하는 예시를 도시한다.

[0232] 또한, 참조부호 1630 내지 1640은 16개의 시냅스 소자들의 초기 상태(initial state), 'K' 테스트 이미지에 대응되는 'K' 상태('K' state) 및 'U' 테스트 이미지에 대응되는 'U' 상태('U' state)에서의 포스트-시냅틱 전류(Ipsc)에 대한 히스토그램을 도시한다.

[0233] 참조부호 1610 내지 1640에 따르면, 시냅스 크로스바 어레이는 일실시예에 따른 드롭커넥트 신경망 장치와 마찬가지로 스위칭 천이 확률(Pset)에 따라 세트 성공 여부가 결정되는 확률적 프로그래밍 특성을 나타내는 것을 확인할 수 있다.

[0235] 도 17은 일실시예에 따른 드롭커넥트 신경망의 학습 방법을 설명하기 위한 도면이다.

[0236] 다시 말해, 도 17은 도 1 내지 16d를 통해 설명한 일실시예에 따른 드롭커넥트 신경망 시스템을 이용한 학습 방법을 설명하기 위한 도면으로, 도 17을 통해 설명하는 내용 중 일실시예에 따른 드롭커넥트 신경망 시스템을 통해 설명한 내용과 중복되는 설명은 생략 하기로 한다.

[0237] 또한, 이하에서 설명하는 하나의 제어기(controller)를 통해 제어될 수 있다. 즉, 프리-뉴런 제어부 및 시냅스 제어부는 하나의 장치로 구현될 수 있다.

[0238] 도 17을 참조하면, 1710 단계에서 일실시예에 따른 드롭커넥트 신경망의 학습 방법은 프리-뉴런 제어부에서 입력 데이터에 대응하여 복수의 프리-뉴런 각각에 대한 입력 전압을 설정하고, 입력 전압을 제1 시냅스 소자와 제2 시냅스 소자를 각각 구비하는 복수의 시냅스 유닛에 출력하도록 제어할 수 있다.

[0239] 일측에 따르면, 1710 단계에서 일실시예에 따른 드롭커넥트 신경망의 학습 방법은 입력 데이터를 복수의 픽셀 데이터로 분할하고, 복수의 픽셀 데이터 각각을 복수의 프리-뉴런에 할당할 수 있다.

[0240] 예를 들면, 복수의 프리-뉴런 각각에 대한 입력 전압은 할당된 픽셀 데이터가 블랙 픽셀의 데이터인 경우 기설정된 크기의 음의 전압으로 설정되고, 할당된 픽셀 데이터가 화이트 픽셀의 데이터인 경우 기설정된 크기의 양의 전압으로 설정될 수 있다.

[0241] 다음으로, 1720 단계에서 일실시예에 따른 드롭커넥트 신경망의 학습 방법은 시냅스 제어부에서, 복수의 시냅스 유닛 중 기설정된 스위칭 천이 확률에 대응되는 개수의 시냅스 유닛이 활성화 되도록 제어할 수 있다.

[0242] 일측에 따르면, 일실시예에 따른 드롭커넥트 신경망의 학습 방법은 1720 단계 이전에 시냅스 제어부에서, 제1

시냅스 소자들과 제2 시냅스 소자들을 초기화할 수 있다.

[0243] 일측에 따르면, 복수의 시냅스 유닛 각각은 복수의 프리-뉴런 중 대응되는 적어도 하나의 프리-뉴런으로부터 수신되는 입력 전압에 따른 확률적인 상변화에 기초하여 활성화될 수 있다.

[0244] 일측에 따르면, 1720 단계에서 일실시예에 따른 드롭커넥트 신경망의 학습 방법은 복수의 프리-뉴런 중 기설정된 크기의 음의 전압을 출력하는 프리-뉴런에 대응되는 제1 시냅스 소자에는 기설정된 세트 전압(set voltage)이 적용되고, 기설정된 크기의 음의 전압을 출력하는 프리-뉴런에 대응되는 제2 시냅스 소자에는 기설정된 리셋 전압(reset voltage)이 적용될 수 있다.

[0245] 또한, 1720 단계에서 일실시예에 따른 드롭커넥트 신경망의 학습 방법은 복수의 프리-뉴런 중 기설정된 크기의 양의 전압을 출력하는 프리-뉴런에 대응되는 제1 시냅스 소자에는 기설정된 리셋 전압이 적용되고, 기설정된 크기의 양의 전압을 출력하는 프리-뉴런에 대응되는 제2 시냅스 소자에는 기설정된 세트 전압이 적용될 수 있다.

[0246] 일측에 따르면, 1720 단계에서 일실시예에 따른 드롭커넥트 신경망의 학습 방법은 복수의 시냅스 유닛이 구비된 기판을 통해 인가되는 게이트 전압의 크기 및 게이트 전압의 펄스폭 중 적어도 하나를 스위칭 천이 확률에 대응되는 값으로 조절하여, 스위칭 천이 확률에 대응되는 개수의 시냅스 유닛이 활성화 되도록 제어할 수 있다.

[0247] 다음으로, 1730 단계에서 일실시예에 따른 드롭커넥트 신경망의 학습 방법은 시냅스 제어부에서, 입력 전압을 활성화된 시냅스 유닛을 통해 각각 스케일링하고, 스케일링의 결과로 활성화된 시냅스 소자 각각으로부터 출력되는 포스트-시냅틱 전류(post-synaptic current)를 포스트-뉴런(post-neuron)에 제공 하도록 제어할 수 있다.

[0248] 다음으로, 1740 단계 및 1750 단계에서 일실시예에 따른 드롭커넥트 신경망의 학습 방법은 포스트-뉴런에서 활성화된 시냅스 유닛으로부터 출력되는 포스트-시냅틱 전류를 합산하고, 합산된 전류의 크기가 기설정된 임계 크기 이상이되면 발화(firing)할 수 있다.

[0249] 일측에 따르면, 일실시예에 따른 드롭커넥트 신경망의 학습 방법의 1710 내지 1740 단계는 입력 데이터(Vpre)에 대한 학습 과정(learning stage)으로 구분되고, 1750 단계는 입력 데이터(Vpre)에 대한 추론 과정(inference stage)으로 구분될 수 있다.

[0251] 도 18은 일실시예에 따른 드롭커넥트 신경망의 인식 과정을 설명하기 위한 도면이다.

[0252] 도 18을 참조하면, 참조부호 1800은 2,352개(프리-뉴런의 총 개수 x 포스트-뉴런의 총 개수)의 시냅스 가중치($W_{1,1}$ 내지 $W_{784,3}$)를 갖는 784개의 프리-뉴런 및 3개의 포스트-뉴런을 포함하는 드롭커넥트 신경망의 입력 데이터의 인식 과정을 도시한다.

[0253] 여기서, 입력 데이터는 풀오버(Pullovers), 백(bags) 및 부츠(boots)에 대한 이미지를 포함하고, 이미지 데이터는 학습 및 추론 단계에 대해 각각 6,000개 및 1,000개의 서로 다른 이미지 데이터 세트로 구현될 수 있다.

[0254] 참조부호 1800에 따르면, 입력 데이터 중 인식을 위해 타겟 포스트-뉴런에 전달하고자 하는 입력 데이터는 복수의 픽셀 데이터로 분할되고, 분할된 복수의 픽셀 데이터 각각은 대응되는 프리-뉴런 각각에 대한 입력 전압(V_1 내지 V_{784})으로서 설정될 수 있다.

[0255] 또한, 프리-뉴런 각각에 대한 입력 전압(V_1 내지 V_{784})은 활성화된 시냅스를 통해 각각 스케일링되고, 타겟 포스트-뉴런은 스케일링의 결과로서, 활성화된 시냅스 각각으로부터 대응되는 포스트-시냅틱 전류(Ipsc) ($I = \sum W_i * V_j$, 여기서 W는 시냅스 가중치, i는 i번째 프리-뉴런, j는 j번째 포스트-뉴런을 의미하고, i 및 j는 1 이상의 자연수)를 수신할 수 있다.

[0256] 일측에 따르면, 활성화된 시냅스는 기설정된 스위칭 천이 확률(Pset)에 기초하여 선택된 시냅스들(참조부호 1800의 실선에 대응되는 시냅스)을 의미하고, 선택되지 못한 1-Pset의 확률에 대응되는 시냅스들(참조부호 1800의 점선에 대응되는 시냅스)은 연결되지 않는 상태를 유지할 수 있다.

[0257] 한편, 타겟 포스트 뉴런은 활성화된 시냅스로부터 출력되는 포스트-시냅틱 전류를 합산($\sum I$)하고, 합산된 전류($\sum I$)의 크기가 기설정된 임계 크기 이상이 되면 발화(firing)할 수 있다.

[0259] 도 19는 일실시예에 따른 드롭커넥트 신경망의 학습 방법의 구현예를 설명하기 위한 도면이다.

[0260] 다시 말해, 도 19는 도 17을 통해 설명한 일실시예에 따른 드롭커넥트 신경망의 학습 방법에 대한 예시를 설명하는 도면으로, 이후 도 19를 통해 설명하는 내용 중 일실시예에 따른 드롭커넥트 신경망의 학습 방법을 통해 설명한 내용과 중복되는 설명은 생략하기로 한다.

[0261] 도 19를 참조하면, 참조부호 1900은 드롭커넥트 신경망 시스템의 입력 데이터에 대한 인식 능력을 평가하는 예시를 도시 한다.

[0262] 예를 들면, 드롭커넥스 신경망 시스템은 784개의 프리-뉴런과, 2,352개의 시냅스 유닛(4,704개의 시냅스 소자) 및 3개의 포스트-뉴런을 포함할 수 있다.

[0263] 또한, 드롭커넥스 신경망 시스템은 도 18을 통해 설명한 입력 데이터(풀오버, 백 및 부츠)를 각각 제1 내지 제3 포스트-뉴런에 개별적으로 할당할 수 있다.

[0264] 이하에서는, 백(bags)에 대한 입력 데이터를 타겟 포스트-뉴런(제2 포스트-뉴런)에 학습 시키는 예시에 대해 보다 구체적으로 설명하기로 한다.

[0265] 참조부호 1900에 따르면, 드롭커넥스 신경망 시스템에서 타겟 포스트-뉴런에 연결된 각 시냅스 유닛($G_{i,j}^{\pm}$, 여기서, i는 i번째 프리-뉴런, j는 j번째 포스트-뉴런)은 세트 프로그래밍 및 리셋 프로그래밍 전압 체계에 의해 개별적으로 업데이트될 수 있다.

[0266] 여기서, 한 쌍을 이루는 시냅스 소자들의 컨덕턴스 값 $G_{i,j}^{\pm}$은 시냅스 유닛의 시냅스 가중치($W_{i,j}$)를 의미할 수 있다. 또한, 프로그래밍 방식은 $G_{i,j}^{\pm}$와 입력 데이터의 양자화된 블랙 픽셀의 연결 여부에 따라 결정될 수 있다.

[0267] 구체적으로, 학습 과정에서 입력 데이터에 대응되는 픽셀 데이터가 블랙 픽셀 데이터(Vpre = -3V, Vpost = -7V) 및 화이트 픽셀 데이터(Vpre = 3V and Vpost = -7V) 중 적어도 하나의 데이터와의 유사성에 기초하여 서로 다른 펄스 방식이 적용될 수 있다. 또한, 이러한 펄스 방식을 이용하면 드롭커넥트 신경망의 시냅스 연결이 스위칭 천이 확률(Pset)에 따라 임의로 업데이트 될 수 있다.

[0268] 사이클링(cycling) 중인 드롭커넥스 신경망 시스템에서 시냅스의 세트 확률이 스위칭 천이 확률(Pset)과 동일하다 가정할 때, 추론 단계(inference stage)에서 픽셀 데이터에 대응되는 프리-뉴런의 입력 전압(V_i)는 시냅스 소자들의 컨덕턴스 값 $G_{i,j}^{\pm}$에 의해 개별적으로 스케일링되고, 스케일링의 결과로 출력되는 포스트-시냅틱 전류(Ipsc)(I_j)의 형태로 타겟 포스트-뉴런에 전달될 수 있다.

[0269] 이후, 추론 과정에서 타겟 포스트-뉴런은 포스트-시냅틱 전류(Ipsc)(I_j)를 합산하고($\sum(G_{i,j}^{+} - G_{i,j}^{-})V_i = \sum W_{i,j}Vi = \sum I_j$), 합산된 포스트-시냅틱 전류($\sum I_j$)를 발화(firing)하여 입력된 데이터를 백(bags)으로 추론할 수 있다.

[0271] 도 20은 일실시예에 따른 드롭커넥트 신경망의 학습 방법에 따라 시냅스를 연결하는 예시를 설명하기 위한 도면이다.

[0272] 도 20을 참조하면, 도 20의 (a) 내지 (c)는 스위칭 천이 확률(Pset)이 각각 0%, 15% 및 100%일 때 입력 데이터의 제1 패턴 및 제2 패턴의 학습에 따른 시냅스의 연결 예시를 도시한다.

[0273] 도 20의 (a) 내지 (c)에 따르면, 일실시예에 따른 드롭커넥트 신경망 장치는 학습 과정에서도 시냅스가 스위칭 천이 확률(Pset)에 따라 확률적으로 랜덤하게 연결되는 것을 확인할 수 있다.

[0274] 즉, 스위칭 천이 확률(Pset)이 15%일 때, 전체 시냅스 중 15%의 시냅스만이 학습 과정에 관여하는 것을 확인할 수 있다.

[0275] 또한, 일실시예에 따른 드롭커넥트 신경망은 각 입력 데이터를 인식할 때마다 스위칭 천이 확률(Pset)을 기반으로 시냅스 연결이 임의로 선택(도 20의 실선) 및 삭제(도 20의 점선)되어 광범위한 하위 네트워크가 발생될 수

있으며, 결과적으로 이러한 하위 신경망은 앙상블 효과(ensemble effect)를 촉진할 수 있다.

[0276] 한편, 기존의 완전 연결형 신경망(all-to-all connected network)은 비정상적인 시냅스 연결에 의해 상호적응(co-adaptation)을 유발할 수 있으나, 드롭커넥트 신경망은 상호적응을 최소화할 수 있다.

[0278] 도 21a 내지 도 21c는 일실시예에 따른 드롭커넥트 신경망 장치에 대한 인식 과정의 시뮬레이션 결과를 설명하기 위한 도면이다.

[0279] 도 21a 내지 도 21c를 참조하면, 참조부호 2110은 도 18을 통해 설명한 입력 데이터(풀오버, 백 및 부츠)에 기초한 시뮬레이션 과정에서, 스위칭 천이 확률(Pset)의 변화(0% 내지 100%)에 따른 업데이트된 시냅스 가중치의 분포맵과 컨퓨전 매트릭스(confusion matrices) 도시한다. 여기서, 컨퓨전 매트릭스는 입력 데이터에 대한 실제 이미지와, 시뮬레이션 과정을 통해 추론된 이미지 사이의 차이를 나타낸다.

[0280] 또한, 참조부호 2120은 참조부호 2110의 컨퓨전 매트릭스 중 스위칭 천이 확률(Pset)이 15%, 65% 및 100 %일 때의 이미지를 확대한 결과를 도시하며, 참조부호 2130은 스위칭 천이 확률(Pset)의 변화에 따른 인식의 정확도를 도시 한다.

[0281] 참조부호 2110 내지 2130에 따르면, 시냅스 가중치($W_{i,j}$)의 분포맵은 스위칭 천이 확률(Pset)이 증가할수록 실제 이미지와 유사해지는 것을 확인할 수 있다. 즉, 스위칭 천이 확률(Pset)이 더 증가하면(즉, 100%까지 증가하면), 드롭커넥트 신경망의 시냅스 소자는 학습 과정에서 '0' 또는 '1' 상태로 업데이트될 가능성이 높은 것을 확인할 수 있다.

[0282] 그러나, 스위칭 천이 확률(Pset)이 15%, 65% 및 100%일 때의 컨퓨전 매트릭스에 따르면, 스위칭 천이 확률(Pset)이 100%일 때보다 15%일 때 포화 상태가 더 좋게 나타나는 것을 확인할 수 있다.

[0283] 즉, 100%의 스위칭 천이 확률(Pset)에 대응되는 경우에는 다음 입력 데이터가 수신될 때, 이전에 학습된 이미지가 소거(erasing)가 되는 현상이 발생되어 인식의 정확도가 오히려 59.3%까지 감소하는 문제가 발생될 수 있다.

[0284] 반면, 일실시예에 따른 드롭커넥트 신경망 장치는 확률 가변 스위칭을 통해 전체 시냅스 중 15%의 시냅스만을 이용함으로써, 픽셀 데이터간의 의미있고 공통적인 특성을 학습하는데 유리하고, 소거 현상을 최소화하여 인식의 정확도를 약 94.4%까지 향상시킬 수 있다.

[0286] 도 22는 일실시예에 따른 드롭커넥트 신경망 장치의 소비 전력 특성을 설명하기 위한 도면이다.

[0287] 도 22를 참조하면, 참조부호 2200은 기존 완전 연결형 신경망(all-to-all connected network)과 일실시예에 따른 드롭커넥트 신경망간의 소비 전력의 비교 결과를 도시한다.

[0288] 참조부호 2200에 따르면, 약 85%의 인식 정확도를 달성하는데 필요한 학습/추론 에너지의 경우, 드롭커넥트 신경망이 완전 연결형 신경망에 비해 각각 약 ~1,460/56배 절감됨을 확인할 수 있으며, 학습 횟수에 있어서도 드롭커넥트 신경망이 4 에포크(epoch) 먼저 도달하는 것을 확인할 수 있다.

[0289] 즉, 일실시예에 따른 드롭커넥트 신경망 장치는 스위칭 천이 확률(Pset)에 기반한 확률가변 스위칭을 통해 기존의 완전 연결형 신경망과 비교하여 인식의 정확도 및 학습 속도를 향상시킬 수 있으며, 1-Pset의 확률에 대응되는 시냅스들은 학습/추론 과정에서 비활성화되어, 비활성화된 시냅스들이 소비하는 전력이 절감되어 저전력 구동을 구현할 수 있다.

[0291] 이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

[0292] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

부호의 설명

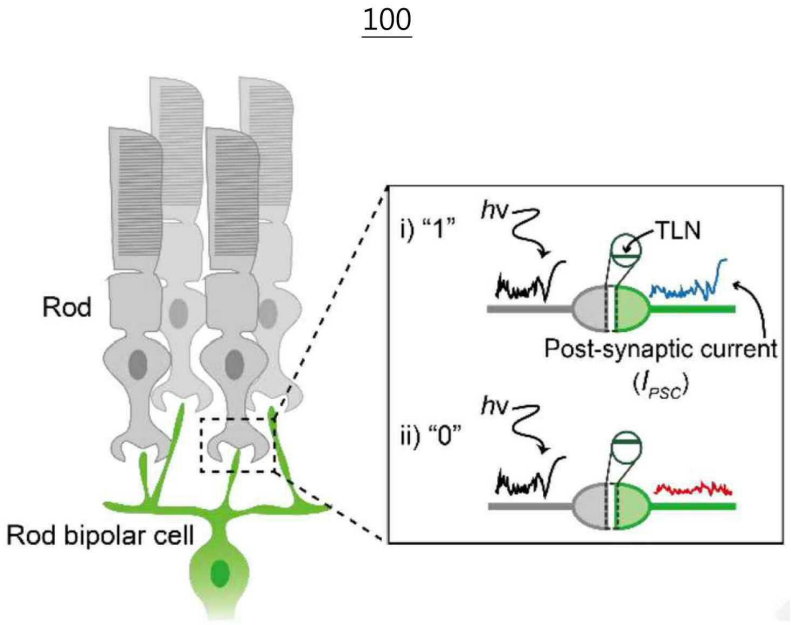
[0293] 400: 드롭커넥트 신경망 시스템 410: 프리-뉴런

420: 제1 시냅스 소자 430: 제2 시냅스 소자

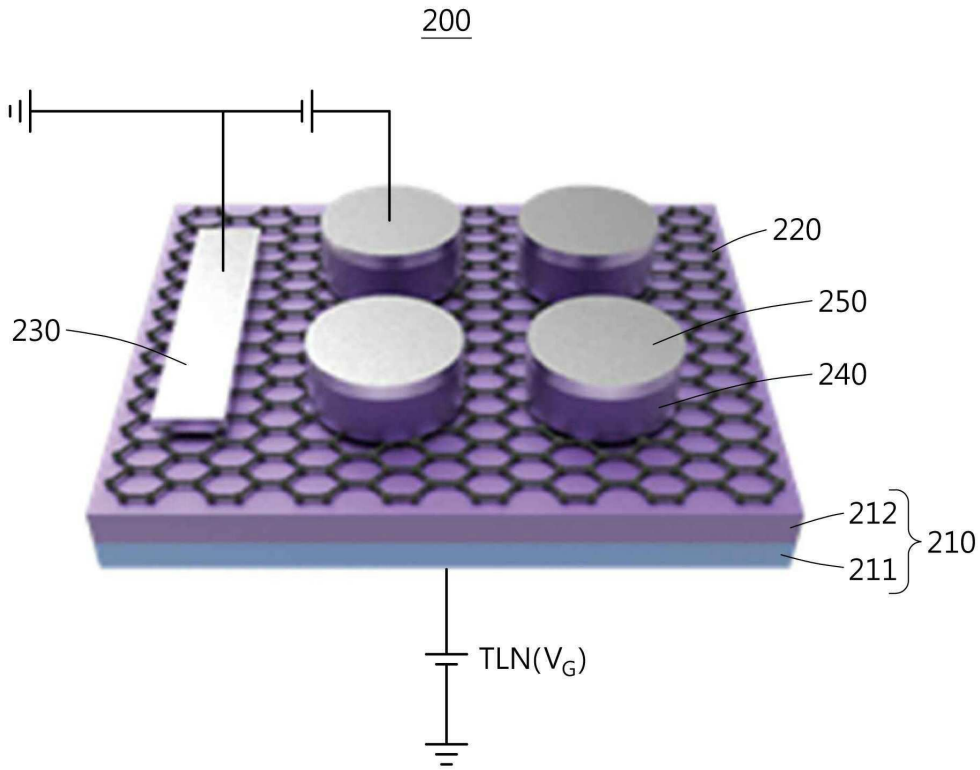
440: 포스트-뉴런 W_1 내지 W_n: 시냅스 유닛

도면

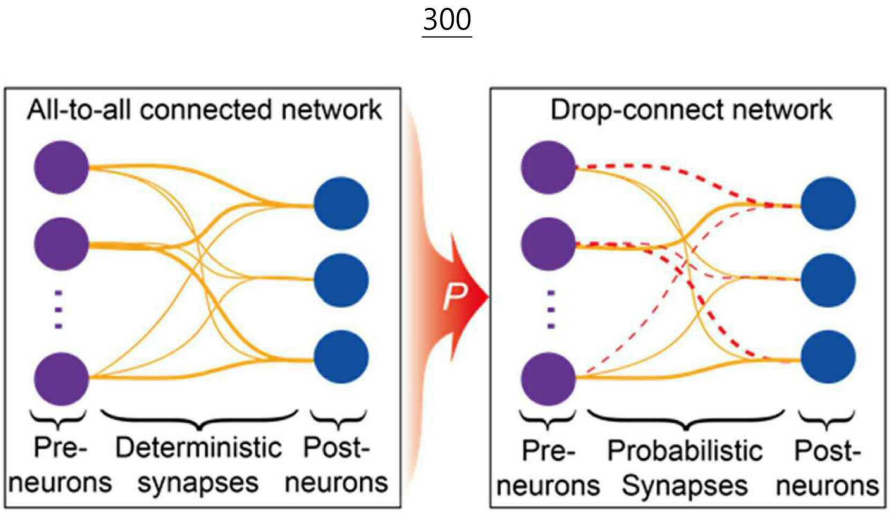
도면1



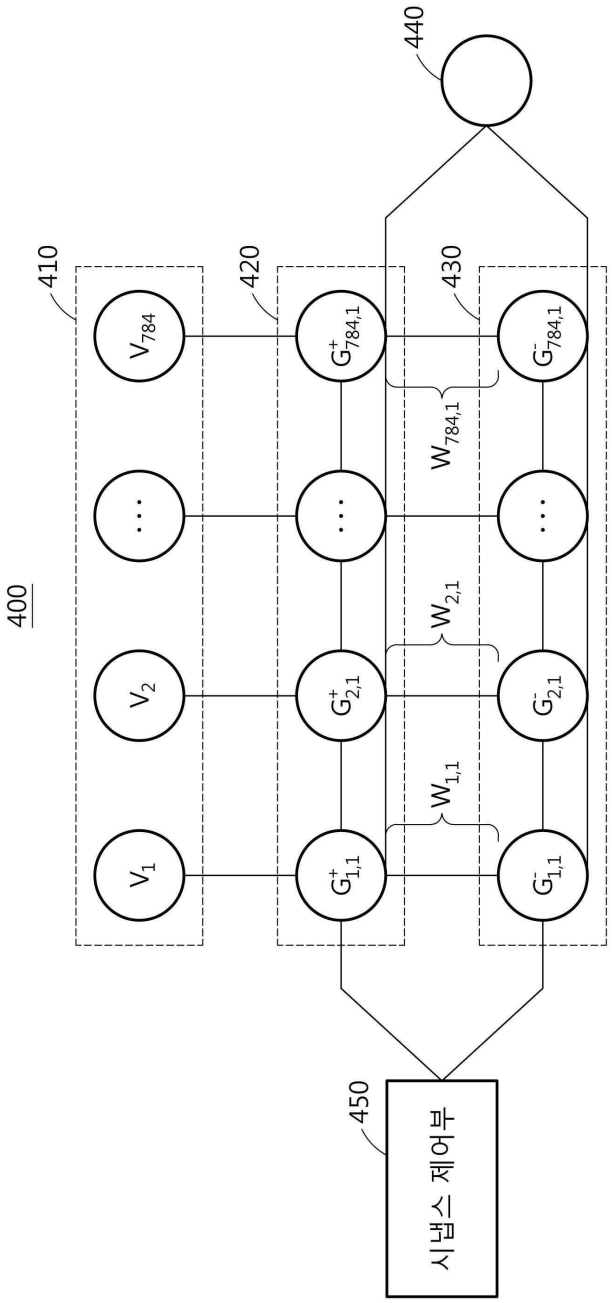
도면2


200
220
250
240
230
212
211
210
TLN(V_G)

도면3

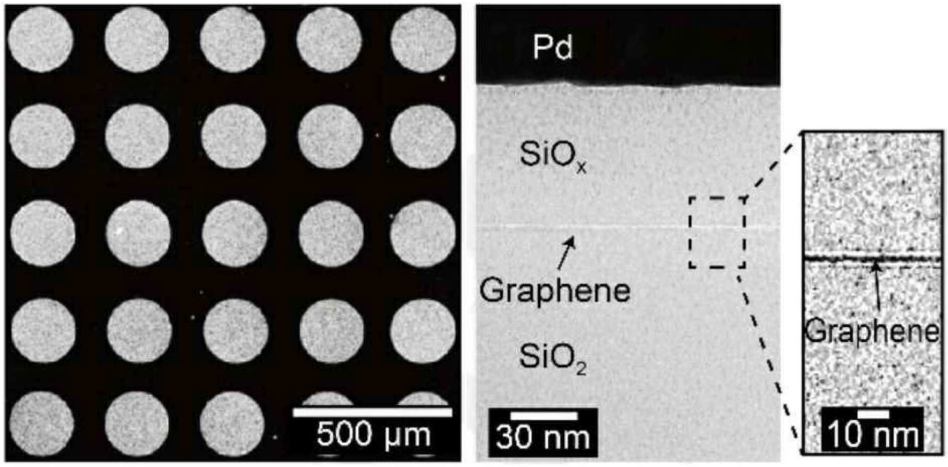

300
All-to-all connected network
Pre-neurons
Deterministic synapses
Post-neurons
P
Drop-connect network
Pre-neurons
Probabilistic Synapses
Post-neurons

도면4


400
410
420
430
440
450
V_{784}
V_2
V_1
$G^+_{784,1}$
$G^+_{2,1}$
$G^+_{1,1}$
$G^-_{784,1}$
$G^-_{2,1}$
$G^-_{1,1}$
$W_{784,1}$
$W_{2,1}$
$W_{1,1}$
시냅스 제어부

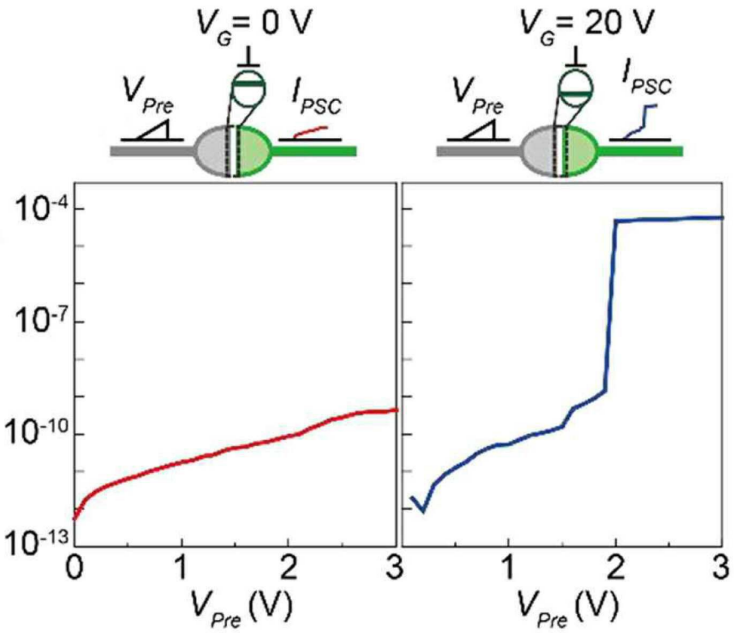
도면5a

510



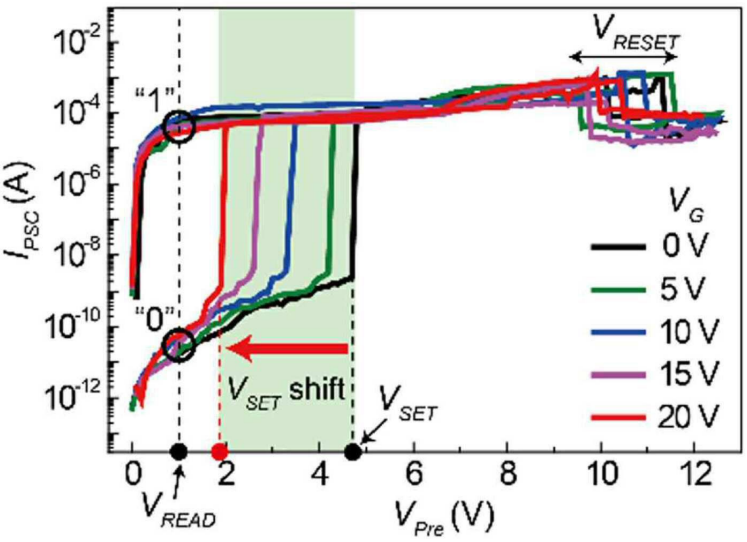
도면5b

520



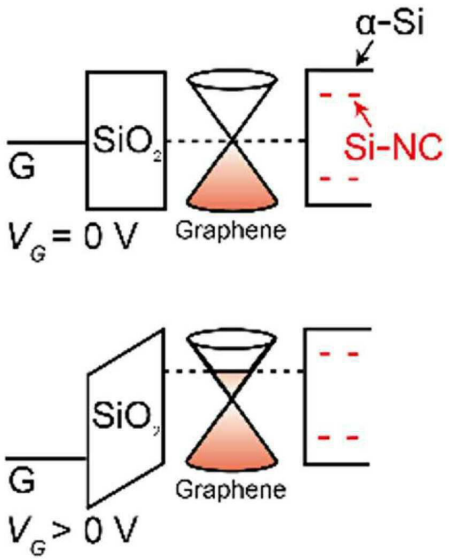
도면6a

610



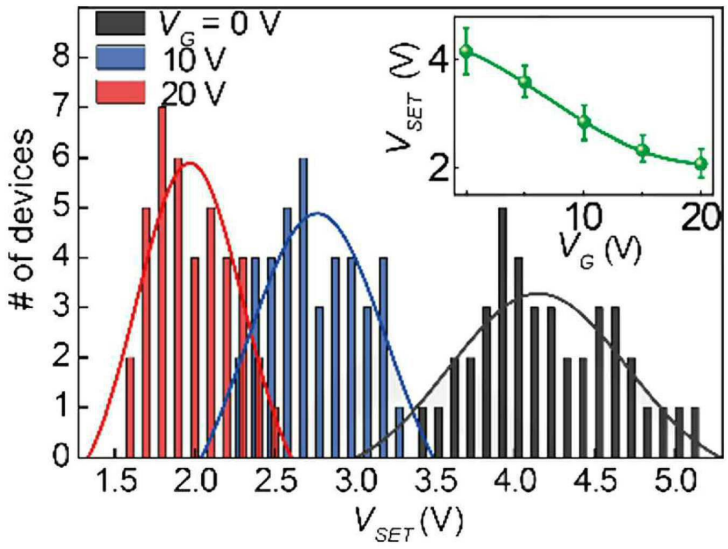
도면6b

620



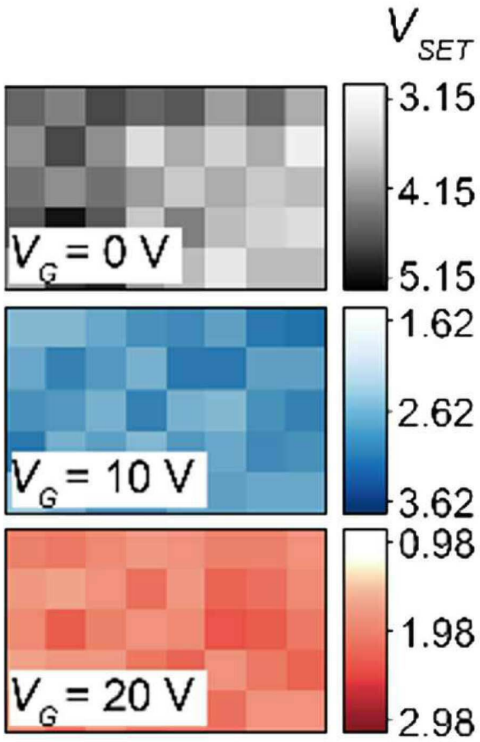
도면6c

630



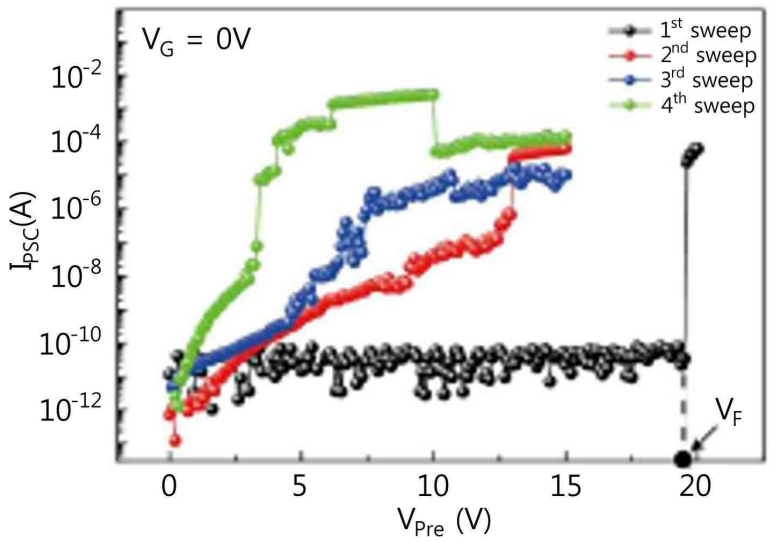
도면6d

640



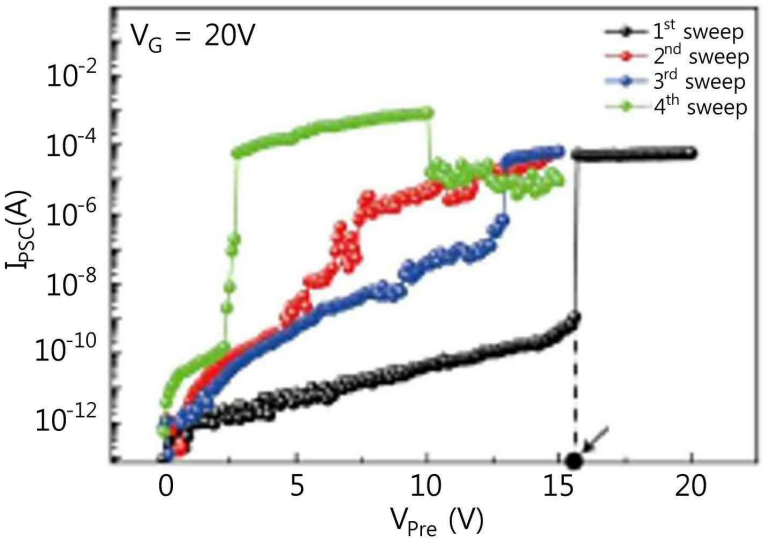
도면6e

650



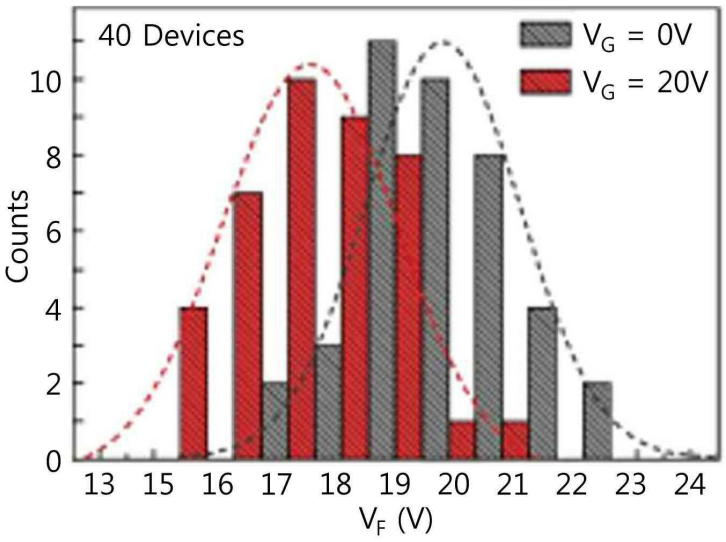
도면6f

660



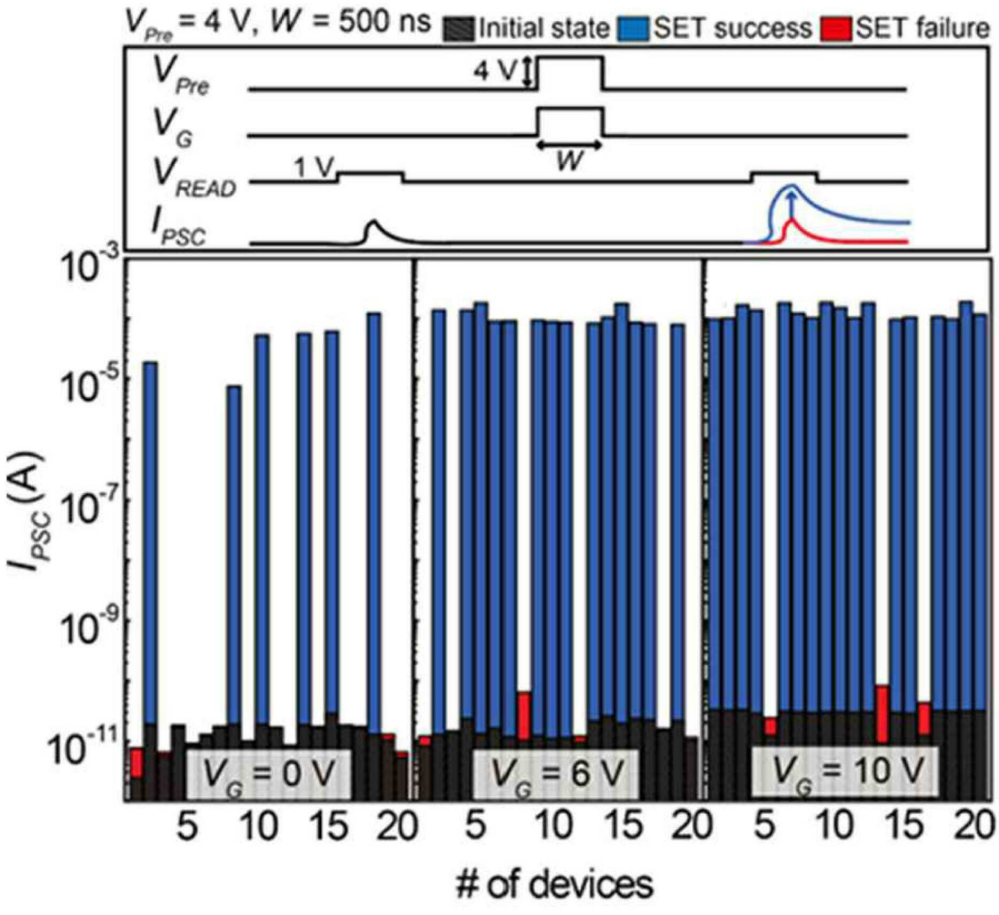
도면6g

670

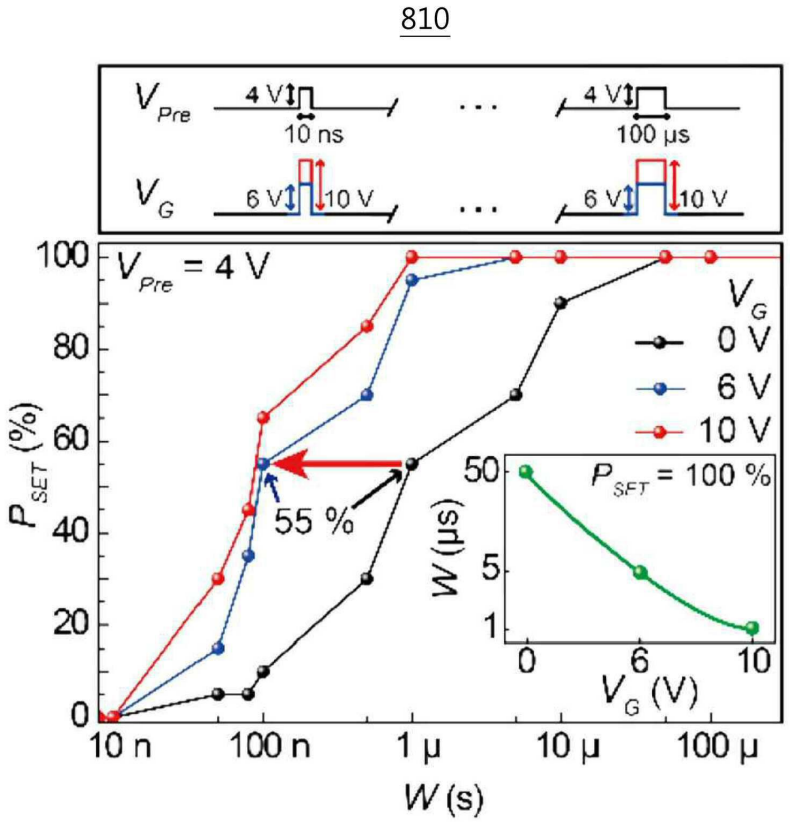


도면7

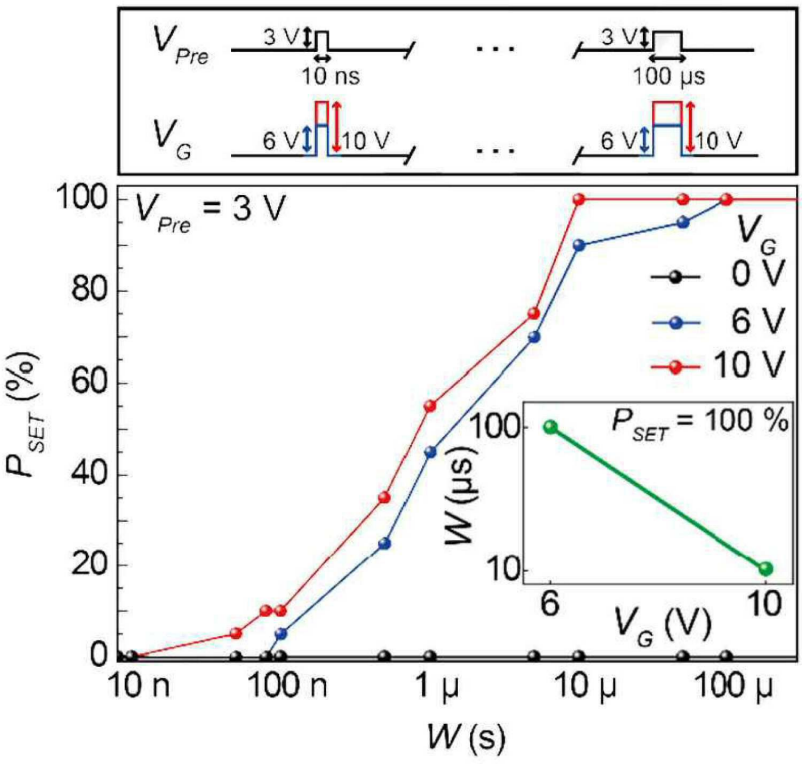
700



도면8a

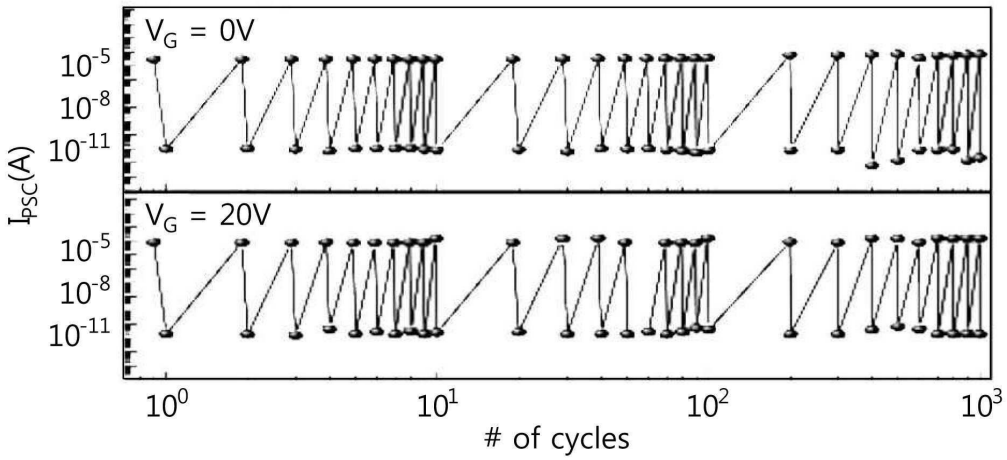

810
V_{Pre}
4 V
10 ns
4 V
100 μs
V_G
6 V
10 V
6 V
10 V
V_{Pre} = 4 V
V_G
0 V
6 V
10 V
55 %
P_{SET} (%)
100
80
60
40
20
0
10 n
100 n
1 μ
10 μ
100 μ
W (s)
P_{SET} = 100 %
W (μs)
50
5
1
0
6
10
V_G (V)

도면8b


820
V_{Pre}
3 V
10 ns
3 V
100 μs
V_G
6 V
10 V
6 V
10 V
V_{Pre} = 3 V
V_G
0 V
6 V
10 V
P_{SET} (%)
100
80
60
40
20
0
10 n
100 n
1 μ
10 μ
100 μ
W (s)
P_{SET} = 100 %
W (μs)
100
10
6
10
V_G (V)

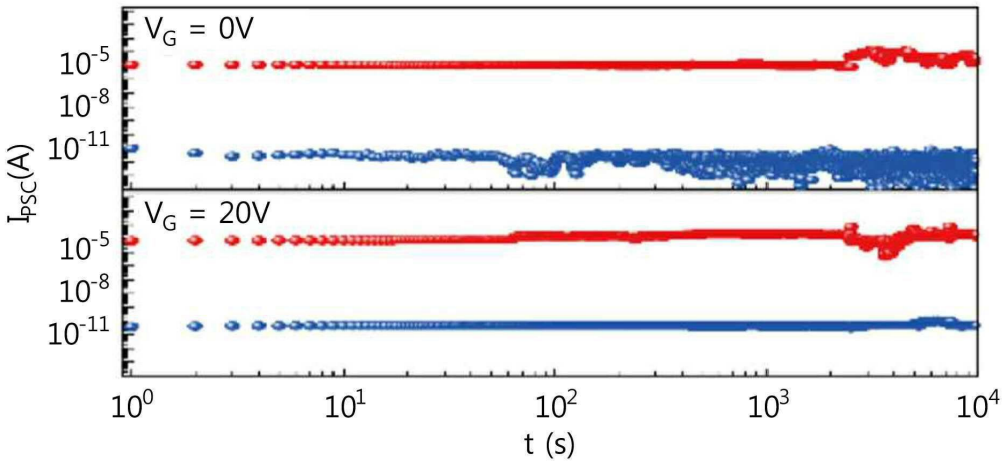
도면9a

910



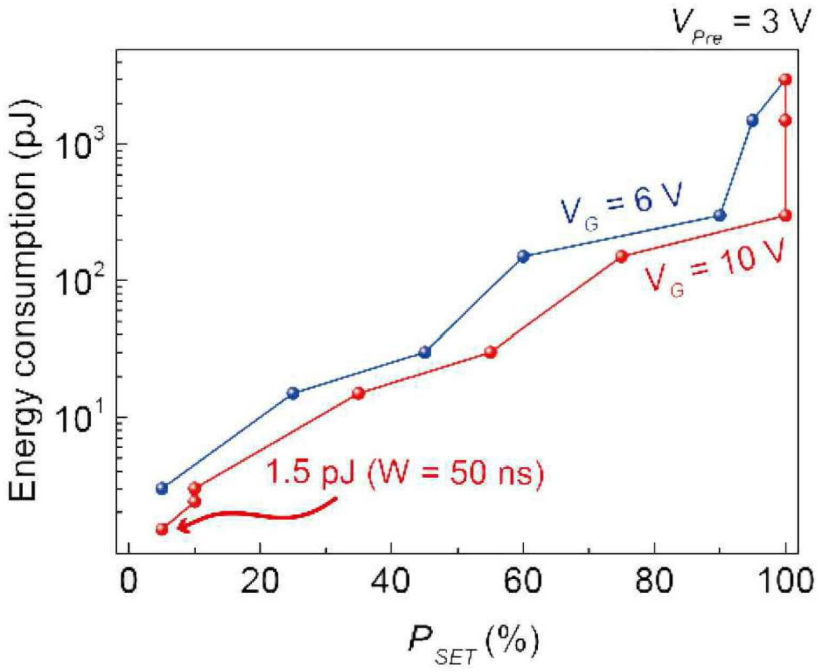
도면9b

920



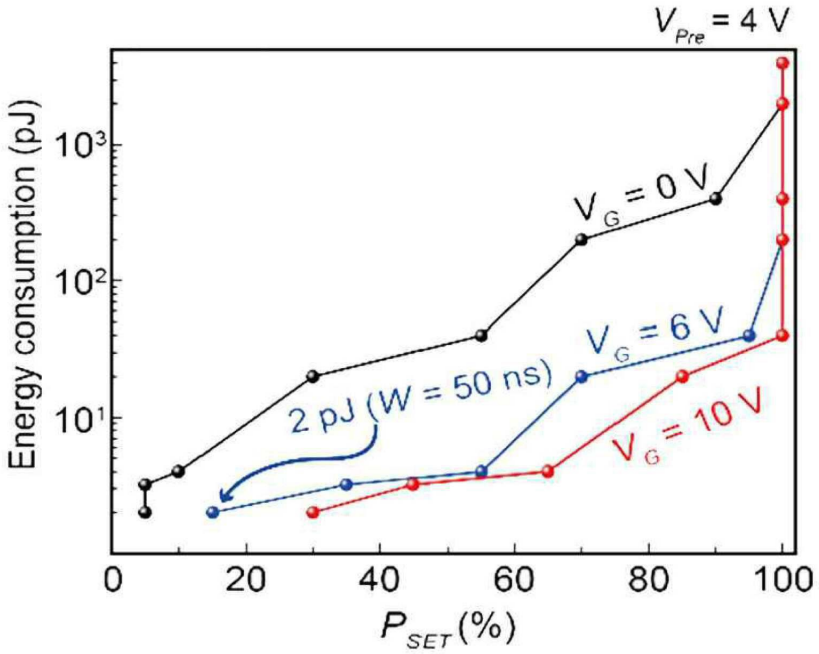
도면10a

1010

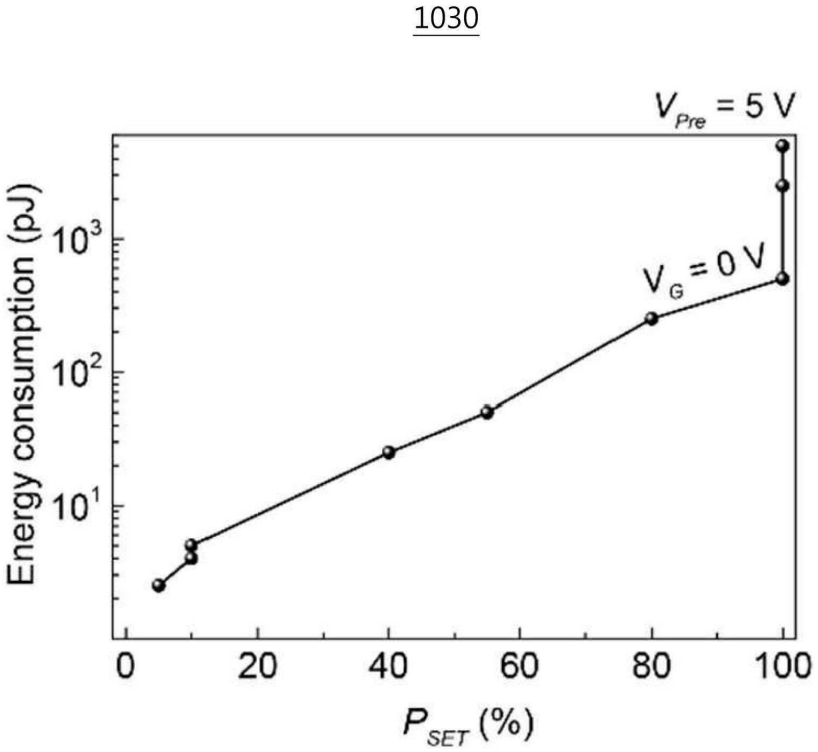


도면10b

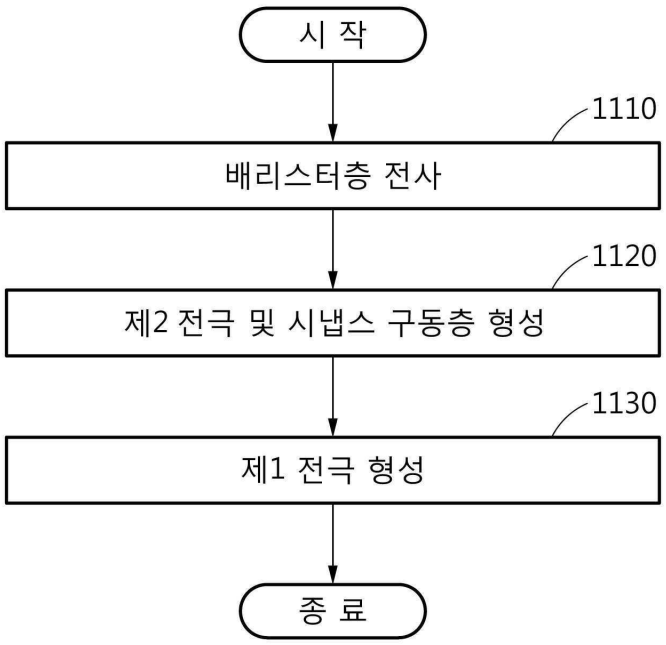
1020



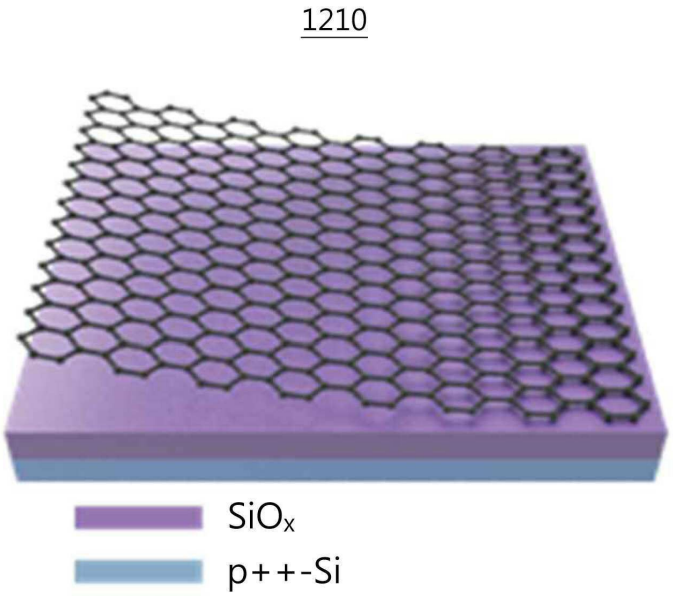
도면10c


1030
V_{Pre} = 5 V
V_G = 0 V
Energy consumption (pJ)
10^3
10^2
10^1
0
20
40
60
80
100
P_{SET} (%)

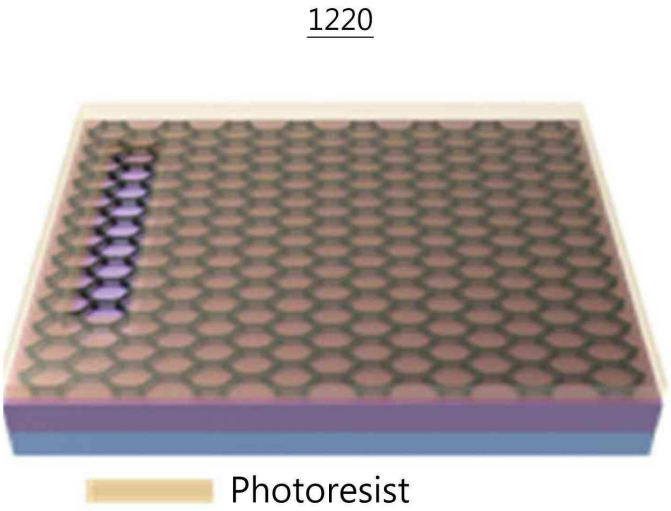
도면11


시 작
1110
배리스터층 전사
1120
제2 전극 및 시냅스 구동층 형성
1130
제1 전극 형성
종 료

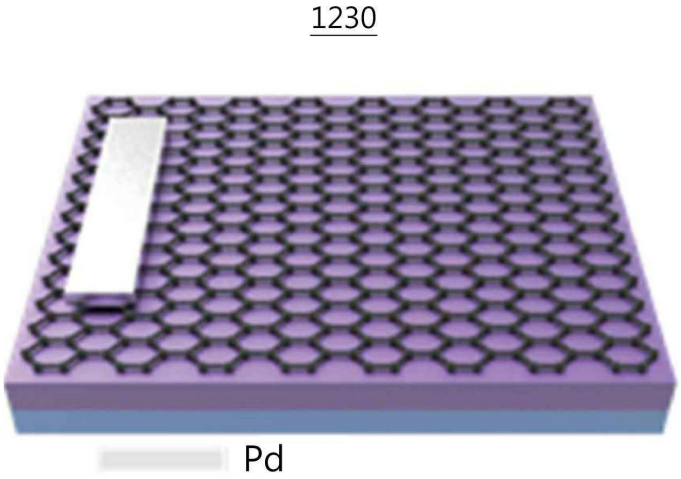
도면12a



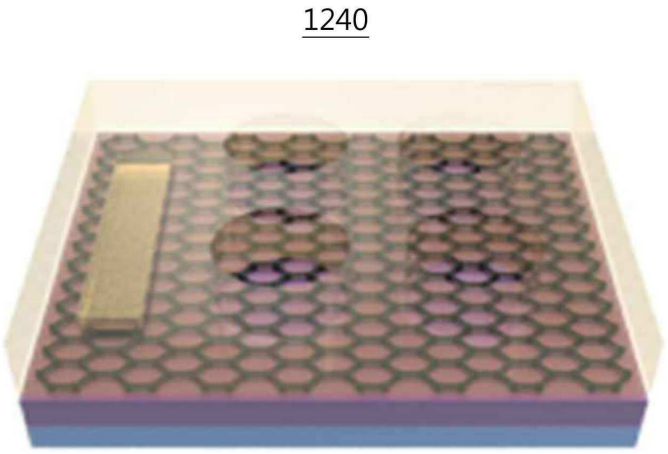
도면12b



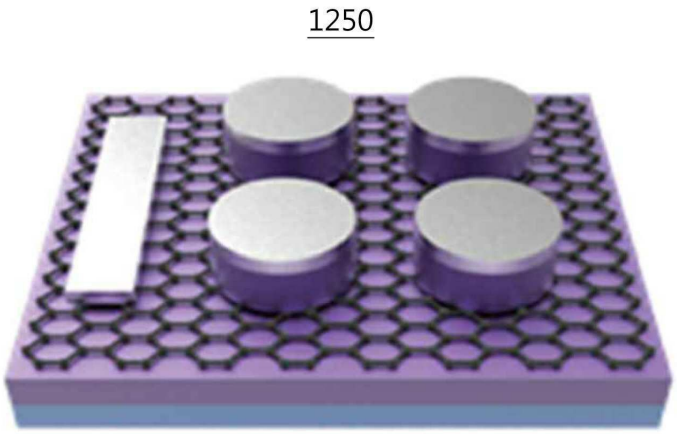
도면12c



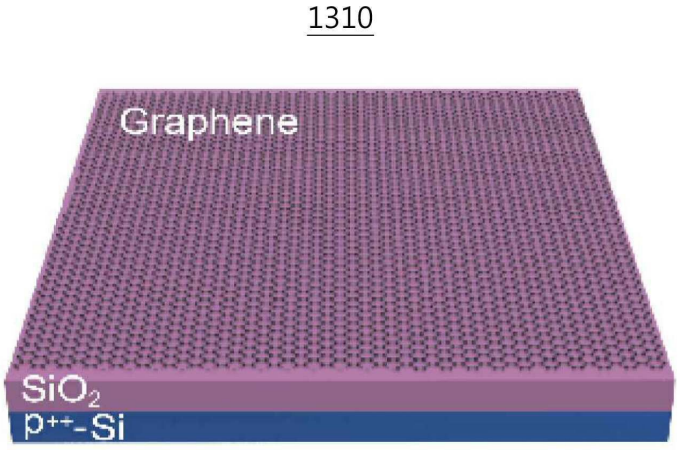
도면12d



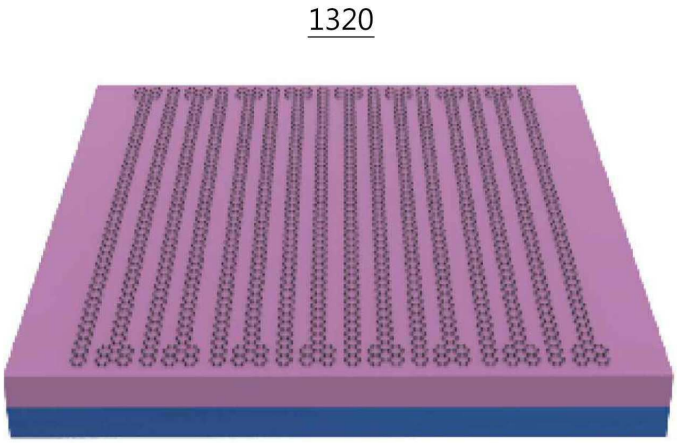
도면12e



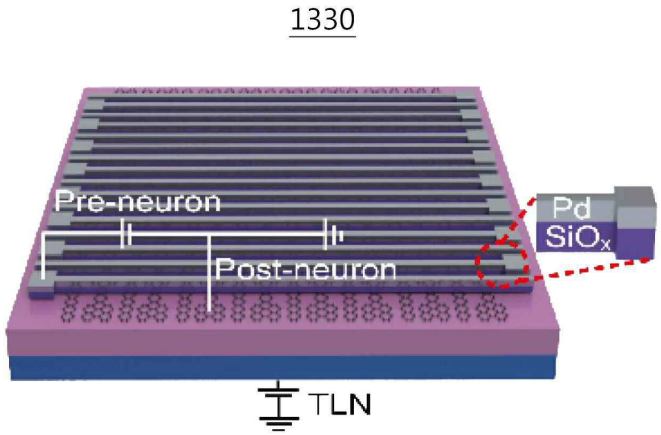
도면13a



도면13b

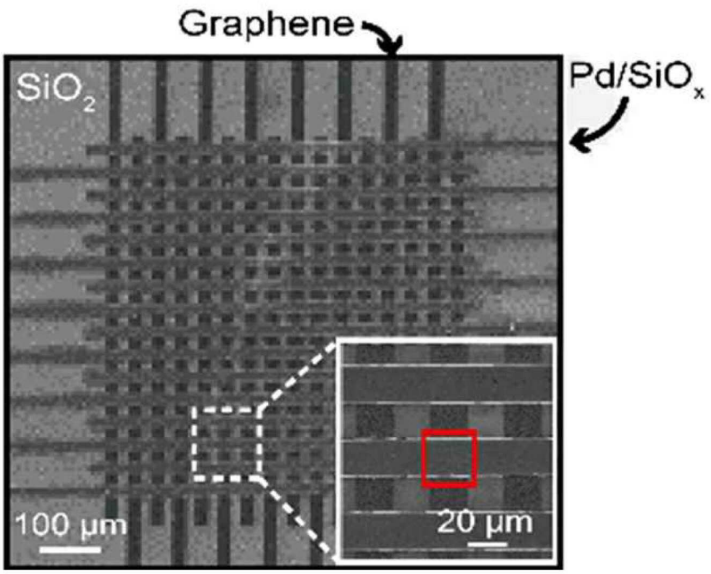


도면13c



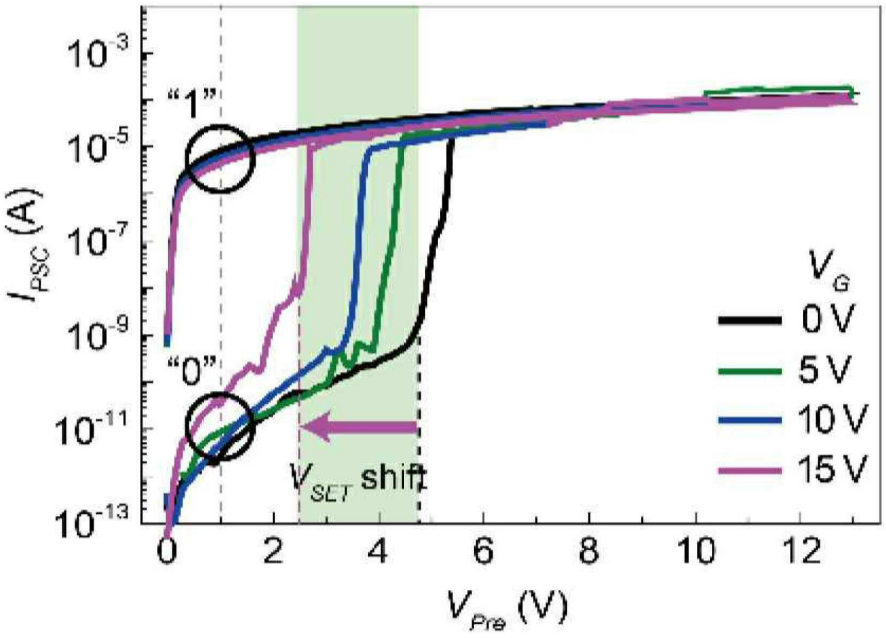
도면14

1400

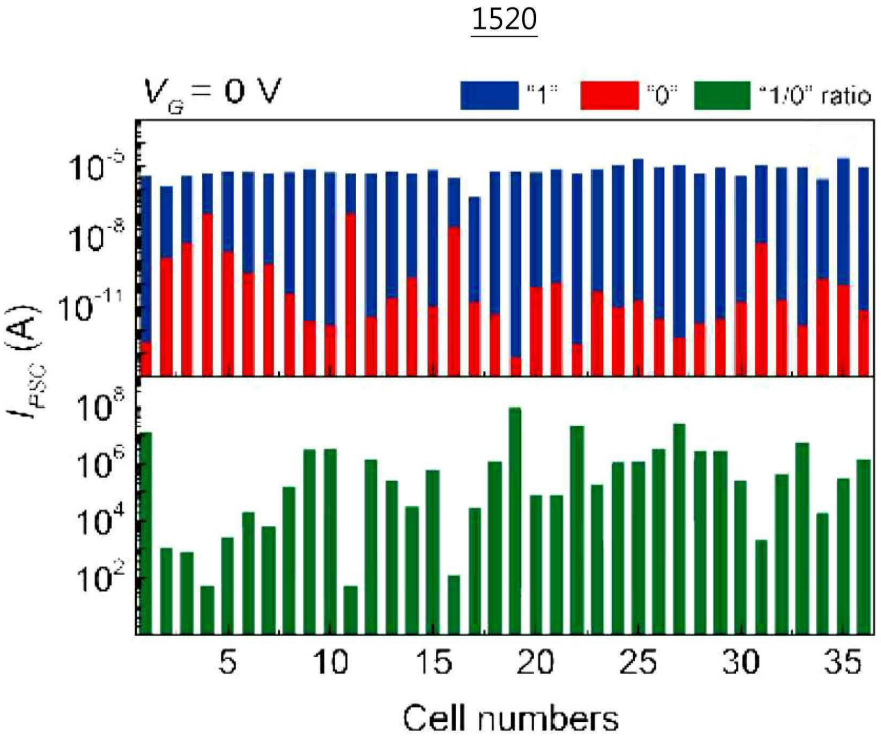


도면15a

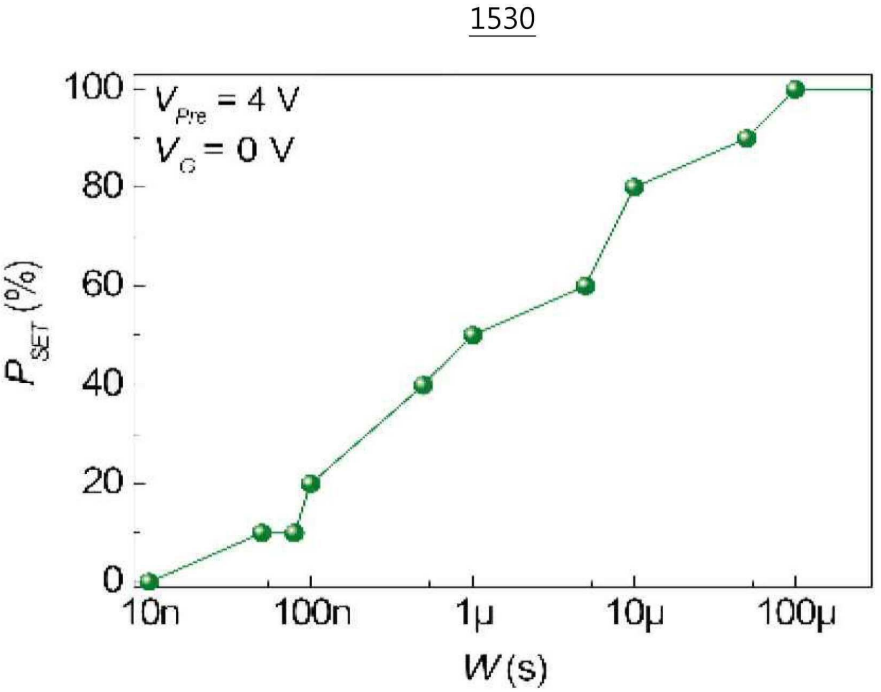
1510



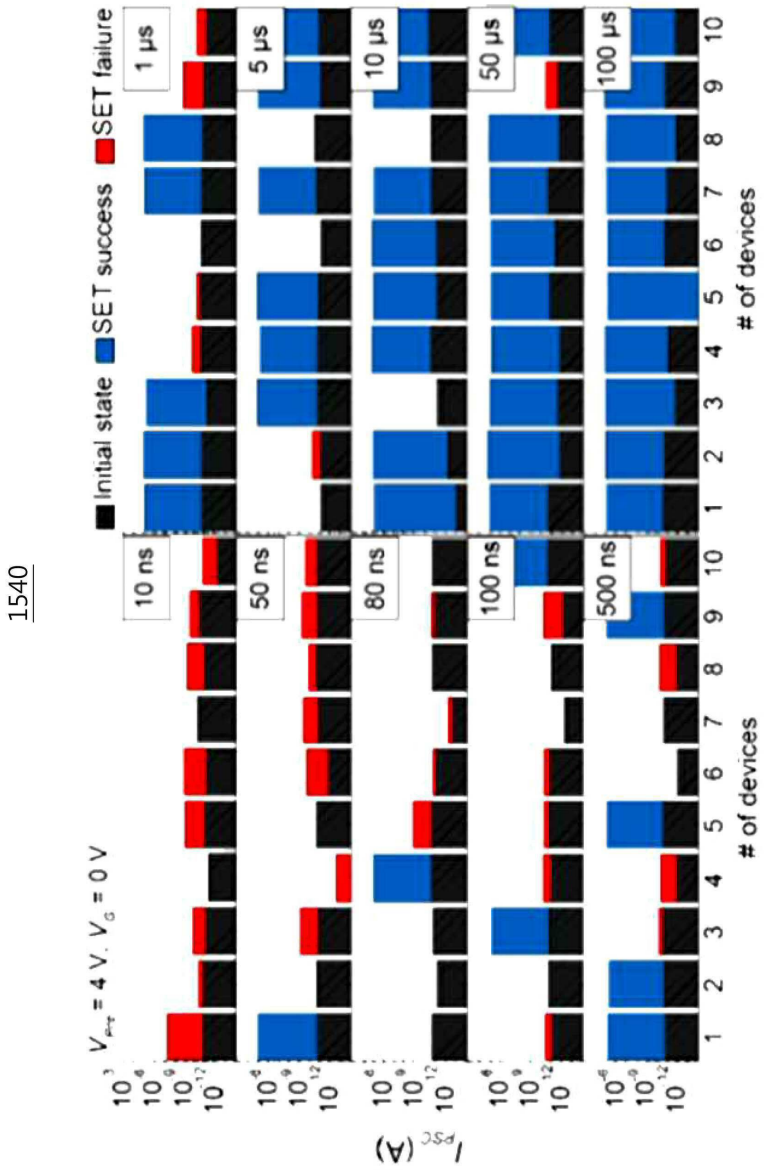
도면15b


1520
V_G = 0 V
"1"
"0"
"1/0" ratio
10^{-5}
10^{-8}
10^{-11}
10^{8}
10^{6}
10^{4}
10^{2}
I_{PSC} (A)
5
10
15
20
25
30
35
Cell numbers

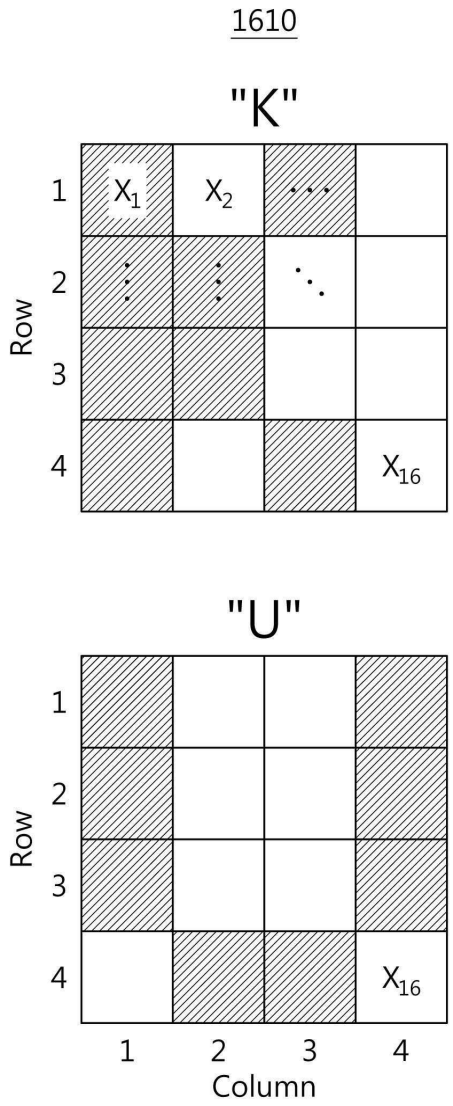
도면15c


1530
V_{Pre} = 4 V
V_G = 0 V
100
80
60
40
20
0
P_{SET} (%)
10n
100n
1μ
10μ
100μ
W (s)

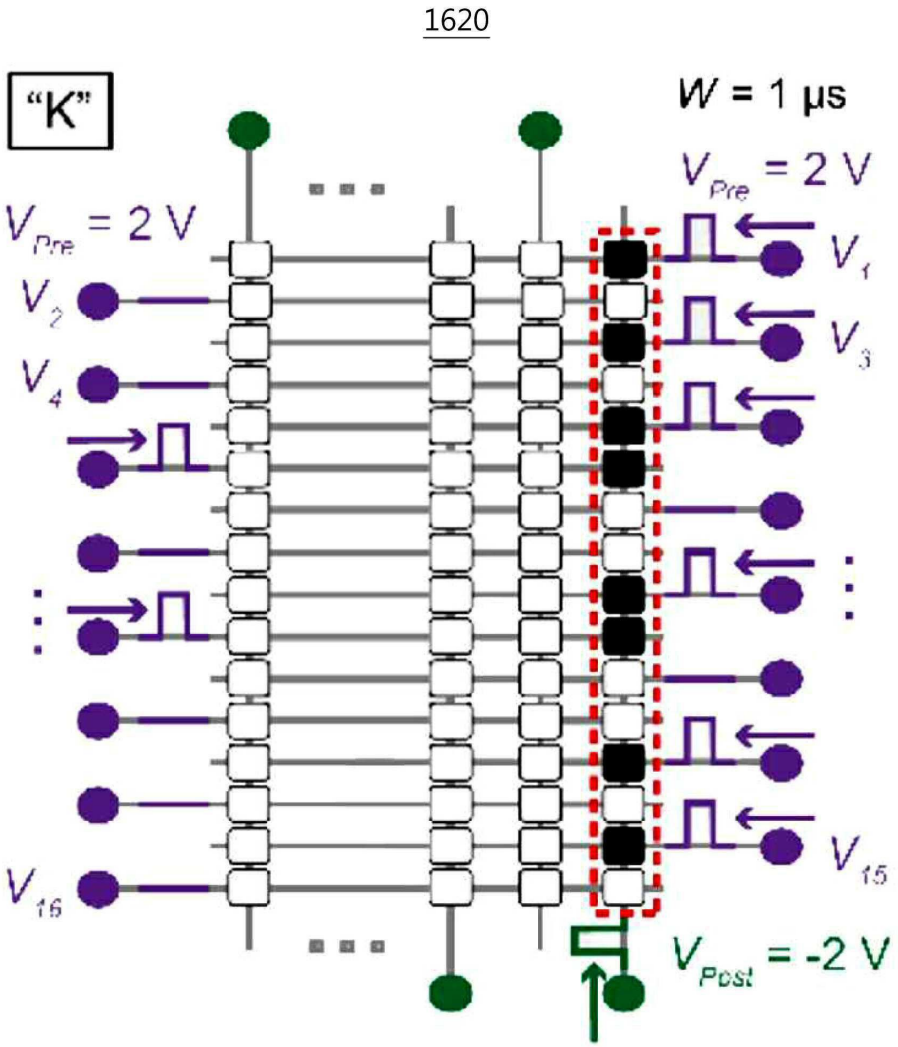
도면15d


1540
Initial state
SET success
SET failure
1 μs
5 μs
10 μs
50 μs
100 μs
10 ns
50 ns
80 ns
100 ns
500 ns
# of devices
I_{PSC} (A)

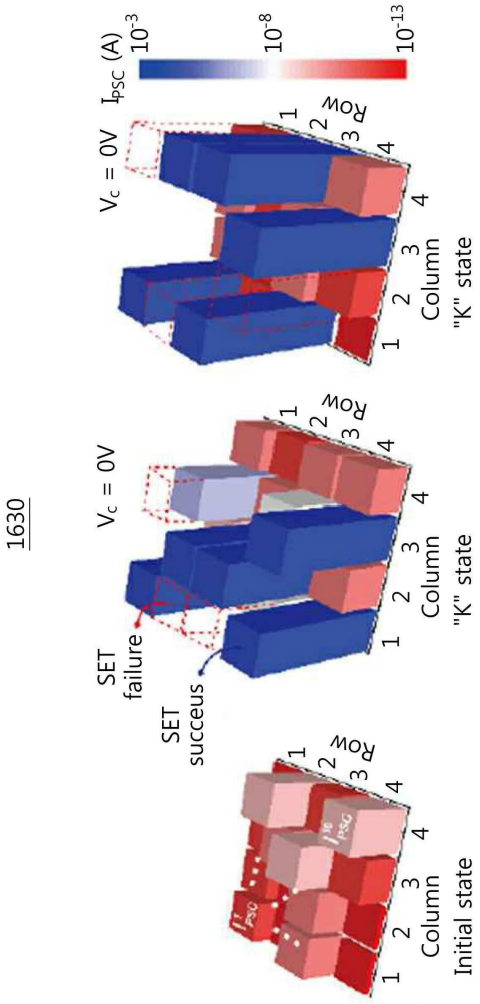
도면16a



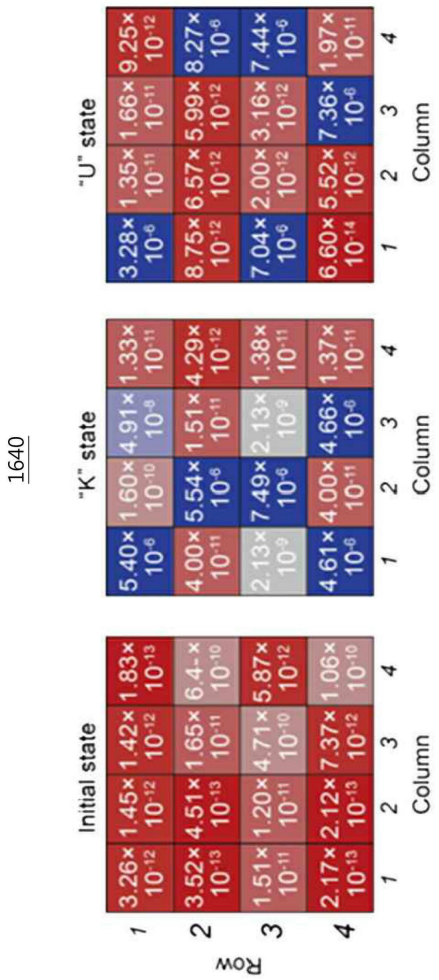
도면16b



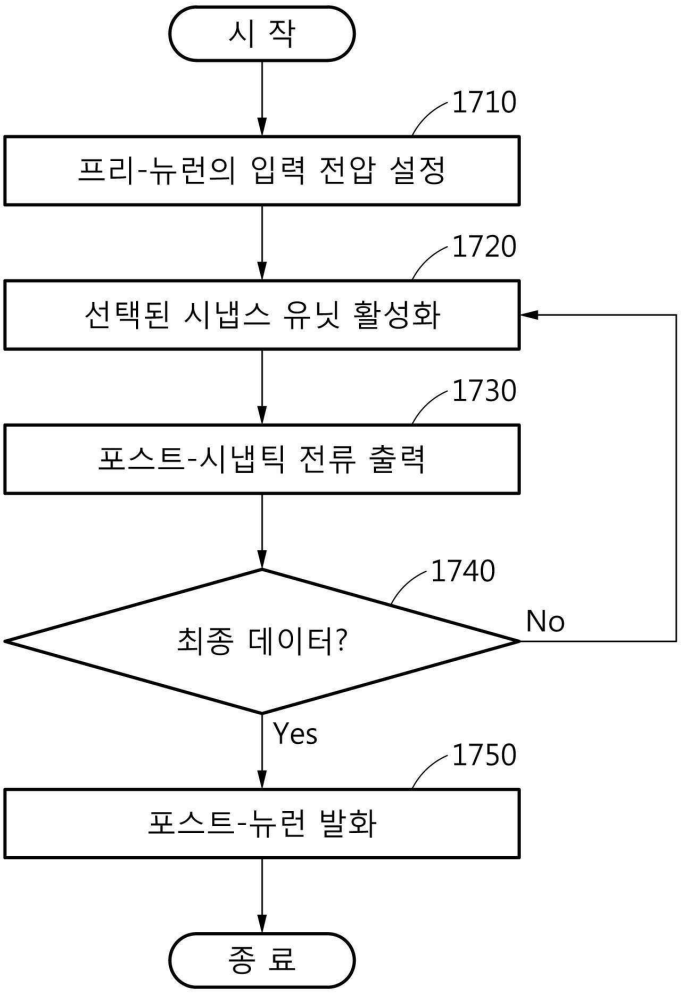
도면16c


1630
I_{PSC} (A)
10^{-3}
10^{-8}
10^{-13}
V_C = 0V
Row
Column
"K" state
V_C = 0V
SET failure
SET succeus
"K" state
Initial state

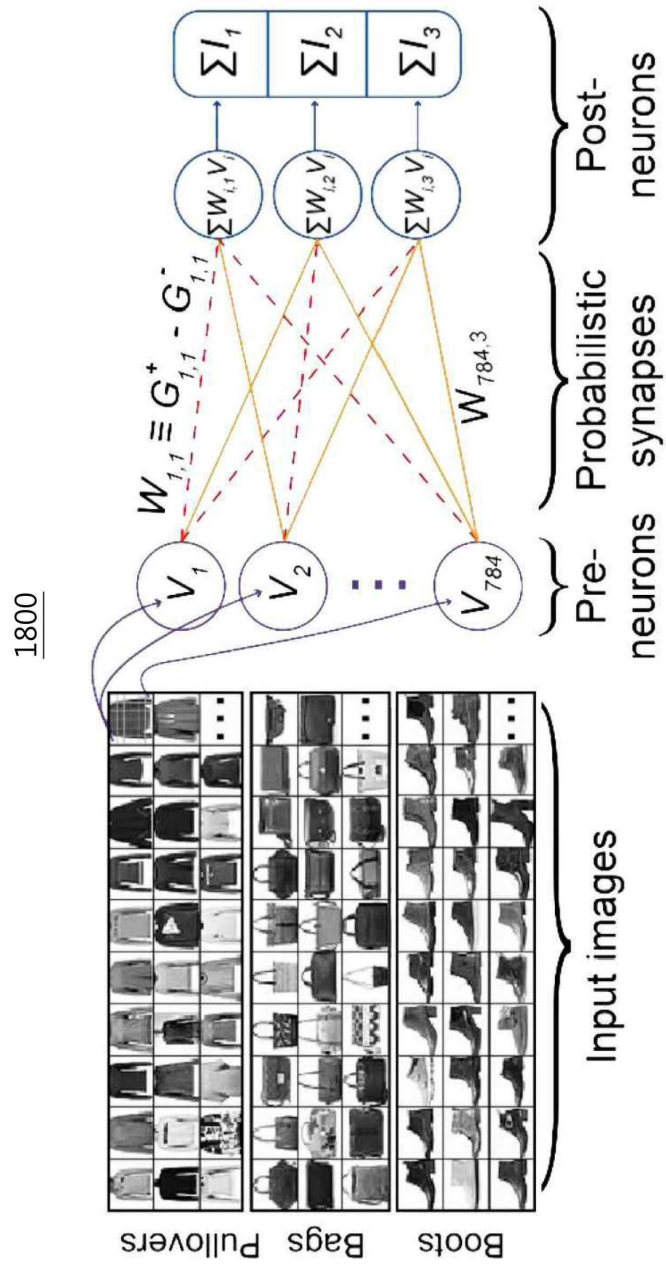
도면16d



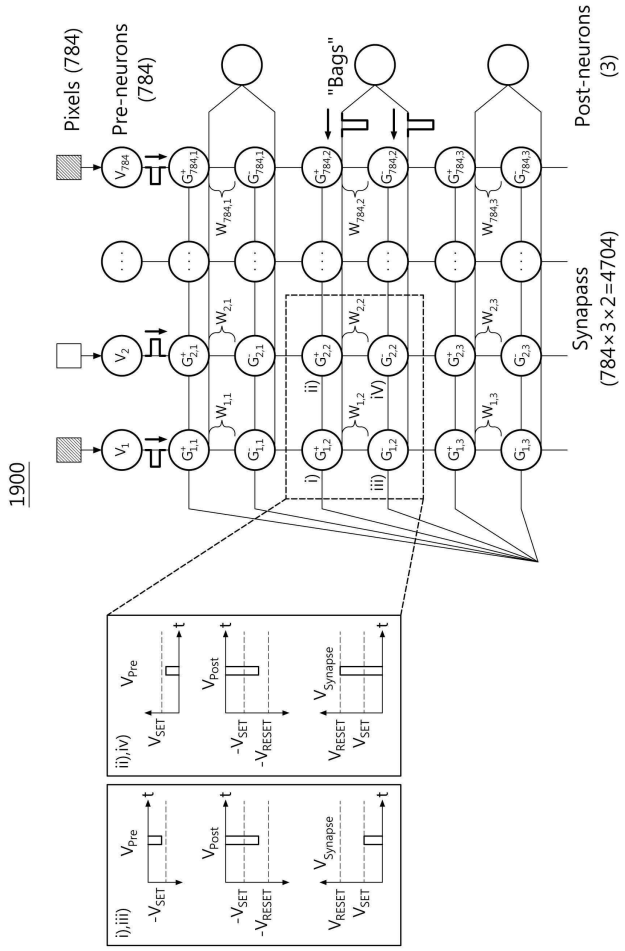
도면17


시 작
1710
프리-뉴런의 입력 전압 설정
1720
선택된 시냅스 유닛 활성화
1730
포스트-시냅틱 전류 출력
1740
최종 데이터?
No
Yes
1750
포스트-뉴런 발화
종 료

도면18

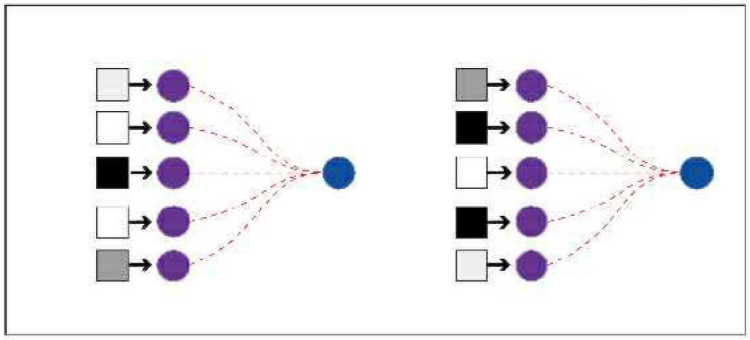

1800
Input images
Pre-neurons
Probabilistic synapses
Post-neurons
Pullovers
Bags
Boots

도면19

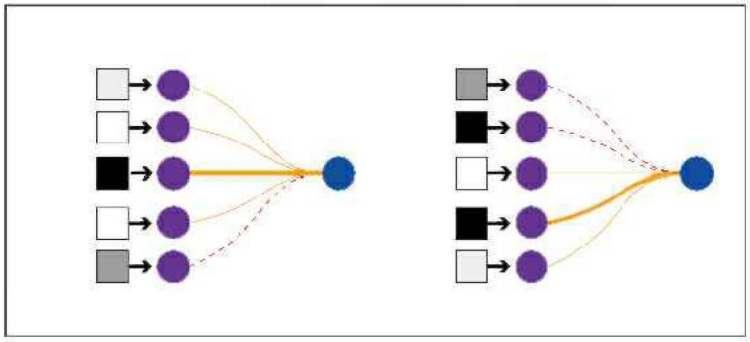

1900
Pixels (784)
Pre-neurons (784)
"Bags"
Post-neurons (3)
Synapass (784×3×2=4704)
i),iii)
ii),iv)
V_Pre
V_Post
V_Synapse
V_SET
-V_SET
-V_RESET
V_RESET
t

도면20

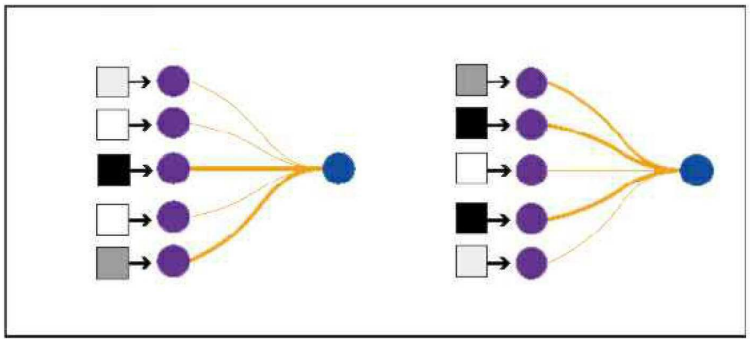
(a)



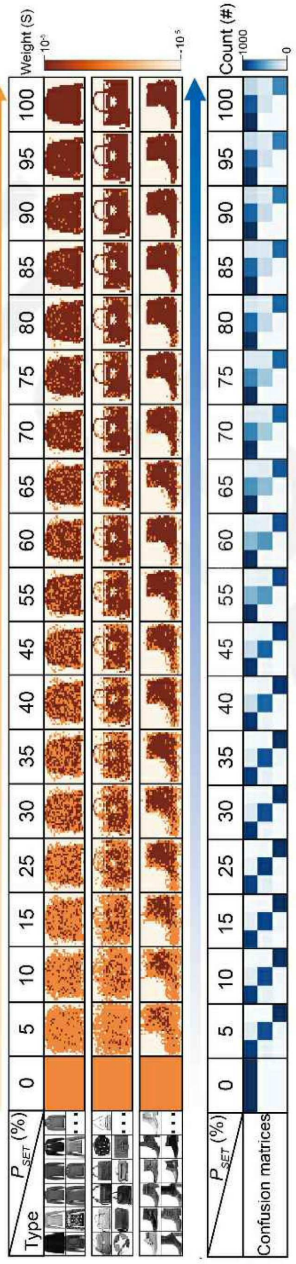
(b)



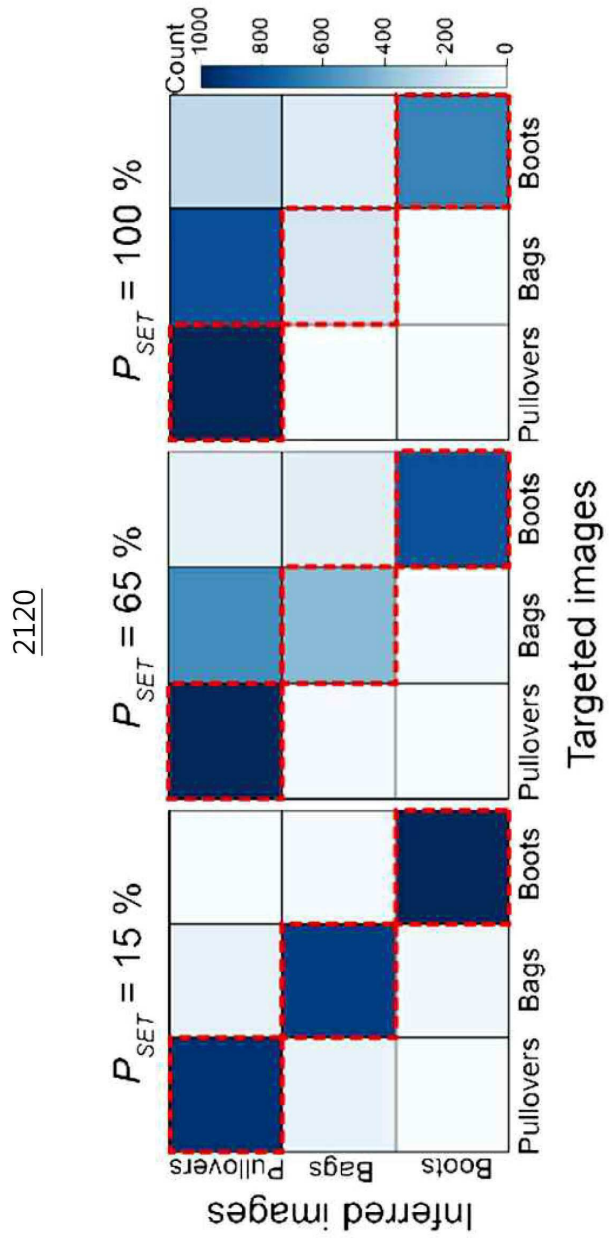
(c)



도면21a

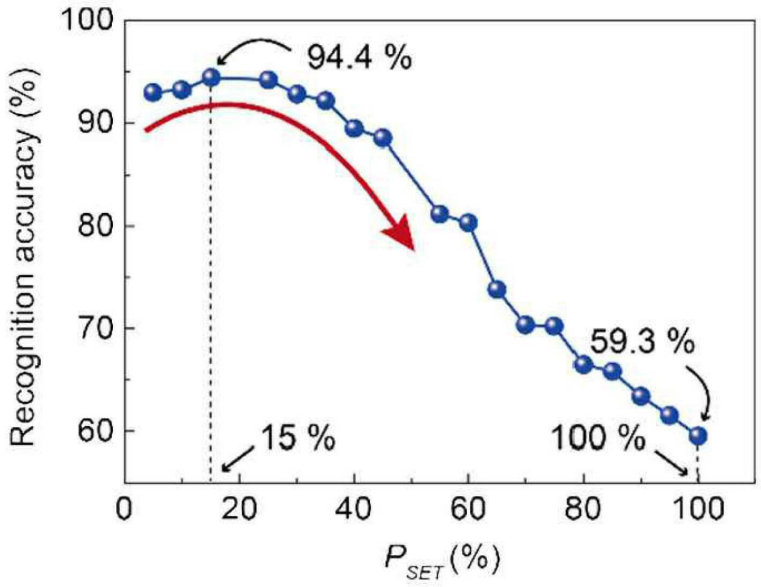

2110
Weight (S)
Count (#)
Type
P_{SET} (%)
Confusion matrices
0
5
10
15
25
30
35
40
45
55
60
65
70
75
80
85
90
95
100

도면21b


2120
Count
1000
800
600
400
200
0
P_{SET} = 15 %
P_{SET} = 65 %
P_{SET} = 100 %
Pullovers
Bags
Boots
Targeted images
Inferred images

도면21c

2130



도면22

2200

