200945593

發明專利說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：P7111534

※ 申請日期：P7.4.30　　※IPC 分類：H01L 29/84(2006.01)

B81B 7/00(2006.01)

一、發明名稱：（中文/英文）

微機電元件與製作方法

Micro-Electro-Mechanical Device and Method for Making Same

二、申 請 人：（共 壹 人）

姓名或名稱：（中文/英文）

原相科技股份有限公司　PixArt Imaging Incorporation

代表人：（中文/英文）

黃森煌

住居所或營業所地址：（中文/英文）

(300)新竹科學工業園區創新一路 5 號 5 樓

5F, No. 5, Innovation Road I, HsinChu Science Park, Hsin-Chu 300, Taiwan

國　籍：（中文/英文）

中華民國　　Republic of China

三、發明人：（共 二 人）

姓　名：（中文/英文）

1. 李昇達　　Sheng Ta Lee

2. 王傳蔚　　Chuan Wei Wang

國　籍：（中文/英文）

1.2. 中華民國　　Republic of China

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為：　年　月　日。

☐ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號　順序註記】

☐ 有主張專利法第二十七條第一項國際優先權：

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號　順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料　【格式請依：寄存機構、日期、號碼　順序註記】

國外生物材料　【格式請依：寄存國家、機構、日期、號碼　順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明有關於一種微機電元件與製作方法，特別是一種與 CMOS 製程相容且不需要使用 SOI (Silicon-On-Insulator) 晶圓的電容式微聲壓傳感器 (Capacitive Micro-electro-mechanical Acoustical Sensor)與製作方法，且根據本發明方法所製作之微聲壓傳感器具有較佳之製程整合度，可製作單晶片化的微聲壓傳感器。

【先前技術】

微機電元件有各種應用，微聲壓傳感器即為其一。微機電技術製作的微聲壓傳感器已不斷在市場上推出，因其體積小、可批次化製造、可陣列化並可與 IC 元件整合等優勢，已成為未來麥克風發展的主流。其中，利用電容式感測的聲壓傳感器又為大宗，主要原因為電容式感測具有高靈敏度、低自生雜訊等優點。

製作微機電元件，為符合設計上對於機械特性的要求，常需要特殊專門開發製作微機械結構的製程。以電容式微聲壓傳感器為例，美國專利第 5,490,220 號案提出一種以兩片晶圓製作微機電麥克風的方法，其缺點之一是必須以接合方式將薄膜電極與背板電極黏合，其製程繁雜度較高。

美國專利第 7,190,038 號案提出一種製作微機械聲壓傳感器的方法，此案以多晶矽為薄膜電極，二氧化矽為犧牲層，P 型摻雜之矽基材為背板電極。以多晶矽作為結構，

機械特性雖佳，但其薄膜應力控制不易，且沉積速度及厚度都受限制。以目前而言，沉積低應力多晶矽作為機械結構，仍非標準 CMOS 製程所能提供。

美國專利第 7,049,051 號案提出一種利用與 CMOS 製程相容技術製作微機電麥克風的方法，其利用 CMOS 製程中沉積的金屬層與介電層作為薄膜電極，再以等向性蝕刻方式將矽基板蝕刻，製作出振動腔及矽背板結構。此方法利用 XeF_2 氣體等向性蝕刻矽基板，對於背板與薄膜電極間的距離難以有效掌握，亦即聲壓傳感器的靈敏度會產生誤差。另外，在薄膜電極機械結構的邊界上也會產生定義誤差的問題。

美國專利第 7,202,101 號案則針對微機電麥克風之薄膜結構開發製作，此案利用金屬層作為薄膜電極的導電結構，利用特殊具絕緣性之高分子材料將之包覆，作為薄膜主體結構。此種氣相沉積的高分子薄膜特性雖佳，但目前並非標準 CMOS 製程中廣泛應用之製程材料。

以上製程中除美國專利第 7,049,051 號案外，皆不能與 CMOS 製程相容，而美國專利第 7,049,051 號案所製出之微機電結構有前述不盡理想之處。因此，本案乃針對以上先前技術的缺點，提出解決之道。

【發明內容】

本發明之第一目的在提供一種製作微機電元件的方法，其中並不需要使用特殊晶圓與特殊製程，可完全與目

前的 CMOS 製程整合。

本發明之第二目的在提供一種微機電元件，此微機電元件例如可製作為電容式微聲壓傳感器。

為達上述之目的，就本發明的其中一個觀點而言，提供了一種微機電元件製作方法，包含：提供一個基板；在該基板上形成介電層；在該介電層中以不同於介電層之材質形成突起部，且該突起部不與該基板上表面相連；沉積包含至少一層金屬層與一層防護層的薄膜結構；蝕刻該基板之背部形成穿孔；以及蝕刻去除該介電層之一部份。

上述方法中，薄膜結構以至少包含下方防護層、金屬層、上方防護層的三層式薄膜結構為較佳。

上述方法中，可進一步在該介電層中形成防護環，且所述突起部和防護環都宜以金屬製成。

此外，所述上方防護層和下方防護層材料以絕緣材料為較佳，可選自以下之一或多者：氮化矽、氮氧化矽、氧化鈦。所述介電層材料可選自以下之一或多者：二氧化矽、摻氟二氧化矽、低介電常數材料、其他氧化物。

此外，就本發明的另一個觀點而言，提供了一種微機電元件，包含：依任意次序沉積之包含至少一層金屬層與一層防護層的薄膜結構；以及連接在該薄膜結構下方之突起部。

薄膜結構以至少包含下方防護層、金屬層、上方防護層的三層式薄膜結構為較佳。

上述微機電元件例如適合應用來製作電容式微聲壓傳

感器。

底下藉由具體實施例詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

【實施方式】

本發明中的圖式均屬示意，主要意在表示製程步驟以及各層之間之上下次序關係，至於形狀、厚度與寬度則並未依照比例繪製。

首先說明本發明的第一實施例。請參閱第 1A 圖，在本實施例中首先提供一個第零層晶圓基板 11，此基板 11 例如可為矽基板，以與 CMOS 製程相容。接著在基板 11 上形成摻雜區 12，必要時亦可以 CMOS 製程製作電晶體元件等（在圖示以外的區域，未示出）。接著，再製作圖示上方的結構，此結構包含介電層 13a、13b，接觸層 14，第一層金屬層 15，和第一層通道層 16。製作此結構有各種方法可以採行，例如，可以先沉積第一層介電層，打開開孔填入接觸層 14，再沉積第一層金屬層 15，定義圖案後，沉積第二層介電層並平坦化，再打開開孔填入第一層通道層 16。亦即，在此方法中，介電層 13a（13b）是由兩層介電層所疊合而成。或者，亦可採取所謂的鑲嵌式製程 (damascene)，先沉積第一層介電層後，打開開孔一次填入第一層金屬層 15 和接觸層 14，再沉積第二層介電層後，打開開孔填入第一層通道層 16。在此方法中，介電層 13a（13b）亦是由兩層介電層所疊合而成。又或者，視整體元

件的其他部分佈局而定，如不需要第一層通道層 16、或第一層通道層 16 的圖案和第一層金屬層 15 相同，則可僅一次沉積介電層，並使用一次的鑲嵌式製程，而完成圖示的結構。

請對照第 1A 圖之剖面圖和第 2 圖之頂視圖，在介電層 13a 中，第一層金屬層 15 和第一層通道層 16 構成向下的突起部 50。突起部 50 的下表面與基板 11 的上表面不相連。突起部 50 的數目可視需要而任意設置，圖示突起部 50 的數目為二僅屬舉例。突起部 50 的作用，容後參照第 1H 圖再作說明。此外，接觸層 14、第一層金屬層 15、和第一層通道層 16 構成防護環 60，將介電層 13a 與 13b 彼此隔離；介電層 13b 的區域可設置其他結構（未示出）。圖示接觸層 14、第一層金屬層 15、和第一層通道層 16 的寬度與厚度之相對關係僅為舉例，實際製作時可以任意變化。

以上所述係以兩層金屬製程為例，其接觸層與通道層例如可使用鎢來製作，金屬層則可使用鋁來製作，介電層可使用氧化物如二氧化矽、摻氟二氧化矽、低介電常數材料等。但當然，使用其他導電與介電材料來製作內連線也是可行的，且金屬層數目當然也可以更多，圖示僅是舉例而已。

請參閱第 1B 圖，接續第 1A 圖製程之後，在上方繼續沉積一層下方防護層 17a，此防護層 17a 例如為氮化矽或氮氧化矽，並在其上沉積第二層金屬層 18，之後再在其上沉積一層上方防護層 17b。上方防護層的材料可以和下方

防護層相同或不同，上下方防護層之作用是保護第二層金屬層 18，此外並需要能在後續蝕刻介電層區域 13a 時抵抗蝕刻，因此，任何在蝕刻介電層區域 13a 時具有高選擇比的導電或絕緣材料都可以使用於防護層之製作，所述之氮化矽或氮氧化矽僅係舉例，其它材料如氧化鈦等亦可。

上下方防護層 17a、17b 和第二層金屬層 18 係作為微機電元件中之薄膜結構 40，例如，當微機電元件為微聲壓傳感器時，此薄膜結構 40 可用來感測聲波，並根據聲波的波動而振動。

薄膜結構沉積完畢後，再於其上沉積一層蝕刻保護層 19a，例如可為一層光阻。如上方防護層 17b 對於後續蝕刻之抵抗力很強，則此層蝕刻保護層 19a 不一定必要。

再請參閱第 1C 圖，接下來在基板背部沉積一層光阻 19b，並定義該光阻的圖案。

再請參閱第 1D 圖，接下來根據光阻 19b 的圖案，從基板背部進行蝕刻至適當的深度，例如可以使用蝕刻時間來控制深度；蝕刻的方式例如可為異向性（anisotropic）反應式離子蝕刻（RIE, reactive ion etch）。

再請參閱第 1E 圖，接下來更換成光阻圖案 19c，接著見第 1F 圖，以光阻 19c 為遮罩進行蝕刻，直至到達介電層區域 13a 為止，此時在基板 11（和摻雜區 12）上形成了自外部接觸介電層區域 13a 的穿孔 20。

接著見第 1G 圖，針對介電層區域 13a 進行蝕刻，以將介電層區域 13a 完全去除。其方式例如可使用氫氟酸蒸

氣蝕刻（HF vapor etch）、或將整體基板浸入酸槽內以緩衝氧化物蝕刻（BOE, buffered oxide etch）方式進行濕式蝕刻。至於蝕刻保護層 19a 和光阻 19c 可在蝕刻完畢後去除，或在蝕刻前去除亦可。

請參閱第 1H 圖，與先前技術相較，除了先前技術不能與 CMOS 製程相容、或薄膜結構難以精確控制外，本發明的優點尚在於，當因為蝕刻 13a 而使薄膜結構 40 懸浮時，容易造成薄膜結構 40 與基板 11 互相沾黏而使元件失效。突起部 50 可大幅縮小薄膜結構 40 與基板 11 的接觸面積，減少表面張力的作用而成功懸浮薄膜結構 40。

以上已針對較佳實施例來說明本發明，唯以上所述者，僅係為使熟悉本技術者易於了解本發明的內容而已，並非用來限定本發明之權利範圍。對於熟悉本技術者，當可在本發明精神內，立即思及各種等效變化。舉例而言，以上所述實施例係以兩層金屬製程為例，但亦可使用更多層金屬的製程，在薄膜結構 40 的下方設置不只一層的金屬層，或在薄膜結構 40 的上方設置不只一層的金屬層。此時突起部 50 的層數當然也可以相應改變，或保持不變。而薄膜結構 40 的結構也不限於三層，可以僅包含一層金屬層和一層防護層（以任意之上下次序），或包含超過三層的金屬層和防護層（以任意之上下次序）。除以上所述外，還其他有各種等效變化的可能。故凡依本發明之概念與精神所為之均等變化或修飾，均應包括於本發明之申請專利範圍內。

【圖式簡單說明】

第 1A-1H 圖示出本發明的一個實施例。

第 2 圖示出第 1A 圖的頂視圖。

【主要元件符號說明】

11 第零層矽基板
12 摻雜區
13a, 13b 介電層
14 通道層
15 金屬層
16 通道層
17a 下方防護層
17b 上方防護層
18 金屬層
19a 蝕刻保護層
19b, 19c 光阻
20 穿孔
40 薄膜結構
50 突起部
60 防護環

五、中文發明摘要：

本發明揭示一種微機電元件與製作方法，所製作出之微機電元件包含：依任意次序沉積之包含至少一層金屬層與一層防護層的薄膜結構；以及連接在該薄膜結構下方之突起部。較佳之薄膜結構為至少包含下方防護層、金屬層、上方防護層的三層式薄膜結構。此微機電元件例如適合應用來製作電容式微聲壓傳感器。

六、英文發明摘要：

十、申請專利範圍：

1. 一種微機電元件製作方法，包含：

提供一個基板；

在該基板上形成介電層；

在該介電層中以不同於介電層之材質形成突起部，且該突起部不與該基板上表面相連；

沉積包含至少一層金屬層與一層防護層的薄膜結構；

蝕刻該基板之背部形成穿孔；以及

蝕刻去除該介電層之一部份。

2. 如申請專利範圍第 1 項所述之微機電元件製作方法，其中該突起部以金屬製成。

3. 如申請專利範圍第 2 項所述之微機電元件製作方法，其中該突起部包含一層金屬層與一層通道層。

4. 如申請專利範圍第 1 項所述之微機電元件製作方法，更包含：在該介電層中形成防護環。

5. 如申請專利範圍第 4 項所述之微機電元件製作方法，其中該防護環以金屬製成。

6. 如申請專利範圍第 5 項所述之微機電元件製作方法，其中該防護環包含一層接觸層、一層金屬層與一層通道層。

7. 如申請專利範圍第 1 項所述之微機電元件製作方法，其中該介電層材料選自以下之一或多者：二氧化矽、摻氟二氧化矽、低介電常數材料、其他氧化物。

8. 如申請專利範圍第 1 項所述之微機電元件製作方法，其中該防護層材料為絕緣材料。

9. 如申請專利範圍第 1 項所述之微機電元件製作方法，其中該防護層材料選自以下之一或多者：氮化矽、氮氧化矽、氧化鈦。

10. 如申請專利範圍第 1 項所述之微機電元件製作方法，其中該蝕刻基板背部之步驟包括：定義第一遮罩圖案；根據該第一圖案蝕刻該基板背部之部分深度；定義第二遮罩圖案；以及根據該第二圖案蝕刻該基板背部。

11. 如申請專利範圍第 10 項所述之微機電元件製作方法，其中對基板背部之蝕刻係使用異向性反應式離子蝕刻。

12. 如申請專利範圍第 1 項所述之微機電元件製作方法，其中該蝕刻去除介電層一部份之步驟係使用氫氟酸蒸氣蝕刻或緩衝氧化物蝕刻。

13. 如申請專利範圍第 1 項所述之微機電元件製作方法，其中該薄膜結構為至少包含下方防護層、金屬層、上方防護層的三層式薄膜結構。

14. 一種微機電元件，包含：

依任意次序沉積之包含至少一層金屬層與一層防護層的薄膜結構；以及

連接在該薄膜結構下方之突起部。

15. 如申請專利範圍第 14 項所述之微機電元件，其中該突起部以金屬製成。

16. 如申請專利範圍第 15 項所述之微機電元件，其中該突起部包含一層金屬層與一層通道層。

17. 如申請專利範圍第 14 項所述之微機電元件，更包含：連接在該薄膜結構下方之防護環。

18. 如申請專利範圍第 17 項所述之微機電元件，其中該防護環以金屬製成。

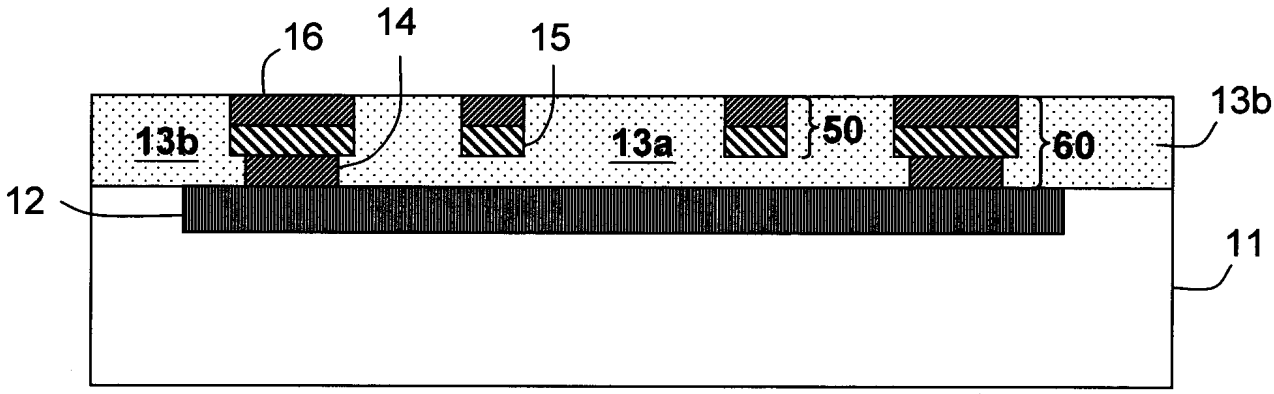
19. 如申請專利範圍第 17 項所述之微機電元件，其中該防護環包含一層接觸層、一層金屬層與一層通道層。

20. 如申請專利範圍第 14 項所述之微機電元件，其中該防護層材料為絕緣材料。

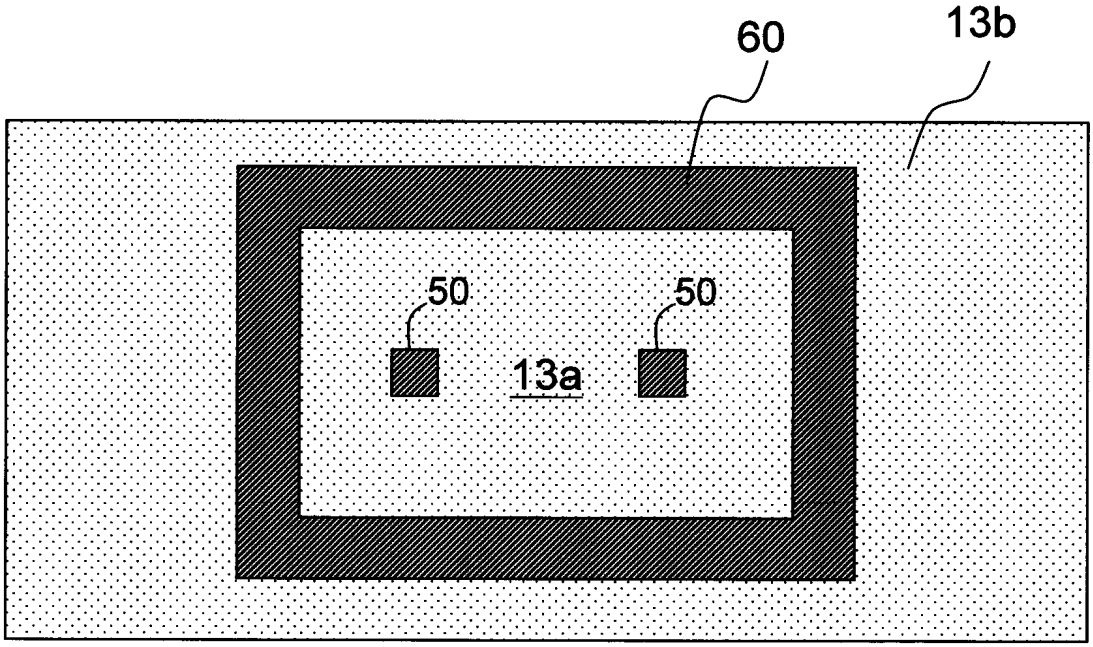
21. 如申請專利範圍第 14 項所述之微機電元件，其中該防護層材料選自以下之一或多者：氮化矽、氮氧化矽、氧化鈦。

22. 如申請專利範圍第 14 項所述之微機電元件，其中該微機電元件係為一微聲壓傳感器。

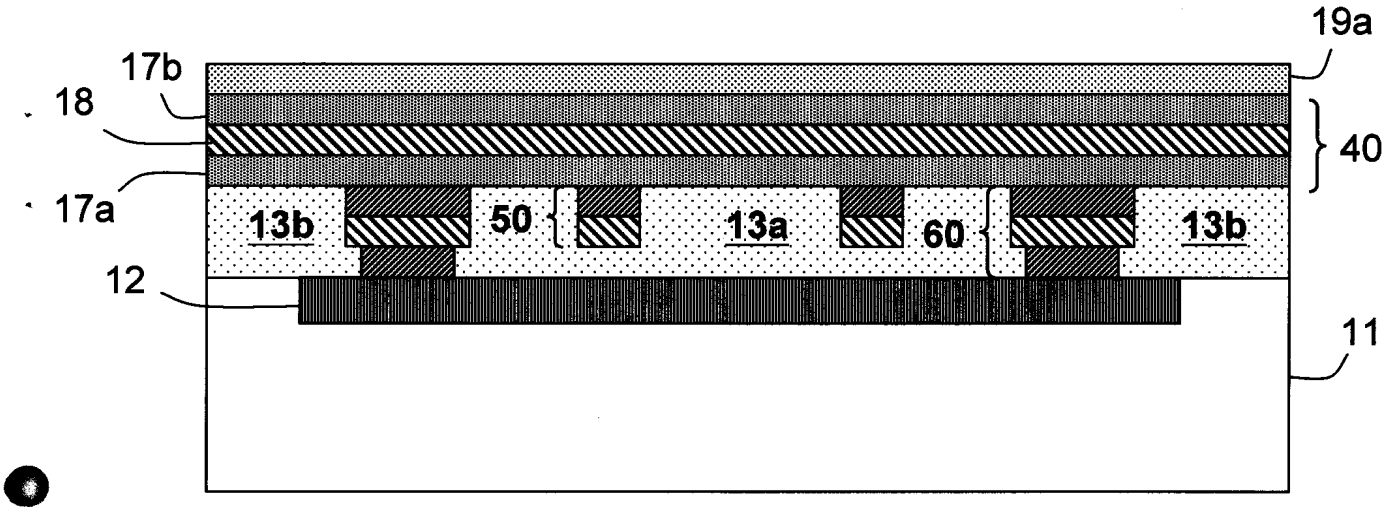
23. 如申請專利範圍第 14 項所述之微機電元件，其中該薄膜結構為至少包含下方防護層、金屬層、上方防護層的三層式薄膜結構。



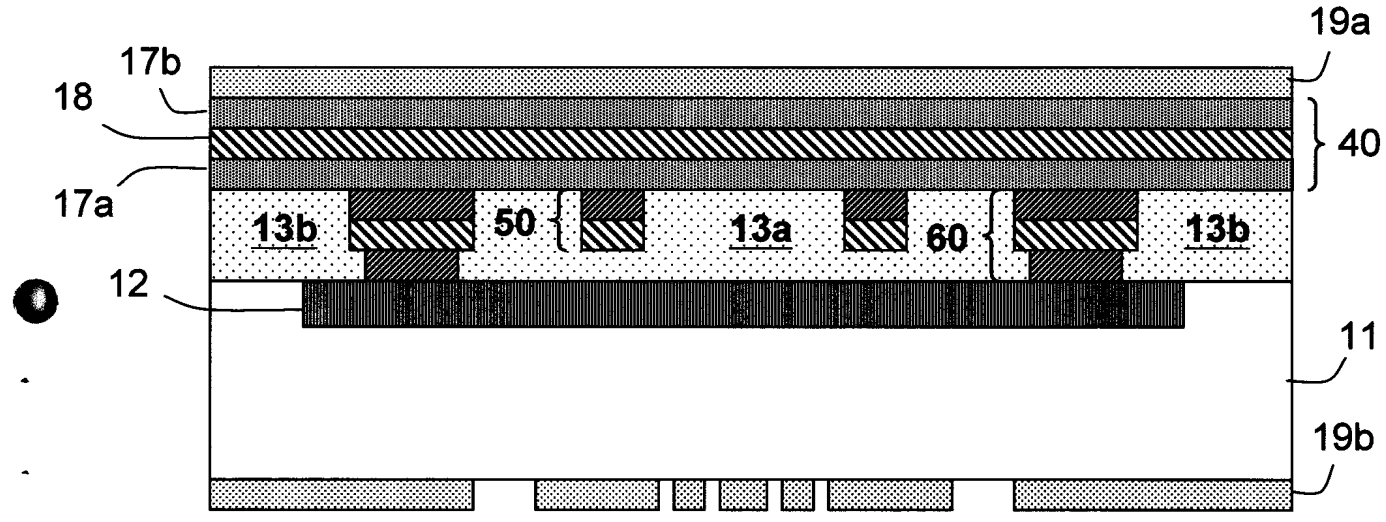
第 1A 圖



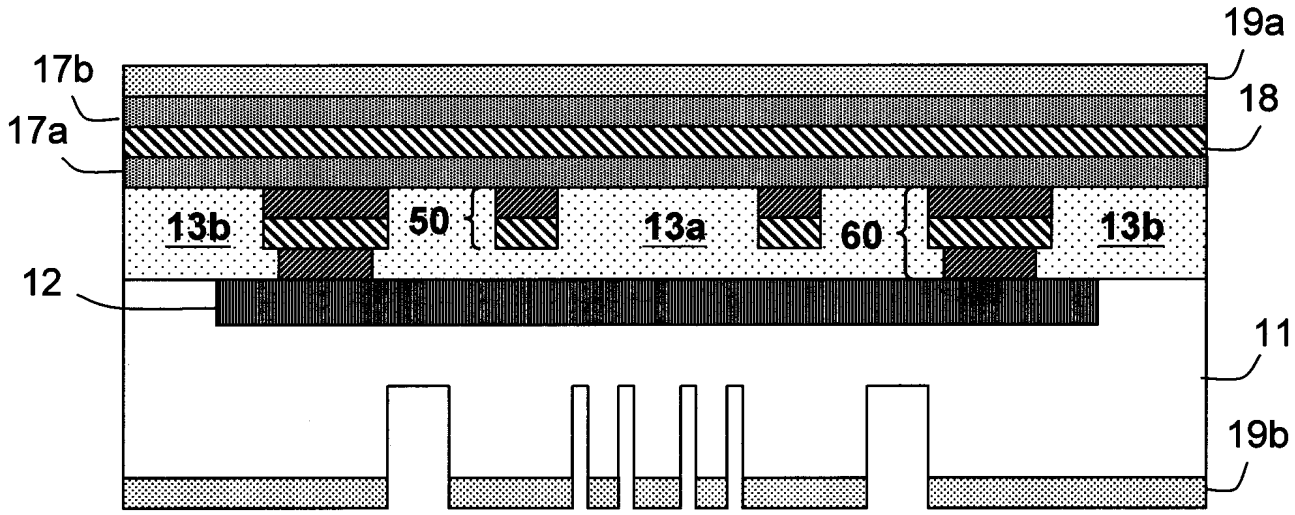
第 2 圖


19a
17b
18
40
17a
13b
50
13a
60
13b
12
11

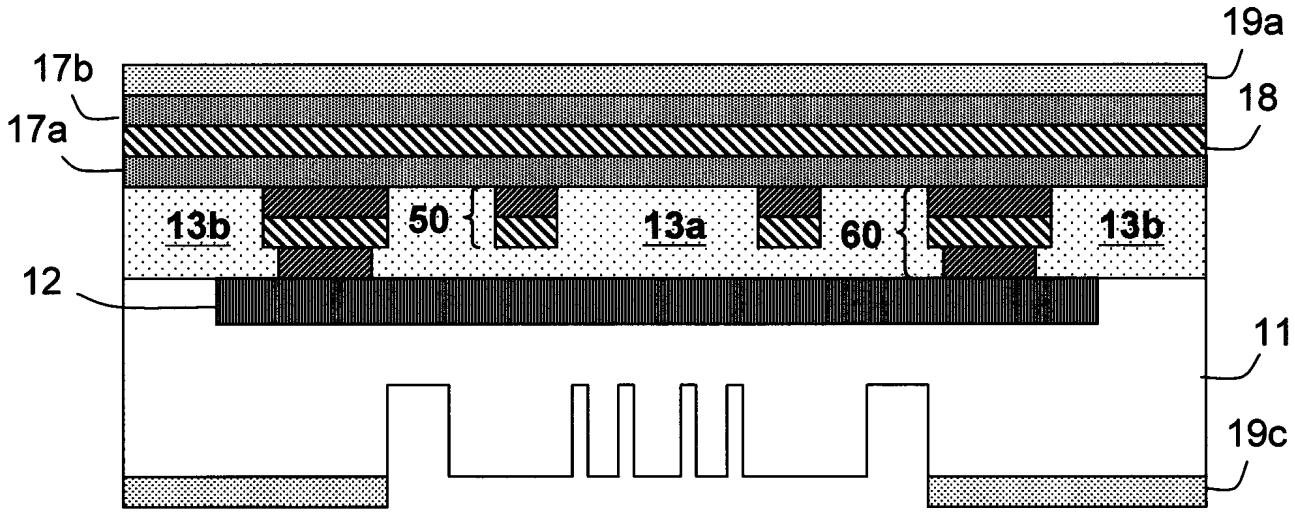
第 1B 圖


19a
17b
18
40
17a
13b
50
13a
60
13b
12
11
19b

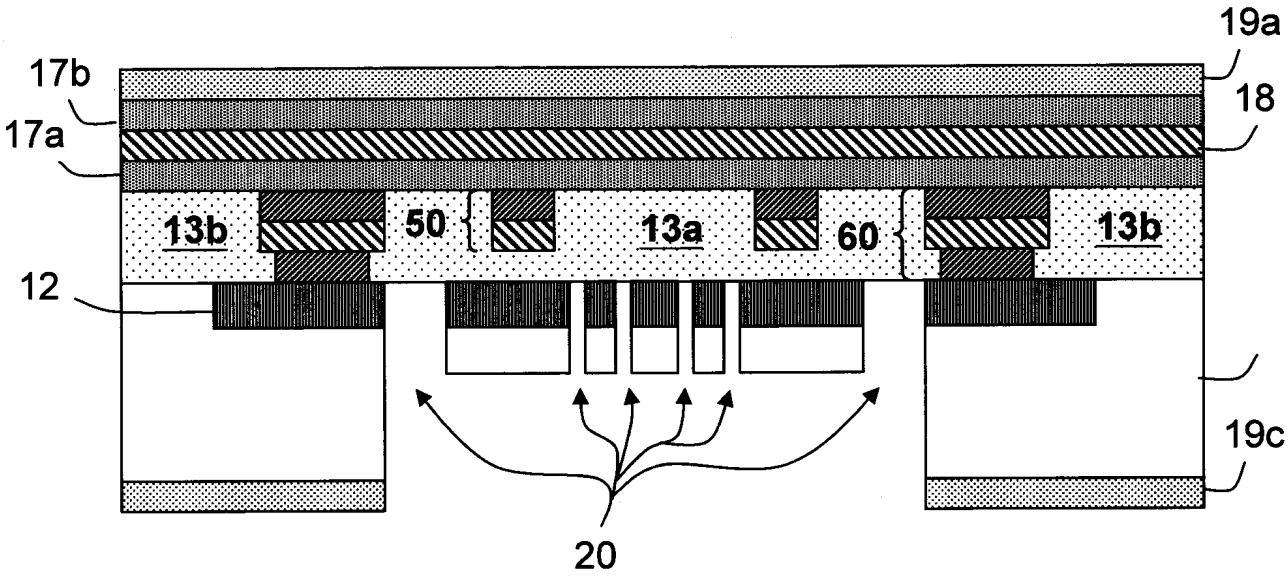
第 1C 圖


19a
17b
18
17a
13b
50
13a
60
13b
12
11
19b

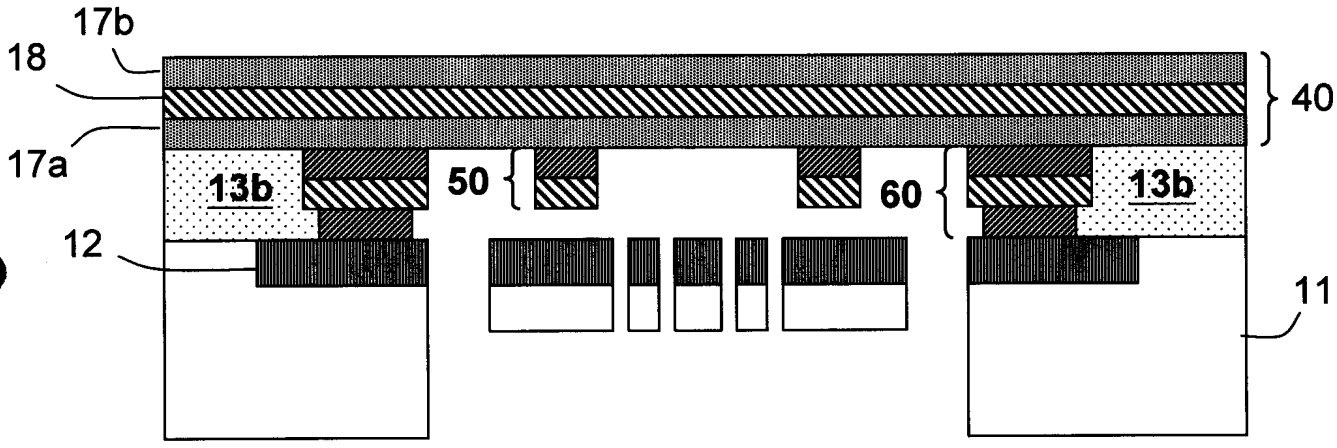
第 1D 圖


19a
17b
18
17a
13b
50
13a
60
13b
12
11
19c

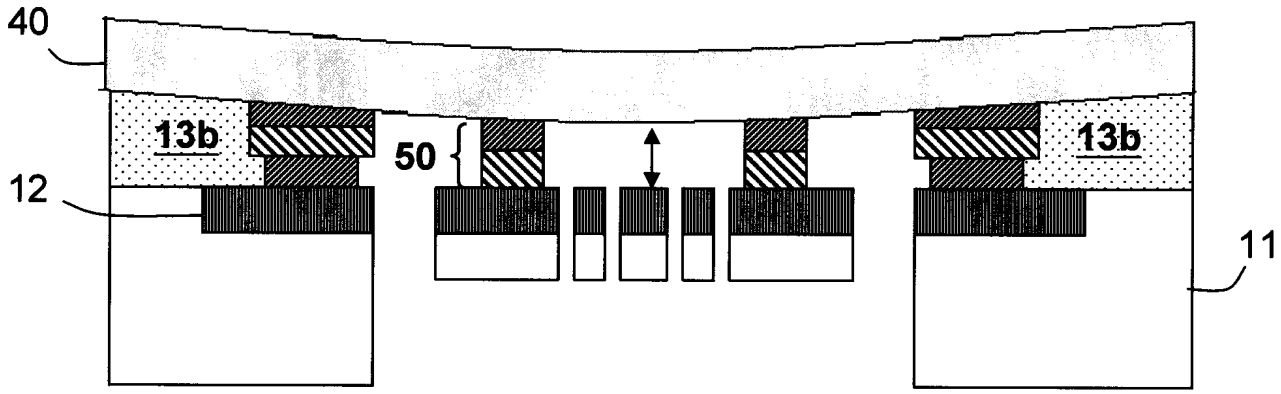
第 1E 圖


19a
17b
18
17a
13b
50
13a
60
13b
12
19c
20

第 1F 圖


17b
18
40
17a
13b
50
60
13b
12
11

第 1G 圖



第 1H 圖

七、指定代表圖：

（一）、本案代表圖為：第 1G 圖

（二）、本案代表圖之元件代表符號簡單說明：

11 第零層矽基板

12 摻雜區

13b 介電層

17a 下方防護層

17b 上方防護層

18 金屬層

40 薄膜結構

50 突起部

60 防護環

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：