【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第４区分
【発行日】平成19年6月14日(2007.6.14)

【公開番号】特開2006-179182(P2006-179182A)
【公開日】平成18年7月6日(2006.7.6)
【年通号数】公開・登録公報2006-026
【出願番号】特願2006-75769(P2006-75769)
【国際特許分類】
Ｇ１１Ｃ　11/413　(2006.01)
【ＦＩ】
Ｇ１１Ｃ　11/34　３３５Ａ

【手続補正書】
【提出日】平成19年4月27日(2007.4.27)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
複数のデータ対線と、
ワード線と、
第１給電ノードと、第２給電ノードと、第１記憶ノードと、第２記憶ノードと、ドレインがそれぞれ前記第１記憶ノード及び前記第２記憶ノードと接続され、ゲートとドレインとが互いに交差結合されたＭＯＳトランジスタとを含む複数のスタティックメモリセルと、
前記複数のスタティックメモリセルの前記第１給電ノードが接続される第１給電線と、
前記複数のスタティックメモリセルの前記第２給電ノードが接続される第２給電線とを有し、
前記スタティックメモリセルの前記第１記憶ノード及び前記第２記憶ノードは、前記ワード線によって制御される転送トランジスタを介して前記複数のデータ対線のいずれかと接続され、
選択状態とされた前記スタティックメモリセルの前記第１記憶ノードと前記第２記憶ノードとの間の電位差は、非選択状態の前記スタティックメモリセルの前記第１記憶ノードと前記第２記憶ノードとの電位差よりも小さい半導体装置。
【請求項２】
請求項１において、
前記スタティックメモリセルの読み出しまたは書き込みのための周辺回路を有し、
前記周辺回路に用いられるＭＯＳトランジスタのしきい値電圧の絶対値は、前記スタティックメモリセルの前記交差結合されたＭＯＳトランジスタのしきい値電圧の絶対値よりも小さい半導体装置。
【請求項３】
請求項１または２において、
前記選択状態とされたスタティックメモリセルに対して書き込みが行われる半導体装置。
【請求項４】
請求項３において、
前記スタティックメモリセルの書き込み時に、当該スタティックメモリセルに接続され

る前記データ対線に印加される最大電圧は、当該スタティックメモリセルが非選択状態において前記第１給電ノード及び前記第２給電ノードに印加される電圧よりも小さい半導体装置。

【請求項５】

請求項３において、

前記スタティックメモリセルの書き込み時に、当該スタティックメモリセルに接続された前記データ対線に印加された電圧が、前記転送トランジスタを介して当該スタティックメモリの前記第１記憶ノード及び前記第２記憶ノードに印加され、前記ワード線により前記転送トランジスタが非導通状態とされた後に、前記データ対線に印加される最大電圧よりも大きい電圧が前記スタティックメモリセルの前記第１給電ノード及び前記第２給電ノードに印加される半導体装置。