

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-29744
(P2016-29744A)

(43) 公開日 平成28年3月3日(2016.3.3)

(51) Int.Cl. F I テーマコード (参考)
 HO 1 L 25/065 (2006.01) HO 1 L 25/08 C
 HO 1 L 25/07 (2006.01)
 HO 1 L 25/18 (2006.01)

審査請求 有 請求項の数 6 O L 外国語出願 (全 19 頁)

(21) 出願番号 特願2015-229468 (P2015-229468) (22) 出願日 平成27年11月25日 (2015.11.25) (62) 分割の表示 特願2013-518554 (P2013-518554) の分割 原出願日 平成23年6月28日 (2011.6.28) (31) 優先権主張番号 12/825,937 (32) 優先日 平成22年6月29日 (2010.6.29) (33) 優先権主張国 米国 (US)	(71) 出願人 507364838 クアルコム、インコーポレイテッド アメリカ合衆国 カリフォルニア 921 21 サン ディエゴ モアハウス ドラ イヴ 5775 (74) 代理人 100108453 弁理士 村山 靖彦 (74) 代理人 100163522 弁理士 黒田 晋平 (72) 発明者 エアンチェン・クリストファー・パン アメリカ合衆国・カリフォルニア・921 21・サン・ディエゴ・モアハウス・ドラ イヴ・5775
--	--

最終頁に続く

(54) 【発明の名称】 積層 IC 用の埋込み型受動デバイスを含む一体型電圧調整器

(57) 【要約】

【課題】本開示は概して、集積回路 (IC) に関する。
 【解決手段】積層集積回路は、第 1 のティア IC と第 2 のティア IC とを含む。第 1 のティア IC の能動面と第 2 のティア IC の能動面は、互いに向かい合う。マイクロバンプなどの相互接続構造が、第 1 のティア IC を第 2 のティア IC に結合する。電圧調整器の能動部分が、第 1 の半導体 IC に組み込まれ、かつこの能動部分は、積層 IC が取り付けられた実装基板に埋め込まれた受動素子 (たとえば、キャパシタまたはインダクタ) に結合される。受動素子は、電圧調整器の能動部分にインダクタンスを加える実装基板内の複数のスルービアであってもよい。電圧調整器の能動部分に加えられるインダクタンスは、実装基板内のスルービアを、実装基板が取り付けられたプリント回路板内のスルービアに結合することによって増大する。

【選択図】 図 6

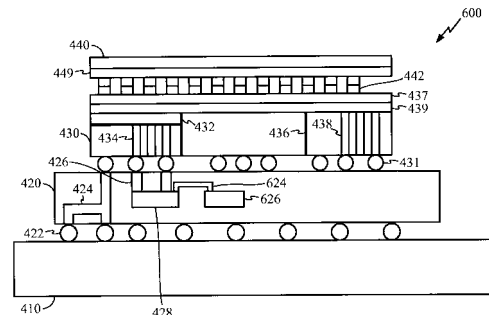


FIG. 6

【特許請求の範囲】**【請求項 1】**

第 1 の能動面および第 1 の相互接続構造を有する第 1 の半導体 IC と、
前記第 1 の半導体 IC 上に積層され、前記第 1 の能動面と向かい合うように配設された第 2 の能動面および前記第 1 の相互接続構造に結合された第 2 の相互接続構造を有し、前記第 2 の能動面が電圧調整器から調整された電圧を受け取る第 2 の半導体 IC と、
前記第 1 の相互接続構造に結合され、前記第 1 の半導体 IC および第 2 の半導体 IC に調整された電圧を供給する、前記第 1 の半導体 IC 内の前記電圧調整器の能動部分とを備える積層集積回路。

【請求項 2】

前記調整された電圧を前記電圧調整器の前記能動部分から前記第 1 の半導体 IC と前記第 2 の半導体 IC の少なくとも一方に分配する再分配層を、前記第 1 の半導体 IC と前記第 2 の半導体 IC の少なくとも一方内にさらに備える、請求項 1 に記載の積層集積回路。

【請求項 3】

前記第 1 の相互接続構造に結合された前記第 1 の半導体 IC 上の実装接続部と、
少なくとも 1 つの受動素子が少なくとも部分的に埋め込まれた実装基板とをさらに備え、前記少なくとも 1 つの受動素子が、前記実装接続部に結合され、前記電圧調整器の前記能動部分と協働して、前記調整された電圧を前記第 1 の半導体 IC と前記第 2 の半導体 IC の少なくとも一方に供給する、請求項 1 に記載の積層集積回路。

【請求項 4】

前記少なくとも 1 つの受動素子は、少なくとも 1 つのインダクタを備える、請求項 3 に記載の積層集積回路。

【請求項 5】

前記実装基板に少なくとも部分的に埋め込まれ、前記電圧調整器の前記能動部分に結合されたデカップリングキャパシタをさらに備える、請求項 4 に記載の積層集積回路。

【請求項 6】

前記少なくとも 1 つのインダクタは、前記実装基板内に第 1 の複数のスルービアを備える、請求項 4 に記載の積層集積回路。

【請求項 7】

前記第 1 の複数のスルービアに結合された前記実装基板上の第 2 の実装接続部と、
前記実装基板に結合されたプリント回路板であって、前記第 1 の複数のスルービアに結合され、前記電圧調整器の前記能動部分にさらなるインダクタンスを加える第 2 の複数のスルービアを有するプリント回路板と、

前記第 2 の複数のスルービアの少なくとも 2 つのスルービアに結合された前記プリント回路板上の少なくとも 1 つの導電経路とをさらに備える、請求項 6 に記載の積層集積回路。

【請求項 8】

前記少なくとも 1 つの導電経路は、ワイヤの非線形セグメントを備える、請求項 7 に記載の積層集積回路。

【請求項 9】

前記少なくとも 1 つの導電経路は、前記プリント回路板の裏面上に取り付けられたインダクタコイルを備える、請求項 7 に記載の積層集積回路。

【請求項 10】

前記少なくとも 1 つの受動素子は、少なくとも 1 つのキャパシタを備える、請求項 3 に記載の積層集積回路。

【請求項 11】

前記少なくとも 1 つのキャパシタは、埋込みダイを備える、請求項 10 に記載の積層集積回路。

【請求項 12】

前記積層集積回路は、音楽プレーヤ、ビデオプレーヤ、娯楽ユニット、ナビゲーション

10

20

30

40

50

デバイス、通信デバイス、携帯情報端末（PDA）、固定位置のデータユニット、およびコンピュータの少なくとも１つに組み込まれる、請求項１に記載の積層集積回路。

【請求項１３】

実装基板に取り付けられた第１のティアＩＣおよび第２のティアＩＣを有する積層ＩＣの電圧調整器を製造する方法であって、

前記電圧調整器の能動部分を前記第１のティアＩＣに組み込むステップと、

前記電圧調整器の前記能動部分を前記実装基板に少なくとも部分的に埋め込まれた少なくとも１つの受動素子に結合するステップと、

前記第１のティアＩＣを前記電圧調整器に結合するステップと、

前記第２のティアＩＣを前記電圧調整器に結合するステップとを含む方法。

10

【請求項１４】

前記第２のティアＩＣを前記電圧調整器に結合するステップは、

前記第１のティアＩＣと前記第２のティアＩＣの少なくとも一方上に再分配層を付着させるステップと、

前記第１のティアＩＣを前記再分配層を通して前記第２のティアＩＣに結合するステップとを含む、請求項１３に記載の方法。

【請求項１５】

前記電圧調整器の前記能動部分を少なくとも１つの受動素子に結合するステップは、前記電圧調整器の前記能動部分を少なくとも１つのインダクタに結合するステップを含む、請求項１４に記載の方法。

20

【請求項１６】

前記電圧調整器の前記能動部分を少なくとも１つのインダクに結合するステップは、前記電圧調整器の前記能動部分を複数のスルーピアに結合するステップを含む、請求項１５に記載の方法。

【請求項１７】

前記電圧調整器の前記能動部分を結合するステップは、前記電圧調整器の前記能動部分を、前記実装基板に少なくとも部分的に埋め込まれた少なくとも１つのキャパシタに結合するステップをさらに含む、請求項１５に記載の方法。

【請求項１８】

前記電圧調整器の前記能動部分を少なくとも１つの受動素子に結合するステップは、前記電圧調整器の前記能動部分を少なくとも１つのキャパシタに結合するステップを含む、請求項１４に記載の方法。

30

【請求項１９】

実装基板と、

前記実装基板に結合された第１の相互接続手段を有する第１のティアＩＣと、

前記第１のティアＩＣに結合された第２の相互接続手段を有する第２のティアＩＣと、

前記第１のティアＩＣに組み込まれた、電圧を調整する手段とを備える積層集積回路。

【請求項２０】

前記実装基板に埋め込まれ、前記電圧調整手段に結合された受動素子をさらに備える、請求項１９に記載の積層集積回路。

40

【請求項２１】

前記受動素子はインダクタを備える、請求項２０に記載の積層集積回路。

【請求項２２】

前記インダクタはスルーピアを備える、請求項２１に記載の積層集積回路。

【請求項２３】

前記受動素子はキャパシタを備える、請求項２０に記載の積層集積回路。

【発明の詳細な説明】

【技術分野】

【０００１】

本開示は概して、集積回路（ＩＣ）に関する。より詳細には、本開示は、集積回路を製

50

造することに関する。

【背景技術】

【0002】

集積回路（IC）はウエハ上に組み立てられる。一般に、このようなウエハは、シリコンなどの半導体材料であり、個々のダイを形成するように単体化される。研究開発の取り組みによって、ICを構成するトランジスタのサイズは、45nmまで縮小しており、間もなく32nmまで縮小することが予定されている。トランジスタのサイズが縮小するにつれて、トランジスタへの供給電圧が低下する。供給電圧は従来、大部分の国で利用可能な壁電圧またはポータブルデバイスにおいて使用されるバッテリー電圧よりも低い。たとえば、ICは1.25Vで動作することができ、一方、壁電圧は120Vまたは240V

10

【0003】

半導体ICは、壁コンセントまたはバッテリーにおける利用可能な電圧を、ICによって使用されるより低い電圧に変換する電圧調整器に結合されることがある。電圧調整器は、ICに一定の電圧が供給されるようにする。トランジスタが目標電圧よりも低い電圧または目標電圧よりも高い電圧を許容する能力は低いので、電圧調整器がICに一定の電圧を供給する機能は重要である。電圧が10分の1低くなっただけで、ICが不安定になることがあり、電圧が10分の1高くなっただけで、ICが損傷を受けることがある。

20

【0004】

組立て時には、ICが実装基板上に取り付けられ、実装基板が約1~2mmの厚さのプリント回路板（PCB）上に取り付けられる。従来、電圧調整器は、電圧調整器が電圧を供給するICを含むPCB上に配置される。電圧調整器をPCB上でICから離して配置すると、電圧調整器と電圧調整器が電圧を供給するICとの間で電圧降下が生じる。たとえば、供給電圧が1.125Vであるとき、電圧がPCB、実装基板、およびICを通過するときに電圧調整器とICとの間で0.100Vの電圧降下が生じることがある。トランジスタサイズが縮小するとともに供給電圧が低下するにつれて、電圧降下は供給電圧のかなりの部分に相当するようになる。さらに、電圧調整器をPCB上に配置するとき、ICが電圧調整器と連絡できるようにIC上でピンが使用される。ICは、電圧供給を増大または低減させるためのスリープまたはウェークアップのようなコマンドを電圧調整器に

30

【0005】

電圧調整器からICへの電圧降下を低減させるとICの性能が向上する。ICの最大周波数は、供給電圧に比例して増減する。たとえば、0.100Vの電圧降下をなくすとICの最大周波数（ f_{max} ）を100MHzだけ増大することができる。この代わりに、電圧降下を低減させ、かつ最大周波数を増大させない場合、ICの電力消費量が少なくなる。電力消費量は、キャパシタンスに供給電圧の2乗を掛けた値に比例する。したがって、供給電圧を低下させると、電力が著しく節約される。

40

【0006】

さらに、従来の電圧調整器は、電圧調整器とICとの間の距離に起因して応答時間が長い。過渡電流が速過ぎて電圧調整器が応答できない場合、デカップリングキャパシタがICに追加の電力を供給する。PCB上に配置された電圧調整器は、マイクロ秒範囲の応答時間を有することが多い。したがって、実装基板上に大形のデカップリングキャパシタが配置され、長い応答時間が補償される。大形のデカップリングキャパシタは大面積を占有する。ある従来の構成は、PCB上の電圧調整器と一緒に数マイクロファラッドのバルクキャパシタと数百ナノファラッドを有する多層チップキャパシタ（MLCC）とを含む。電圧調整器が過渡電流に応答する間、バルクキャパシタとMLCCの組合せがICに電圧を供給する。

50

【0007】

IC上に電圧調整器を配置することが試みられている。しかし、電圧調整器は、同じくICに埋め込まれるインダクタおよびキャパシタのような受動素子を含む。受動デバイスは、広いIC面積を占有し、そのため、製造費が増大する。たとえば、45nm技術を使用して製造されたICは、キャパシタンス密度が10フェムトファラッド/ μm^2 である。この密度では、適切な量のキャパシタンスを得るのに2.5 mm^2 超が占有されることがある。電圧調整器にインダクタンスを加える場合、従来、実装基板上に取り付けられたオンICインダクタまたは個別インダクタが使用されている。従来のオンICインダクタは、IC上の大面積を占有するだけでなく、Q値が低い。

【0008】

Q値は、受動素子に貯蔵されるエネルギーと受動素子内で散逸するエネルギーとの比によって定義され、ICに埋め込まれる受動素子の場合、Q値は低い。従来、受動素子は、ICに嵌め込めるように薄く製造され、Q値を低下させる導電損失または磁気損失を受ける。

10

【0009】

従来の解決策を使用して積層ICの各ICに電圧を供給すると、さらなる問題が生じる。具体的には、積層ICの第2のティアへの電圧の供給は従来、ワイヤボンディングによって実現されている。ワイヤボンディングは、積層ICが組み立てられた後に完了し、ワイヤボンドのサイズに基づいて接続密度が限定されている。別の従来の解決策は、第1のティアIC内のスルーシリコンビアによって第2のティアICに供給電圧を供給することを含む。スルーシリコンビアは、抵抗が大きく、電圧降下を生じさせて、性能をさらに低下させ、かつ場合によっては能動回路として使用されることもあるIC上の空間をさらに占有する。

20

【0010】

したがって、積層ICの回路に極めて近接して位置するその積層ICへの供給電圧が必要である。

【発明の概要】

【課題を解決するための手段】

【0011】

本開示の一態様によれば、積層集積回路は、第1の能動面および第1の相互接続構造を有する第1の半導体ICを含む。この積層集積回路は、第1の半導体IC上に積層され、第1の能動面と向かい合う第2の能動面および第1の相互接続構造に結合された第2の相互接続構造を有する第2の半導体ICも含む。第2の能動面は、電圧調整器から調整された電圧を受け取る。積層集積回路は、第1の相互接続構造に結合され、調整された電圧を第1のICに供給する、第1の半導体IC内の電圧調整器の能動部分をさらに含む。

30

【0012】

本開示の別の態様によれば、実装基板上に取り付けられた第1のティアICおよび第2のティアICを有する積層ICの電圧調整器を製造する方法は、電圧調整器の能動部分を第1のティアICに組み込むことを含む。この方法は、電圧調整器の能動部分を、実装基板に少なくとも部分的に埋め込まれた少なくとも1つの受動素子に結合することを含む。この方法は、第1のティアICの能動回路を電圧調整器に結合することをさらに含む。この方法は、第2のティアICを電圧調整器に結合することを含む。

40

【0013】

本開示のさらなる態様によれば、実装基板上に取り付けられ、第1のティアICと第2のティアICとを有する積層ICに電圧を供給する方法であって、積層ICの第1のティアICに組み込まれた電圧調整器の能動部分に供給電圧を供給することを含む。この方法は、電圧調整器の能動部分から実装基板に少なくとも部分的に埋め込まれた少なくとも1つのインダクタに供給電圧を伝えることを含む。この方法は、供給電圧を少なくとも1つのインダクタから少なくとも1つのキャパシタに伝えることをさらに含む。この方法は、供給電圧を少なくとも1つのキャパシタから第1のティアICに伝えることを含む。この方法は、供給電圧を第1のティアICから第2のティアICに伝えることをさらに含む。

50

【 0 0 1 4 】

本開示のさらに別の態様によれば、積層集積回路は実装基板を含む。積層集積回路は、実装基板に結合された第1の相互接続構造を有する第1のティアICも含む。積層集積回路は、第1のティアICに結合された第2の相互接続構造を有する第2のティアICをさらに含む。積層集積回路は、第1のティアICに組み込まれた電圧を調整する手段もさらに含む。

【 0 0 1 5 】

上記は、以下の詳細な説明をよりよく理解できるように、本開示の特徴および技術的利点をかなり広く概説したものである。本開示の特許請求の範囲の主題を形成する、さらなる特徴および利点が以下で説明される。本開示の同じ目的を実施することができるように他の構造を修正または設計するための基礎として、開示される概念および特定の実施形態を容易に利用できることが、当業者には理解されよう。そのような同等の構成が添付の特許請求の範囲に記載された開示の技術から逸脱しないことも、当業者には理解されよう。本開示の構成と動作方法の両方に関して本開示の特徴と考えられる新規の特徴は、さらなる目的と利点とともに、以下の説明を添付の図に関連して検討することによってよりよく理解されよう。しかし、各図は例示および説明のためのみのものであり、本開示の制限の定義を目的としたものではないことを明確に理解されたい。

【 0 0 1 6 】

本開示のより完全な理解のために、ここで、添付の図面と併せて以下の説明を参照する。

【 図面の簡単な説明 】

【 0 0 1 7 】

【 図 1 】 本開示の実施形態を有利に使用できる例示的なワイヤレス通信システムを示すブロック図である。

【 図 2 】 開示される半導体ICパッケージの回路設計、レイアウト設計、および論理設計に使用される設計用ワークステーションを示すブロック図である。

【 図 3 A 】 プリント回路板上の従来の電圧調整器を示すブロック図である。

【 図 3 B 】 スルーシリコンピアの従来の配置を示す半導体ICの縦断面図である。

【 図 4 】 一実施形態による積層IC内の例示的な一体型電圧調整器を示すブロック図である。

【 図 5 】 一実施形態による、インダクタとしてのスルーピアを有する積層IC内の例示的な一体型電圧調整器を示すブロック図である。

【 図 6 】 一実施形態による、埋込みキャパシタンスを有する積層IC内の例示的な一体型電圧調整器を示すブロック図である。

【 図 7 】 一実施形態による、埋込みキャパシタンスとインダクタとしてのスルーピアとを有する積層IC内の例示的な一体型電圧調整器を示すブロック図である。

【 図 8 A 】 インダクタンスを生じさせることのできる実装基板およびプリント回路板を通過する経路を示すブロック図である。

【 図 8 B 】 インダクタンスを生じさせることのできる実装基板およびプリント回路板を通過する経路を示すブロック図である。

【 図 8 C 】 インダクタンスを生じさせることのできる実装基板およびプリント回路板を通過する経路を示すブロック図である。

【 図 9 】 一実施形態によるスルーシリコンピアの例示的な構成を有する半導体ICの縦断面図である。

【 発明を実施するための形態 】

【 0 0 1 8 】

図 1 は、本開示の実施形態を有利に使用できる例示的なワイヤレス通信システム 100 を示すブロック図である。例示のために、図 1 は、3つの遠隔ユニット 120、130 および 150 ならびに2つの基地局 140 を示している。ワイヤレス通信システムがこれよりも多くの遠隔ユニットおよび基地局を有してもよいことが、認識されよう。遠隔ユニッ

10

20

30

40

50

ト 120、130 および 150 は、以下に開示するように IC デバイス 125A、125B、および 125C を含む。IC を含む任意のデバイスは、本明細書において開示するプロセスによって製造され、基地局、スイッチングデバイスおよびネットワーク機器を含む、開示するフィーチャおよび/または構成要素を有する半導体構成要素も含み得ることが認識されよう。図 1 は、基地局 140 から遠隔ユニット 120、130、および 150 への順方向リンク信号 180、ならびに遠隔ユニット 120、130、および 150 から基地局 140 への逆方向リンク信号 190 を示す。

【0019】

図 1 では、遠隔ユニット 120 は携帯電話として示され、遠隔ユニット 130 は可搬型コンピュータとして示され、遠隔ユニット 150 はワイヤレスローカルループシステム中の固定位置の遠隔ユニットとして示されている。たとえば、遠隔ユニットは、音楽プレーヤ、ビデオプレーヤ、娯楽ユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末 (PDA)、固定位置のデータユニット、およびコンピュータのようなデバイスであってもよい。図 1 は、本開示の教示に従った遠隔ユニットを示すが、本開示は、これらの例示的な図示のユニットには限定されない。本開示は、後述のように半導体構成要素を含む任意のデバイスにおいて好適に用いることができる。

10

【0020】

図 2 は、以下に開示するような半導体部品の回路設計、レイアウト設計、および論理設計のための設計用ワークステーションを示すブロック図である。設計用ワークステーション 200 は、オペレーティングシステムソフトウェア、支援ファイル、および、Cadenence または OrCAD のような設計用ソフトウェアを含むハードディスク 201 を含む。設計用ワークステーション 200 は、回路および半導体 IC を含んでもよい半導体部品 210 の設計を容易にするディスプレイも含む。記憶媒体 204 が、半導体部品 210 を有形化して記憶するために設けられている。半導体部品 210 は、GDSII または GERBER のようなファイルフォーマットで、記憶媒体 204 上に記憶されてもよい。記憶媒体 204 は、CD-ROM、DVD、ハードディスク、フラッシュメモリ、または他の適切なデバイスであってもよい。さらに、設計用ワークステーション 200 は、記憶媒体 204 からの入力を受け入れ、または記憶媒体 204 に出力を書き込むための、駆動装置 203 を含む。

20

【0021】

記憶媒体 204 に記録されるデータは、回路構成、フォトリソグラフィマスクのためのパターンデータ、または電子ビームリソグラフィのような連続書込みツールのためのマスクパターンデータを明示することができる。記憶媒体 204 にデータを供給すると、回路および半導体 IC を設計するためのプロセスの数が少なくなることによって、半導体部品 210 の設計が容易になる。

30

【0022】

図 3 は、プリント回路板上の従来の電圧調整器を示すブロック図である。IC 製品 300 は、実装基板をサポートし、PCB 310 上の実装基板同士の間の実装基板間の接続を実現するプリント回路板 (PCB) 310 を含む。実装基板 320 は、バンプまたはピラーのような実装接続部 322 を通して PCB 310 に結合されており、PCB 310 と IC 330 との間の実装接続部 324 を含む。IC 330 は、バンプまたはピラーのような相互接続構造 332 を通して実装基板 320 に結合されている。IC 330 の上方には第 2 のティア IC 350 が積層している。相互接続構造 352 が、IC 330 内のスルーシリコンビア 334 によって第 2 のティア IC 350 を実装基板 320 に結合している。

40

【0023】

電圧調整器 340 が、実装接続部 342 を介して PCB 310 に結合されている。電圧調整器 340 は従来、PCB 310 上に取り付けられたインダクタおよびキャパシタのような個別受動素子に結合されている。トレース 344 のような低インダクタンスパスは、スルーシリコンビア 324 およびスルーシリコンビア 334 によって電圧を電圧調整器 3

50

40からIC350に供給する。トレース344は、PCB310上の位置を制限されており、それによって、電圧調整器340の位置も制限されている。したがって、電圧調整器340とIC350との間の距離は、PCB310に基づく一定の最小値を有する。

【0024】

電圧調整器とICとの間の電圧降下が顕著であること、ICから電圧調整器までの距離に起因して応答時間が長いこと、PCBサイズが大きくなること、大形のデカップリングキャパシタが使用されること、および電圧調整器との連絡のためにIC上で追加のピンが使用されることを含む上述の理由で、電圧調整器をPCB上で実装基板から離して配置すると、ICに、適切に動作するのに十分な電圧が供給されないことがある。供給電圧が許容レベルよりも低い電圧に低下した場合、ICは誤った結果を出力するかまたは作用が不完全になることがある。

10

【0025】

図3Bは、スルーシリコンビアの従来の配置を示す半導体ICの縦断面図である。スルーシリコンビア334は、IC330の両側間の連絡を可能にする。一実施形態では、スルーシリコンビア334は、IC330上に積層された第2のIC350に電圧を供給する。この実施形態では、第2のIC350に電圧および大電流を供給するためにスルーシリコンビア334のサイズが大きくなるので、スルーシリコンビア334同士が互いに間隔を置いて配置される。スルーシリコンビア334のサイズおよび位置を理由として、IC330上のスルーシリコンビア334の周りにデジタル回路を構成するのは困難である。

20

【0026】

電圧調整器と第2のティアICとの間の距離に起因して、PCB上に取り付けられた電圧調整器から積層ICの第2のティアICに電圧を供給するのは困難である。第1のティア内に配置され、従来、第2のティアICをPCBに結合するのに使用されているスルーシリコンビアは、抵抗が大きい。したがって、供給電圧は、第1のティアICの高抵抗スルーシリコンビアを通過した後品質が低下する。さらに、第1のティアICを通して第2のティアICに電圧を供給するビアの数によって、実装基板上への第1のティアICの取付けに関して問題が生じる。たとえば、第1のティアICが実装基板に溶接される組立て時に、第2のティアICに電圧を供給するビアの数が多いので組立てスルーブットが低下し、歩留まりが低下する。

30

【0027】

さらに、供給電圧をPCB上の電圧調整器から積層ICの各ICに伝える場合、電圧調整器と積層ICの各ICとの間の電圧降下が顕著になり、積層ICの各ICから電圧調整器までの距離に起因して応答時間が長くなり、PCBサイズが大きくなり、大形のデカップリングキャパシタが使用され、かつ電圧調整器との連絡のために積層ICの各IC上で追加のピンが使用されるので、供給電圧が低下する。その結果、電圧調整器をPCB上で実装基板から離して配置すると、積層ICの各ICに、適切に動作するのに十分な電圧が供給されないことがある。

【0028】

一実施形態によれば、電圧調整器の能動部分がICに組み込まれる。電圧調整器の能動部分は、たとえば、トランジスタおよびドライバを含む。一体型電圧調整器の能動部分を第1のティアIC内に配置すると、第1のティアICと実装基板との間の実装接続部の数が少なくなる。一体型電圧調整器はまた、第1のティアICおよび第2のティアICのより近くに位置しており、それによって、過渡電流に対する応答時間が短くなり、電圧調整器の出力をフィルタリングするためのデカップリングキャパシタが小形化される。第2のティアICの能動側面に対向する第1のティアICの能動側面を有する積層IC構成では、電圧調整器の能動部分が、第1のティアIC上と第2のティアIC上の両方で回路に極めて近接している。さらに、受動素子は、電圧調整器によって占有される第1のティアIC上の面積を小さくするように実装基板に埋め込まれてもよい。

40

【0029】

50

別の実施形態では、受動素子がPCBに埋め込まれる。受動素子を埋め込むと、電圧調整器からICまでの経路として短く低インダクタンスの経路が維持される。さらに、電圧調整器の制御ループ帯域幅は、スイッチング周波数を高くし、電圧調整器とICとの間のフィードバック経路を短くすることによって大きくなる。受動素子を埋め込むと、IC自体からの電圧調整器の個別受動素子が少なくなるかまたはなくなることによってICサイズも小さくなる。

【0030】

図4は、一実施形態による積層IC内の例示的な一体型電圧調整器を示すブロック図である。実装されたIC400は、第1のティアIC430と第2のティアIC440とを有する積層ICを含む。第1のティアIC430の能動面439は、第2のティアIC440の能動面449に対向している。第1のティアIC430は、マイクロポンプなどの相互接続構造442を通して第2のティアIC440に結合されている。第1のティアIC430は、電圧調整器432の能動部分と入出力領域436とを含む。電圧調整器432の能動部分および入出力領域436は、スルーシリコンビア434、438を含む。スルーシリコンビア438は、第2のティアIC440と実装基板420との間の連絡を可能にする。ある場合には、第2のティアIC440は、第1のティアIC430と協働するメモリデバイスである。この場合、存在するスルーシリコンビア438の数は少なくなる。一実施形態によれば、電圧調整器432の能動部分および入出力領域436の外側に位置する第1のティアIC内のスルーシリコンビアの数が少なくされるかまたは零にされる。

10

20

【0031】

第1のティアIC430は実装基板420に結合されている。インダクタのような、電圧調整器432の能動部分用の受動素子は、実装基板420に埋め込まれている。実装基板420の埋込みインダクタンス428は、電気経路426によって実装接続部431に結合されている。したがって、埋込みインダクタンス428は、電気経路426、実装接続部431、およびスルーシリコンビア434を通して電圧調整器432の能動部分に結合されている。過渡電流が、電圧調整器432の能動部分の、電圧を供給する能力を上回っている場合に、瞬間電圧を供給するように、デカップリングキャパシタ(図示せず)を同様に実装基板420に埋め込んでよい。

【0032】

プリント回路板(PCB)410内の相互接続部(図示せず)を通して電圧調整器432の能動部分に供給電圧が供給される。PCB410は、実装接続部422を通して実装基板420に結合されている。実装基板420内の電気経路424が実装接続部422を実装接続部431に結合している。したがって、供給電圧は、PCB410、実装接続部422、電気経路424、実装接続部431、およびスルーシリコンビア434を通過せられる。電気経路424、426は、実装基板420内に導電経路を形成するビア、スルービア、および/または相互接続部を含んでもよい。

30

【0033】

電圧調整器(受動素子を含む)は、第1のティアIC430上の回路(図示せず)および第2のティアIC440上の回路(図示せず)に極めて近接している。その結果、回路と電圧調整器との間の電圧降下が低減される。たとえば、電圧降下を数十ミリボルト程度に抑えることができる。一実施形態によれば、第2のティアIC440は、相互接続構造442によって電圧調整器432の能動部分に結合される。さらに、第2のティアIC440を電圧調整器に結合するように再分配層437を第1のティアIC430上に付着させてもよい。代替として、再分配層437は、電圧調整器を第1のティアIC430に結合するように第2のティアIC440上に位置してもよい。再分配層437は、また第1のティアIC430上の回路に供給電圧を分配してもよい。一実施形態によれば、再分配層437は、アルミニウムのような厚い導電層である。

40

【0034】

マイクロポンプを使用して、第1のティアICに組み込まれた電圧調整器から積層IC

50

の第2のティアICに電圧を供給すると、密度が高く抵抗が小さい経路が構成され、第2のティアIC用の供給電圧の品質および安定性が向上する。

【0035】

別の実施形態では、電圧調整器の能動部分へのインダクタンスが、実装基板内のスルービアおよび場合によってはPCB内のスルービアによって加えられる。図5は、一実施形態による、インダクタとしてのスルービアを有する積層IC内の例示的な一体型電圧調整器を示すブロック図である。実装基板420内の電気経路522は、電圧調整器432の能動部分にインダクタンスを加える。電気経路522は、たとえば、一对のスルービアを含んでもよい。インダクタンスは、電気経路522の長さに比例する。電気経路522は、実装基板420内の相互接続部を介して、あるいはPCB410に対向する実装基板420の側の導電層を介して結合してもよい。さらなるインダクタンスが必要である場合、PCB410内の電気経路512によって追加の長さが加えられてもよい。電気経路512は、最終的にPCB410の底部導電層514を通過する。実装接続部422は電気経路522を電気経路512に結合している。電圧調整器432の能動部分に加えられるインダクタンスは、電気経路522および電気経路512の累積長さに比例する。

10

【0036】

一実施形態によれば、インダクタンスは、実装基板420の外側に位置してもよい。たとえば、ワイヤボンダ(図示せず)が、インダクタンスを加えるように第1のティアIC430から実装基板420に結合してもよい。さらに別の実施形態(図示せず)では、インダクタンスが、電気経路522および512/514だけではなくワイヤボンダからも得られる。

20

【0037】

電圧調整器の能動部分にインダクタンスを加えるだけでなく、電圧調整器の能動部分に埋込みキャパシタンスを加えてもよい。図6は、一実施形態による、埋込みキャパシタンスを有する積層IC内の例示的な一体型電圧調整器を示すブロック図である。電圧調整器432の能動部分に結合された受動素子は、たとえば、埋込みIC基板(EDS)技術を使用して、埋込みインダクタンス428および埋込みキャパシタンス626のように実装基板420に埋め込まれてもよい。

【0038】

電気経路426は、埋込みインダクタンス428を実装接続部431に結合している。さらに、電気経路624は、埋込みキャパシタンス626を埋込みインダクタンス428に結合している。すなわち、埋込みキャパシタンス626は、電気経路624、電気経路426、実装接続部431、およびスルーシリコンビア434を通して電圧調整器432の能動部分に結合されている。

30

【0039】

代替として、電圧調整器の能動部分へのインダクタンスは、実装基板内のスルービアによって加えられてもよい。図7は、一実施形態による、埋込みキャパシタンスとインダクタとしてのスルービアとを有する積層IC内の例示的な一体型電圧調整器を示すブロック図である。実装基板420内の電気経路720は、電圧調整器432の能動部分にインダクタンスを加える。電気経路720は、たとえばスルービアを含んでもよい。インダクタンスは、電気経路720の長さに比例する。電気経路720は、実装基板420内の相互接続部を通過して、あるいはPCB410に対向する実装基板420の側の導電層を通過して結合してもよい。さらなるインダクタンスが必要である場合、PCB410内の電気経路712によって追加の長さが加えられてもよい。電気経路712は、最終的にPCB410の底部導電層714を通過する。実装接続部422は電気経路720を電気経路712に結合している。すなわち、電圧調整器432の能動部分に加えられるインダクタンスは、電気経路720および電気経路712の累積長さに比例する。

40

【0040】

埋込みキャパシタンス626は、たとえば埋込みダイ基板(EDS)技術を使用して実装基板420に埋め込まれる。電気経路624は、埋込みキャパシタンス626を埋込み

50

インダクタンス 720 に結合している。すなわち、埋込みキャパシタンス 626 は、電気経路 624、埋込みインダクタンス 720、実装接続部 431、およびスルーシリコンビア 434 を通して電圧調整器 432 の能動部分に結合されている。

【0041】

次に、スルービアが電圧調整器用のインダクタンスを生じさせる埋込み受動素子について詳しく説明する。図 8A ~ 図 8C は、実装基板と、インダクタンスを生じさせることのできる PCB とを通過する経路を示すブロック図である。

【0042】

図 8A は、一実施形態による実装基板および PCB を通過する経路 800 を示すブロック図である。実装基板の上部導電層 802 および底部導電層 810 が図示されている。実装基板の内側層 804、806 も図示されている。一連のビア 805 が上部導電層 802 と底部導電層 810 を結合している。実装接続部 812 は、ボールグリッドアレイのバンブまたはピラーであってもよく、底部導電層 810 を PCB の上部導電層 820 に結合している。スルービア 822a が上部導電層 820 を底部導電層 830 に結合している。底部導電層 830 は、PCB 内の別のスルービア 822b に結合される相互接続部であってもよい。経路 800 内のインダクタンスの量は経路 800 の長さに比例する。

【0043】

図 8B は、経路 800 よりも長い経路 840 を示すブロック図である。底部導電層 842 が、スルービア 822a を PCB の別のスルービア 822b に結合している。底部導電層 842 は、経路 840 のインダクタンスを増大させる、たとえばコイルにおける追加の長さを含む。

【0044】

図 8C は、経路 840 よりも長い経路 850 を示すブロック図である。PCB の裏面に取り付けられたインダクタコイル 852 が、スルービア 822a を PCB の別のスルービア 822b に結合している。この場合、巻きワイヤ 854 が別のインダクタコイル 852 を覆って経路 850 の長さにわたって延びている。

【0045】

受動素子が実装基板に埋め込まれた電圧調整器は、電圧調整器から IC までの経路として短く低インダクタンスの経路を維持する。さらに、埋込み受動素子は、受動素子によって占有される実装基板上面の面積を小さくする。

【0046】

電圧調整器の能動部分を積層 IC の第 1 のティア IC 内に配置することの 1 つの利点は、第 1 のティア IC 内に作られるスルーシリコンビアの数が少なくなることである。電圧調整器の能動部分は、第 1 のティア IC に組み込まれると、第 1 のティア IC と第 2 のティア IC との間の相互接続構造を通して第 2 のティア IC に電圧を供給する。したがって、第 2 のティア IC に電圧を供給するのに使用される第 1 のティア IC 内のスルーシリコンビアの数が少なくなる。すなわち、第 1 のティア IC 上の電圧調整器から電力が供給されるので、第 2 のティア IC を PCB 上の電源に結合する第 1 のティア IC 内のスルーシリコンビアの数が少なくなるかまたは零になる。積層 IC の第 1 のティア IC 内のスルーシリコンビアの例示的な一構成について図 9 を参照して説明する。

【0047】

図 9 は、一実施形態によるスルーシリコンビアの例示的な構成を有する半導体 IC の縦断面図である。半導体 IC 920 は、電圧調整器 922 の能動部分と入出力領域 926 とを含む。半導体 IC 920 は、たとえば積層 IC の第 1 のティア IC であってもよい。入出力領域 926 は、スルーシリコンビア 928 を含んでもよい。スルーシリコンビア 928 は、半導体 IC 920 の下方の実装基板（図示せず）から半導体 IC 920 の上方に積層された IC（図示せず）上の回路による入出力のための連絡を可能にする。電圧調整器 922 の能動部分内のスルーシリコンビア 924 は、電圧調整器 922 の能動部分を半導体 IC 920 の下方の実装基板（図示せず）に埋め込まれた受動素子に結合している。

【0048】

10

20

30

40

50

スルーシリコンビア 924、928 は、半導体 IC 920 の各部に分離されてもよい。この結果、半導体 IC 920 のサイズを小さくすることができる。たとえば、半導体 IC 920 上の回路は、スルーシリコンビア 924、928 からの干渉を避けるように構成される。すなわち、半導体 IC 920 内のスルーシリコンビア 924、928 が存在する場所には、回路は組み立てられない。スルーシリコンビア 924、928 を半導体 IC 920 の各領域に分離すると、半導体 IC 920 上の回路の設計の複雑さが軽減され、回路の密度を高めることができる。一実施形態（図示せず）では、入出力ビア 928 は、図 9 に示されている領域 926 ではなく IC 920 の周辺に設けられる。

【0049】

「スルーシリコンビア」という用語はシリコンという言葉を含むが、スルーシリコンビアは、必ずしもシリコンで構成されないことに留意されたい。むしろ、材料は、任意のデバイス基板の材料であってよい。

【0050】

本開示およびその利点について詳しく説明したが、添付の特許請求の範囲によって規定される本開示の技術から逸脱することなく、本明細書において様々な変更、代用および改変を施せることを理解されたい。さらに、本出願の範囲は、本明細書において説明したプロセス、機械、製造、物質組成、手段、方法、およびステップの特定の実施形態に限定されるものではない。当業者には本開示から容易に理解されるように、本明細書で説明した対応する実施形態と実質的に同じ機能を実行する、または実質的に同じ結果を実現する、現存するまたは今後開発されるプロセス、機械、製造、物質組成、手段、方法、またはステップを、本開示に従って利用してもよい。したがって、添付の特許請求の範囲は、そのようなプロセス、機械、製造、物質組成、手段、方法、またはステップを範囲内に含むものである。

【符号の説明】

【0051】

- 100 ワイヤレス通信システム
- 120、130、150 遠隔ユニット
- 125A、125B、125C IC デバイス
- 140 基地局
- 180 順方向リンク信号
- 190 逆方向リンク信号
- 200 設計用ワークステーション
- 201 ハードディスク
- 203 駆動装置
- 204 記憶媒体
- 210 半導体部品
- 300 IC 製品
- 310 プリント回路板
- 320 実装基板
- 322 実装接続部
- 324 スルーシリコンビア
- 330 IC
- 332 相互接続構造
- 334 スルーシリコンビア
- 340 電圧調整器
- 350 第2のティア IC
- 352 相互接続構造
- 400 実装された IC
- 410 プリント回路板 (PCB)
- 420 実装基板

4 2 2	実装接続部	
4 2 4	電気経路	
4 2 6	電気経路	
4 2 8	埋込みインダクタンス	
4 3 0	第 1 のティア I C	
4 3 1	実装接続部	
4 3 2	電圧調整器	
4 3 4	スルーシリコンビア	
4 3 6	入出力領域	
4 3 7	再分配層	10
4 3 8	スルーシリコンビア	
4 3 9	能動面	
4 4 0	第 2 のティア I C	
4 4 2	相互接続構造	
4 4 9	能動面	
5 1 2	電気経路	
5 1 4	底部導電層	
5 2 2	電気経路	
6 2 4	電気経路	
6 2 6	埋込みキャパシタンス	20
7 1 2	電気経路	
7 1 4	底部導電層	
7 2 0	電気経路	
8 0 0	経路	
8 0 2	上部導電層	
8 0 5	ビア	
8 1 0	底部導電層	
8 1 2	実装接続部	
8 2 0	上部導電層	
8 2 2 a	スルービア	30
8 2 2 b	スルービア	
8 3 0	底部導電層	
8 4 0	経路	
8 4 2	底部導電層	
8 5 0	経路	
8 5 2	インダクタコイル	
8 5 4	巻きワイヤ	
9 2 0	半導体 I C	
9 2 2	電圧調整器	
9 2 4	スルーシリコンビア	40
9 2 6	入出力領域	
9 2 8	スルーシリコンビア	

【 図 1 】

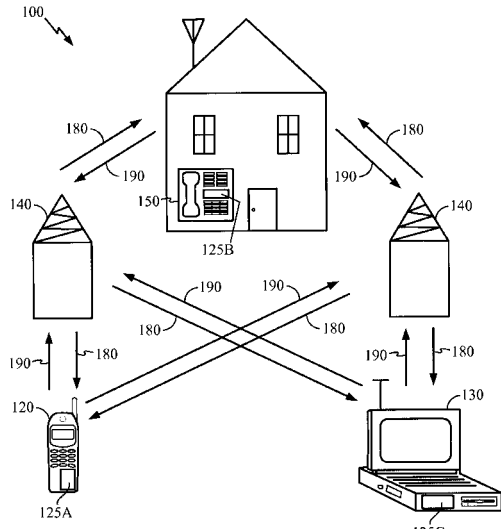


FIG. 1

【 図 2 】

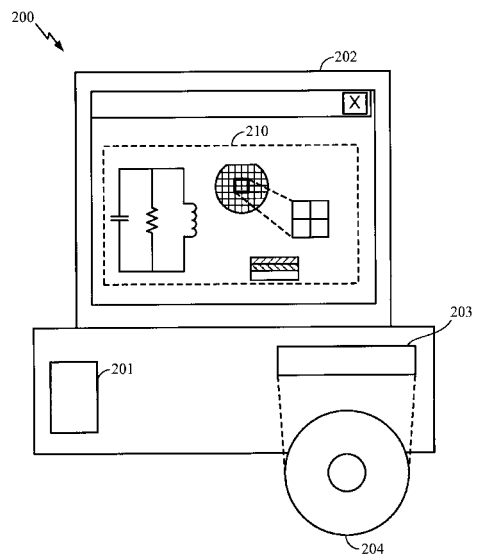
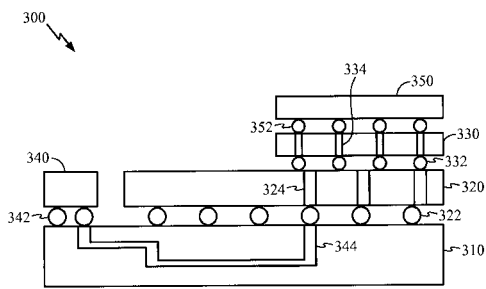


FIG. 2

【 図 3 A 】



(PRIOR ART)
FIG. 3A

【 図 4 】

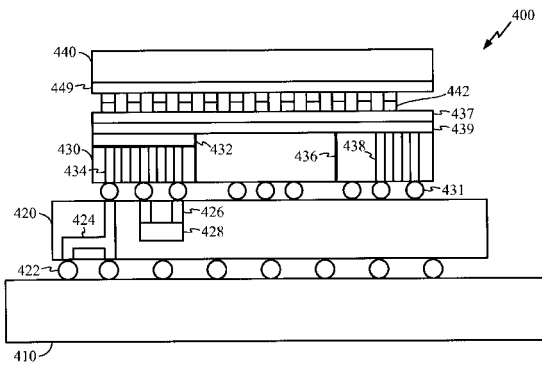
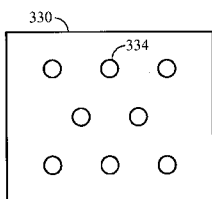


FIG. 4

【 図 3 B 】



(PRIOR ART)
FIG. 3B

【 図 5 】

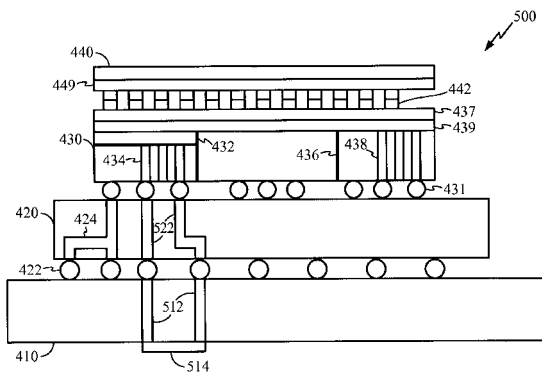


FIG. 5

【 図 6 】

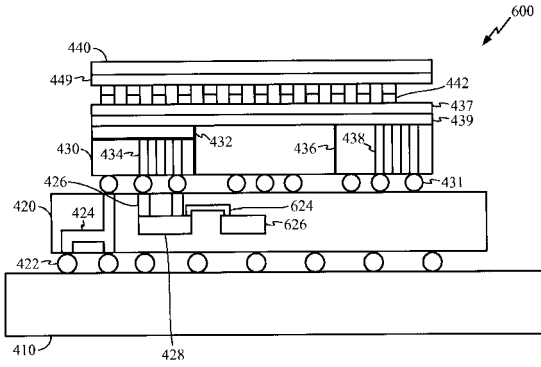


FIG. 6

【 図 7 】

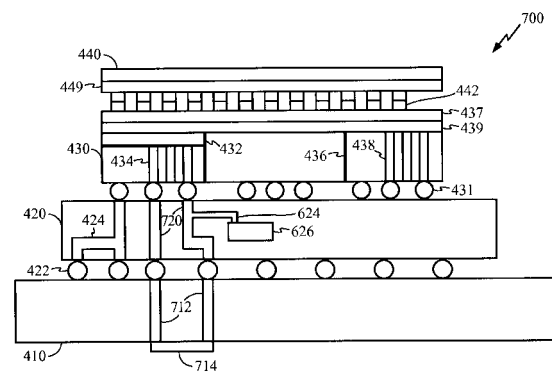


FIG. 7

【 図 8 A 】

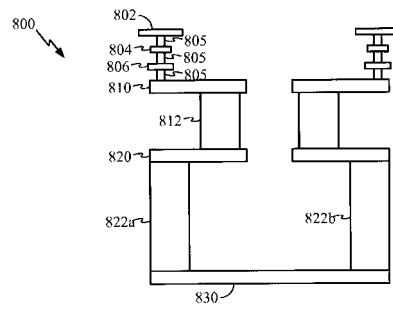


FIG. 8A

【 図 8 B 】

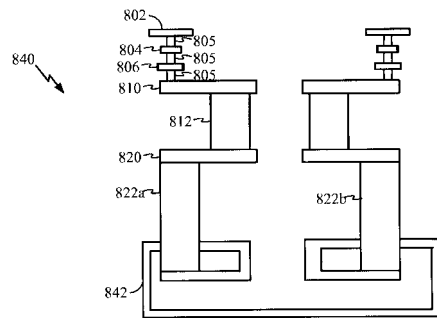


FIG. 8B

【 図 8 C 】

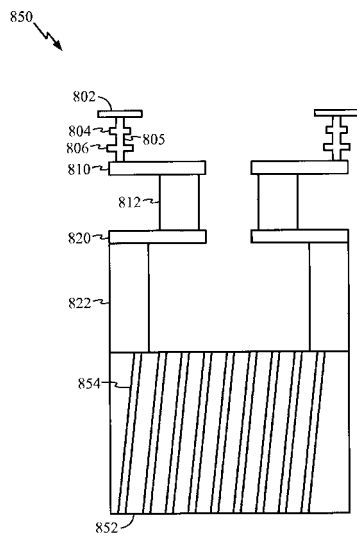


FIG. 8C

【 図 9 】

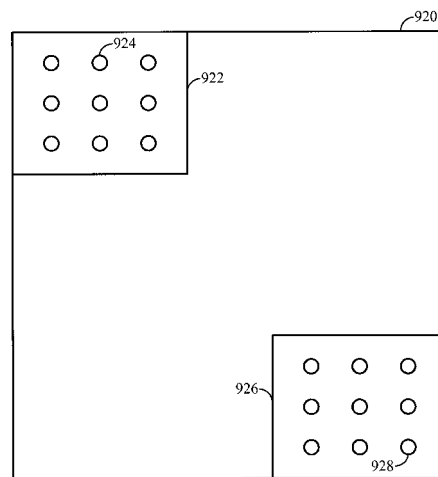


FIG. 9

【手続補正書】【提出日】平成27年12月1日(2015.12.1)【手続補正1】【補正対象書類名】特許請求の範囲【補正対象項目名】全文【補正方法】変更【補正の内容】【特許請求の範囲】【請求項1】

電圧調整器から調整された電圧を受け取るように構成された、半導体ICの第1の能動回路と、

異なる半導体IC上の回路と前記半導体ICに結合された実装基板との間の連絡を可能にするように構成された第1セットの基板スルービアを含む入出力領域と、

第2セットの基板スルービアに結合された前記電圧調整器の能動部分であって、前記第2セットの基板スルービアは前記電圧調整器の前記能動部分を前記電圧調整器の受動素子に結合するように構成されており、前記受動素子は前記実装基板内に埋め込まれている、前記電圧調整器の能動部分と、

前記半導体ICおよび前記異なる半導体ICの少なくとも一つの上の再分配層であって、前記電圧調整器の前記能動部分からの前記調整された電圧を前記半導体ICおよび前記異なる半導体ICの少なくとも一つに分配するように構成された、再分配層と、

を備える積層半導体集積回路(IC)パッケージであって、

前記半導体ICの前記第1の能動回路は、前記異なる半導体ICの第2の能動回路と向かい合っている、積層半導体集積回路(IC)パッケージ。

【請求項2】

セットトップボックス、音楽プレーヤ、ビデオプレーヤ、娯楽ユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末(PDA)、固定位置のデータユニット、およびコンピュータからなる群から選択されるデバイスに組み込まれる、請求項1に記載の積層半導体集積回路(IC)パッケージ。

【請求項3】

電圧調整手段から調整された電圧を受け取るように構成された、半導体ICの第1の能動回路と、

異なる半導体IC上の回路と前記半導体ICに結合された実装基板との間の連絡を可能にするように構成された第1セットの相互接続手段を含む入出力領域と、

第2セットの相互接続手段に結合された前記電圧調整手段の能動部分であって、前記第2セットの相互接続手段は前記電圧調整手段の前記能動部分を前記電圧調整手段の受動素子に結合するように構成されており、前記受動素子は前記実装基板内に埋め込まれている、前記電圧調整手段の能動部分と、

前記半導体ICおよび前記異なる半導体ICの少なくとも一つにおける再分配層であって、前記電圧調整手段の前記能動部分からの前記調整された電圧を前記半導体ICおよび前記異なる半導体ICの少なくとも一つに分配するように構成された、再分配層と、

を備える積層半導体集積回路(IC)パッケージであって、

前記半導体ICの前記第1の能動回路は、前記異なる半導体ICの第2の能動回路と向かい合っている、積層半導体集積回路(IC)パッケージ。

【請求項4】

セットトップボックス、音楽プレーヤ、ビデオプレーヤ、娯楽ユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末(PDA)、固定位置のデータユニット、およびコンピュータからなる群から選択されるデバイスに組み込まれる、請求項3に記載の積層半導体集積回路(IC)パッケージ。

【請求項5】

電圧を調整する手段から調整された電圧を受けるように構成された第1の能動回路を有

する第 1 の半導体 I C と、

前記第 1 の半導体 I C に結合された第 2 の半導体 I C であって、前記電圧調整手段の能動部分は、前記第 2 の半導体 I C 内に組み込まれ、且つ前記電圧調整手段の前記能動部分を前記電圧調整手段の受動素子に結合する手段に結合されており、前記受動素子は前記第 2 の半導体 I C に結合された実装基板内に埋め込まれており、前記第 2 の半導体 I C は、前記第 1 の半導体 I C 上の前記第 1 の能動回路と前記実装基板との間を連絡する手段を含む入出力領域を有している、第 2 の半導体 I C と、

前記第 1 の半導体 I C および前記第 2 の半導体 I C の少なくとも一方上の再分配層であって、前記電圧調整手段の前記能動部分からの前記調整された電圧を前記第 1 の半導体 I C および前記第 2 の半導体 I C の少なくとも一つに分配するように構成された、再分配層と、

を備える積層集積回路 (I C) 。

【請求項 6】

セットトップボックス、音楽プレーヤ、ビデオプレーヤ、娯楽ユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末 (P D A)、固定位置のデータユニット、およびコンピュータからなる群から選択されるデバイスに組み込まれる、請求項 5 に記載の積層集積回路 (I C) 。

フロントページの続き

- (72)発明者 フィフィン・スウィーニー
アメリカ合衆国・カリフォルニア・9 2 1 2 1・サン・ディエゴ・モアハウス・ドライブ・5 7 7
5
- (72)発明者 ルー・ジー・チュア・エオアン
アメリカ合衆国・カリフォルニア・9 2 1 2 1・サン・ディエゴ・モアハウス・ドライブ・5 7 7
5
- (72)発明者 ジ・チュ
アメリカ合衆国・カリフォルニア・9 2 1 2 1・サン・ディエゴ・モアハウス・ドライブ・5 7 7
5
- (72)発明者 ジュンモウ・チャン
アメリカ合衆国・カリフォルニア・9 2 1 2 1・サン・ディエゴ・モアハウス・ドライブ・5 7 7
5
- (72)発明者 ジェイソン・ゴンザレス
アメリカ合衆国・カリフォルニア・9 2 1 2 1・サン・ディエゴ・モアハウス・ドライブ・5 7 7
5

【外国語明細書】

2016029744000001.pdf