



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I567737 B

(45)公告日：中華民國 106 (2017) 年 01 月 21 日

(21)申請案號：101114919

(22)申請日：中華民國 101 (2012) 年 04 月 26 日

(51)Int. Cl. : G11C11/40 (2006.01)

G11C11/401 (2006.01)

(30)優先權：2011/05/06 日本

2011-103773

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：遠藤正己 ENDO, MASAMI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 2011/0024754A1

US 2011/0037068A1

US 2011/0089419A1

US 2011/0090184A1

WO 2007/119727A1

審查人員：蔡明宏

申請專利範圍項數：12 項 圖式數：16 共 93 頁

(54)名稱

半導體記憶裝置

SEMICONDUCTOR MEMORY DEVICE

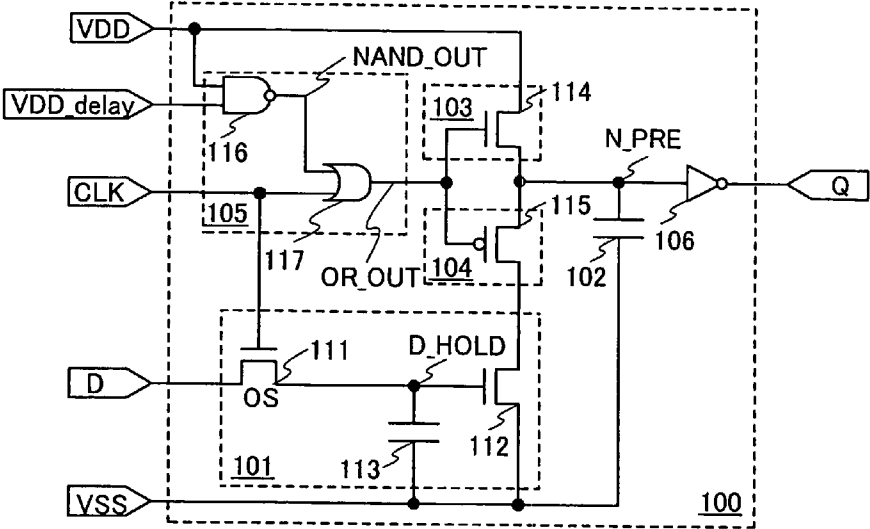
(57)摘要

本發明的一個實施例半導體記憶裝置包括：具有在半導體層中包含氧化物半導體的電晶體的記憶電路；積蓄用來讀出保持在記憶電路的資料的電荷的電容器；用來控制電容器中的電荷的積蓄的電荷積蓄電路；控制資料的讀出狀態的資料檢測電路；用來產生控制所述電容器中的電荷的積蓄的第一信號的時序控制電路(藉由所述電荷積蓄電路進行積蓄，且在剛供應電源電壓之後的期間中，由電源電壓的第二信號和延遲所述電源電壓的第二信號的第三信號產生第一信號)；以及使電容器的一個電極的電位反轉而將其輸出的反相器電路。

The semiconductor memory device includes: a memory circuit including a transistor including an oxide semiconductor in a semiconductor layer; a capacitor for storing electric charge for reading data retained in the memory circuit; a charge storage circuit for controlling storage of electric charge in the capacitor; a data detection circuit for controlling data reading; a timing control circuit for generating a first signal controlling storage of electric charge in the capacitor (storage is conducted with the charge storage circuit, and the first signal is generated with a second signal at a supply voltage and a third signal delayed from the second signal at the supply voltage in a period immediately after the supply of the supply voltage); an inverter circuit for outputting a potential obtained by inverting a potential of one electrode of the capacitor.

指定代表圖：

圖 1B



符號簡單說明：

- 100 . . . 半導體記憶裝置
- 101 . . . 記憶電路
- 102 . . . 第二電容器
- 103 . . . 電荷積蓄電路
- 104 . . . 資料檢測電路
- 105 . . . 時序控制電路
- 106 . . . 反相器電路
- 111 . . . 第一電晶體
- 112 . . . 第二電晶體
- 113 . . . 第一電容器
- 114 . . . 第三電晶體
- 115 . . . 第四電晶體
- 116 . . . NAND 電路
- 117 . . . OR 電路

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101114919

※申請日：101 年 04 月 26 日

※IPC 分類：G11C 11/40 (2006.01)
G11C 11/401 (2006.01)

一、發明名稱：(中文／英文)

半導體記憶裝置

Semiconductor memory device

二、中文發明摘要：

本發明的一個實施例半導體記憶裝置包括：具有在半導體層中包含氧化物半導體的電晶體的記憶電路；積蓄用來讀出保持在記憶電路的資料的電荷的電容器；用來控制電容器中的電荷的積蓄的電荷積蓄電路；控制資料的讀出狀態的資料檢測電路；用來產生控制所述電容器中的電荷的積蓄的第一信號的時序控制電路（藉由所述電荷積蓄電路進行積蓄，且在剛供應電源電壓之後的期間中，由電源電壓的第二信號和延遲所述電源電壓的第二信號的第三信號產生第一信號）；以及使電容器的一個電極的電位反轉而將其輸出的反相器電路。

三、英文發明摘要：

The semiconductor memory device includes: a memory circuit including a transistor including an oxide semiconductor in a semiconductor layer; a capacitor for storing electric charge for reading data retained in the memory circuit; a charge storage circuit for controlling storage of electric charge in the capacitor; a data detection circuit for controlling data reading; a timing control circuit for generating a first signal controlling storage of electric charge in the capacitor (storage is conducted with the charge storage circuit, and the first signal is generated with a second signal at a supply voltage and a third signal delayed from the second signal at the supply voltage in a period immediately after the supply of the supply voltage); an inverter circuit for outputting a potential obtained by inverting a potential of one electrode of the capacitor.

四、指定代表圖：

(一) 本案指定代表圖為：第(1B)圖。

(二) 本代表圖之元件代表符號簡單說明：

100：半導體記憶裝置

101：記憶電路

102：第二電容器

103：電荷積蓄電路

104：資料檢測電路

105：時序控制電路

106：反相器電路

111：第一電晶體

112：第二電晶體

113：第一電容器

114：第三電晶體

115：第四電晶體

116：NAND 電路

117：OR 電路

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體記憶裝置。尤其是，本發明係關於一種即使關掉電源，所儲存的邏輯狀態也不消失的信號處理裝置中的半導體記憶裝置。

【先前技術】

中央處理器（CPU：Central Processing Unit）等信號處理裝置根據其用途具有多種多樣的結構。一般來說，在信號處理裝置中，除了用來儲存資料或程式的主記憶體以外，還設置有暫存器和高速緩衝記憶體等各種記憶裝置。暫存器具有為了進行運算處理或保持程式的執行狀態等而暫時保持資料信號的功能。另外，高速緩衝記憶體介於運算裝置與主記憶體之間，並為了減少對主記憶體進行存取的次數來實現運算處理的高速化而設置。

在信號處理裝置中，暫存器或高速緩衝記憶體等記憶裝置需要比主記憶體更高速地寫入資料信號。因此，通常，作為暫存器或高速緩衝記憶體，使用正反器或SRAM(Static Random Access Memory：靜態隨機存取記憶體)等。就是說，作為這些暫存器或高速緩衝記憶體等，使用如果停止電源電壓的供應則資料信號消失的揮發性記憶裝置。

為了抑制耗電量，已提出了如下方法：在不進行資料信號的輸入及輸出的期間中，暫時停止對信號處理裝置的

電源電壓的供應(例如，參照專利文獻 1)。在專利文獻 1 的方法中，在揮發性記憶裝置的周圍配置非揮發性記憶裝置，而將上述資料信號暫時儲存在該非揮發性記憶裝置。

[專利文獻 1]日本專利申請公開第 2010-124290 號公報

在專利文獻 1 所記載的結構中，在信號處理裝置中停止電源電壓的供應的期間中，將揮發性記憶裝置的資料移動到配置在揮發性記憶裝置的周圍的非揮發性記憶裝置而使該非揮發性記憶裝置儲存資料。

但是，因為以分割揮發性記憶裝置和非揮發性記憶裝置的方式使它們工作，所以需要在停止電源電壓的供應之前及恢復電源電壓的供應之後，輸入用來對非揮發性記憶裝置寫入資料及從非揮發性記憶裝置讀出資料的不同的控制信號。因此，需要產生用來對非揮發性記憶裝置寫入資料及從非揮發性記憶裝置讀出資料的控制信號，並且需要設置用來供應該信號的佈線。

【發明內容】

鑒於上述問題，本發明的一個實施例的目的之一是提供一種在進行電源電壓的停止及恢復的結構中，能夠減少來自外部電路的用來控制半導體記憶裝置的信號的數量的半導體記憶裝置。

在本發明的一個實施例中，當採用非揮發性記憶裝置時，不以分離揮發性記憶裝置和非揮發性記憶裝置的方式

構成它們。明確地說，半導體記憶裝置包括：具有在半導體層中具有氧化物半導體的電晶體的記憶電路；積蓄用來讀出保持在記憶電路的資料的電荷的電容器；用來控制電容器中的電荷的積蓄的電荷積蓄電路；控制資料的讀出狀態的資料檢測電路；用來產生控制所述電容器中的電荷的積蓄的第一信號的時序控制電路（藉由所述電荷積蓄電路進行積蓄，且在剛供應電源電壓之後的期間中，由電源電壓的第二信號和延遲所述電源電壓的第二信號的第三信號產生第一信號）；以及使電容器的一個電極的電位反轉而將其輸出的反相器電路。並且，該半導體記憶裝置即使藉由資料和時脈信號進行電源電壓的停止及恢復，也能夠在其內部儲存資料而再次工作。

本發明的一個實施例是一種半導體記憶裝置，包括記憶電路、第二電容器、電荷積蓄電路、資料檢測電路、時序控制電路以及反相器電路。記憶電路包括：第一端子與資料輸入線電連接，閘極與時脈信號線電連接，在半導體層中具有氧化物半導體的第一電晶體；一個電極與所述第一電晶體的第二端子電連接的第一電容器；以及閘極與所述第一電晶體的第二端子及所述第一電容器的一個電極電連接的第二電晶體。第二電容器積蓄用來讀出保持在所述記憶電路的資料的電荷。電荷積蓄電路與電源電位線電連接，且控制所述第二電容器的電荷的積蓄。資料檢測電路控制所述第二電容器的一個電極與所述第二電晶體的第一端子之間的導通狀態或非導通狀態。時序控制電路在將所

述時脈信號供應到所述時脈信號線的第一期間中，根據所述時脈信號的切換工作使所述電荷積蓄電路和所述資料檢測電路交替成為導通狀態，且在所述電荷積蓄電路中產生控制所述第二電容器的電荷的積蓄的第一信號。在剛將所述電源電壓供應到所述電源電位線之後的第二期間中，由電源電壓的第二信號及延遲所述電源電壓的所述第二信號的第三信號產生所述第一信號。反相器電路使所述第二電容器的一個電極的電位反轉而將其輸出。

本發明的一個實施例是一種半導體記憶裝置，包括記憶電路、第二電容器、電荷積蓄電路、資料檢測電路、時序控制電路以及反相器電路。記憶電路包括：第一端子與資料輸入線電連接，閘極與時脈信號線電連接，在半導體層中具有氧化物半導體的第一電晶體；一個電極與所述第一電晶體的第二端子電連接的第一電容器；以及閘極與所述第一電晶體的第二端子及所述第一電容器的一個電極電連接的第二電晶體。第二電容器積蓄用來讀出保持在所述記憶電路的資料的電荷。電荷積蓄電路包括第一端子與電源電位線電連接，且第二端子與所述第二電容器的一個電極電連接的第三電晶體。資料檢測電路包括第一端子與所述第二電容器的一個電極電連接，第二端子與所述第二電晶體的第一端子電連接的第四電晶體。時序控制電路在將時脈信號供應到所述時脈信號線的第一期間中，根據所述時脈信號的切換工作使所述第三電晶體和所述第四電晶體交替成為導通狀態，且產生使所述第三電晶體成為導通狀

態的第一信號。在剛將電源電壓供應到所述電源電位線之後的第二期間中，由電源電壓的第二信號及延遲所述電源電壓的第二信號的第三信號產生所述第一信號。反相器電路使所述第二電容器的一個電極的電位反轉而將其輸出。

在本發明的一個實施例中，較佳所述第二電晶體在半導體層中具有矽。

在本發明的一個實施例中，較佳所述第一電晶體和所述第二電晶體層疊而設置。

在本發明的一個實施例中，較佳所述資料檢測電路是如下電路，即根據有沒有積蓄在所述第二電容器的所述電荷的釋放，將所述第二電容器的一個電極的電位轉換為使所述資料反轉的反轉資料信號，根據所述第二電晶體的導通狀態決定是否釋放所述電荷。

在本發明的一個實施例中，較佳延遲所述電源電壓的信號的電路由延遲電路和緩衝電路構成。

在本發明的一個實施例中，較佳所述時序控制電路由所述電源電壓的信號和延遲所述電源電壓的信號被輸入的所述非與電路以及所述非與電路的輸出信號和所述時脈信號被輸入的或電路構成。

根據本發明的一個實施例，在進行電源電壓的停止及恢復的結構中，可以藉由時脈信號實現資料的儲存及輸出。另外，藉由當停止電源電壓時能夠保持資料而不從外部電路供應另一控制信號，可以減少用來控制半導體記憶裝置的信號的數量。

【實施方式】

以下，參照圖式說明本發明的實施例。注意，本發明的結構可以藉由多種不同的方式來實施，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式和詳細內容可以被變換為各種各樣的形式，而不脫離本發明的宗旨及其範圍。因此，本發明不應該被解釋為僅限於本實施例所記載的內容中。另外，在以下說明的本發明的結構中，在不同的圖式中共同使用相同的元件符號來表示相同的部分。

另外，有時為了明確起見，誇大表示各實施例的圖式等所示的各結構的大小、層的厚度、信號波形或區域。因此，不一定侷限於其尺度。

另外，當明確地描述“A 與 B 連接”時包括如下情況：A 與 B 電連接的情況；A 與 B 功能性地連接的情況；以及 A 與 B 直接連接的情況。

另外，在本說明書中使用的“第一”、“第二”、“第三”至“第 N（N 是自然數）”的序數是為避免構成要素的混淆而附記的，而不是用於在數目方面上進行限制。

實施例 1

信號處理裝置包括半導體記憶裝置。信號處理裝置能夠藉由利用設置一個或多個的半導體記憶裝置來儲存一位元或多位元的資料信號。在本實施例中，對信號處理裝置

中的半導體記憶裝置的結構進行說明。

另外，CPU、微處理器、影像處理電路、DSP（Digital Signal Processor：數位信號處理器）和FPGA（Field Programmable Gate Array：現場可編程閘陣列）等LSI（Large Scale Integrated Circuit：大型積體電路）等都包括在信號處理裝置的範疇內。

圖 1A 示出半導體記憶裝置的方塊圖的一個例子。圖 1A 所示的本實施例的半導體記憶裝置 100 是能夠藉由時脈信號 CLK 的切換工作進行所輸入的資料 D 的保持及輸出的電路。在本實施例的結構中，在時脈信號為 H 位準（高電源電位 VDD 的位準）的時序提取資料 D，在時脈信號為 L 位準（低電源電位 VSS 的位準）的時序將所提取的資料 D 作為輸出信號 Q 輸出。並且，在本實施例的結構中，即使在保持資料的時序停止高電源電位 VDD 和低電源電位 VSS（GND）的電源電壓，在半導體記憶裝置的內部也可以保持所提取的資料 D，當再次恢復電源電壓時，可以從所保持的資料 D 的輸出恢復工作。

另外，在本說明書中，“停止信號或電源電壓的供應”是指“對用來供應信號或電源電壓的佈線不供應信號或電源電壓”。此外，在本說明書中，“恢復信號或電源電壓的供應”是指“在停止信號或電源電壓的供應之後，再次開始對用來供應信號或電源電壓的佈線供應信號或電源電壓”。另外，在本說明書中，“固定信號”例如是指“將以規定的頻率振盪的交流信號轉換為具有固定電位諸如高電源電位

VDD 或低電源電位 VSS 的直流信號”。

接著，圖 1B 示出具體半導體記憶裝置 100 的電路結構。圖 1B 所示的半導體記憶裝置 100 包括：具有第一電容器 113 的記憶電路 101；第二電容器 102；電荷積蓄電路 103（也稱為預充電電路）；資料檢測電路 104；時序控制電路 105；以及反相器電路 106。

另外，圖 1B 示出對半導體記憶裝置 100 輸入及輸出的信號。在圖 1B 中，設置有：供應高電源電位 VDD 的第一電源電位線 VDD；供應低電源電位 VSS 的第二電源電位線 VSS；供應資料 D 的資料輸入線 D；供應時脈信號 CLK 的時脈信號線 CLK；以及輸出輸出信號 Q 的輸出信號線 Q。此外，在圖 1B 中，設置有用來當恢復高電源電位 VDD 的供應時供應藉由延遲基於高電源電位 VDD 的電位的上升而得到的信號 VDD_delay 的延遲高電源電位線 VDD_delay。

圖 1B 所示的記憶電路 101 包括第一電晶體 111、第二電晶體 112 以及第一電容器 113。第一電晶體 111 的源極和汲極中的一個電極（第一端子）連接到資料信號線 D。第一電晶體 111 的源極和汲極中的另一個電極（第二端子）連接到第二電晶體 112 的閘極及第一電容器 113 的一個電極。第一電晶體 111 的閘極連接到時脈信號線 CLK。第一電容器 113 的另一個電極連接到第二電源電位線 VSS。另外，在以下說明中，將第一電晶體 111、第二電晶體 112 和第一電容器 113 連接的節點稱為“記憶節點”。

D_HOLD”。

第一電晶體 111 根據供應到閘極的時脈信號 CLK 的切換工作將資料 D 提取到記憶節點 D_HOLD。例如，在第一電晶體 111 是 n 通道型電晶體的情況下，當時脈信號 CLK 為 H 位準時，第一電晶體 111 成為導通狀態而資料 D 被提取到記憶節點 D_HOLD。另外，當時脈信號 CLK 為 L 位準時，第一電晶體 111 成為非導通狀態而在記憶節點 D_HOLD 中保持前面被提取的資料 D。

圖 1B 所示的第一電晶體 111 是在氧化物半導體層中形成通道的電晶體。另外，在圖式中，為了表示第一電晶體 111 是在氧化物半導體層中形成通道的電晶體，加上 OS 的符號。

氧化物半導體至少含有選自 In、Ga、Sn 和 Zn 中的一種以上的元素。例如，可以使用：四元金屬氧化物的 In-Sn-Ga-Zn-O 類氧化物半導體；三元金屬氧化物的 In-Ga-Zn-O 類氧化物半導體、In-Sn-Zn-O 類氧化物半導體、In-Al-Zn-O 類氧化物半導體、Sn-Ga-Zn-O 類氧化物半導體、Al-Ga-Zn-O 類氧化物半導體及 Sn-Al-Zn-O 類氧化物半導體；二元金屬氧化物的 In-Zn-O 類氧化物半導體、Sn-Zn-O 類氧化物半導體、Al-Zn-O 類氧化物半導體、Zn-Mg-O 類氧化物半導體、Sn-Mg-O 類氧化物半導體、In-Mg-O 類氧化物半導體及 In-Ga-O 類氧化物半導體；以及單元金屬氧化物的 In-O 類氧化物半導體、Sn-O 類氧化物半導體及 Zn-O 類氧化物半導體等。另外，也可以使上述氧化物半

導體包含 In、Ga、Sn 及 Zn 以外的元素如 SiO_2 。

例如，In-Ga-Zn-O 類氧化物半導體是指包含銦 (In)、鎵 (Ga) 和鋅 (Zn) 的氧化物半導體，並且對其組成比沒有限制。

另外，作為氧化物半導體，可以使用由化學式 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 表示的薄膜。在此，M 表示選自 Zn、Ga、Al、Mn 和 Co 中的一種或多種金屬元素。例如，作為 M，有 Ga、Ga 及 Al、Ga 及 Mn 或 Ga 及 Co 等。

另外，當作為氧化物半導體使用 In-Zn-O 類材料時，將所使用的靶材的組成比以原子數比設定為 In : Zn = 50 : 1 至 1 : 2 (換算為莫耳數比則為 In_2O_3 : ZnO = 25 : 1 至 1 : 4)，較佳為 In : Zn = 20 : 1 至 1 : 1 (換算為莫耳數比則為 In_2O_3 : ZnO = 10 : 1 至 1 : 2)，更佳地為 In : Zn = 1.5 : 1 至 15 : 1 (換算為莫耳數比則為 In_2O_3 : ZnO = 3 : 4 至 15 : 2)。例如，作為用於形成 In-Zn-O 類氧化物半導體的靶材，當原子數比為 In : Zn : O = X : Y : Z 時，滿足 $Z > 1.5X + Y$ 的關係。

在藉由徹底排除氧化物半導體層內的氫而得到高純度化的氧化物半導體層中形成通道的電晶體的截止電流密度可以為 $100\text{zA}/\mu\text{m}$ 以下，較佳為 $10\text{zA}/\mu\text{m}$ 以下，更佳地為 $1\text{zA}/\mu\text{m}$ 以下。因此，該截止電流比使用具有結晶性的矽的電晶體的截止電流顯著低。其結果，當第一電晶體 111 處於非導通狀態時，可以長期保持記憶節點 D_HOLD 的電位，即第二電晶體 112 的閘極的電位。

另外，在本說明書中，截止電流是指當電晶體處於非導通狀態時流過源極與汲極之間的電流。在 n 通道型電晶體（例如，臨界電壓為 0V 至 2V 左右）中，截止電流是指當施加到閘極與源極之間的電壓為負電壓時流過源極與汲極之間的電流。

另外，在上述中，也可以使用能夠實現與氧化物半導體材料同等的截止電流特性的材料代替氧化物半導體材料。例如，可以應用碳化矽等寬能隙材料（更明確地說，例如，能隙 E_g 大於 3eV 的半導體材料）等。此外，也可以採用如下結構：藉由使用 MEMS 開關等代替電晶體來切斷佈線之間的連接，由此實現記憶節點 D_HOLD 的電荷的長期保持。

圖 1B 所示的第二電晶體 112 是用作開關的元件。圖 1B 示出第二電晶體 112 使用一導電型（例如，n 通道型）的電晶體構成的例子。在此，作為開關，開關的一個端子對應於電晶體的源極和汲極中的一個，開關的另一個端子對應於電晶體的源極和汲極中的另一個。另外，根據基於保持在電晶體的閘極的資料 D 的電位，選擇開關的導通狀態或非導通狀態。當作為 n 通道型電晶體的第二電晶體 112 用作開關時，根據 H 位準選擇導通狀態（ON 狀態），根據 L 位準選擇非導通狀態（OFF 狀態）。

在圖 1B 中，作為第二電晶體 112，可以採用在由氧化物半導體以外的半導體構成的層或基板中形成通道的電晶體。例如，可以採用在矽層或矽基板中形成通道的電晶

體。

另外，藉由利用由第二電晶體 112 的閘極及第一電晶體 111 的源極和汲極中的一個形成的電容等，也可以省略第一電容器 113。

接著，根據資料 D 選擇積蓄在圖 1B 所示的第二電容器 102 的一個電極的電荷是否被放電。與根據是否被放電而變化的電荷對應的電位藉由反相器電路 106 作為輸出信號 Q 輸出。因此，第二電容器可以處於儲存有電荷的第一狀態和根據保持在記憶電路 101 中的記憶節點 D_HOLD 的資料 D 選擇電荷的放電的狀態的第二狀態。另外，在以下說明中，將第二電容器 102 的一個電極的節點稱為“積蓄節點 N_PRE”。

圖 1B 所示的電荷積蓄電路 103 是用來藉由將電荷積蓄在第二電容器 102 的積蓄節點 N_PRE，使第二電容器 102 成為第一狀態的電路。電荷積蓄電路 103 包括作為 n 通道型電晶體的第三電晶體 114。第三電晶體 114 的第一端子連接到供應高電源電位 VDD 的第一電源電位線 VDD。第三電晶體 114 的第二端子連接到第二電容器的一個電極。第三電晶體 114 的閘極連接到時序控制電路 105，而根據來自時序控制電路 105 的信號控制第三電晶體 114 的導通狀態或非導通狀態。

圖 1B 所示的資料檢測電路 104 是控制第二電容器 102 的積蓄節點 N_PRE 與記憶電路 101 中的第二電晶體 112 的第一端子之間的導通狀態或非導通狀態的電路。資

料檢測電路 104 包括作為 p 通道型電晶體的第四電晶體 115。第四電晶體 115 的第一端子連接到第二電容器 102 的一個電極。第四電晶體 115 的第二端子連接到第二電晶體 112 的第一端子。第四電晶體 115 的閘極連接到時序控制電路 105，而根據來自時序控制電路 105 的信號控制第四電晶體 115 的導通狀態或非導通狀態。

圖 1B 所示的時序控制電路 105 是以在時脈信號 CLK 供應到時脈信號線 CLK 的期間（第一期間）中，根據時脈信號 CLK 的切換工作使電荷積蓄電路 103 和資料檢測電路 104 交替成為導通狀態的電路。另外，圖 1B 所示的時序控制電路 105 是在剛高電源電位 VDD 供應到第一電源電位線 VDD 之後的期間（也稱為第二期間）中，產生控制由電荷積蓄電路 103 對於第二電容器的積蓄節點 N_PRE 的電荷的積蓄的信號。該信號是由高電源電位 VDD 的信號和延遲該高電源電位 VDD 的信號的信號 VDD_delay 所產生的時序信號產生的。

另外，將所述電荷積蓄電路 103 中的第三電晶體 114 及資料檢測電路 104 中的第四電晶體 115 的導電型以使它們交替成為導通狀態的方式設定。另外，作為第三電晶體 114 採用 n 通道型電晶體是因為如下緣故：由高電源電位 VDD 的信號和延遲該高電源電位 VDD 的信號的信號 VDD_delay 所產生的時序信號，使它成為導通狀態。

另外，圖 2 示出用來延遲高電源電位 VDD 的電路的一個例子。圖 2 所示的電路包括延遲電路部 201 及緩衝電

路部 202。延遲電路部 201 可以由利用電阻器 203 及電容器 204 的 RC 延遲電路構成。另外，作為緩衝電路部 202，可以採用在供應高電源電位 VDD 的佈線一側設置 n 通道型電晶體 205，且在供應低電源電位 VSS 的佈線一側設置 p 通道型電晶體 206 的結構。由此，可以將延遲電路部 201 中的信號的延遲轉換為對緩衝電路部 202 的輸入的從 L 位準到 H 位準的切換的時序。

在此，圖 1B 示出時序控制電路 105 的具體電路結構的例子。在圖 1B 中，時序控制電路 105 包括 NAND 電路 116（非與電路）和 OR 電路 117（或電路）。對 NAND 電路 116 輸入高電源電位 VDD 的信號和延遲該高電源電位 VDD 的信號的信號 VDD_delay，輸出 NAND 電路輸出信號 NAND_OUT。另外，對 OR 電路 117 輸入 NAND 電路輸出信號 NAND_OUT 和時脈信號 CLK，輸出 OR 電路輸出信號 OR_OUT。

圖 1B 所示的反相器電路 106 是用來將第二電容器 102 的積蓄節點 N_PRE 的信號轉換為所反轉的信號而將其作為輸出信號 Q 輸出的電路。作為反相器電路 106，例如可以使用組合 p 通道型電晶體和 n 通道型電晶體的電路結構。

接著，對如下情況下的作為本實施例的結構的半導體記憶裝置 100 的工作進行說明，即在反復資料 D 的保持及輸出的工作中，停止電源電壓的供應且再次恢復電源電壓的供應的情況。圖 3 示出圖 1B 所示的半導體記憶裝置的

時序圖，而參照該時序圖進行說明。在圖 3 的時序圖中，VDD、VDD_delay、VSS、NAND_OUT、OR_OUT、D_HOLD、N_PRE 及 Q 對應於圖 1B 所說明的輸入/輸出信號及節點的電位。另外，因為在圖 3 所示的時序圖中，對半導體記憶裝置 100 可能處於的多個狀態進行說明，所以使用圖 4A 至圖 6B 示出期間 t1 至期間 t6 的多個期間。

另外，在圖 3 至圖 6B 的說明中，資料 D 由 D1 至 DN（N 是自然數）表示。這是為了說明提取在半導體記憶裝置 100 中的資料 D 被輸出的時序而示出的。此外，使資料 D1 至 DN 反轉的信號的積蓄節點 N_PRE 的信號表示為反轉資料 D1_B 至 DN_B。另外，使反轉資料 D1_B 至 DN_B 反轉的信號為資料 D1 至 DN。

此外，在以下所示的圖 3 的工作的說明中，各電晶體的導電型及邏輯電路與圖 1B 所示的各電晶體的導電型及邏輯電路相同。另外，對以下所示的工作的說明不侷限於此，只要各電晶體成為如圖 3 所示那樣的導通狀態，可以適當地設定各電晶體的導電性、邏輯電路的組合及各控制信號的電位。另外，可以將各信號表示為 H 位準（高電源電位 VDD）及 L 位準（低電源電位 VSS）。

首先，對反復資料 D 的保持及輸出的圖 3 中的第一工作期間 T_ON1 中的工作進行說明。第一工作期間 T_ON1 可以分為：將資料 D1 從資料輸入線 D 提取到記憶節點 D_HOLD 的藉由時脈信號 CLK 的切換工作時脈信號 CLK 成為 H 位準的期間（在圖 3 中，期間 t1）；以及保持在期

間 t_1 中提取到記憶節點 D_HOLD 的資料 $D1$ 且將該資料 $D1$ 作為輸出信號 Q 從輸出信號線輸出的期間（在圖 3 中，期間 t_2 ）。

圖 4A 示出使用虛線箭頭使在第一工作期間 T_ON1 的期間 t_1 中半導體記憶裝置 100 可能處於的電晶體的導通狀態及電流的流過可見化的圖。

在期間 t_1 中，時脈信號 CLK 為 H 位準，而記憶電路 101 的第一電晶體 111 成為導通狀態。由此，將資料 $D1$ 從資料輸入線 D 供應到記憶節點 D_HOLD 。此時，第二電晶體 112 的導通狀態根據資料 $D1$ 的邏輯狀態而決定，在圖中表示為“ON/OFF”。

另外，在期間 t_1 中，第一電源電位線 VDD 及延遲電源電位線 VDD_delay 為 H 位準。由此， $NAND_OUT$ 成為 L 位準， OR_OUT 成為 H 位準。當 OR_OUT 成為 H 位準時，電荷積蓄電路 103 中的第三電晶體 114 成為導通狀態，資料檢測電路 104 中的第四電晶體 115 成為非導通狀態。其結果，伴隨由於電荷積蓄電路 103 的電荷積蓄而積蓄節點 N_PRE 的電位上升到 H 位準。並且，藉由反相器電路 106 輸出的輸出信號成為 L 位準。

圖 4B 示出使用虛線箭頭使在第一工作期間 T_ON1 的期間 t_2 中半導體記憶裝置 100 可能處於的電晶體的導通狀態及電流的流過可見化的圖。

在期間 t_2 中，時脈信號 CLK 為 L 位準，而記憶電路 101 的第一電晶體 111 成為非導通狀態。由此，即使資料

輸入線 D 具有資料 D2，在記憶節點 D_HOLD 中也保持在前面期間中被寫入的資料 D1。此時，第二電晶體 112 的導通狀態根據資料 D1 的邏輯狀態而決定，在圖中表示為“ON/OFF”。

另外，在期間 t2 中，第一電源電位線 VDD 及延遲電源電位線 VDD_delay 為 H 位準。由此，NAND_OUT 成為 L 位準，OR_OUT 成為 L 位準。當 OR_OUT 成為 L 位準時，電荷積蓄電路 103 中的第三電晶體 114 成為非導通狀態，資料檢測電路 104 中的第四電晶體 115 成為導通狀態。其結果，在期間 t1 中上升到 H 位準的積蓄節點 N_PRE 的電位根據第二電晶體 112 的導通狀態變動。明確地說，當資料 D1 為 H 位準時，第二電晶體 112 成為導通狀態，上升到 H 位準的積蓄節點 N_PRE 的電位降低到使資料 D1 反轉的 L 位準。另外，當資料 D1 為 L 位準時，第二電晶體 112 成為非導通狀態，保持上升到 H 位準的積蓄節點 N_PRE 的電位，成為使資料 D1 反轉的 H 位準。就是說，積蓄節點 N_PRE 成為使資料 D1 反轉的反轉資料 D1_B。並且，藉由反相器電路 106 輸出的輸出信號成為使反轉資料 D1_B 反轉的 D1。

接著，對圖 3 中的電源電壓停止期間 T_OFF 中的如下工作進行說明，即進行停止電源電壓時的工作及停止電源電壓時的資料 D 的保持。電源電壓停止期間 T_OFF 可以分為：將資料 D 及時脈信號 CLK 設定為 L 位準而儲存保持在記憶節點 D_HOLD 的資料 D4 的期間（在圖 3 中，

期間 t_3) ; 以及在繼續保持在期間 t_3 中儲存在記憶節點 D_HOLD 的資料 D_4 的狀態下停止電源電壓，而使輸入/輸出信號成為不定狀態的期間（在圖 3 中，期間 t_4 ）。

另外，在圖 3 至圖 6B 的說明中，加上陰影的“X”的期間是輸入/輸出信號及電源電壓的停止期間中的不進行基於 H 位準或 L 位準的電源電位的信號的供應的不定狀態的期間。

圖 5A 示出使用虛線箭頭使在電源電壓停止期間 T_OFF 的期間 t_3 中半導體記憶裝置 100 可能處於的電晶體的導通狀態及電流的流過可見化的圖。

在期間 t_3 中，時脈信號 CLK 及資料 D 為 L 位準，而記憶電路 101 的第一電晶體 111 成為非導通狀態。由此，即使資料輸入線 D 具有 L 位準，在記憶節點 D_HOLD 中也保持在前面期間中被寫入的資料 D_4 。此時，第二電晶體 112 的導通狀態根據資料 D_4 的邏輯狀態而決定，在圖中表示為“ON/OFF”。

另外，在期間 t_3 中，第一電源電位線 VDD 及延遲電源電位線 VDD_delay 為 H 位準。由此， $NAND_OUT$ 成為 L 位準， OR_OUT 成為 L 位準。當 OR_OUT 成為 L 位準時，電荷積蓄電路 103 中的第三電晶體 114 成為非導通狀態，資料檢測電路 104 中的第四電晶體 115 成為導通狀態。其結果，在前面期間中上升到 H 位準的積蓄節點 N_PRE 的電位根據第二電晶體 112 的導通狀態變動。明確地說，當資料 D_4 為 H 位準時，第二電晶體 112 成為導通狀態，

上升到 H 位準的積蓄節點 N_PRE 的電位降低到使資料 D4 反轉的 L 位準。另外，當資料 D4 為 L 位準時，第二電晶體 112 成為非導通狀態，保持上升到 H 位準的積蓄節點 N_PRE 的電位，成為使資料 D4 反轉的 H 位準。就是說，積蓄節點 N_PRE 成為使資料 D4 反轉的反轉資料 D4_B。並且，藉由反相器電路 106 輸出的輸出信號成為使反轉資料 D4_B 反轉的資料 D4。

圖 5B 示出使用虛線箭頭使在電源電壓停止期間 T_OFF 的期間 t4 中半導體記憶裝置 100 可能處於的電晶體的導通狀態及電流的流過可見化的圖。

在期間 t4 中，時脈信號 CLK 為 L 位準，而資料 D 為不定狀態，記憶電路 101 的第一電晶體 111 成為非導通狀態。由此，在記憶節點 D_HOLD 中繼續保持在前面期間中被寫入的資料 D4。此時，第二電晶體 112 的導通狀態根據資料 D4 的邏輯狀態而決定，在圖中表示為“ON/OFF”。

另外，在期間 t4 中，第一電源電位線 VDD 及延遲電源電位線 VDD_delay 為不定狀態。因此，NAND 電路 116 及 OR 電路 117 的輸出成為不定狀態。由此，NAND_OUT 及 OR_OUT 成為不定狀態。當 OR_OUT 成為不定狀態時，電荷積蓄電路 103 中的第三電晶體 114 及資料檢測電路 104 中的第四電晶體 115 的導通狀態成為不定狀態。從而，積蓄節點 N_PRE 的電位也成為不定狀態，並且，藉由反相器電路 106 輸出的輸出信號也成為不定狀態。

接著，對圖 3 中的第二工作期間 T_ON2 中的如下工

作進行說明，即恢復電源電壓且讀出當停止電源電壓時保持的資料 D。第二工作期間 T_{ON2} 可以分為：藉由將時脈信號 CLK 設定為 L 位準，將第一電源電位線 VDD 設定為 H 位準，將延遲電源電位線 VDD_{delay} 設定為 L 位準而將積蓄節點 N_{PRE} 的電位設定為 H 位準的期間（在圖 3 中，期間 $t5$ ）；以及將當停止電源電壓時保持在記憶節點 D_{HOLD} 的資料 D4 作為輸出信號 Q 從輸出信號線輸出的期間（在圖 3 中，期間 $t6$ ）。

圖 6A 示出使用虛線箭頭使在第二工作期間 T_{ON2} 的期間 $t5$ 中半導體記憶裝置 100 可能處於的電晶體的導通狀態及電流的流過可見化的圖。

在期間 $t5$ 中，時脈信號 CLK 及資料 D 為 L 位準，而記憶電路 101 的第一電晶體 111 成為非導通狀態。由此，即使資料輸入線 D 具有 L 位準，在記憶節點 D_{HOLD} 中也保持有即將停止電源電壓之前被寫入的資料 D4。此時，第二電晶體 112 的導通狀態根據資料 D4 的邏輯狀態而決定，在圖中表示為“ON/OFF”。

另外，在期間 $t5$ 中，第一電源電位線 VDD 為 H 位準，延遲電源電位線 VDD_{delay} 為 L 位準。由此， $NAND_OUT$ 成為 H 位準， OR_OUT 成為 H 位準。當 OR_OUT 成為 H 位準時，電荷積蓄電路 103 中的第三電晶體 114 成為導通狀態，資料檢測電路 104 中的第四電晶體 115 成為非導通狀態。其結果，伴隨由於電荷積蓄電路 103 的電荷積蓄而積蓄節點 N_{PRE} 的電位上升到 H 位準。

並且，藉由反相器電路 106 輸出的輸出信號成為 L 位準。

圖 6B 示出使用虛線箭頭使在第二工作期間 T_{ON2} 的期間 $t6$ 中半導體記憶裝置 100 可能處於的電晶體的導通狀態及電流的流過可見化的圖。

在期間 $t6$ 中，時脈信號 CLK 為 L 位準，而記憶電路 101 的第一電晶體 111 成為非導通狀態。由此，即使資料輸入線 D 具有資料 D5，在記憶節點 D_HOLD 中也保持有即將停止電源電壓之前被寫入的資料 D4。此時，第二電晶體 112 的導通狀態根據資料 D4 的邏輯狀態而決定，在圖中表示為“ON/OFF”。

另外，在期間 $t6$ 中，第一電源電位線 VDD 及延遲電源電位線 VDD_delay 為 H 位準。由此， $NAND_OUT$ 成為 L 位準， OR_OUT 成為 L 位準。當 OR_OUT 成為 L 位準時，電荷積蓄電路 103 中的第三電晶體 114 成為非導通狀態，資料檢測電路 104 中的第四電晶體 115 成為導通狀態。其結果，在期間 $t5$ 中上升到 H 位準的積蓄節點 N_PRE 的電位根據第二電晶體 112 的導通狀態變動。明確地說，當資料 D4 為 H 位準時，第二電晶體 112 成為導通狀態，上升到 H 位準的積蓄節點 N_PRE 的電位降低到使資料 D4 反轉的 L 位準。另外，當資料 D4 為 L 位準時，第二電晶體 112 成為非導通狀態，保持上升到 H 位準的積蓄節點 N_PRE 的電位，成為使資料 D4 反轉的 H 位準。就是說，積蓄節點 N_PRE 成為使資料 D4 反轉的反轉資料 $D4_B$ 。並且，藉由反相器電路 106 輸出的輸出信號成為使反轉資

料 D4_B 反轉的資料 D4。

以上所述是半導體記憶裝置 100 的工作的說明。

本發明的一個實施例的半導體記憶裝置可以在停止電源電壓的供應之前及恢復電源電壓的供應之後進行資料的保持及讀出，而不以分割揮發性記憶裝置和非揮發性記憶裝置的方式使它們工作。另外，可以進行所述資料的保持及讀出，而不需要用來寫入資料及讀出資料的控制信號，由此可以減少用來控制半導體記憶裝置的信號的數量。

本實施例可以與其他實施例適當地組合而實施。

實施例 2

在本實施例中，對使用多個實施例 1 所示的半導體記憶裝置 100 的結構。

圖 7 示出本實施例中的半導體記憶裝置的結構的一個例子。圖 7 所示的半導體記憶裝置具有與高電源電位 VDD 及低電源電位 VSS 連接的反相器電路 401、具有多個半導體記憶裝置 402 的半導體記憶裝置群 403 和延遲高電源電位產生電路 404。

作為各半導體記憶裝置 402，可以使用具有實施例 1 所述的結構的半導體記憶裝置 100。

由於選擇信號 SigA 切換高電源電位 VDD 和低電源電位 VSS，而藉由反相器電路 401 將其施加到半導體記憶裝置群 403 所具有的各半導體記憶裝置 402。

另外，半導體記憶裝置群 403 所具有的各半導體記憶

裝置 402 分別連接有用來產生圖 2 所示的信號 VDD_delay 的延遲高電源電位產生電路 404。

再者，將信號 IN 的電位和低電源電位 VSS 施加到半導體記憶裝置群 403 所具有的各半導體記憶裝置 402。

藉由採用上述結構，可以將高電源電位 VDD 及延遲該高電源電位 VDD 的信號的信號 VDD_delay 供應到多個半導體記憶裝置 100。

本實施例可以與上述實施例適當地組合而實施。

實施例 3

在本實施例中，對使用實施例 1 所示的半導體記憶裝置的信號處理裝置的結構進行說明。

圖 8 示出關於本發明的一個實施例的信號處理裝置的一個例子。信號處理裝置至少具有一個或多個運算裝置和一個或多個半導體記憶裝置。明確地說，圖 8 所示的信號處理裝置 150 具有運算裝置 151、運算裝置 152、半導體記憶裝置 153、半導體記憶裝置 154、半導體記憶裝置 155、控制裝置 156 及電源控制電路 157。

運算裝置 151 及運算裝置 152 包括進行簡單的邏輯運算的邏輯電路、加法器、乘法器以及各種運算裝置等。另外，半導體記憶裝置 153 用作當在運算裝置 151 中進行運算處理時暫時保持資料信號的暫存器。半導體記憶裝置 154 用作當在運算裝置 152 中進行運算處理時暫時保持資料信號的暫存器。

另外，半導體記憶裝置 155 可以用作主記憶體，而可以將控制裝置 156 所執行的程式以資料信號的形式儲存，或者，可以儲存來自運算裝置 151 和運算裝置 152 的資料信號。

控制裝置 156 是對信號處理裝置 150 所具有的運算裝置 151、運算裝置 152、半導體記憶裝置 153、半導體記憶裝置 154 及半導體記憶裝置 155 的工作進行總括控制的電路。另外，在圖 8 中示出控制裝置 156 為信號處理裝置 150 的一部分的結構，但是也可以將控制裝置 156 設置在信號處理裝置 150 的外部。

藉由將實施例 1 所示的半導體記憶裝置用於半導體記憶裝置 153、半導體記憶裝置 154 及半導體記憶裝置 155，即使停止對半導體記憶裝置 153、半導體記憶裝置 154 及半導體記憶裝置 155 進行電源電壓的供應，也可以保持資料信號而不增加所控制的信號的數量。因此，可以停止對信號處理裝置 150 整體進行電源電壓的供應，以抑制耗電量。或者，可以停止對半導體記憶裝置 153、半導體記憶裝置 154 及半導體記憶裝置 155 中的任何一個或多個進行電源電壓的供應，以抑制信號處理裝置 150 的耗電量。另外，在再次開始電源電壓的供應之後，可以在短時間內恢復到電源供應停止之前的狀態。

另外，也可以在停止對半導體記憶裝置進行電源電壓的供應的同時，停止對在與該半導體記憶裝置之間進行資料信號的交換的運算裝置或控制電路進行電源電壓的供應

。例如，也可以在運算裝置 151 和半導體記憶裝置 153 不進行工作時，停止對運算裝置 151 及半導體記憶裝置 153 進行電源電壓的供應。

另外，電源控制電路 157 控制被供應到信號處理裝置 150 所具有的運算裝置 151、運算裝置 152、半導體記憶裝置 153、半導體記憶裝置 154、半導體記憶裝置 155 以及控制裝置 156 的電源電壓的大小。另外，在停止電源電壓的供應時，既可以在電源控制電路 157 中停止電源電壓的供應，又可以在運算裝置 151、運算裝置 152、半導體記憶裝置 153、半導體記憶裝置 154、半導體記憶裝置 155 以及控制裝置 156 中分別停止電源的供應。

另外，也可以在作為主記憶體的半導體記憶裝置 155 與運算裝置 151、運算裝置 152 以及控制裝置 156 之間設置用作高速緩衝記憶體的半導體記憶裝置。藉由設置高速緩衝記憶體，可以減少主記憶體被存取的次數，以實現運算處理等的信號處理的高速化。藉由還在用作高速緩衝記憶體的半導體記憶裝置中使用上述半導體記憶裝置，可以抑制信號處理裝置 150 的耗電量，而不增加所控制的信號的數量。

本實施例可以與上述實施例適當地組合而實施。

實施例 4

在本實施例中，對關於本發明的一個實施例的信號處理裝置之一的 CPU 的結構進行說明。

圖 9 示出本實施例的 CPU 的結構。圖 9 所示的 CPU 在基板 9900 上主要包括：ALU 9901；ALU 控制器 9902；指令解碼器 9903；中斷控制器 9904；時序控制器 9905；暫存器 9906；暫存器控制器 9907；Bus·I/F 9908；可重寫的 ROM 9909；以及 ROM·I/F 9920。注意，ALU 是指 Arithmetic logic unit，即算術邏輯單元，Bus·I/F 是指匯流排界面，並且 ROM·I/F 是指 ROM 介面。ROM 9909 和 ROM·I/F 9920 可以設置在另一晶片上。當然，圖 9 只是示出將其結構簡化的一例，並且實際上的 CPU 根據其用途具有多種結構。

藉由 Bus·I/F 9908 輸入到 CPU 的指令輸入到指令解碼器 9903 且在進行解碼之後，輸入到 ALU 控制器 9902、中斷控制器 9904、暫存器控制器 9907 和時序控制器 9905。

根據被解碼的指令，ALU 控制器 9902、中斷控制器 9904、暫存器控制器 9907、時序控制器 9905 進行各種控制。明確地說，ALU 控制器 9902 產生用來控制 ALU 9901 的工作的信號。另外，當 CPU 在執行程式時，中斷控制器 9904 根據其優先度或掩模狀態而判斷來自外部的輸入/輸出裝置或週邊電路的中斷要求，並處理所述要求。暫存器控制器 9907 產生暫存器 9906 的位址，並根據 CPU 的狀態進行從暫存器 9906 的讀出或對暫存器 9906 的寫入。

另外，時序控制器 9905 產生控制 ALU 9901、ALU 控制器 9902、指令解碼器 9903、中斷控制器 9904、暫存器控制器 9907 的工作時序的信號。例如，時序控制器 9905

具備根據基準時脈信號 CLK1 產生內部時脈信號 CLK2 的內部時脈產生部，將時脈信號 CLK2 輸入到上述各種電路。

在本實施例的 CPU 中，在暫存器 9906 中設置有具有上述實施例所示的結構的半導體記憶裝置。暫存器控制器 9907 根據來自 ALU 9901 的指令可以在暫存器 9906 所具有的半導體記憶裝置中停止電源電壓的供應，而不增加所控制的信號的數量。

如此，當暫時停止 CPU 的工作，停止電源電壓的供應時也可以保持資料信號，且可以降低耗電量。明確地說，例如，在個人電腦的使用者停止對鍵盤等輸入裝置的資訊輸入的期間中也可以停止 CPU，由其可以降低耗電量。

在本實施例中，將 CPU 舉例說明，但是本發明的信號處理裝置不侷限於 CPU，也可以應用於微處理器、影像處理電路、DSP、FPGA (Field Programmable Gate Array：現場可編程閘陣列) 等的 LSI。

本實施例可以與上述實施例組合而實施。

實施例 5

在圖 1B 所示的記憶電路 101 中，舉出在矽中形成通道的第二電晶體 112、在氧化物半導體層中形成通道的第一電晶體 111 及第一電容器 113 的例子來說明半導體記憶裝置 100 的製造方法。

如圖 10A 所示，在基板 700 上形成絕緣膜 701 和從單晶半導體基板分離的半導體膜 702。

對可以用作基板 700 的材料沒有大的限制，但是需要至少具有能夠承受後面的加熱處理的程度的耐熱性。例如，作為基板 700，可以使用藉由熔融法或浮法而製造的玻璃基板、石英基板、半導體基板、陶瓷基板等。另外，當後面的加熱處理的溫度較高時，較佳為使用應變點為 730℃ 以上的玻璃基板。

在本實施例中，以下，以半導體膜 702 為單晶矽的情況為例子來說明第二電晶體 112 的製造方法。另外，簡單說明具體的單晶半導體膜 702 的製造方法的一個例子。首先，將由利用電場進行加速的離子構成的離子束注入到單晶半導體基板的接合基板，以在離接合基板的表面有規定深度的區域中形成因使結晶結構錯亂而局部性地脆弱化的脆化層。可以根據離子束的加速能和離子束的入射角調節形成脆化層的區域的深度。然後，貼合接合基板與形成有絕緣膜 701 的基板 700，其中間夾有該絕緣膜 701。至於貼合，在使接合基板與基板 700 重疊之後，對接合基板和基板 700 的一部分施加大約 $1\text{N}/\text{cm}^2$ 以上 $500\text{N}/\text{cm}^2$ 以下的壓力，較佳為施加大約 $11\text{N}/\text{cm}^2$ 以上 $20\text{N}/\text{cm}^2$ 以下的壓力。當施加壓力時，從該部分起開始接合基板和絕緣膜 701 的接合，該接合最終擴展於貼緊的面整體。接著，藉由進行加熱處理，存在於脆化層中的極小空隙彼此結合起來，使得極小空隙的體積增大。其結果，在脆化層中，接合基板的一部分的單晶半導體膜從接合基板分離。上述加熱處理的溫度為不超過基板 700 的應變點的溫度。然後，藉由

利用蝕刻等將上述單晶半導體膜加工為所希望的形狀，可以形成半導體膜 702。

為了控制臨界電壓，也可以對半導體膜 702 添加賦予 p 型導電性的雜質元素諸如硼、鋁、鎵等或賦予 n 型導電性的雜質元素諸如磷、砷等。用來控制臨界電壓的雜質元素添加，既可以對被進行構圖之前的半導體膜進行，又可以對被進行構圖之後的半導體膜 702 進行。另外，也可以將用於控制臨界電壓的雜質元素添加到接合基板。或者，也可以首先將雜質元素添加到接合基板，以便粗略地調節臨界電壓，然後，再添加到被進行構圖之前的半導體膜或被進行構圖之後的半導體膜 702，以便精細地調節臨界電壓。

另外，雖然在本實施例中說明使用單晶半導體膜的例子，但是本發明不侷限於該結構。例如，既可以利用在絕緣膜 701 上利用氣相沉積法而形成的多晶、微晶或非晶半導體膜，又可以利用已知的技術使上述半導體膜結晶化。作為已知的晶化法，有利用雷射的雷射晶化法、使用催化元素的晶化法。或者，也可以採用組合了使用催化元素的晶化法和雷射晶化法的方法。另外，在使用石英等具有優良的耐熱性的基板時，也可以採用組合如下方法的晶化法：使用電熱爐的熱晶化法；利用紅外光的燈退火晶化法；使用催化元素的晶化法；以及 950℃ 左右的高溫退火法。

接著，如圖 10B 所示，在半導體膜 702 上形成閘極絕緣膜 703，然後在閘極絕緣膜 703 上形成掩模 705，對半

導體膜 702 的一部分添加賦予導電性的雜質元素，由此形成雜質區 704。

閘極絕緣膜 703 可以藉由進行高密度電漿處理、熱處理等使半導體膜 702 的表面氧化或氮化來形成。高密度電漿處理例如使用 He、Ar、Kr、Xe 等的稀有氣體與氧、氧化氮、氨、氮、氫等的混合氣體來進行。在此情況下，藉由引入微波來激發電漿，可以產生低電子溫度且高密度的電漿。藉由使用由這種高密度的電漿產生的氧自由基（也有包括 OH 自由基的情況）或氮自由基（也有包括 NH 自由基的情況）使半導體膜的表面氧化或氮化，可以以與半導體膜接觸的方式形成 1nm 至 20nm，較佳為 5nm 至 10nm 的絕緣膜。例如，利用使用 Ar 稀釋為 1 倍至 3 倍（流量比）的一氧化二氮（ N_2O ）並以 10Pa 至 30Pa 的壓力施加 3kW 至 5kW 的微波（2.45GHz）電力，來使半導體膜 702 的表面氧化或氮化。藉由該處理形成厚度為 1nm 至 10nm（較佳為 2nm 至 6nm）的絕緣膜。此外，引入一氧化二氮（ N_2O ）和矽烷（ SiH_4 ）並以 10Pa 至 30Pa 的壓力施加 3kW 至 5kW 的微波（2.45GHz）電力，藉由氣相生長法形成氧氮化矽膜，從而形成閘極絕緣膜。藉由組合固相反應和氣相生長法所引起的反應，可以形成介面態密度低且絕緣耐壓優異的閘極絕緣膜。

由於上述利用高密度電漿處理的半導體膜的氧化或氮化以固相反應進行，所以可以使閘極絕緣膜 703 與半導體膜 702 的介面態密度極低。另外，藉由利用高密度電漿處

理直接使半導體膜 702 氧化或氮化，可以抑制所形成的絕緣膜的厚度的不均勻。另外，在半導體膜具有結晶性時，藉由利用高密度電漿處理以固相反應來使半導體膜的表面氧化，可以抑制氧化只在晶粒介面中進展得快，從而可以形成均勻性良好且介面態密度低的閘極絕緣膜。如此，將利用高密度電漿處理形成的絕緣膜包括在閘極絕緣膜的一部分或整個閘極絕緣膜內的電晶體可以抑制特性的不均勻。

另外，也可以使用電漿 CVD 法或濺射法等形成包含如下材料的膜的單層或疊層的閘極絕緣膜 703：氧化矽、氮氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁、氧化鉬、氧化鈮、矽酸鉛（ $\text{HfSi}_x\text{O}_y(x>0, y>0)$ ）、添加有氮的矽酸鉛（ $\text{HfSi}_x\text{O}_y(x>0, y>0)$ ）、添加有氮的鋁酸鉛（ $\text{HfAl}_x\text{O}_y(x>0, y>0)$ ）等。

另外，在本說明書中，氧氮化物是指在其組成中含氧量多於含氮量的物質。另外，氮氧化物是指在其組成中含氮量多於含氧量的物質。

例如，可以將閘極絕緣膜 703 的厚度設定為 1nm 以上 100nm 以下，較佳為 10nm 以上 50nm 以下。在本實施例中，作為閘極絕緣膜 703，使用電漿 CVD 法形成包含氧化矽的單層的絕緣膜。

接著，在去除掩模 705 之後，如圖 10C 所示，去除閘極絕緣膜 703 的一部分，藉由蝕刻等在與雜質區 704 重疊的區域中形成開口部 706，之後形成閘極電極 707 及導電

膜 708。

閘極電極 707 及導電膜 708 可以藉由在以覆蓋開口部 706 的方式形成導電膜之後將該導電膜加工（構圖）為規定的形狀而形成。導電膜 708 在開口部 706 中與雜質區 704 接觸。在形成上述導電膜時，可以使用 CVD 法、濺射法、蒸鍍法、旋塗法等。另外，作為導電膜，可以使用鉭（Ta）、鎢（W）、鈦（Ti）、鉬（Mo）、鋁（Al）、銅（Cu）、鉻（Cr）、鉍（Nb）等。既可以使用含上述金屬作為其主要成分的合金，又可以使用含上述金屬的化合物。或者，也可以使用對半導體膜摻雜了賦予導電性的雜質元素如磷等而成的多晶矽等半導體來形成。

另外，雖然在本實施例中由單層導電膜形成閘極電極 707 及導電膜 708，但是本實施例不侷限於該結構。閘極電極 707 及導電膜 708 也可以由層疊的多個導電膜形成。

作為兩個導電膜的組合，可以使用氮化鉭或鉭作為第一層，並且使用鎢作為第二層。另外，除了上述以外，還可以舉出：氮化鎢和鎢、氮化鉬和鉬、鋁和鉭、鋁和鈦等。因為鎢和氮化鉭具有高耐熱性，所以在形成兩層導電膜之後可以進行用於熱活化的加熱處理。另外，作為兩層導電膜的搭配，例如可以使用摻雜有賦予 n 型導電性的雜質元素的矽和鎳矽化物以及摻雜有賦予 n 型導電性的雜質元素的矽和鎢矽化物等。

在採用層疊三層的導電膜的三層結構的情況下，較佳為採用鉬膜、鋁膜和鉬膜的疊層結構。

另外，作為閘極電極 707 及導電膜 708，也可以使用氧化銦、氧化銦氧化錫、氧化銦氧化鋅、氧化鋅、氧化鋅鋁、氧化鋁或氧化鋅鎵等的具有透光性的氧化物導電膜。

另外，也可以使用液滴噴射法選擇性地形成閘極電極 707 及導電膜 708，而不使用掩模。液滴噴射法是指從細孔噴射或噴出包含規定組分的液滴來形成規定圖案的方法，噴墨法等包括在其範疇內。

另外，藉由在形成導電膜之後使用 ICP (Inductively Coupled Plasma: 感應耦合電漿) 蝕刻法並對蝕刻條件 (施加到線圈型電極層的電力量、施加到基板側電極層的電力量和基板側的電極溫度等) 進行適當調整，可以將閘極電極 707 及導電膜 708 蝕刻為具有所希望的錐形形狀。另外，還可以根據掩模的形狀控制錐形形狀的角度等。另外，作為蝕刻氣體，可以適當地使用：氯類氣體如氯、氯化硼、氯化矽、四氯化碳等；氟類氣體如四氟化碳、氟化硫或氟化氮；或氧。

在利用濺射法製造氧化物半導體層 716 的情況下，儘量減少存在於成膜處理室內的水和氫。明確地說，較佳在成膜之前對成膜處理室內進行加熱，降低導入到成膜處理室內的氣體中的水及 / 或氫濃度以及防止從成膜處理室排氣的氣體的倒流等。

接著，如圖 10D 所示，藉由以閘極電極 707 及導電膜 708 為掩模將賦予一導電性的雜質元素添加到半導體膜

702，在半導體膜 702 中形成與閘極電極 707 重疊的通道形成區 710、夾有通道形成區 710 的一對雜質區 709 以及對雜質區 704 的一部分還添加雜質元素的雜質區 711。

在本實施例中，以將賦予 p 型的雜質元素（如硼）添加到半導體膜 702 的情況為例子。

接著，如圖 11A 所示，以覆蓋閘極絕緣膜 703、閘極電極 707 和導電膜 708 的方式形成絕緣膜 712 和絕緣膜 713。明確地說，絕緣膜 712 和絕緣膜 713 可以使用氧化矽、氮化矽、氮氧化矽、氧氮化矽、氮化鋁、氮氧化鋁等的無機絕緣膜。特別是，藉由作為絕緣膜 712 和絕緣膜 713 使用介電常數低（low-k）材料，可以充分地減少起因於各種電極或佈線的重疊的電容，所以較佳為使用介電常數低（low-k）材料。另外，作為絕緣膜 712 和絕緣膜 713，也可以應用使用上述材料的多孔絕緣膜。在多孔絕緣膜中，因為與密度高的絕緣膜相比，其介電常數降低，所以可以進一步減少起因於電極或佈線的寄生電容。

在本實施例中，以使用氧氮化矽作為絕緣膜 712 並使用氮氧化矽作為絕緣膜 713 的情況為例子。另外，雖然在本實施例中以在閘極電極 707 及導電膜 708 上形成絕緣膜 712 和絕緣膜 713 的情況為例子，但是在本發明中，既可以在閘極電極 707 及導電膜 708 上只形成一層的絕緣膜，又可以在閘極電極 707 及導電膜 708 上形成三層以上的多個絕緣膜的疊層。

接著，如圖 11B 所示，藉由對絕緣膜 712 及絕緣膜

713 進行 CMP（化學機械拋光）處理或蝕刻處理，使閘極電極 707 及導電膜 708 的表面露出。另外，爲了提高之後形成的第一電晶體 111 的特性，較佳爲使絕緣膜 712 和絕緣膜 713 的表面盡可能地爲平坦。

藉由上述製程，可以形成第二電晶體 112。

接著，說明第一電晶體 111 的製造方法。首先，如圖 11C 所示，在絕緣膜 712 或絕緣膜 713 上形成氧化物半導體層 716。

藉由將形成在絕緣膜 712 及絕緣膜 713 上的氧化物半導體膜加工爲所希望的形狀，可以形成氧化物半導體層 716。上述氧化物半導體膜的厚度爲 2nm 以上 200nm 以下，較佳爲 3nm 以上 50nm 以下，更佳地爲 3nm 以上 20nm 以下。藉由使用氧化物半導體作爲靶材，利用濺射法形成氧化物半導體膜。另外，氧化物半導體膜可以藉由在稀有氣體（如氬）氛圍下、在氧氛圍下或在稀有氣體（如氬）和氧的混合氛圍下利用濺射法而形成。

另外，較佳在使用濺射法形成氧化物半導體膜之前，進行引入氬氣體並產生電漿的反濺射，而去除附著在絕緣膜 712 及絕緣膜 713 的表面的灰塵。反濺射是指不對靶材一側施加電壓而使用 RF 電源在氬氛圍中對基板一側施加電壓來在基板附近形成電漿以進行表面修改的方法。另外，也可以使用氮、氦等代替氬氛圍。另外，也可以在對氬氛圍添加氧、一氧化二氮等的氛圍下進行反濺射。另外，也可以在對氬氛圍添加氯、四氟化碳等的氛圍下進行反

濺射。

如上所述，作為氧化物半導體膜，可以使用：四元金屬氧化物的 In-Sn-Ga-Zn-O 類氧化物半導體；三元金屬氧化物的 In-Ga-Zn-O 類氧化物半導體、 In-Sn-Zn-O 類氧化物半導體、 In-Al-Zn-O 類氧化物半導體、 Sn-Ga-Zn-O 類氧化物半導體、 Al-Ga-Zn-O 類氧化物半導體、 Sn-Al-Zn-O 類氧化物半導體和 Hf-In-Zn-O 類氧化物半導體；二元金屬氧化物的 In-Zn-O 類氧化物半導體、 Sn-Zn-O 類氧化物半導體、 Al-Zn-O 類氧化物半導體、 Zn-Mg-O 類氧化物半導體、 Sn-Mg-O 類氧化物半導體、 In-Mg-O 類氧化物半導體和 In-Ga-O 類氧化物半導體；以及單元金屬氧化物的 In-O 類氧化物半導體、 Sn-O 類氧化物半導體和 Zn-O 類氧化物半導體等。

另外，當作為氧化物半導體膜尤其使用 In-Sn-Zn-O 類氧化物半導體時，可以提高電晶體的遷移率。此外，當使用 In-Sn-Zn-O 類氧化物半導體時，可以穩定地控制電晶體的臨界電壓。另外，在使用 In-Sn-Zn-O 類氧化物半導體時，可以將所使用的靶材的組成比設定為其原子數比為 $\text{In} : \text{Sn} : \text{Zn} = 1 : 2 : 2$ 、 $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3$ 或 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ 等。

在本實施例中，將藉由使用包含 In （銦）、 Ga （鎵）及 Zn （鋅）的靶材的濺射法而得到的厚度為 30nm 的 In-Ga-Zn-O 類氧化物半導體的薄膜用作氧化物半導體膜。作為上述靶材，例如可以使用各金屬的組成比為 $\text{In} : \text{Ga} :$

$\text{Zn}=1:1:0.5$ 、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 或 $\text{In}:\text{Ga}:\text{Zn}=1:1:2$ 的靶材。另外，包含 In 、 Ga 及 Zn 的靶材的填充率為 90%以上 100%以下，較佳為 95%以上且低於 100%。藉由採用填充率高的靶材，可以形成緻密的氧化物半導體膜。

在本實施例中，將基板放置在保持為減壓狀態的處理室內，去除處理室內的殘留水分並引入被去除了氫及水分的濺射氣體，使用上述靶材形成氧化物半導體膜。在進行成膜時，也可以將基板溫度設定為 100°C 以上 600°C 以下，較佳為 200°C 以上 400°C 以下。藉由邊加熱基板邊進行成膜，可以降低形成的氧化物半導體膜中含有的雜質濃度。另外，可以減輕由於濺射帶來的損傷。為了去除殘留在處理室中的水分，較佳為使用吸附型真空泵。例如，較佳為使用低溫泵、離子泵、鈦昇華泵。另外，作為排氣單元，也可以使用配備有冷阱的渦輪泵。在使用低溫泵對處理室進行排氣時，例如排出氫原子、水 (H_2O) 等的包含氫原子的化合物（更佳地，還有包含碳原子的化合物）等，由此可降低該處理室中形成的氧化物半導體膜所包含的雜質濃度。

作為成膜條件的一例，可以應用如下條件：基板與靶材之間的距離為 100mm ，壓力為 0.6Pa ，直流 (DC) 電源功率為 0.5kW ，採用氧（氧流量比率為 100%）氛圍。另外，脈衝直流 (DC) 電源是較佳的，因為可以減少在成膜時發生的灰塵並可以實現均勻的膜厚度分佈。

另外，藉由將濺射裝置的處理室的洩漏率設定為

$1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3/\text{秒}$ 以下，可以減少當藉由濺射法形成膜時混入到氧化物半導體膜中的鹼金屬、氫化物等雜質。另外，藉由作為排氣系統使用上述吸附型真空泵，可以減少鹼金屬、氫原子、氫分子、水、羥基或氫化物等雜質從排氣系統倒流。

另外，藉由將靶材的純度設定為 99.99% 以上，可以減少混入到氧化物半導體膜中的鹼金屬、氫原子、氫分子、水、羥基或氫化物等。另外，藉由使用該靶材，在氧化物半導體膜中可以降低鋰、鈉、鉀等的鹼金屬的濃度。

另外，為了使氧化物半導體膜中儘量不包含氫、羥基及水分，作為成膜的預處理，較佳在濺射裝置的預熱室中對形成了絕緣膜 712 及絕緣膜 713 的基板 700 進行預熱，使吸附到基板 700 的水分或氫等雜質脫離且進行排氣。注意，預熱的溫度是 100°C 以上 400°C 以下，較佳為是 150°C 以上 300°C 以下。另外，設置在預熱室中的排氣單元較佳為是低溫泵。另外，還可以省略該預熱處理。另外，該預熱也可以在後面進行的閘極絕緣膜 721 的成膜之前，對形成了導電膜 719 及導電膜 720 的基板 700 同樣地進行。

另外，作為用來形成氧化物半導體層 716 的蝕刻，可以採用乾蝕刻及濕蝕刻中的一者或兩者。作為用於乾蝕刻的蝕刻氣體，較佳為使用含有氯的氣體（氯類氣體，例如，氯（ Cl_2 ）、三氯化硼（ BCl_3 ）、四氯化矽（ SiCl_4 ）、四氯化碳（ CCl_4 ）等）。另外，還可以使用含有氟的氣體（氟類氣體，例如四氟化碳（ CF_4 ）、六氟化硫（ SF_6 ）、

三氟化氮（ NF_3 ）、三氟甲烷（ CHF_3 ）等）、溴化氫（ HBr ）、氧（ O_2 ）、或對上述氣體添加了氦（ He ）或氬（ Ar ）等的稀有氣體的氣體等。

作為乾蝕刻法，可以使用平行平板型 RIE（Reactive Ion Etching：反應離子蝕刻）法或 ICP（Inductively Coupled Plasma：感應耦合電漿）蝕刻法。為了能夠蝕刻為所希望的形狀，適當地調節蝕刻條件（施加到線圈形電極的電力量、施加到基板一側的電極的電力量、基板一側的電極溫度等）。

作為用於濕蝕刻的蝕刻液，可以使用將磷酸、醋酸及硝酸混合而成的溶液、檸檬酸或草酸等的有機酸。在本實施例中，使用 ITO-07N（日本關東化學株式會社製造）。

另外，也可以利用噴墨法形成用來形成氧化物半導體層 716 的抗蝕劑掩模。當利用噴墨法形成抗蝕劑掩模時不需要光掩模，由此可以降低製造成本。

另外，較佳在下一個製程中形成導電膜之前進行反濺射，以去除附著在氧化物半導體層 716、絕緣膜 712 以及絕緣膜 713 的表面的抗蝕劑殘渣等。

另外，有時在藉由濺射等形成的氧化物半導體膜中包含多量的作為雜質的水分或氫（包括羥基）。因為水分或氫容易形成施體能階，所以它們對於氧化物半導體來說是雜質。因此，在本發明的一個實施例中，為了減少氧化物半導體膜中的水分或氫等雜質（實現脫水化或脫氫化），在減壓氛圍、氮或稀有氣體等惰性氣體氛圍、氧氣體氛圍

或超乾燥空氣（使用 CRDS（cavity ring-down laser spectroscopy：光腔衰蕩光譜法）方式的露點計進行測定時的水分量是 20ppm（露點換算， -55°C ）以下，較佳的是 1ppm 以下，更佳的是 10ppb 以下的空氣）氛圍下對氧化物半導體層 716 進行加熱處理。

藉由對氧化物半導體層 716 進行加熱處理，可以使氧化物半導體層 716 中的水分或氫脫離。明確地說，可以在 250°C 以上 750°C 以下的溫度下，較佳在 400°C 以上且低於基板的應變點的溫度下進行加熱處理。例如，以 500°C 進行 3 分鐘以上且 6 分鐘以下左右的加熱處理即可。藉由使用 RTA 法作為加熱處理，可以在短時間內進行脫水化或脫氫化，由此即使在超過玻璃基板的應變點的溫度下也可以進行處理。

在本實施例中，使用加熱處理裝置之一的電爐。

另外，加熱處理裝置不侷限於電爐，也可以具備利用來自電阻發熱體等發熱體的熱傳導或熱輻射加熱被處理物的裝置。例如，可以使用 GRTA（Gas Rapid Thermal Anneal：氣體快速熱退火）裝置、LRTA（Lamp Rapid Thermal Anneal：燈快速熱退火）裝置等的 RTA（Rapid Thermal Anneal：快速熱退火）裝置。LRTA 裝置是利用從燈如鹵素燈、金鹵燈、氙弧燈、碳弧燈、高壓鈉燈或高壓汞燈等發出的光（電磁波）的輻射加熱被處理物的裝置。GRTA 裝置是使用高溫的氣體進行加熱處理的裝置。作為氣體，使用即使進行加熱處理也不與被處理物產生反應

的惰性氣體如氬等的稀有氣體或者氮等。

另外，在加熱處理中，較佳在氮或氦、氖、氬等的稀有氣體中不包含水分或氬等。或者，較佳的是，引入到加熱處理裝置的氮或稀有氣體如氦、氖或氬的純度為 6N (99.9999%) 以上，較佳為 7N (99.99999%) 以上（即，雜質濃度為 1ppm 以下，較佳為 0.1ppm 以下）。

另外，有人指出：氧化物半導體對雜質不敏感，即使在膜中包含大量金屬雜質也沒有問題，因此，也可以使用包含大量的如鈉等鹼金屬的廉價的鹼石灰玻璃（神谷、野村、細野“非晶氧化物半導體的物性及裝置開發的現狀”、日本固體物理、2009 年 9 月號、第 44 卷、第 621-633 頁。但是，這種指出是不適當的。鹼金屬由於不是構成氧化物半導體的元素，所以是雜質。鹼土金屬在它不是構成氧化物半導體的元素時也是雜質。尤其是，鹼金屬中的 Na 在與氧化物半導體層接觸的絕緣膜為氧化物時擴散到該絕緣膜中而成為 Na^+ 。另外，在氧化物半導體層中，Na 將構成氧化物半導體的金屬與氧的接合斷開或擠進該接合之中。其結果，例如，發生因臨界電壓向負一側漂移而導致的常導通化、遷移率的降低等電晶體特性的劣化，而且，也發生特性的不均勻。在氧化物半導體層中的氬濃度十分低時顯著地出現上述雜質所引起的電晶體的上述特性劣化及特性不均勻。因此，在氧化物半導體層中的氬濃度為 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下，較佳為 $1 \times 10^{17} \text{ atoms/cm}^3$ 以下時，較佳為減少上述雜質的濃度。明確地說，利用二次離子質

譜分析法測量的 Na 濃度的測定值較佳為 $5 \times 10^{16} \text{ atoms/cm}^3$ 以下，更佳地為 $1 \times 10^{16} \text{ atoms/cm}^3$ 以下，進一步較佳為 $1 \times 10^{15} \text{ atoms/cm}^3$ 以下。與此同樣，Li 濃度的測定值較佳為 $5 \times 10^{15} \text{ atoms/cm}^3$ 以下，更佳地為 $1 \times 10^{15} \text{ atoms/cm}^3$ 以下。與此同樣，K 濃度的測定值較佳為 $5 \times 10^{15} \text{ atoms/cm}^3$ 以下，更佳地為 $1 \times 10^{15} \text{ atoms/cm}^3$ 以下。

藉由上述製程可以降低氧化物半導體層 716 中的氫濃度，從而實現高純度化。由此，可以實現氧化物半導體層的穩定化。另外，藉由進行玻璃轉變溫度以下的加熱處理，可以形成能隙寬的氧化物半導體層。由此，可以使用大面積基板製造電晶體，而可以提高量產性。只要在形成氧化物半導體層之後，就可以進行上述加熱處理。

另外，氧化物半導體層也可以為非晶，但是也可以具有結晶性。作為具有結晶性的氧化物半導體層，也較佳為使用具有 c 軸配向的結晶氧化物半導體（C Axis Aligned Crystalline Oxide Semiconductor：也稱為 CAAC-OS），因為可以獲取電晶體的可靠性得到提高的效果。

CAAC-OS 膜不是完全的單晶，也不是完全的非晶。CAAC-OS 膜是在非晶相中具有結晶部及非晶部的結晶-非晶混合相結構的氧化物半導體膜。另外，在很多情況下，該結晶部的尺寸為能夠容納在一邊短於 100nm 的立方體內的尺寸。另外，在使用透射電子顯微鏡（TEM：Transmission Electron Microscope）觀察時的影像中，包括在 CAAC-OS 膜中的非晶部與結晶部的邊界不明確。另

外，不能利用 TEM 在 CAAC-OS 膜中觀察到晶界（grain boundary）。因此，在 CAAC-OS 膜中，起因於晶界的電子遷移率的降低得到抑制。

包括在 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或表面的法線向量的方向上一致，在從垂直於 ab 面的方向看時具有三角形或六角形的原子排列，且在從垂直於 c 軸的方向看時，金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。另外，不同結晶部的 a 軸及 b 軸的方向也可以彼此不同。在本說明書中，在只記載“垂直”時，也包括 85° 以上且 95° 以下的範圍。另外，在只記載“平行”時，也包括 -5° 以上且 5° 以下的範圍。

另外，在 CAAC-OS 膜中，結晶部的分佈也可以不均勻。例如，在 CAAC-OS 膜的形成過程中，在從氧化物半導體膜的表面一側進行結晶生長時，與被形成面近旁相比，有時在表面近旁結晶部所占的比例高。另外，藉由對 CAAC-OS 膜添加雜質，有時在該雜質添加區中結晶部產生非晶化。

因為包括在 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或表面的法線向量的方向上一致，所以有時根據 CAAC-OS 膜的形狀（被形成面的剖面形狀或表面的剖面形狀）朝向彼此不同的方向。另外，結晶部的 c 軸方向是平行於形成 CAAC-OS 膜時的被形成面的法線向量或表面的法線向量的方向。藉由進行

成膜或在成膜之後進行加熱處理等的晶化處理來形成結晶部。

因此，使用由 CAAC-OS 構成的氧化物半導體膜的電晶體可以降低照射可見光或紫外光導致的電特性的變動。由此，可以形成具有穩定的電特性的電晶體。

CAAC-OS 也可以藉由濺射法形成。重要的是，藉由濺射法在 CAAC-OS 膜的沉積初期步驟中形成六方晶的結晶且以該結晶為晶種使結晶生長。為此，較佳將靶材與基板之間的距離設定為長（例如，150mm 至 200mm 左右），並且將加熱基板的溫度設定為 100℃ 至 500℃，更佳地設定為 200℃ 至 400℃，進一步較佳為設定為 250℃ 至 300℃。

另外，較佳的是，在利用濺射法形成 CAAC-OS 時，氛圍中的氧氣比較高。例如，當在氬和氧的混合氣體氛圍中使用濺射法時，氧氣比較佳為 30% 以上，更佳地為 40% 以上。這是因為從氛圍中補充氧來促進 CAAC-OS 的結晶化的緣故。

另外，較佳的是，在利用濺射法形成 CAAC-OS 時，將在其上形成 CAAC-OS 的基板被加熱到 150℃ 以上，更佳地被加熱到 170℃ 以上。這是因為隨著基板溫度的上升 CAAC-OS 的結晶化被促進的緣故。

另外，較佳的是，在對 CAAC-OS 進行氮氣氛中或真空中的熱處理之後，在氧氣氛中或在氧和其他氣體的混合氛圍中進行熱處理。這是因為如下緣故：藉由從後一者的

熱處理的氛圍中供應氧，可以補償在前一者的熱處理中發生的氧缺損。

另外，CAAC-OS 將形成在其上的膜表面（被形成面）較佳為平坦。這是因為如下緣故：因為 CAAC-OS 具有大致垂直於該被形成面的 c 軸，所以存在於該被形成面的凹凸會引發 CAAC-OS 中的晶界的發生。因此，較佳在形成 CAAC-OS 之前對上述被形成面進行化學機械拋光（CMP，即 Chemical Mechanical Polishing）等平坦化處理。另外，上述被形成面的平均粗糙度較佳為 0.5nm 以下，更佳地為 0.3nm 以下。

在此，參照圖 14A 至圖 16C 詳細說明 CAAC-OS。另外，在沒有特別說明時，在圖 14A 至圖 16C 中，以垂直方向為 c 軸方向，並以與 c 軸方向正交的面為 ab 面。另外，在簡單地描述為“上一半”或“下一半”時，其是指以 ab 面為邊界時的上一半或下一半。另外，在圖 14A 至 14E 中，使用圓圈圍繞的 O 示出四配位 O ，而使用雙重圓圈圍繞的 O 示出三配位 O 。

圖 14A 示出具有有一個六配位 In 以及靠近 In 的六個四配位氧原子（以下稱為四配位 O ）的結構。在此，將對於一個 In 只示出靠近其的氧原子的結構稱為子單元。雖然圖 14A 所示的結構採用八面體結構，但是為了容易理解示出平面結構。另外，在圖 14A 的上一半及下一半分別具有三個四配位 O 。圖 14A 所示的子單元的電荷為 0。

圖 14B 示出具有有一個五配位 Ga 、靠近 Ga 的三個三配

位氧原子（以下稱爲三配位 O）以及靠近 Ga 的兩個四配位 O 的結構。三配位 O 都存在於 ab 面上。在圖 14B 的上半及下半分別具有一個四配位 O。另外，因爲 In 也採用五配位，所以也有可能採用圖 14B 所示的結構。圖 14B 所示的子單元的電荷爲 0。

圖 14C 示出具有有一個四配位 Zn 以及靠近 Zn 的四個四配位 O 的結構。在圖 14C 的上半具有一個四配位 O，並且在下半具有三個四配位 O。圖 14C 所示的子單元的電荷爲 0。

圖 14D 示出具有有一個六配位 Sn 以及靠近 Sn 的六個四配位 O 的結構。在圖 14D 的上半具有三個四配位 O，並且在下半具有三個四配位 O。圖 14D 所示的子單元的電荷爲 +1。

圖 14E 示出包括兩個 Zn 的子單元。在圖 14E 的上半具有一個四配位 O，並且在下半具有一個四配位 O。圖 14E 所示的子單元的電荷爲 -1。

在此，將多個子單元的集合體稱爲一組，並將多個組的集合體稱爲一單元。

在此，對這些子單元彼此接合的規則進行說明。六配位 In 的上半的三個 O 在下方向上分別具有三個靠近的 In，而 In 的下半的三個 O 在上方向上分別具有三個靠近的 In。五配位 Ga 的上半的一個 O 在下方向上具有一個靠近的 Ga，而 Ga 的下半的一個 O 在上方向上具有一個靠近的 Ga。四配位 Zn 的上半的一個 O 在下方向上具

有一個靠近的 Zn ，而 Zn 的下一半的三個 O 在上方向上分別具有三個靠近的 Zn 。像這樣，金屬原子的上方向上的四配位 O 的個數與位於該 O 的下方向上的靠近的金屬原子的個數相等。與此同樣，金屬原子的下方向上的四配位 O 的個數與位於該 O 的上方向上的靠近的金屬原子的個數相等。因為 O 為四配位，所以位於下方向上的靠近的金屬原子的個數和位於上方向上的靠近的金屬原子的個數的總和成為 4。因此，在位於金屬原子的上方向上的四配位 O 的個數和位於另一金屬原子的下方向上的四配位 O 的個數的總和為 4 時，具有金屬原子的兩種子單元可以彼此接合。例如，在六配位金屬原子（ In 或 Sn ）藉由下一半的四配位 O 接合時，因為四配位 O 的個數為 3，所以其與五配位金屬原子（ Ga 或 In ）和四配位金屬原子（ Zn ）中的任何一個接合。

具有這些配位數的金屬原子在 c 軸方向上藉由四配位 O 接合。另外，除此以外，以使層結構的總和電荷成為 0 的方式使子單元彼此接合而構成一組。

圖 15A 示出構成 $In-Sn-Zn-O$ 類的層結構的一組的模型圖。圖 15B 示出由三個組構成的單元。另外，圖 15C 示出從 c 軸方向上觀察圖 15B 的層結構時的原子排列。

在圖 15A 中，為了容易理解，省略三配位 O ，關於四配位 O 只示出其個數，例如，以 ③ 表示 Sn 原子的上一半及下一半分別具有三個四配位 O 。與此同樣，在圖 15A 中，以 ① 表示 In 原子的上一半及下一半分別具有一個四配

位 O。與此同樣，在圖 15A 中示出：下一半具有一個四配位 O 而上一半具有三個四配位 O 的 Zn 原子；以及上一半具有一個四配位 O 而下一半具有三個四配位 O 的 Zn 原子。

在圖 15A 中，構成 In-Sn-Zn-O 類的層結構的組具有如下結構：在從上面按順序說明時，上一半及下一半分別具有三個四配位 O 的 Sn 原子與上一半及下一半分別具有一個四配位 O 的 In 原子接合；該 In 原子與上一半具有三個四配位 O 的 Zn 原子接合；藉由該 Zn 原子的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 In 原子接合；該 In 原子與上一半具有一個四配位 O 的由兩個 Zn 構成的子單元接合；以及藉由該子單元的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 Sn 原子接合。多個上述組彼此接合而構成單元。

在此，三配位 O 及四配位 O 的一個接合的電荷分別可以被認為是 -0.667 及 -0.5。例如，In（六配位或五配位）、Zn（四配位）以及 Sn（五配位或六配位）的電荷分別為 +3、+2 以及 +4。因此，包含 Sn 的子單元的電荷為 +1。因此，為了形成包含 Sn 的層結構，需要消除電荷 +1 的電荷 -1。作為具有電荷 -1 的結構，可以舉出圖 14E 所示的包含兩個 Zn 的子單元。例如，因為如果對於一個包含 Sn 的子單元有一個包含兩個 Zn 的子單元則電荷被消除，而可以使層結構的總電荷為 0。

明確地說，藉由反復圖 15B 所示的單元，來可以得到 In-Sn-Zn-O 類的結晶（ $\text{In}_2\text{SnZn}_3\text{O}_8$ ）。注意，可以得到的

In-Sn-Zn-O 類的層結構可以由組成式 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ (m 是 0 或自然數) 表示。

此外，使用如下材料時也與上述相同：四元金屬氧化物的 In-Sn-Ga-Zn-O 類氧化物；三元金屬氧化物的 In-Ga-Zn-O 類氧化物（也表示為 IGZO）、In-Al-Zn-O 類氧化物、Sn-Ga-Zn-O 類氧化物、Al-Ga-Zn-O 類氧化物和 Sn-Al-Zn-O 類氧化物；以及二元金屬氧化物的 In-Zn-O 類氧化物、Sn-Zn-O 類氧化物、Al-Zn-O 類氧化物、Zn-Mg-O 類氧化物、Sn-Mg-O 類氧化物、In-Mg-O 類氧化物和 In-Ga-O 類氧化物等。

例如，圖 16A 示出構成 In-Ga-Zn-O 類的層結構的一組的模型圖。

在圖 16A 中，構成 In-Ga-Zn-O 類的層結構的組具有如下結構：在從上面按順序說明時，上一半和下一半分別有三個四配位 O 的 In 原子與上一半具有一個四配位的 O 的 Zn 原子接合；藉由該 Zn 原子的下一半的三個四配位 O 與上一半及下一半分別具有一個四配位 O 的 Ga 原子接合；以及藉由該 Ga 原子的下一半的一個四配位 O 與上一半及下一半分別有三個四配位 O 的 In 原子接合。多個上述組彼此接合而構成單元。

圖 16B 示出由三個組構成的單元。另外，圖 16C 示出從 c 軸方向上觀察圖 16B 的層結構時的原子排列。

在此，因為 In（六配位或五配位）、Zn（四配位）、Ga（五配位）的電荷分別為 +3、+2、+3，所以包含 In、

Zn 和 Ga 中的任一種的子單元的電荷為 0。因此，組合這些子單元而成的組的總電荷一直為 0。

此外，構成 In-Ga-Zn-O 類的層結構的組不侷限於圖 16A 所示的組，而有可能是組合 In、Ga、Zn 的排列不同的組而成的單元。

接著，如圖 12A 所示，形成與閘極電極 707 接觸且與氧化物半導體層 716 接觸的導電膜 719 及與導電膜 708 接觸且與氧化物半導體層 716 接觸的導電膜 720。導電膜 719 及導電膜 720 用作源極電極或汲極電極。

明確地說，藉由濺射法或真空蒸鍍法以覆蓋閘極電極 707 及導電膜 708 的方式形成導電膜，然後將該導電膜加工（構圖）為所希望的形狀，來可以形成導電膜 719 及導電膜 720。

作為成為導電膜 719 及導電膜 720 的導電膜，可以舉出選自鋁、鉻、銅、鉬、鈦、鉕和鎢中的元素、以上述元素為成分的合金或組合上述元素而成的合金膜等。此外，還可以採用在鋁、銅等的金屬膜的下側或上側層疊鉻、鉬、鈦、鉕、鎢等的高熔點金屬膜的結構。另外，作為鋁或銅，為了避免耐熱性或腐蝕性的問題，較佳將鋁或銅與高熔點金屬材料組合而使用。作為高熔點金屬材料，可以使用鉕、鈦、鉻、鉬、鎢、釹、釷、釷等。

另外，成為導電膜 719 及導電膜 720 的導電膜可以採用單層結構或兩層以上的疊層結構。例如，可以舉出：包含矽的鋁膜的單層結構；在鋁膜上層疊鈦膜的兩層結構；

以及鈦膜、層疊在該鈦膜上的鋁膜、還在其上層疊的鈦膜的三層結構等。另外，Cu-Mg-Al 合金、Mo-Ti 合金、Ti、Mo 具有與氧化膜的高密接性。因此，藉由作為下層層疊包括 Cu-Mg-Al 合金、Mo-Ti 合金、Ti 或 Mo 的導電膜，作為上層層疊包括 Cu 的導電膜，且將該層疊的導電膜用於導電膜 719 及導電膜 720，可以提高作為氧化膜的絕緣膜與導電膜 719 及導電膜 720 的密接性。

此外，也可以使用導電金屬氧化物形成成為導電膜 719 及導電膜 720 的導電膜。作為導電金屬氧化物，可以使用氧化銦、氧化錫、氧化鋅、氧化銦氧化錫、氧化銦氧化鋅或使上述金屬氧化物材料包含矽或氧化矽的材料。

在形成導電膜之後進行加熱處理的情況下，較佳為使導電膜具有承受該加熱處理的耐熱性。

另外，在對導電膜進行蝕刻時，以儘量不去除氧化物半導體層 716 的方式適當地調節各個材料及蝕刻條件。根據蝕刻條件，有時由於氧化物半導體層 716 的露出的部分被部分地蝕刻，形成槽部（凹部）。

在本實施例中，作為導電膜，使用鈦膜。因此，可以使用包含氨和過氧化氫水的溶液（過氧化氫氨水）對導電膜選擇性地進行濕蝕刻。明確地說，使用以 5：2：2 的體積比混合有 31wt.% 的過氧化氫水、28wt.% 的氨水和水的水溶液。或者，也可以使用氯（ Cl_2 ）、氯化硼（ BCl_3 ）等的氣體對導電膜進行乾蝕刻。

另外，為了縮減在光刻製程中使用的光掩模數及製程

數，還可以使用藉由多色調掩模形成的抗蝕劑掩模進行蝕刻製程，該多色調掩模是使透過光具有多種強度的掩模。由於使用多色調掩模形成的抗蝕劑掩模成為具有多種厚度的形狀，且藉由進行蝕刻可以進一步改變其形狀，因此可以將使用多色調掩模形成的抗蝕劑掩模用於加工為不同圖案的多個蝕刻製程。由此，可以使用一個多色調掩模形成至少對應於兩種以上的不同圖案的抗蝕劑掩模。因此，可以縮減曝光掩模數，還可以縮減所對應的光刻製程，從而可以簡化製程。

另外，也可以在氧化物半導體層 716 與用作源極電極或汲極電極的導電膜 719 及導電膜 720 之間設置用作源極區或汲極區的氧化物導電膜。作為氧化物導電膜的材料，較佳為使用以氧化鋅為成分的材料，且較佳為使用不含有氧化銦的材料。作為這種氧化物導電膜，可以使用氧化鋅、氧化鋅鋁、氧氮化鋅鋁、氧化鋅鎵等。

例如，在形成氧化物導電膜時，也可以一同進行用來形成氧化物導電膜的構圖和用來形成導電膜 719 及導電膜 720 的構圖。

藉由設置用作源極區及汲極區的氧化物導電膜，可以降低氧化物半導體層 716 與導電膜 719 及導電膜 720 之間的電阻，所以可以實現電晶體的高速工作。另外，藉由設置用作源極區及汲極區的氧化物導電膜，可以提高電晶體的耐壓。

接著，也可以進行使用 N_2O 、 N_2 或 Ar 等的氣體的電

漿處理。藉由該電漿處理去除附著到露出的氧化物半導體層表面的水等。另外，也可以使用氧和氫的混合氣體進行電漿處理。

另外，在進行電漿處理之後，如圖 12B 所示，以覆蓋導電膜 719、導電膜 720 以及氧化物半導體層 716 的方式形成閘極絕緣膜 721。並且，在閘極絕緣膜 721 上，在與氧化物半導體層 716 重疊的位置形成閘極電極 722，而在與導電膜 719 重疊的位置形成導電膜 723。

閘極絕緣膜 721 可以使用與閘極絕緣膜 703 相同的材料、相同的疊層結構形成。並且，閘極絕緣膜 721 較佳儘量不包含水分、氫等的雜質，並可以為單層的絕緣膜或多個絕緣膜的疊層。當在閘極絕緣膜 721 中包含氫時，該氫侵入到氧化物半導體層 716，或氫抽出氧化物半導體層 716 中的氧，而使氧化物半導體層 716 低電阻化（n 型化），因此有可能形成寄生通道。因此，為了使閘極絕緣膜 721 儘量不含有氫，當形成膜時不使用氫是重要的。上述閘極絕緣膜 721 較佳為使用阻擋性高的材料。例如，作為阻擋性高的絕緣膜，可以使用氮化矽膜、氮氧化矽膜、氮化鋁膜或氮氧化鋁膜等。當使用多個層疊的絕緣膜時，將氮的含有比率低的氧化矽膜、氧氮化矽膜等的絕緣膜形成在與上述阻擋性高的絕緣膜相比接近於氧化物半導體層 716 的一側。然後，以在其間夾著氮含有比率低的絕緣膜且與導電膜 719、導電膜 720 以及氧化物半導體層 716 重疊的方式形成阻擋性高的絕緣膜。藉由使用阻擋性高的絕

緣膜，可以防止水分或氫等雜質侵入到氧化物半導體層 716 內、閘極絕緣膜 721 內或者氧化物半導體層 716 與其他絕緣膜的介面及其近旁。另外，藉由以與氧化物半導體層 716 接觸的方式形成氮比率低的氧化矽膜、氧氮化矽膜等的絕緣膜，可以防止使用阻擋性高的材料的絕緣膜直接接觸於氧化物半導體層 716。

在本實施例中，形成如下閘極絕緣膜 721，該閘極絕緣膜 721 在藉由濺射法形成的厚度為 200nm 的氧化矽膜上層疊有藉由濺射法形成的厚度為 100nm 的氮化矽膜。將進行成膜時的基板溫度設定為室溫以上 300℃ 以下即可，在本實施例中採用 100℃。

另外，也可以在形成閘極絕緣膜 721 之後進行加熱處理。該加熱處理在氮、超乾燥空氣或稀有氣體（氬、氦等）的氛圍下較佳以 200℃ 以上 400℃ 以下，例如 250℃ 以上 350℃ 以下的溫度進行。上述氣體的含水量為 20ppm 以下，較佳為 1ppm 以下，更佳地為 10ppb 以下。在本實施例中，例如在氮氛圍下以 250℃ 進行 1 小時的加熱處理。或者，與在形成導電膜 719 及導電膜 720 之前為了減少水分或氫對氧化物半導體層進行的上述加熱處理同樣，也可以在短時間進行高溫的 RTA 處理。藉由在設置包含氧的閘極絕緣膜 721 之後進行加熱處理，即使因對氧化物半導體層 716 進行的上述加熱處理而在氧化物半導體層 716 中產生氧缺陷，氧也從閘極絕緣膜 721 供應到氧化物半導體層 716。並且，藉由將氧供應到氧化物半導體層 716，可以在

氧化物半導體層 716 中降低成為施體的氧缺陷，並滿足化學計量組成比。氧化物半導體層 716 較佳為包含超過化學計量組成比的氧。其結果，可以使氧化物半導體層 716 趨近於 i 型，降低因氧缺陷而導致的電晶體的電特性的偏差，從而實現電特性的提高。進行該加熱處理的時序只要是形成閘極絕緣膜 721 之後就沒有特別的限制，並且藉由將該加熱處理兼作其他製程例如形成樹脂膜時的加熱處理、用來使透明導電膜低電阻化的加熱處理，可以在不增加製程數的條件下使氧化物半導體層 716 趨近於 i 型。

另外，也可以藉由在氧氛圍下對氧化物半導體層 716 進行加熱處理，對氧化物半導體添加氧，而減少在氧化物半導體層 716 中成為施體的氧缺陷。加熱處理的溫度例如是 100℃ 以上且低於 350℃，較佳為是 150℃ 以上且低於 250℃。上述用於氧氛圍下的加熱處理的氧氣體較佳不包含水、氫等。或者，較佳將引入到加熱處理裝置中的氧氣體的純度設定為 6N (99.9999%) 以上，更佳地設定為 7N (99.99999%) 以上（也就是說，氧中的雜質濃度為 1ppm 以下，較佳為 0.1ppm 以下）。

或者，也可以藉由採用離子植入法或離子摻雜法等對氧化物半導體層 716 添加氧，來減少成為施體的氧缺陷。例如，將以 2.45GHz 的微波電漿化了的氧添加到氧化物半導體層 716 中，即可。

另外，藉由在閘極絕緣膜 721 上形成導電膜之後，對該導電膜進行構圖，來可以形成閘極電極 722 及導電膜

723。閘極電極 722 及導電膜 723 可以使用與閘極電極 707 或導電膜 719 及導電膜 720 相同的材料來形成。

閘極電極 722 及導電膜 723 的厚度為 10nm 至 400nm，較佳為 100nm 至 200nm。在本實施例中，在藉由使用鎢靶材的濺射法形成 150nm 的用於閘極電極的導電膜之後，藉由蝕刻將該導電膜加工（構圖）為所希望的形狀，來形成閘極電極 722 及導電膜 723。另外，也可以使用噴墨法形成抗蝕劑掩模。當藉由噴墨法形成抗蝕劑掩模時不使用光掩模，因此可以縮減製造成本。

藉由上述製程，形成第一電晶體 111。

另外，導電膜 719 與導電膜 723 隔著閘極絕緣膜 721 重疊的部分相當於第一電容器 113。

另外，雖然使用單閘結構的電晶體說明第一電晶體 111，但是也可以根據需要形成藉由具有電連接的多個閘極電極來具有多個通道形成區的雙閘結構或多閘結構的電晶體。

接觸於氧化物半導體層 716 的絕緣膜（在本實施例中，相當於閘極絕緣膜 721）也可以使用包含第 13 族元素及氧的絕緣材料。較多氧化物半導體材料包含第 13 族元素，包含第 13 族元素的絕緣材料與氧化物半導體的搭配良好，因此藉由將包含第 13 族元素的絕緣材料用於與氧化物半導體層接觸的絕緣膜，可以保持與氧化物半導體層的良好介面狀態。

包含第 13 族元素的絕緣材料是指包含一種或多種第

13 族元素的絕緣材料。作為包含第 13 族元素的絕緣材料，例如有氧化鎵、氧化鋁、氧化鋁鎵、氧化鎵鋁等。在此，氧化鋁鎵是指含鋁量 (at.%) 多於含鎵量 (at.%) 的物質，並且氧化鎵鋁是指含鎵量 (at.%) 等於或多於含鋁量 (at.%) 的物質。

例如，當以接觸於包含鎵的氧化物半導體層的方式形成絕緣膜時，藉由將包含氧化鎵的材料用於絕緣膜，可以保持氧化物半導體層和絕緣膜之間的良好介面特性。例如，藉由以彼此接觸的方式設置氧化物半導體層和包含氧化鎵的絕緣膜，可以減少產生在氧化物半導體層和絕緣膜之間的氫的沉積 (pileup)。另外，在作為絕緣膜使用屬於與氧化物半導體的成分元素相同的族的元素時，可以獲得同樣的效果。例如，使用包含氧化鋁的材料形成絕緣膜也是有效的。另外，由於氧化鋁具有不容易透過水的特性，因此從防止水侵入到氧化物半導體層中的角度來看，使用該材料是較佳的。

此外，作為與氧化物半導體層 716 接觸的絕緣膜，較佳為採用藉由進行氧氛圍下的熱處理或氧摻雜等包含多於化學計量組成比的氧的絕緣材料。氧摻雜是指對塊體 (bulk) 添加氧的處理。為了明確表示不僅對薄膜表面添加氧，而且對薄膜內部添加氧，使用該術語“塊體”。此外，氧摻雜包括將電漿化了的氧添加到塊體中的氧電漿摻雜。另外，也可以使用離子植入法或離子摻雜法進行氧摻雜。

例如，當作為與氧化物半導體層 716 接觸的絕緣膜使

用氧化鎵時，藉由進行氧氛圍下的熱處理或氧摻雜，可以將氧化鎵的組成設定為 Ga_2O_x ($X=3+\alpha$, $0<\alpha<1$)。

此外，作為與氧化物半導體層 716 接觸的絕緣膜使用氧化鋁時，藉由進行氧氛圍下的熱處理或氧摻雜，可以將氧化鋁的組成設定為 Al_2O_x ($X=3+\alpha$, $0<\alpha<1$)。

此外，作為與氧化物半導體層 716 接觸的絕緣膜使用氧化鎵鋁（氧化鋁鎵）時，藉由進行氧氛圍下的熱處理或氧摻雜，可以將氧化鎵鋁（氧化鋁鎵）的組成設定為 $\text{Ga}_x\text{Al}_{2-x}\text{O}_{3+\alpha}$ ($0<X<2$, $0<\alpha<1$)。

藉由進行氧摻雜處理，可以形成具有包含多於化學計量組成比的氧的區域的絕緣膜。藉由使具備這種區域的絕緣膜與氧化物半導體層接觸，絕緣膜中的過剩的氧被供應到氧化物半導體層中，可以減少氧化物半導體層中或氧化物半導體層與絕緣膜的介面中的氧缺陷，來可以使氧化物半導體層成為 i 型化或無限趨近於 i 型。

藉由供應絕緣膜中的過剩的氧而使其氧缺陷減少的氧化物半導體層可以為氫濃度被充分降低而被高純度化，並藉由被供應充分的氧來降低起因於氧缺損的能隙中的缺陷能階的氧化物半導體層。因此，可以得到載子濃度極小的氧化物半導體層，而可以得到截止電流顯著低的電晶體。藉由將該截止電流顯著低的電晶體應用於上述實施例的第一電晶體，在使第一電晶體成為非導通狀態時可以將該電晶體幾乎看作絕緣體。因此，藉由將該電晶體用作第一電晶體，可以將保持在記憶節點 D敘HOLD 的電位的降低抑

制為極小的水準。其結果，可以實現即使在電源電壓的供應停止時，也能夠減小記憶節點 D敘HOLD 的電位的變動，而能夠防止所儲存的資料的消失的非揮發性記憶裝置。

也可以將具有包含多於化學計量組成比的氧的區域的絕緣膜僅用於與氧化物半導體層 716 接觸的絕緣膜中的位於上層的絕緣膜和位於下層的絕緣膜中的一個，但是較佳為用於兩者的絕緣膜。藉由將具有包含多於化學計量組成比的氧的區域的絕緣膜用於與氧化物半導體層 716 接觸的絕緣膜中的位於上層及下層的絕緣膜，而實現夾著氧化物半導體層 716 的結構，來可以進一步提高上述效果。

此外，用於氧化物半導體層 716 的上層或下層的絕緣膜既可以是使用具有相同的構成元素的絕緣膜，又可以是使用具有不同的構成元素的絕緣膜。例如，既可以採用上層和下層都是其組成為 Ga_2O_x ($x=3+\alpha$, $0<\alpha<1$) 的氧化鎵的結構，又可以採用上方和下方中的一個是其組成為 Ga_2O_x ($x=3+\alpha$, $0<\alpha<1$) 的氧化鎵，另一個是其組成為 Al_2O_x ($x=3+\alpha$, $0<\alpha<1$) 的氧化鋁的結構。

另外，與氧化物半導體層 716 接觸的絕緣膜也可以是具有包含多於化學計量組成比的氧的區域的絕緣膜的疊層。例如，也可以作為氧化物半導體層 716 的上層形成組成為 Ga_2O_x ($x=3+\alpha$, $0<\alpha<1$) 的氧化鎵，且在其上形成組成為 $\text{Ga}_x\text{Al}_{2-x}\text{O}_{3+\alpha}$ ($0<x<2$, $0<\alpha<1$) 的氧化鎵鋁（氧化鋁鎵）。此外，既可以採用作為氧化物半導體層 716 的下層形成具有包含多於化學計量組成比的氧的區域的絕緣膜的疊

層的結構，又可以採用作為氧化物半導體層 716 的上層及下層形成具有包含多於化學計量組成比的氧的區域的絕緣膜的疊層。

接著，如圖 12C 所示，以覆蓋閘極絕緣膜 721、導電膜 723 和閘極電極 722 的方式形成絕緣膜 724。絕緣膜 724 可以利用 PVD 法或 CVD 法等形式。另外，還可以使用含有如氧化矽、氧氮化矽、氮化矽、氧化鈣、氧化鋅、氧化鋁等的無機絕緣材料的材料形成。另外，作為絕緣膜 724 較佳為使用介電常數低的材料或介電常數低的結構（多孔結構等）。這是因為藉由使絕緣膜 724 的介電常數降低，可以降低產生在佈線、電極等之間的寄生電容，從而實現工作的高速化的緣故。另外，在本實施例中，採用單層結構的絕緣膜 724，但是，本發明的一個實施例不侷限於此，也可以採用兩層以上的疊層結構。

接著，在閘極絕緣膜 721 和絕緣膜 724 中形成開口部 725，使導電膜 720 的一部分露出。然後，在絕緣膜 724 上形成在上述開口部 725 中與導電膜 720 接觸的佈線 726。

在使用 PVD 法或 CVD 法形成導電膜之後，對該導電膜進行構圖來形成佈線 726。另外，作為導電膜的材料，可以使用選自鋁、鉻、銅、鈮、鈦、鉬和鎢中的元素或上述元素為成分的合金等。也可以使用選自錳、鎂、鉛、銻、釷和鈾中的一種或多種材料。

更明確地說，例如，可以使用如下方法：在包括絕緣膜 724 的開口的區域中，藉由 PVD 法形成薄（5nm 左右）

的鈦膜之後，以埋入開口部 725 的方式形成鋁膜。在此，藉由 PVD 法形成的鈦膜具有還原被形成面的氧化膜（自然氧化膜等）並降低與下部電極等（在此，導電膜 720）的接觸電阻的功能。另外，可以防止在鋁膜上產生小丘。另外，也可以在使用鈦或氮化鈦等形成障壁膜之後藉由鍍敷法形成銅膜。

形成在絕緣膜 724 中的開口部 725 較佳為形成在與導電膜 708 重疊的區域中。藉由在這種區域中形成開口部 725，可以抑制起因於接觸區域的元件面積的增大。

在此，對不使用導電膜 708 而使雜質區 704 與導電膜 720 的連接及導電膜 720 與佈線 726 的連接重疊的情況進行說明。此時，在形成在雜質區 704 上的絕緣膜 712 和絕緣膜 713 中形成開口部（稱為下部的開口部），在以覆蓋下部的開口部的方式形成導電膜 720 之後，在閘極絕緣膜 721 及絕緣膜 724 中，在與下部的開口部重疊的區域中形成開口部（稱為上部的開口部），並且形成佈線 726。當在與下部的開口部重疊的區域中形成上部的開口部時，有如下憂慮：即，由於蝕刻，形成在下部的開口部中的導電膜 720 斷開。當為了避免該斷開，以不使下部的開口部與上部的開口部重疊的方式形成結構時，發生元件面積的增大的問題。

如本實施例所示那樣，藉由使用導電膜 708，可以形成上部的開口部而不使導電膜 720 斷開。由此，可以使下部的開口部與上部的開口部重疊地設置，從而可以抑制起

因於開口部的元件面積的增大。換言之，可以提高半導體裝置的積體度。

接著，以覆蓋佈線 726 的方式形成絕緣膜 727。藉由上述一系列的製程可以製造半導體記憶裝置。

另外，在上述製造方法中，在形成氧化物半導體層 716 之後形成用作源極電極及汲極電極的導電膜 719 及導電膜 720。因此，如圖 12B 所示，在藉由上述製造方法得到的第一電晶體 111 中，導電膜 719 及導電膜 720 形成在氧化物半導體層 716 上。但是，在第一電晶體 111 中，用作源極電極及汲極電極的導電膜也可以設置在氧化物半導體層 716 的下面，即氧化物半導體層 716 和絕緣膜 712 及絕緣膜 713 之間。

圖 13 是示出第一電晶體 111 的剖面圖，其中用作源極電極及汲極電極的導電膜 719 及導電膜 720 設置在氧化物半導體層 716 與絕緣膜 712 及絕緣膜 713 之間。在形成絕緣膜 713 之後形成導電膜 719 及導電膜 720，然後形成氧化物半導體層 716，來可以得到圖 13 所示的第一電晶體 111。

另外，作為用於非揮發性半導體記憶裝置的電晶體，已知磁隧道結元件（MTJ 元件）。如果隔著絕緣膜配置在其上下的膜中的自旋方向為平行，則 MTJ 元件成為低電阻狀態，來儲存資訊。如果隔著絕緣膜配置在其上下的膜中的自旋方向為反平行，則 MTJ 元件成為高電阻狀態，來儲存資訊。因此，MTJ 元件的原理與本實施例所示的使用氧

化物半導體的半導體記憶裝置的原理完全不同。表 1 示出 MTJ 元件與關於本實施例的半導體記憶裝置的對比。

[表 1]

	自旋電子學(MTJ 元件)	氧化物半導體/Si
耐熱性	居裏溫度(Curie Temperature)	製程溫度 500℃(可靠性 150℃)
驅動方式	電流驅動	電壓驅動
寫入原理	改變磁性體的自旋方向	FET 的導通/截止
Si LSI	適合於雙極 LSI(由於雙極 LSI 不適合於高積體化，所以在高積體化電路中較佳為使用 MOSLSI。但是，W 變大。)	適合於 MOSLSI
系統開銷 (Overhead)	大 (起因於大焦耳熱)	比 MTJ 元件小 2 位至 3 位以上 (起因於寄生電容的充電和放電)
非揮發性	利用自旋	利用小截止電流
讀出次數	沒有限制	沒有限制
3D 化	困難(至多兩層)	容易(對層的個數沒有限制)
積體化度 (F ²)	4F ² 至 15F ²	根據 3D 化的疊層數決定(需要確保上層 OSFET 製程的製程耐熱性)
材料	具有磁性的稀土元件	氧化物半導體材料
每位成本	昂貴	低廉(根據氧化物半導體材料(In 等)，成本有可能稍微昂貴)
磁場耐受性	弱	強

MTJ 元件有如下缺點：由於使用磁性材料，所以在居裏溫度 (Curie Temperature) 以上的溫度下，失掉磁性。另外，MTJ 元件由於利用電流而驅動，所以與使用矽的雙極性裝置搭配良好，但是雙極性裝置不適於積體化。而且，有如下問題：雖然 MTJ 元件的寫入電流微少，但是因記憶體的大電容化使耗電量增大。

在原理上 MTJ 元件的磁場耐受性脆弱，所以在暴露於

強磁場時，自旋方向容揮發常。另外，需要控制用於 MTJ 元件的磁性體的奈米尺寸化導致的磁漲落（magnetic fluctuation）。

再者，由於 MTJ 元件使用稀土元素，所以在將形成 MTJ 元件的製程合併到形成對金屬污染敏感的矽半導體的製程時，需要相當注意。MTJ 元件從每位的材料成本的觀點來看也被認為昂貴。

另一方面，除了形成通道的半導體材料為金屬氧化物之外，本實施例所示的使用氧化物半導體的半導體記憶裝置的元件結構或工作原理與矽 MOSFET 同樣。另外，使用氧化物半導體的半導體記憶裝置具有如下特徵：不受到磁場的影響，且軟差錯也不會發生。從此可知，其通道形成在氧化物半導體層中的電晶體與矽積體電路的匹配性非常好。

本實施例可以與上述實施例適當地組合而實施。

【圖式簡單說明】

在圖式中：

圖 1A 和圖 1B 是半導體記憶裝置的電路圖；

圖 2 是用來說明半導體記憶裝置的電路圖；

圖 3 是半導體記憶裝置的時序圖；

圖 4A 和圖 4B 是說明半導體記憶裝置的工作的圖；

圖 5A 和圖 5B 是說明半導體記憶裝置的工作的圖；

圖 6A 和圖 6B 是說明半導體記憶裝置的工作的圖；

圖 7 是示出半導體記憶裝置的結構的圖；

圖 8 是信號處理裝置的方塊圖；

圖 9 是使用半導體記憶裝置的 CPU 的方塊圖；

圖 10A 至圖 10D 是示出半導體記憶裝置的製造製程的圖；

圖 11A 至圖 11C 是示出半導體記憶裝置的製造製程的圖；

圖 12A 至圖 12C 是示出半導體記憶裝置的製造製程的圖；

圖 13 是示出半導體記憶裝置的結構的剖面圖；

圖 14A 至圖 14E 是說明關於本發明的一個實施例的氧化物材料的結晶結構的圖；

圖 15A 至圖 15C 是說明關於本發明的一個實施例的氧化物材料的結晶結構的圖；

圖 16A 至圖 16C 是說明關於本發明的一個實施例的氧化物材料的結晶結構的圖。

【主要元件符號說明】

100：半導體記憶裝置

101：記憶電路

102：第二電容器

103：電荷積蓄電路

104：資料檢測電路

105：時序控制電路

- 106 : 反相器電路
- 111 : 第一電晶體
- 112 : 第二電晶體
- 113 : 第一電容器
- 114 : 第三電晶體
- 115 : 第四電晶體
- 116 : NAND 電路
- 117 : OR 電路
- 150 : 信號處理裝置
- 151 : 運算裝置
- 152 : 運算裝置
- 153 : 半導體記憶裝置
- 154 : 半導體記憶裝置
- 155 : 半導體記憶裝置
- 156 : 控制裝置
- 157 : 電源控制電路
- 201 : 延遲電路部
- 202 : 緩衝電路部
- 203 : 電阻器
- 204 : 電容器
- 205 : n 通道型電晶體
- 206 : p 通道型電晶體
- 401 : 反相器電路
- 402 : 半導體記憶裝置

- 403：半 導 體 記 憶 裝 置 群
- 404：延 遲 高 電 源 電 位 產 生 電 路
- 700：基 板
- 701：絕 緣 膜
- 702：半 導 體 膜
- 703：閘 極 絕 緣 膜
- 704：雜 質 區
- 705：掩 模
- 706：開 口 部
- 707：閘 極 電 極
- 708：導 電 膜
- 709：雜 質 區
- 710：通 道 形 成 區
- 711：雜 質 區
- 712：絕 緣 膜
- 713：絕 緣 膜
- 716：氧 化 物 半 導 體 層
- 719：導 電 膜
- 720：導 電 膜
- 721：閘 極 絕 緣 膜
- 722：閘 極 電 極
- 723：導 電 膜
- 724：絕 緣 膜
- 725：開 口 部

726 : 佈 線

727 : 絕 緣 膜

9900 : 基 板

9901 : ALU

9902 : ALU 控 制 器

9903 : 指 令 解 碼 器

9904 : 中 斷 控 制 器

9905 : 時 序 控 制 器

9906 : 暫 存 器

9907 : 暫 存 器 控 制 器

9908 : Bus·I/F

9909 : ROM

9920 : ROM·I/F

七、申請專利範圍：

1. 一種半導體記憶裝置，包括：

記憶電路，該記憶電路包括：

第一電晶體，該第一電晶體包括：

電連接到資料輸入線的第一端子；

第二端子；

電連接到時脈信號線的閘極；以及

包括氧化物半導體的半導體層，

包括電連接到該第一電晶體的該第二端子的電極的第一電容器；以及

包括與該第一電晶體的該第二端子及該第一電容器的該電極電連接的閘極的第二電晶體，

積蓄用來讀出保持在該記憶電路中的資料的電荷的第二電容器；

電連接到電源電位線的電荷積蓄電路，該電荷積蓄電路控制該第二電容器中的電荷的積蓄；

控制該第二電容器的電極與該第二電晶體的第一端子之間的導通或非導通的資料檢測電路；

時序控制電路，其中在該時脈信號供應到該時脈信號線的第一期間中，根據時脈信號的切換工作使該電荷積蓄電路和該資料檢測電路交替成為導通狀態，且在該電源電壓剛供應到該電源電位線之後的第二期間中，產生控制該第二電容器中的電荷的積蓄的第一信號，藉由該電荷積蓄電路來進行該積蓄，該第一信號由電源電壓的第二信號及

延遲該電源電壓的該第二信號的第三信號來產生；以及

輸出藉由使該第二電容器的該電極的電位反轉而得到的電位的反相器電路。

2. 一種半導體記憶裝置，包括：

記憶電路，該記憶電路包括：

第一電晶體，該第一電晶體包括：

電連接到資料輸入線的第一端子；

第二端子；

電連接到時脈信號線的閘極；以及

包括氧化物半導體的半導體層，

包括電連接到該第一電晶體的該第二端子的電極的第一電容器；以及

包括與該第一電晶體的該第二端子及該第一電容器的該電極電連接的閘極的第二電晶體，

積蓄用來讀出保持在該記憶電路中的資料的電荷的第二電容器；

包括包含電連接到電源電位線的第一端子和電連接到該第二電容器的電極的第二端子的第三電晶體的電荷積蓄電路；

包括包含電連接到該第二電容器的該電極的第一端子和電連接到該第二電晶體的第一端子的第二端子的第四電晶體的資料檢測電路；

時序控制電路，其中在該時脈信號供應到該時脈信號線的第一期間中，根據該時脈信號的切換工作使該第三電

晶體和該第四電晶體交替成為導通狀態，且在該電源電壓剛供應到該電源電位線之後的第二期間中，產生用來使該第三電晶體成為導通狀態的第一信號，該第一信號由電源電壓的第二信號及延遲該電源電壓的該第二信號的第三信號來產生；以及

輸出藉由使該第二電容器的該電極的電位反轉而得到的電位的反相器電路。

3. 根據申請專利範圍第 1 或 2 項之半導體記憶裝置，其中該第二電晶體在半導體層中包含矽。

4. 根據申請專利範圍第 3 項之半導體記憶裝置，其中該第一電晶體及該第二電晶體彼此層疊。

5. 根據申請專利範圍第 1 或 2 項之半導體記憶裝置，其中該資料檢測電路是如下電路，即根據有沒有積蓄在該第二電容器中的該電荷的釋放，將該第二電容器的該電極的電位轉換為具有反轉的資料的反轉資料信號，根據該第二電晶體的導通狀態決定是否進行該釋放。

6. 根據申請專利範圍第 1 或 2 項之半導體記憶裝置，其中用來延遲該電源電位的該信號的電路包括延遲電路及緩衝電路。

7. 根據申請專利範圍第 1 或 2 項之半導體記憶裝置，其中該時序控制電路包括接收該電源電位的信號和延遲該電源電位的該信號的非與電路以及接收該非與電路的輸出信號和該時脈信號的或電路。

8. 一種半導體記憶裝置，包括：

記憶電路，該記憶電路包括：

第一電晶體，該第一電晶體包括：

電連接到資料輸入線的第一端子；

第二端子；

電連接到時脈信號線的閘極；以及

包括氧化物半導體的半導體層，

包括電連接到該第一電晶體的該第二端子的電極的第一電容器；以及

包括與該第一電晶體的該第二端子電連接的閘極的第二電晶體；

第二電容器，

包括電連接到電源電位線的第一端子和電連接到該第二電容器的電極的第二端子的第三電晶體；

包括電連接到該第二電容器的該電極的第一端子和電連接到該第二電晶體的第一端子的第二端子的第四電晶體；

電連接到該第一電晶體的該閘極、該第三電晶體的閘極、該第四電晶體的閘極、該電源電位線以及延遲電源電位線的時序控制電路；以及

電連接到該第二電容器的該電極的反相器電路。

9. 根據申請專利範圍第 8 項之半導體記憶裝置，

其中，該時脈信號線供應時脈信號，

其中，該電源電位線供應電源電壓，

其中，該延遲電源電位線供應延遲電源電位信號，並

且

其中，該時序控制電路根據該時脈信號、該電源電壓及該延遲電源電位信號來控制該第三電晶體和該第四電晶體。

10. 根據申請專利範圍第 8 項之半導體記憶裝置，其中該第二電晶體在半導體層中包含矽。

11. 根據申請專利範圍第 9 項之半導體記憶裝置，其中該第一電晶體及該第二電晶體彼此層疊。

12. 根據申請專利範圍第 8 項之半導體記憶裝置，還包括包含延遲電路及緩衝器電路的電路，其中該電路電連接到該延遲電源電位線。

圖 1B

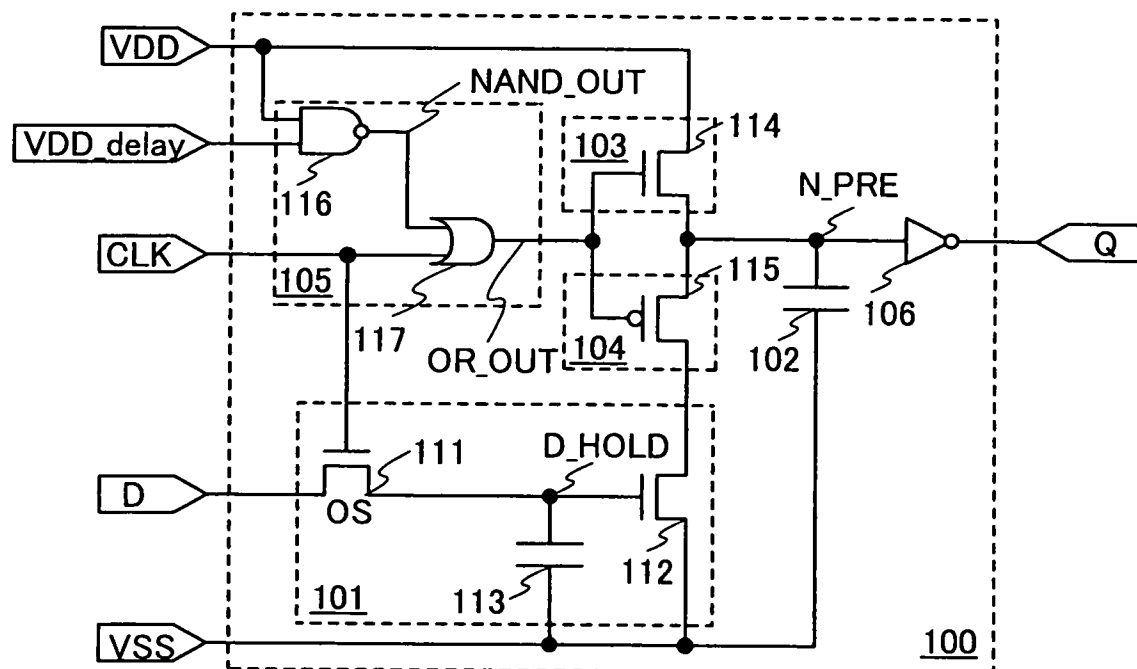
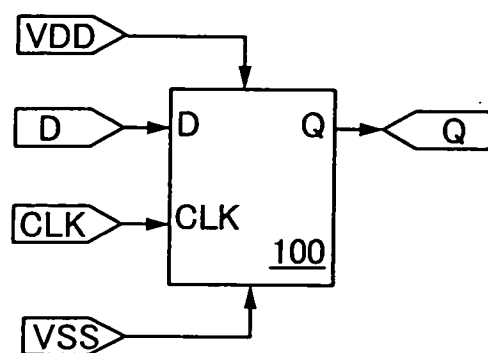


圖 2

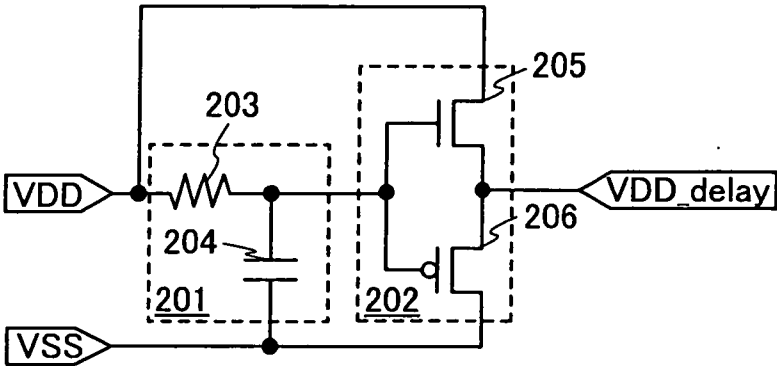


圖 3

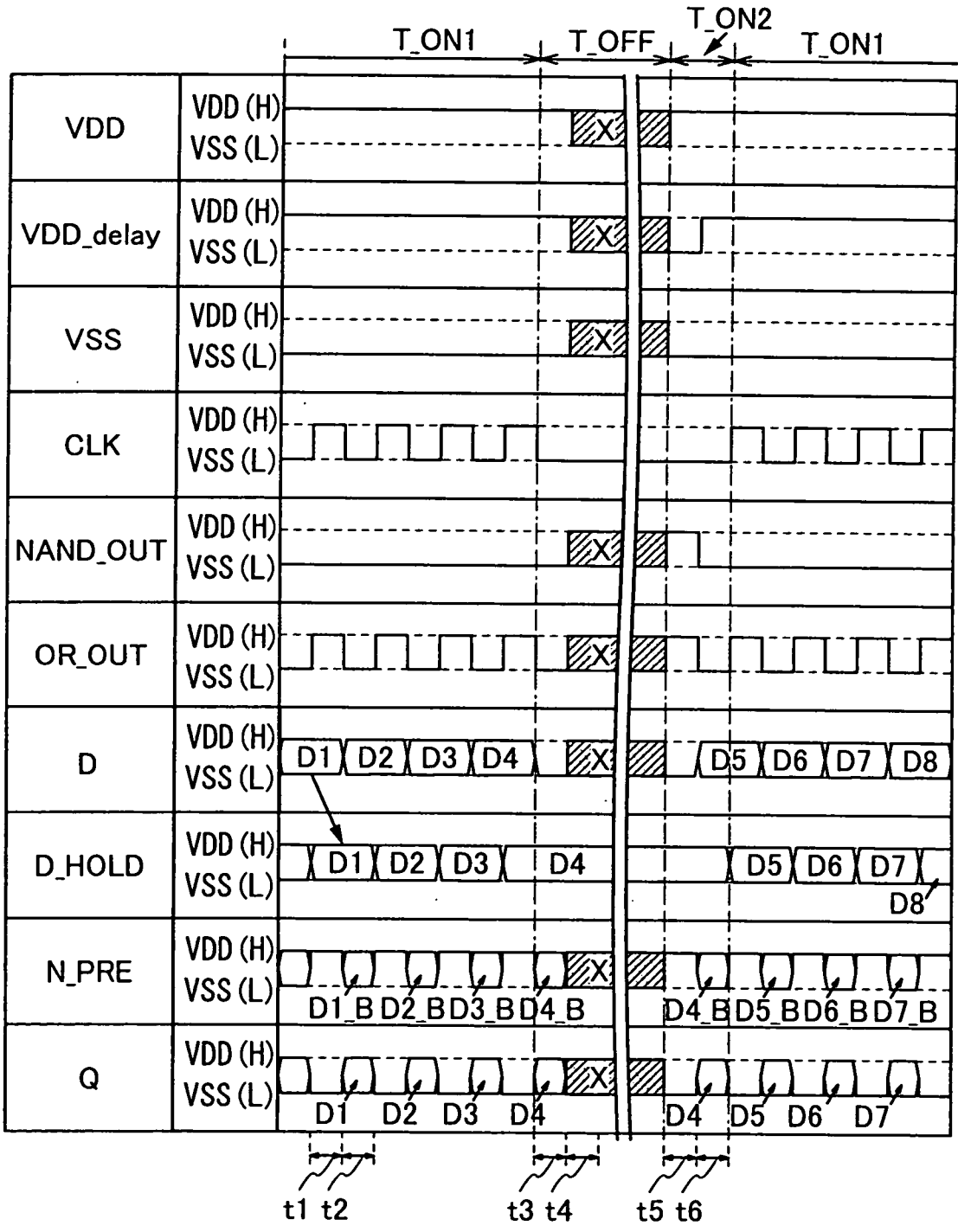


圖 4A

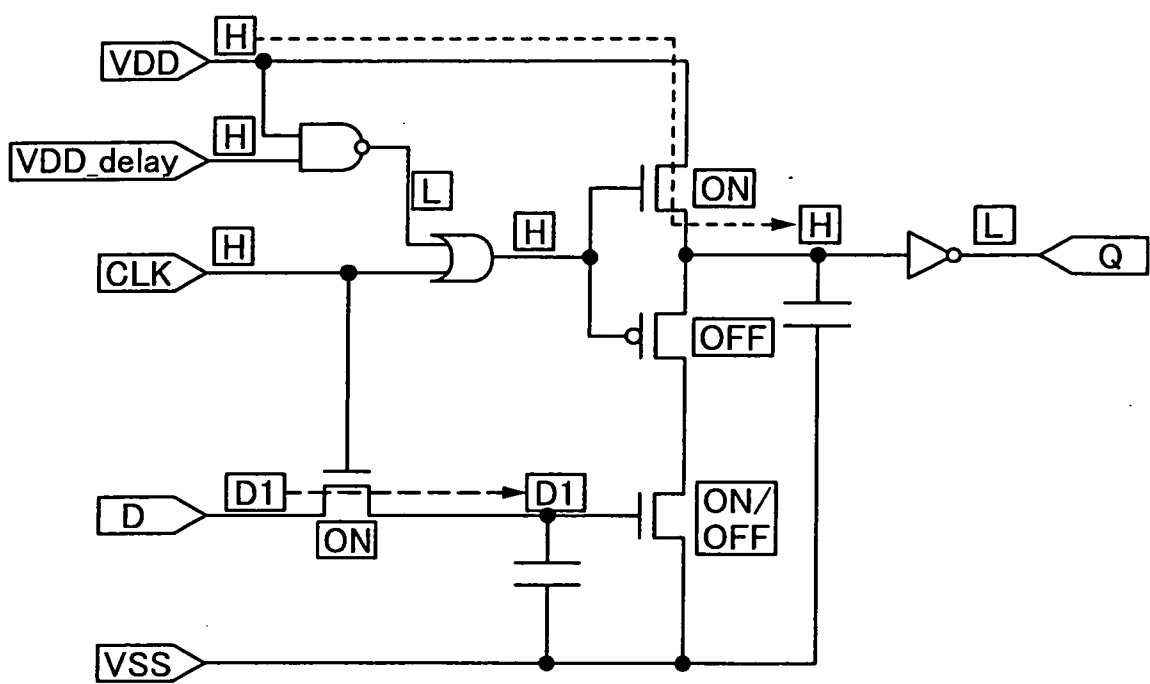
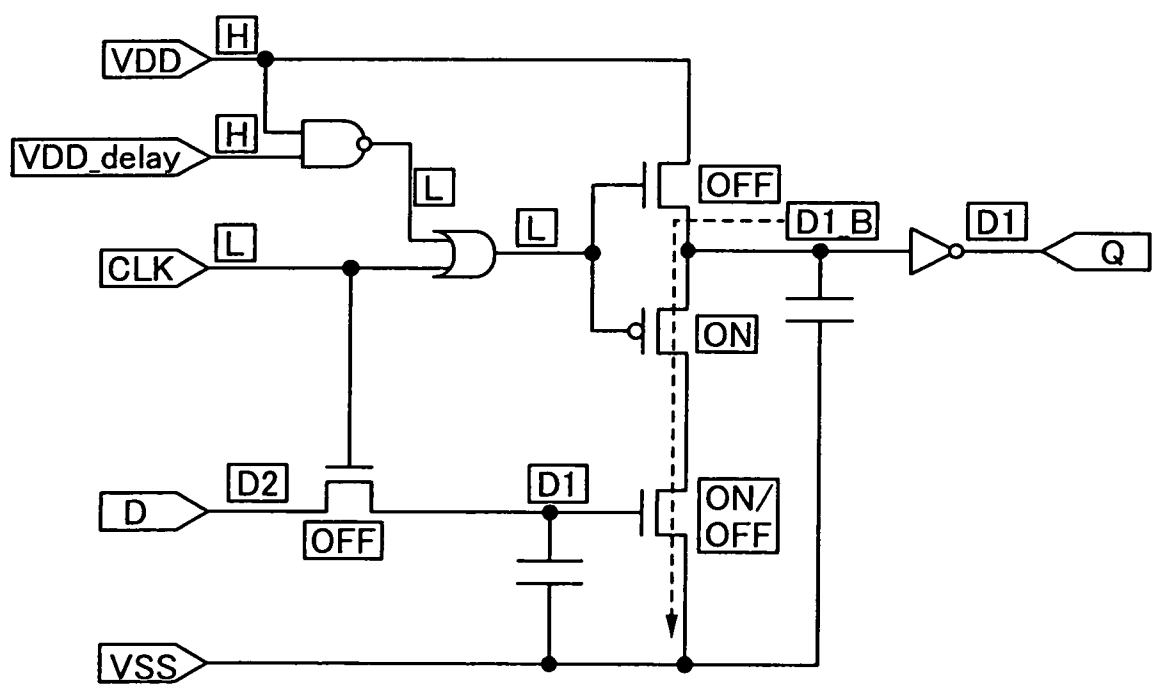


圖 4B



5

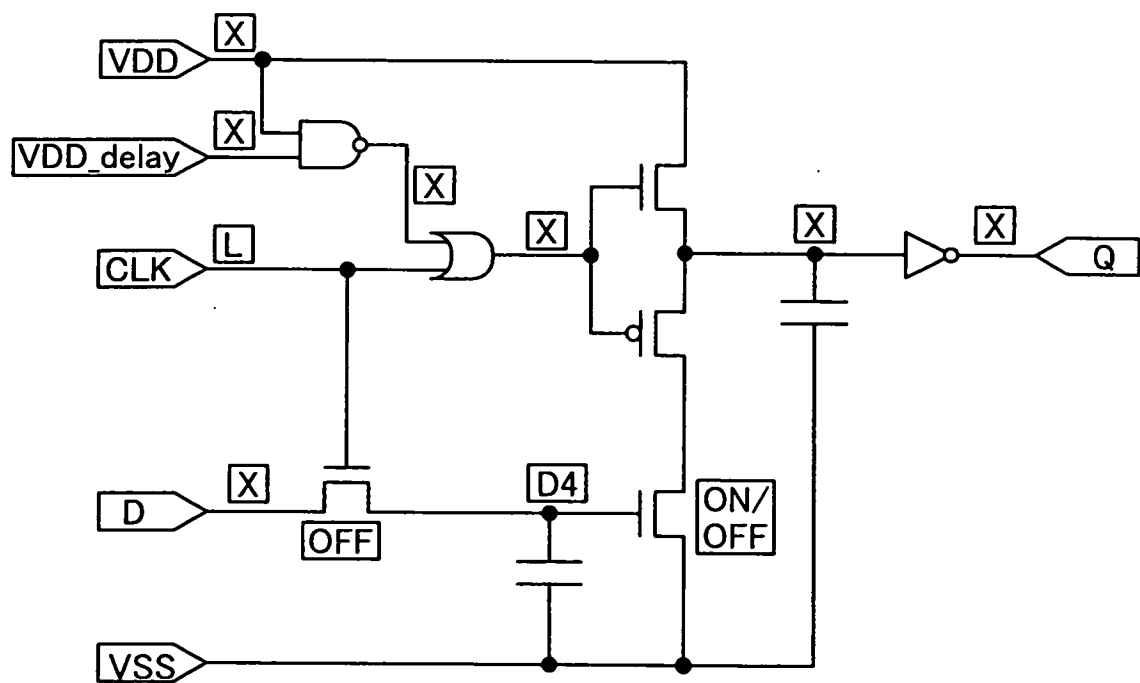


圖 6A

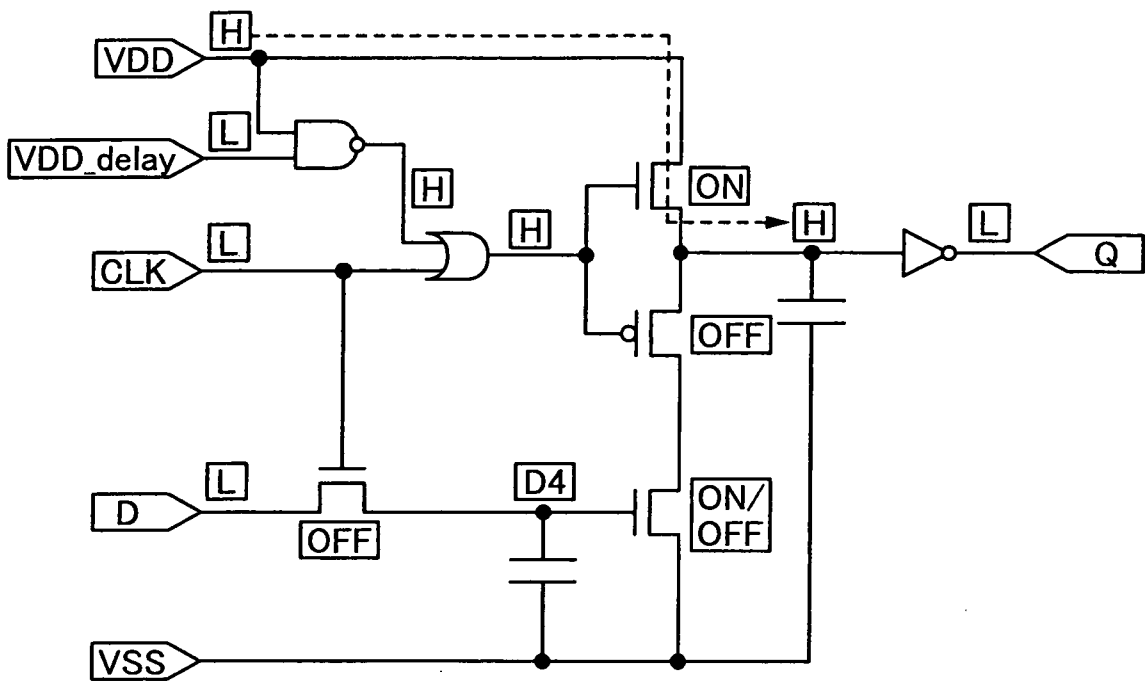


圖 6B

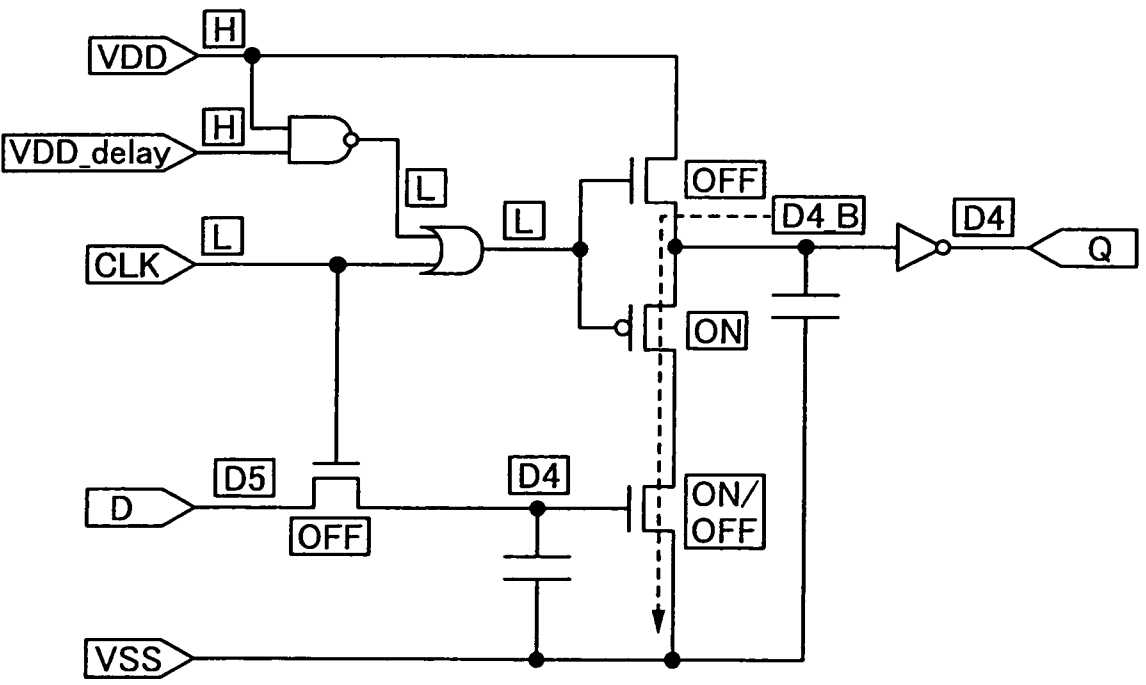


圖 7

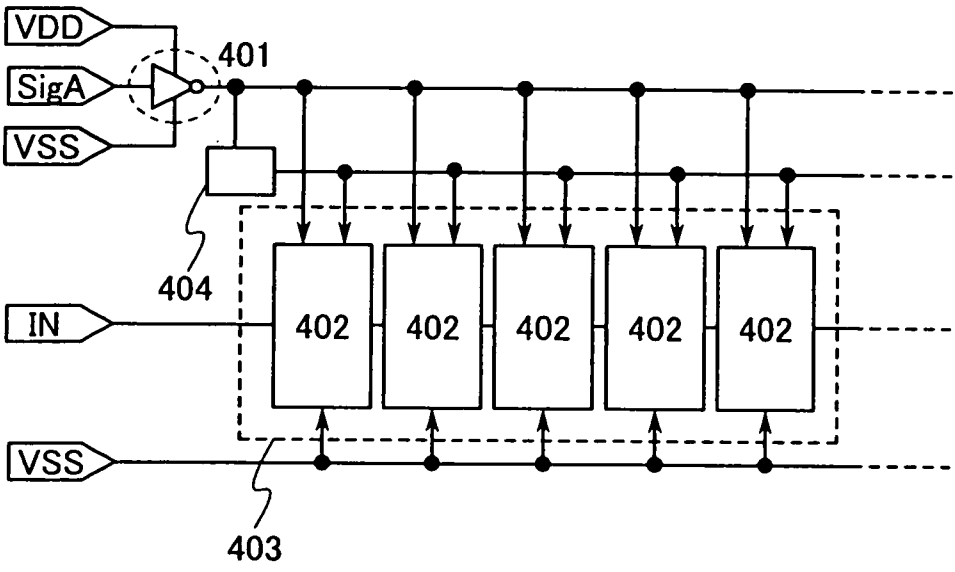


圖 8

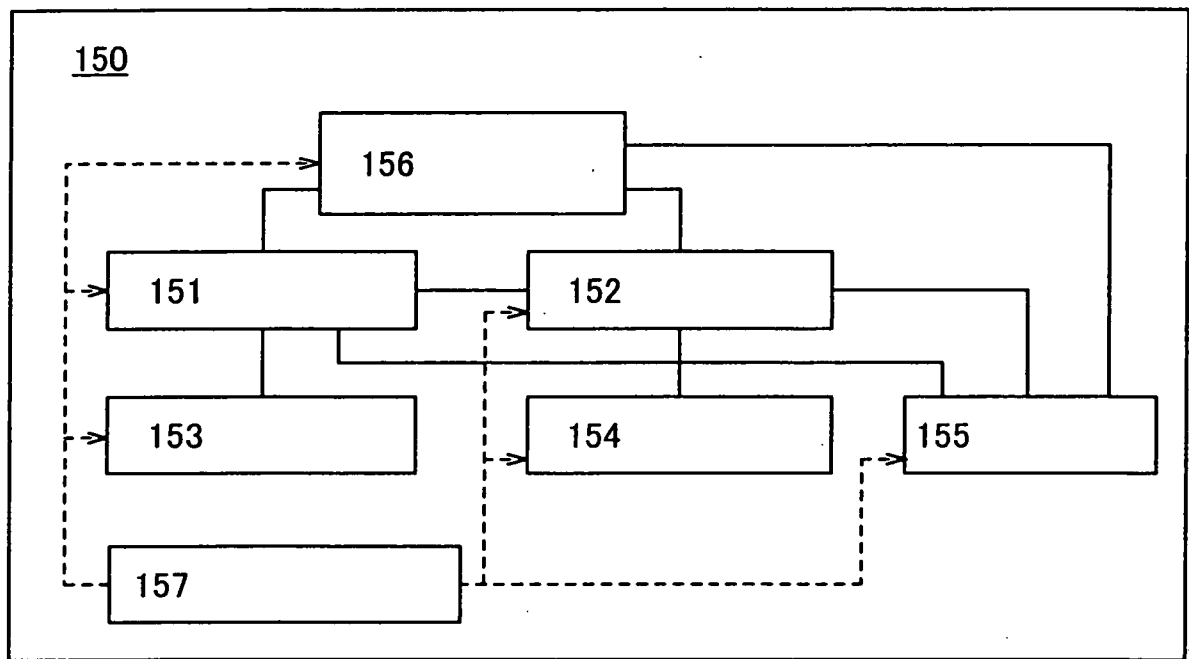


圖 9

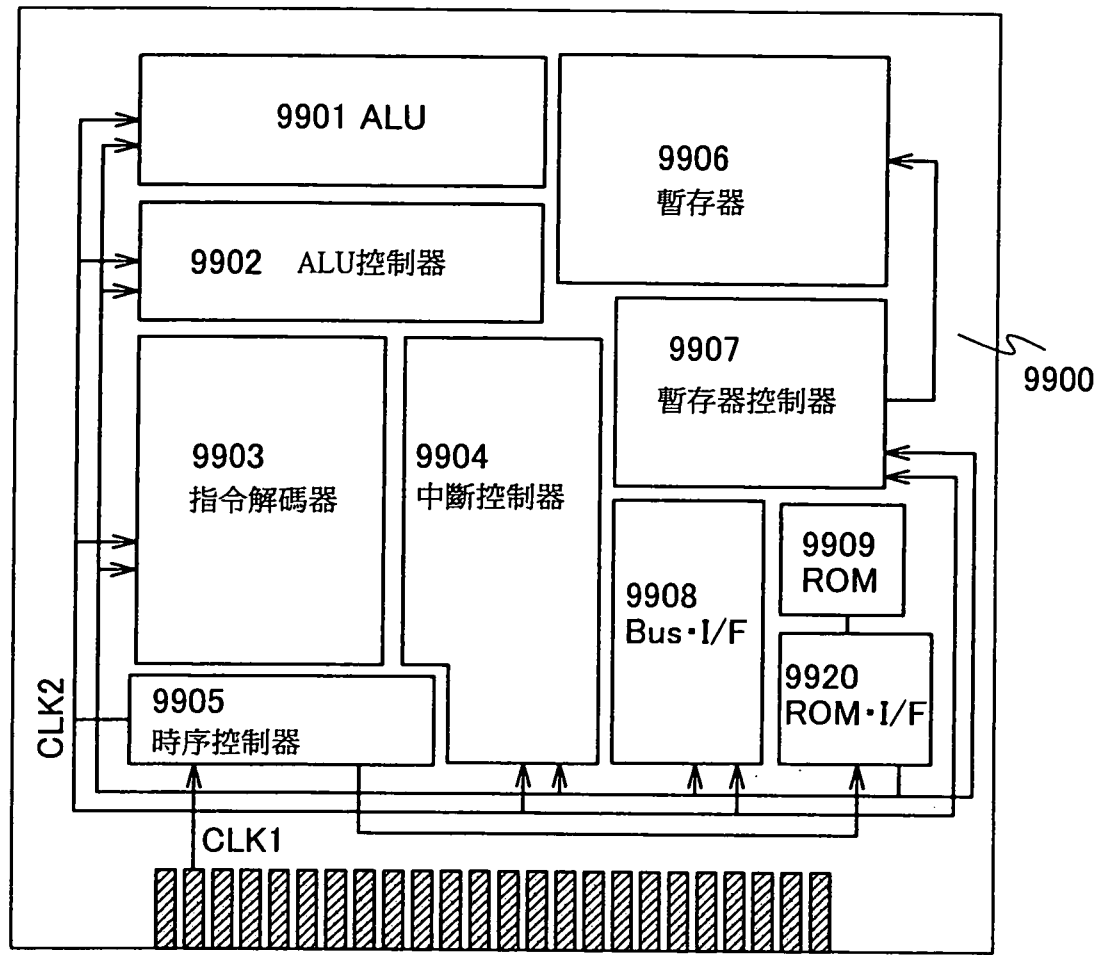


圖 10A

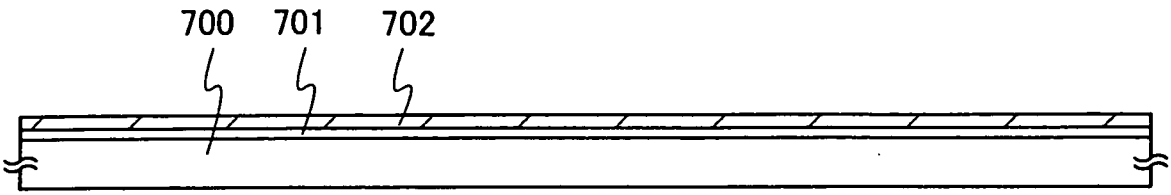


圖 10B

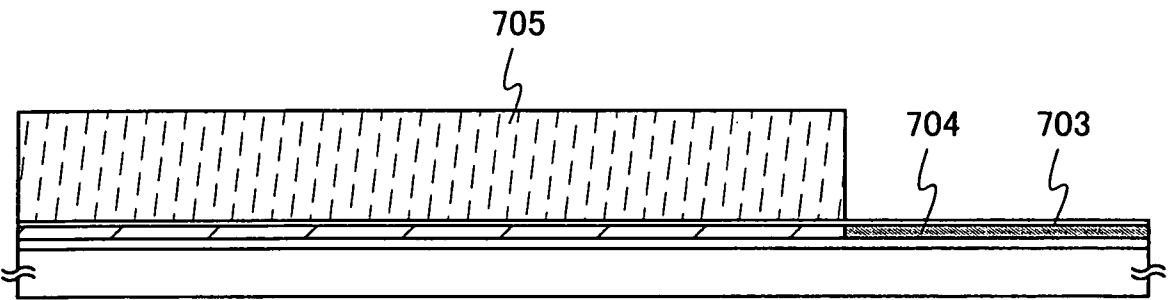


圖 10C

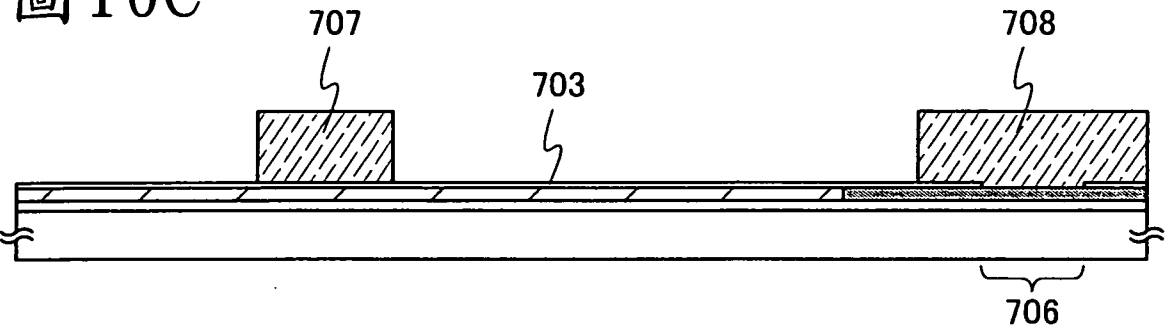


圖 10D

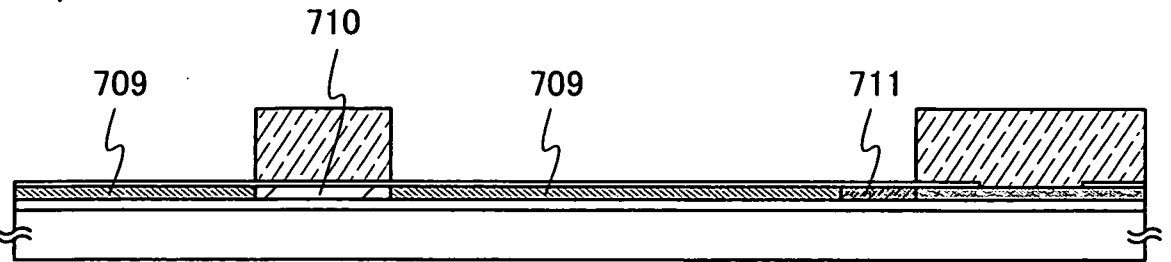


圖11A

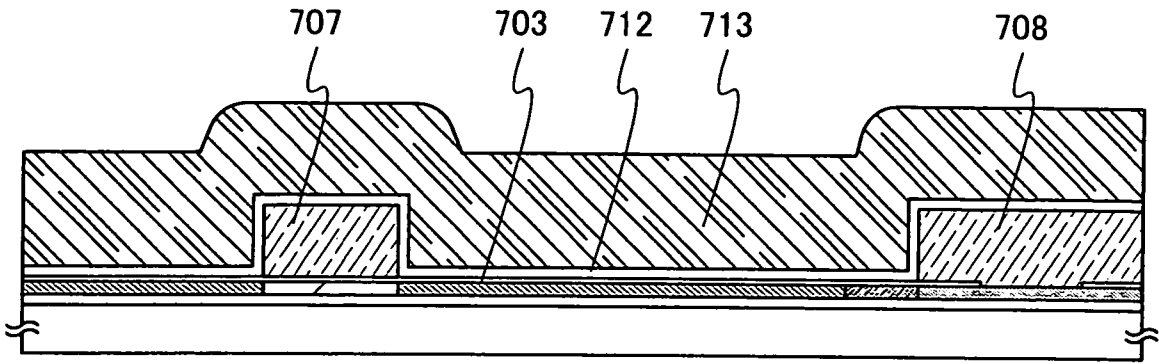


圖11B

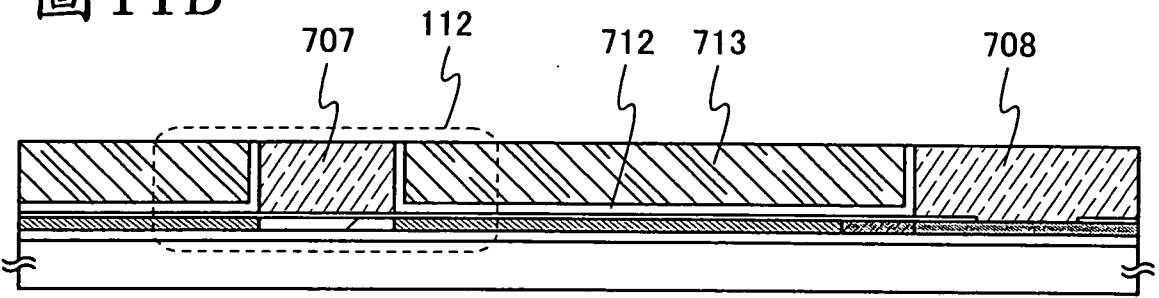


圖11C

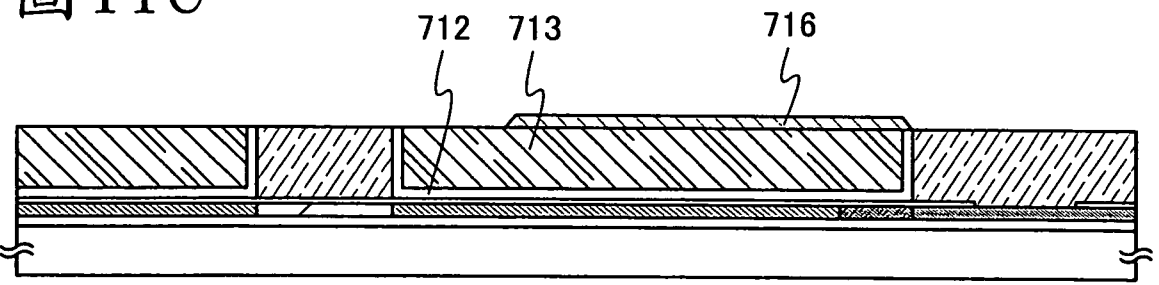


圖 12A

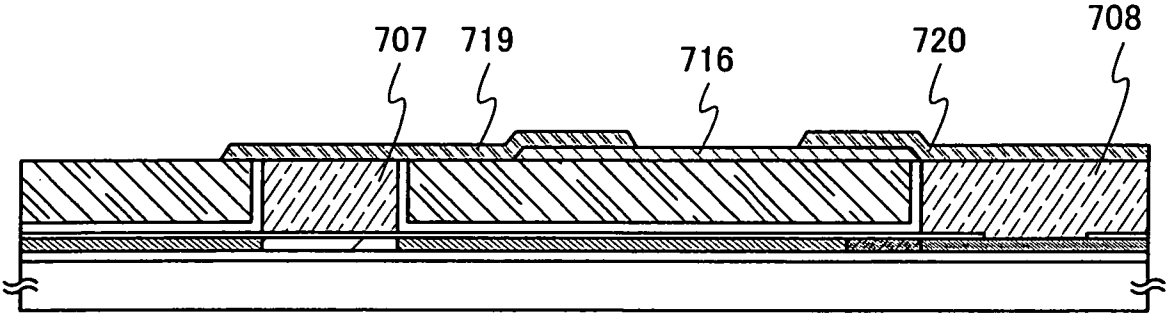


圖 12B

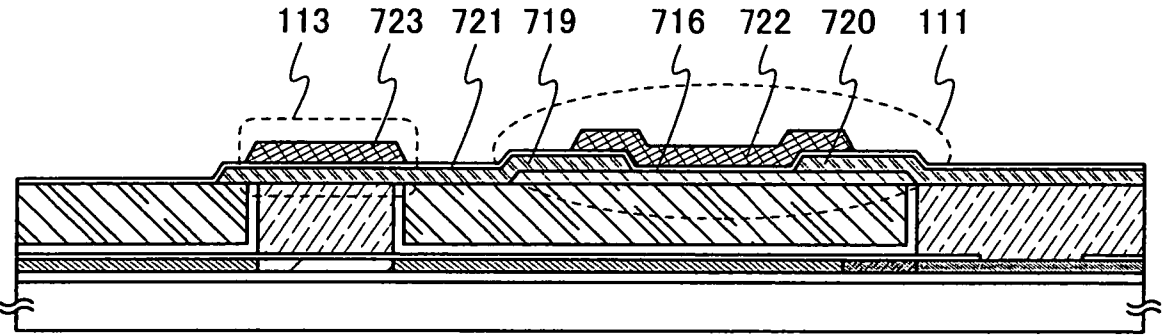


圖 12C

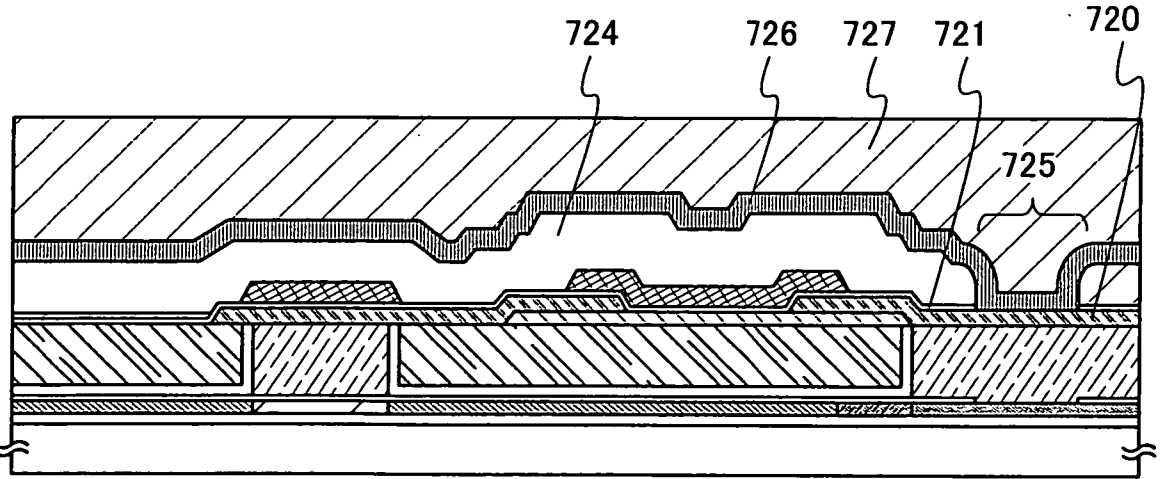


圖13

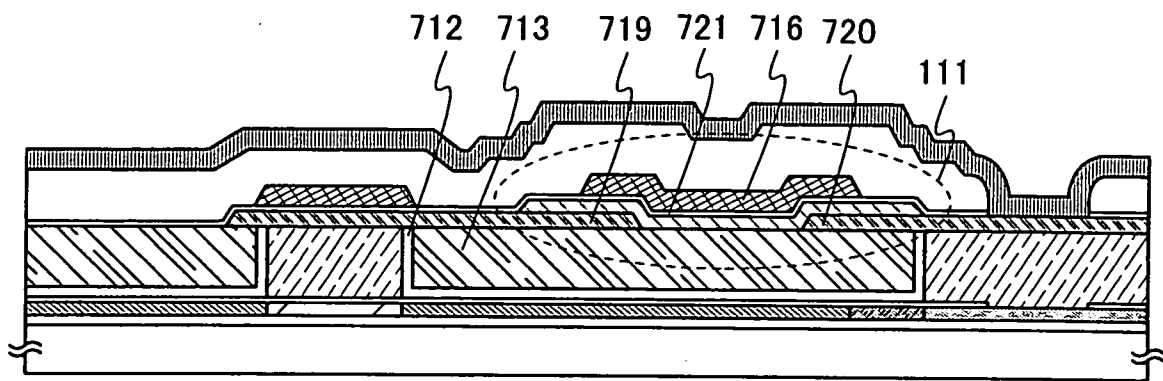


圖 14A

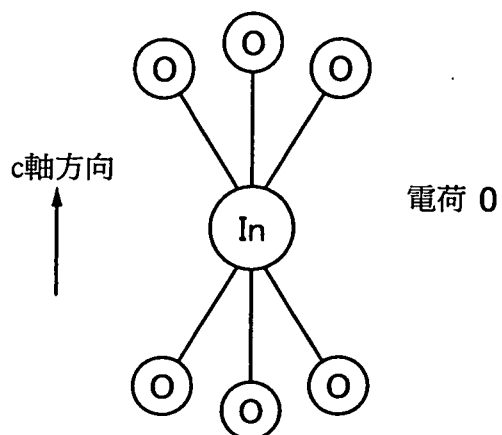


圖 14D

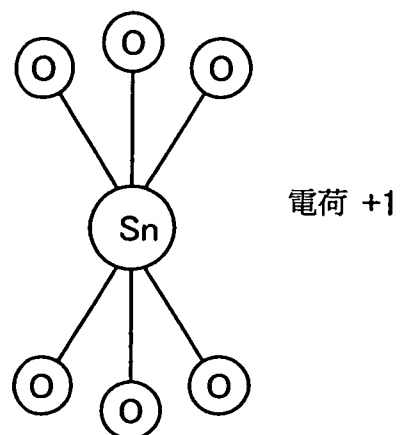


圖 14B

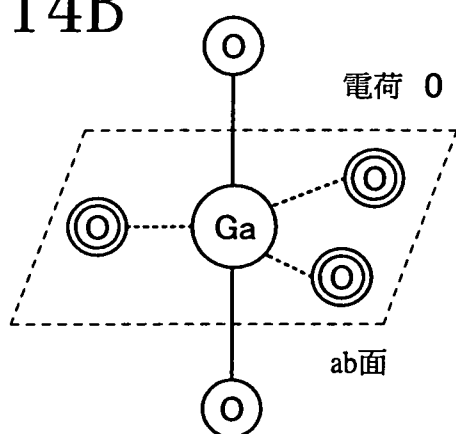


圖 14E

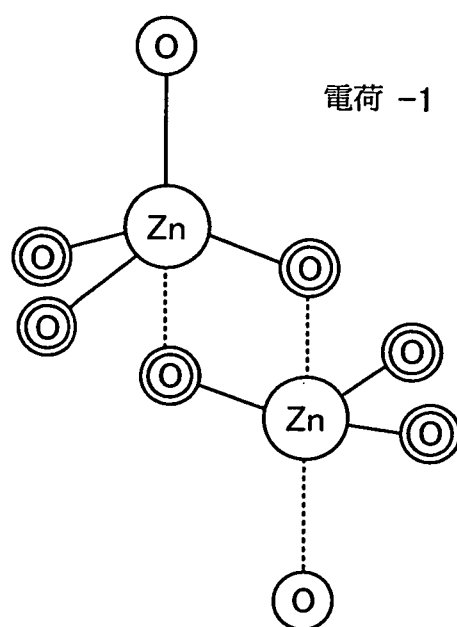


圖 14C

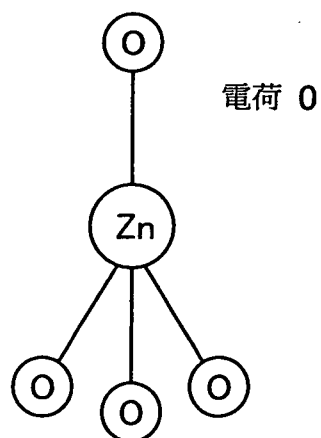


圖 15A

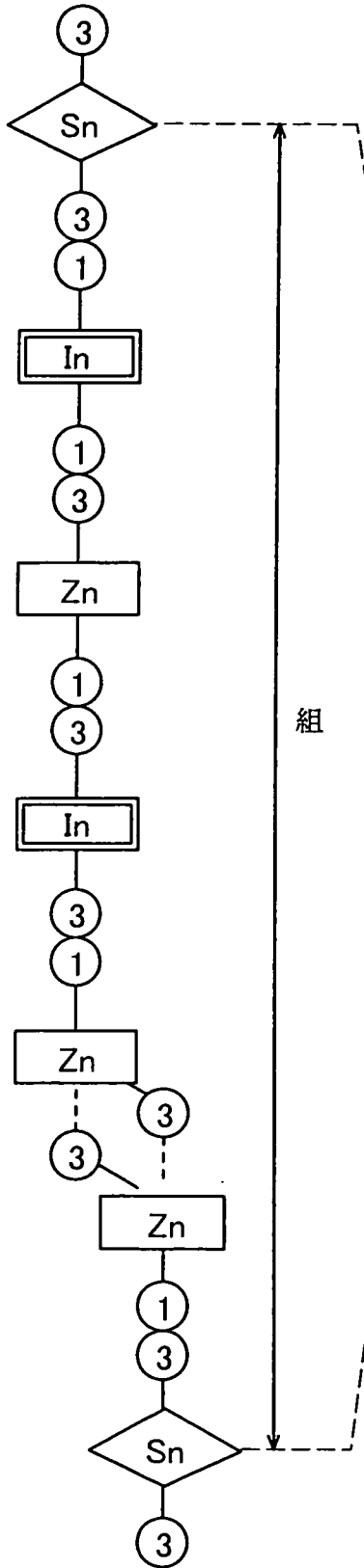
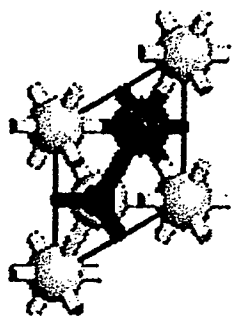


圖 15B



圖 15C



- In
- Sn
- Zn
- O

圖 16A

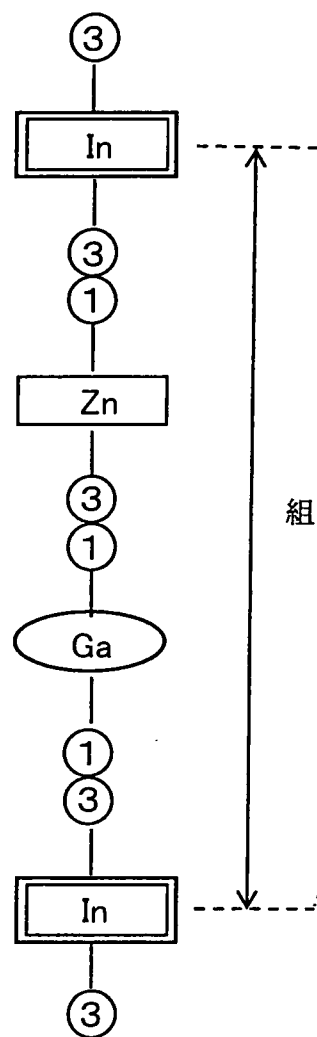


圖 16B

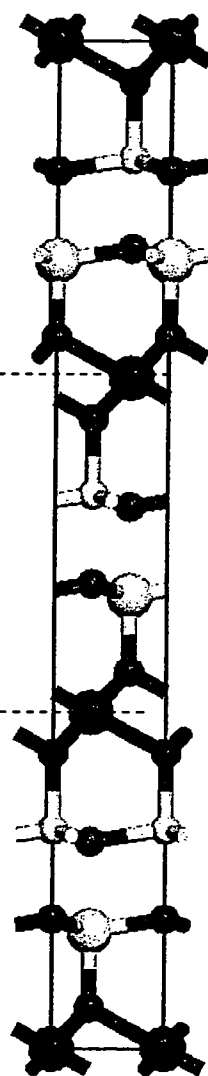


圖 16C

