



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년05월06일
(11) 등록번호 10-0956716
(24) 등록일자 2010년04월29일

(51) Int. Cl.

H01L 21/20 (2006.01) H01L 27/12 (2006.01)

(21) 출원번호 10-2006-7013487

(22) 출원일자(국제출원일자) 2005년01월06일

심사청구일자 2008년01월31일

(85) 번역문제출일자 2006년07월05일

(65) 공개번호 10-2006-0123434

(43) 공개일자 2006년12월01일

(86) 국제출원번호 PCT/EP2005/050039

(87) 국제공개번호 WO 2005/069373

국제공개일자 2005년07월28일

(30) 우선권주장

10/754,320 2004년01월08일 미국(US)

(56) 선행기술조사문현

KR1020010095471 A*

*는 심사관에 의하여 인용된 문현

전체 청구항 수 : 총 10 항

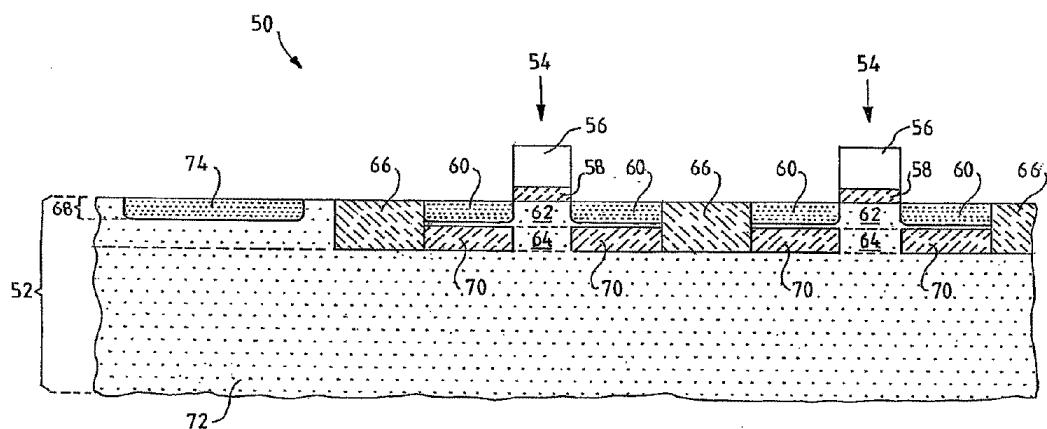
심사관 : 심병로

(54) DC 소스/드레인 아래 산화물 흙을 갖는 차별적 SOI

(57) 요 약

인가 전압 Vdd, 그라운드 GND, 기준 전압 Vref, 및 다른 이와 유사한 DC 노드와 같은 DC 노드의 확산 바로 아래 매립 산화물을 포함하는 모든 디바이스를 위한 바디 컨택을 구비하는 선택적 SOI 구조물을 제공된다. 본 발명의 선택적 SOI 구조물은 회로의 성능을 강화시키기 위해 IC에 이용될 수 있다. 본 발명의 선택적 SOI 구조물은 그 내부에 다수의 SOI 디바이스를 구비하는 상단 Si-함유층을 포함하는 실리콘-온-인슐레이터(SOI) 기판 물질을 포함한다. SOI 디바이스는 바디 컨택 영역을 통해 밑에 있는 Si-함유 기판과 접촉한다. 밑에 매립 산화물을 포함하지 않는 DC 노드 확산 영역은 SOI 디바이스중 하나에 인접한다.

대 표 도



특허청구의 범위

청구항 1

선택적 실리콘-온-인슐레이터(SOI) 구조물에 있어서,

상기 구조물은,

실리콘-온-인슐레이터(SOI) 기판 물질 -상기 SOI 기판 물질은 그 위에 배치되는 상단 Si-함유층을 포함하고, 상기 상단 Si-함유층은 다수의 SOI 디바이스를 구비하며 상기 SOI 디바이스는 바디 컨택 영역을 통해 밑에 있는 Si-함유 기판과 컨택함- 과,

상기 SOI 디바이스중 하나에 인접한 DC 노드 확산 영역 - 상기 DC 확산 노드 영역은 바로 아래 산화물이 없는 벌크 실리콘 내에 위치되고, 이것으로 DC 확산 노드 영역은 상기 Si-함유 기판과 컨택함-

을 포함하는 선택적 실리콘-온-인슐레이터 구조물.

청구항 2

제1항에 있어서,

상기 다수의 SOI 디바이스는 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET)를 포함하는, 선택적 실리콘-온-인슐레이터 구조물.

청구항 3

제1항에 있어서,

상기 다수의 SOI 디바이스는 상기 SOI 기판 물질의 상단 Si-함유층의 위에 배치되는 디바이스 요소들을 포함하는, 선택적 실리콘-온-인슐레이터 구조물.

청구항 4

제1항에 있어서,

상기 DC 노드 확산 영역은 소스 전압이 인가될 수 있는 영역, 기준 전압이 인가될 수 있는 영역, 그라운드 영역 또는 이들 영역의 임의의 조합을 포함하는, 선택적 실리콘-온-인슐레이터 구조물.

청구항 5

제1항에 있어서,

상기 SOI 기판은 상기 DC 노드 확산 영역을 형성하기 위한 차별적(discriminative) 영역을 구비하는 애디티브(additive) SOI 기판인, 선택적 실리콘-온-인슐레이터 구조물.

청구항 6

제1항에 있어서,

상기 SOI 기판은 Si-함유 물질로 구성되는(comprised of), 선택적 실리콘-온-인슐레이터 구조물.

청구항 7

적어도 하나의 선택적 실리콘-온-인슐레이터(SOI) 구조물을 포함하는 집적 회로에 있어서,

상기 적어도 하나의 선택적 실리콘-온-인슐레이터 구조물은,

실리콘-온-인슐레이터(SOI) 기판 물질 -상기 SOI 기판 물질은 그 위에 배치되는 상단 Si-함유층을 포함하고, 상기 상단 Si-함유층은 다수의 SOI 디바이스를 구비하며 상기 SOI 디바이스는 바디 컨택 영역을 통해 밑에 있는 Si-함유 기판과 컨택함- 과,

상기 SOI 디바이스중 하나에 인접한 DC 노드 확산 영역 - 상기 DC 확산 노드 영역은 바로 아래 산화물이 없는

벌크 실리콘 내에 위치되고, 이것으로 DC 노드 확산 영역은 상기 Si-함유 기판과 컨택함-
을 포함하는, 집적회로.

청구항 8

반도체 기판에 있어서,

SOI 기판과,

상기 SOI 기판내의 DC 노드 확산 영역과,

상기 SOI 기판내의 매립 산화물

을 포함하며, 상기 DC 노드 확산 영역은 바로 아래 산화물이 없는 벌크 실리콘 내에 위치되고, 이것으로 상기 SOI 기판의 Si-함유 기판과 컨택하는, 반도체 기판.

청구항 9

제8항에 있어서,

상기 SOI 기판은 상단 Si-함유층을 포함하는, 반도체 기판.

청구항 10

제8항에 있어서,

상기 매립 산화물 물질과 컨택하는 적어도 하나의 트렌치 격리 영역을 더 포함하는, 반도체 기판.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

명세서

기술 분야

[0001]

본 발명은 실리콘-온-인슐레이터(SOI) 반도체 집적회로(IC)에 관한 것으로, 좀더 구체적으로는 내부에 존재하는 모든 SOI 디바이스에 대한 바디 컨택과 DC 노드 바로 아래 매립 산화물(buried oxide)이 배치되지 않는 직류(DC) 노드 확산 영역을 포함하는 선택적 SOI 반도체 구조물에 관한 것이다.

배경 기술

[0002]

반도체 프로세싱에 있어서, 실리콘-온-인슐레이터(SOI) 기술은 고속 집적회로의 제작을 허용하기 때문에 매우 중요해지고 있다. SOI 기술에 있어서, 절연 물질, 예를 들면 매립 산화물은 상단 Si-함유층을 하단 Si-함유 기판으로부터 격리시킨다. 당해분야에서는 SOI층이라고도 하는 상단 Si-함유층은 일반적으로 트랜지스터와 같은 능동 디바이스가 형성되는 층이다. SOI 기술을 이용하여 형성된 디바이스는 예를 들면, 고성능, 래치-업(latch-up)의 부재, 높은 패키징 밀도와 낮은 전압 어플리케이션 등의 많은 이점들을 제공한다.

[0003]

SOI 디바이스가 작아질수록, 디바이스는 디바이스의 바디내의 전하 축적(charge build-up)으로 인해 나빠질 수 있다. 이러한 전하는 바람직하지 못한 효과 예를 들면 플로팅 바디 효과(floating body effect)를 야기할 수 있다. SOI 디바이스에서의 플로팅 바디 효과는 바디 전하 상태의 제어에 대한 손실을 초래하는 광범위한 전기적 작용을 포함한다. 플로팅 바디 효과의 몇가지 예는 (1) 문턱전압(V_t)의 디바이스의 전기적 처리(history)에 대한 의존(디바이스의 처리가 바디 전하 및 유효 백 바이어스를 결정하기 때문), (2) 게이트 전압 제어의 저하(reduction), (3) 낮아진 스냅백 전압(sanpback voltage), (4) 정적 동작에 대해 열화된 서브- V_t 기울기, (5) 동적 동작에 대해 강화된 서브- V_t 기울기, (6) 채널 전류 오버슈트이다. 이러한 효과들에 의해 나빠지지 않는 특정 디바이스를 확보하기 위해, 바디 컨택이 바디내의 임의의 전하를 드레인 오프(drain off)시키는 방법으로서 추가된다.

[0004]

바디 컨택을 제공하는 공지된 접근법은 디바이스 채널내 바디가 산화물 개구부를 통해 닿을 수 있고 바이어스되도록 디바이스의 채널 영역 아래 블랭킷 매립 산화물의 홀을 컷아웃(cut out)하는 것이다. 이러한 접근법은 예를 들면 도 1A에 도시된 바와 같은 서브트랙티브(subtractive) SOI 기판을 제공한다. 특히, 도 1A는 패터닝된 게이트 유전체(18)의 상단에 배치된 패터닝된 게이트 도체(20)를 구비하는 서브트랙티브 SOI 기판(10)을 포함하는 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET)를 나타낸다. 이러한 패터닝된 물질층은 SOI 채널영역(16), 소스/드레인 영역(15), 매립 산화물 영역(14), 컷아웃 매립 산화물을 나타내는 점선에 의해 한정되는 경계를 갖는 매립 산화물 영역 사이의 영역(라벨되지 않음)을 포함하는 서브트랙티브 SOI 기판(10)의 상단에 배치된다. 컷아웃 산화물 영역은 예시된 구조물에서 바디 컨택 역할을 한다. 트렌치 격리 영역(12) 또한 도 1A에 도시되어 있다.

[0005]

또 다른 접근법은 벌크 기술로 시작하고 Si 소스/드레인 아래에 매립 산화물을 만든다. 계획된 매립 산화물 영

역은 먼저 에칭되고 나중에 산화된다. 이 접근법은 예를 들면 도 1B에 도시된 바와 같은 애디티브 SOI 기판을 제공한다. 특히, 도 1B는 패터닝된 게이트 유전체(18) 상단에 배치된 패터닝된 게이트 도체(20)를 구비하는 애디티브 SOI 기판(11)을 포함하는 MOSFET을 나타낸다. 이러한 패터닝된 물질층은 SOI 채널 영역(16), 소스/드레인 영역(15), 매립 산화물 영역(14)을 포함하는 애디티브 SOI 기판(11) 상단에 배치된다. 트렌치 격리 영역(12) 또한 도 1B에 도시되어 있다. 도 1B에 도시된 구조물에서 매립 산화물 사이의 영역은 전계 트랜지스터 디바이스의 바디 컨택으로서 역할을 한다. 종래 애디티브 SOI 기판의 프로세싱으로 인해, Si 플레이트는 매립 산화물의 형성중에 붕괴(collapse)되는 경향이 있다.

[0006] 도 1A 및 도 1B에 도시된 SOI 디바이스에서, 활성 Si 소스/드레인 영역(15)은 아래있는 매립 산화물층(14)으로 Si 기판(구체적으로 도시되지는 않음)으로부터 월드된다. 바디 컨택은 채널 영역(16) 바로 밑에 배치되며 그리고 아래에는 Si-함유 기판이 있다.

[0007] 실제 IC 디자인에서, 많은 소스/드레인 영역은 전혀 스위치하지 않는 직류(DC) 노드이다. 특히, 인가 전압 VDD 및 그라운드 GND 영역에 대해 매립 산화물은 실질적으로는 바람직하지 못하다. 더구나, 전체 파워 버싱(bussing)은 디바이스로부터의 확산 캐패시턴스로부터 안정화 효과를 놓칠것이다. 개별적 회로에서, 공급 노드는 좀더 쉽게 범프 업 앤 다운될 것이며, 스위칭이 느려질 것이다. 매립 산화물로부터 바디 컨택이 멀리 떨어져 있어야 하므로, 종래 기술의 레이아웃은 필요한 것보다 훨씬 큰 경향이 있다.

발명의 상세한 설명

[0008] 종래 SOI 기술의 전술한 지적과 다른 문제점에 따라, 인가 전압 Vdd, 그라운드 GND, 기준 전압 Vref, 그리고 다른 유사 DC 노드와 같은 DC 노드의 바로 아래의 매립 산화물을 제외하고 모든 디바이스에 대한 바디 컨택을 구비하는 선택적 SOI 구조물을 제공할 필요가 있다. 본 발명의 선택적 SOI 구조물은 산화물 홀이 DC 노드 바로 아래 존재하는 반면, 산화물은 SOI 디바이스 액티브 스위칭 소스/드레인 영역 바로 아래 존재하기 때문에 차별적(discriminative) SOI 구조물이라 할 수 있다.

[0009] 본 발명의 선택적 SOI 구조물은 회로의 성능을 강화시키기 위해 IC에 이용될 수 있다. 본 발명의 선택적 SOI 구조물을 이용하여 30% 까지 회로 성능 강화가 가능하다. 또한, 본 발명의 선택적 SOI 구조물은 Si 플레이트의 붕괴를 방지할 수 있는 애디티브 프로세스를 이용한다.

[0010] 본 발명의 선택적 SOI 구조물은 실리콘-온-인슐레이터(SOI) 기판 물질 -상기 SOI 기판 물질은 그 위에 배치되는 상단 Si-함유층을 포함하고, 상기 상단 Si-함유층은 다수의 SOI 디바이스를 구비하며 상기 SOI 디바이스는 바디 컨택 영역을 통해 밑에 있는 Si-함유 기판과 컨택함- 과, 상기 SOI 디바이스중 하나에 인접한 DC 노드 확산 영역 - 상기 DC 노드 확산 영역은 상기 Si-함유 기판과 컨택하며, 즉, DC 노드 확산 영역은 밑에 매립 산화물 영역을 포함하지 않음 - 을 포함한다.

[0011] 본 발명에 따르면, DC 노드 확산 영역은 산화물 홀을 포함하고, SOI 디바이스의 활성 소스/드레인 영역은 밑에 매립 산화물 물질을 포함한다. 전술한 선택적 SOI 구조물은 강화된 회로 성능을 갖는 IC를 제공하기 위해 다양한 회로 디자인 레이아웃에 채택될 수 있다.

[0012] 전술한 선택적 SOI 구조물에서, IC에서 사용하기 위한 반도체 기판은 적어도 SOI 기판; 상기 SOI 기판내의 DC 노드 확산 영역; 상기 SOI 기판내의 매립 절연 물질을 포함하며, 상기 DC 노드 확산 영역은 밑에있는 상기 SOI 기판의 Si-함유 기판과 컨택하며, 즉 DC 노드 확산 영역은 밑에 매립 산화물을 포함하지 않는다. 대신에, DC 노드 확산 영역 밑에 산화물 홀이 배치된다.

실시예

[0018] 선택적 SOI 구조물과 이것을 이용하는 다양한 IC를 제공하는 본 발명이 이하에서 도면들을 참조하여 상세히 설명될 것이다. 본 명세서에 첨부된 도면들은 축적대로 도시된 것이 아니며, 따라서 본 발명은 도면들에 의해 확인되는 임의의 크기에 제한되지 않는다.

[0019] 도 2를 참조하여, 본 발명의 선택적 SOI 구조물(50)의 간단한 단면도가 제공된다. 본 발명의 선택적 SOI 구조물(50)은 SOI 기판(52)의 표면상에 배치되는 MOSFET과 같은 다수의 반도체 디바이스(54)를 구비하는 실리콘-온-인슐레이터(SOI) 기판(52)을 포함한다. 도 2에서, 2개의 반도체 디바이스(54)는 예시의 목적으로 제공된다.

[0020] 각각의 반도체 디바이스(54)는 패터닝된 게이트 유전체(58) 상단상에 배치된 패터닝된 게이트 도체(56)를 포함한다. 소스/드레인 확산 영역(60)은 SOI 기판(52)의 상단 Si-함유층(68) 내에 배치된다. 채널 영역(62)은 반

도체 디바이스(54)의 바로 아래에 배치된다. 채널 영역(62)은 소스/드레인 확산 영역(60)에 의해 각 측면의 경계가 정해진다.

[0021] 본 발명에 따라, 선택적 SOI 구조물(50)은 SOI 기판(52)의 상단 Si-함유층(68)과 밑에있는 Si-함유 기판(72)의 컨택을 허용하는 바디 컨택 영역(64)을 포함한다. 각 반도체 디바이스의 채널 영역(62) 바로 아래에는 매립 절연 산화물(70)이 배치되지 않는다. 바디 컨택 영역(64)의 존재에 의해 전술한 플로팅 바디 효과가 방지된다.

[0022] 상기 구조적 특징에 추가적으로, 본 발명의 구조물은 또한 SOI 기판(52)내에 배치되는 적어도 하나의 DC 노드 확산 영역(74)을 포함한다. 도시된 바와 같이, DC 노드 확산 영역(74)은 도 2에 나타난 MOSFET 디바이스(54)의 주변에 놓여있다.

[0023] 본 발명에 따라, DC 노드 확산 영역(74) 아래에는 매립 산화물(70)이 배치되지 않는다. 대신에, DC 노드 확산 영역(74)은 SOI 기판(52)의 하단 Si-함유 기판(72)에 컨택한다, 즉 DC 노드 확산 영역(74) 아래에 산화물 흘이 존재한다.

[0024] 전술한 바와 같이, SOI 기판(52)은 상단 Si-함유층(68), 매립 산화물 영역(70) 그리고 하단 Si-함유 기판(72)을 포함한다. 본 출원 전반에 걸쳐 사용되는 "Si-함유"라는 용어는 적어도 실리콘을 포함하는 반도체 물질을 나타낸다. 이러한 Si-함유 물질의 예는 Si, SiGe, SiC, SiGeC, Si/Si, Si/SiC, 그리고 Si/SiGeC를 포함하며 이에 국한되는 것은 아니다. Si-함유 물질층(68 및 72)은 도핑되거나 도핑되지 않을 수 있다.

[0025] SOI 기판(52)의 상단 Si-함유층(68)은 일반적으로 약 50에서 200nm의 두께이며, 좀더 일반적으로는 약 75에서 100nm이다. 하단 Si-함유 기판(72)은 일반적으로 700에서 750nm이다.

[0026] 본 발명에서 채택되는 매립 산화물(70)은 결정질 또는 비결정질 산화물일 수 있다. 반도체 디바이스(54) 각각의 활성 소스/드레인 확산 영역(60) 바로 아래에 배치되는 매립 산화물(70)은 일반적으로 약 30에서 100nm의 두께를 갖는다.

[0027] 도 2에 도시된 SOI 기판은 예를 들면, 2003년 6월 26일 출원된 미국 출원번호 10/604,102에 개시되어 있는 애디티브 SOI 프로세스를 이용하여 형성되는 애디티브 SOI 기판이며, 상기 미국 출원은 본 명세서에 그 전체가 참조로서 포함된다. 이하에서 자세히 설명되는, 도 3A-3F는 애디티브 SOI 기판(52)를 형성하기 위해 본 발명에서 채택될 수 있는 프로세스 흐름에 대한 간단한 설명을 제공한다.

[0028] 반도체 디바이스(54)는 당해분야에서 공지된 종래 상보성 금속 산화물 반도체(CMOS) 프로세싱 단계를 이용하여 형성된다. 예를 들면, 반도체 디바이스(54)는 먼저 SOI 기판(52)의 상단 Si-함유층(68)의 위쪽 표면상에 게이트 유전체(58)를 형성하는 것으로 형성될 수 있다. 본 발명에서 "게이트 유전체" 용어는 일반적으로 MOSFET의 게이트 유전체로 채택되는 산화물, 질화물, 또는 산질화물과 같은 임의의 절연 물질을 나타낸다. 게이트 유전체(58)는 예를 들면 화학적 기상 증착(CVD), 플라즈마-보조 CVD, 원자층 증착, 물리적 기상 증착 또는 이와 유사한 증착 프로세스와 같은 종래 증착 프로세스에 의해 형성된다. 선택적으로, 게이트 유전체(58)는 열 산화, 질화 또는 산질화 프로세스에 의해 형성될 수 있다. 게이트 유전체(58)의 두께는 일반적으로 약 1에서 10nm이다.

[0029] 게이트 유전체 형성후, 게이트 도체(56)가 게이트 유전체 위에 형성된다. 게이트 도체(56)는 예를 들면 도핑된 폴리실리콘, 도전성 금속 원소, 도전성 금속 원소의 합금, 도전성 금속 원소의 실리사이드, 도전성 금속 원소의 질화물, 또는 이들의 임의의 합성물을 포함하는 임의의 도전성 물질을 포함한다. 확산 장벽(diffusion barrier) 및/또는 유전체 캡이 예를 들면 CVD, 플라즈마-보조 CVD, 진공증착(evaporation), 스퍼터링, 플레팅 또는 이와 유사한 증착 프로세스와 같은 종래 증착 프로세스에 의해 형성될 수 있다. 폴리실리콘이 채택될 때, 폴리실리콘 게이트 도체는 인시츄(in-situ)로 형성될 수 있는 또는 증착 및 이온 주입에 의해 형성될 수 있는 도핑된 물질이다. 게이트 도체(56)의 두께는 일반적으로 약 100에서 300nm이다.

[0030] 게이트 도체의 형성 이후, 게이트 도체(56) 및 일반적으로, 게이트 유전체(58)는 리소그래피 및 에칭에 의해 패터닝된다. 다음으로, 절연 스페이서(미도시)가 적어도 패터닝된 게이트 도체(56)의 노출된 측벽상에 (증착 및 에칭에 의해)형성된다. 스페이서 형성 이후, 이온 주입 및 어닐링에 의해 소스/드레인 확산 영역(60)이 SOI 기판(52)의 상단 Si-함유층(68)내로 형성된다. 소스/드레인 영역(60)은 아래에 매립 절연 물질(70)을 갖는 상단 Si-함유층(68)내로 형성된다.

[0031] 어닐링은 주입된 도편트의 확산을 일으킨다. 확산의 범위는 SOI 기판(52)의 상단 Si-함유층(68)내에 채널 영역(62)의 길이를 결정한다. 채널 영역(62)은 반도체 디바이스(54)가 플로팅 바디 효과를 띠지 않도록 하기 위해,

바디 컨택 영역(64)이 각각의 채널 영역(62) 아래에 존재하도록 배치된다.

[0032] 반도체 디바이스(54)의 형성에 앞서 SOI 기판내로 트렌치 격리 영역(66)이 형성된다. 트렌치 격리 영역은 이하에서 설명되는 애디티브 SOI 프로세스를 이용하여 형성된다.

[0033] 소스/드레인 확산 영역(60) 형성과 동시에 또는 소스/드레인 확산 영역 형성 이전 또는 이후에, 반도체 디바이스(54)의 주변에 위치하며 매립 절연 물질(70)이 존재하지 않는 곳에 DC 노드 확산 영역(74)이 SOI 기판(52)내에 형성된다. DC 노드 확산 영역(74)은 이온 주입과 어닐링에 의해 형성된다. 본 발명에 따라, DC 노드 확산(74)은 밑에 매립 산화물을 포함하지 않으며, 따라서 SOI 기판(52)의 하단 Si-함유 기판(72)과 컨택한다. DC 노드 확산 영역(74)은 소스 전압이 인가될 수 있는 영역, 기준 전압이 인가될 수 있는 영역, 그라운드 영역 또는 예를 들면 소스 전압이 인가되는 영역 및 그라운드 영역과 같은 이들 영역의 임의의 조합일 수 있다. 본 발명은 SOI 기판(52)내에 배치되는 단일 DC 노드 확산 영역(74) 또는 이러한 영역을 다수 포함할 수 있다.

[0034] 다시 한번 강조하지만, 도 2에 도시된 선택적 SOI 구조물(50)은 매립 산화물 영역(70) 위에 배치된 소스/드레인(60)을 구비하는 SOI 반도체 디바이스(54)를 포함한다. 플로팅 바디 효과에 의해 야기되는 문제점들을 방지하기 위해, 도 2에 도시된 선택적 SOI 구조물은 MOSFET 디바이스 채널(62) 아래에 바디 컨택 영역(64)을 가진다. 또한, 본 선택적 SOI 구조물(50)에서, DC 노드 확산(74)은 밑에 매립 산화물(70)을 포함하지 않으므로 SOI 기판(52)의 Si-함유 기판(72)과 직접 컨택한다.

[0035] 본 발명에서 채택되는 애디티브 SOI 기판(52)은 본 명세서에 참조로서 포함되는 전술한 문헌에 개시된 것과 같은 애디티브 SOI 프로세스를 이용하여 제조된다. 애디티브 SOI 프로세스는 이제부터 설명되는 도 3A-3F에 간단히 예시된다. 도 3A는 본 발명의 애디티브 SOI 기판(52)을 제조하는데 채택되는 초기 구조물(100)을 나타낸다. 도시된 바와 같이, 초기 구조물(100)은 그 내부에 n-도핑 영역(104)을 구비하는 벌크 Si-함유 기판(102)을 포함한다. n-도핑 영역(104)은 SOI 기판(52)의 매립 절연 물질(70)이 후속하여 형성될 영역이다.

[0036] n-도핑 영역(104)은 마스크 이온 주입 프로세스(masked ion implantation process)를 이용하여 형성된다. 활성화 및 n-타입 도편트의 확산을 야기하기 위해 어닐링이 주입 이후에 있을 수 있다. 벌크 Si-함유 기판(102)은 도 2에 도시된 애디티브 SOI 기판(52)의 하단 Si-함유 기판(72)이 된다.

[0037] 도 3B는 초기 구조물(100) 위에 Si-함유층(106)이 형성된 이후의 구조물을 나타낸다. 도 2에 도시된 애디티브 SOI 기판(52)의 상단 Si-함유층(68) 역할을 하는, Si-함유층(106)은 에피택셜 성장 프로세스에 의해 형성된다.

[0038] 도 3C는 Si-함유층(106) 위에 포토레지스트(116) 및 패드 스택(108)을 형성한 이후의 구조물을 나타낸다. 패드 스택(108)은 질화물층(112)과 산화물층(114)을 포함한다. 패드 스택(108)은 중착, 열 처리 또는 이들의 조합에 의해 형성된다.

[0039] 다음으로, 도 3D에 도시된 바와 같이, 먼저 리소그래피에 의해 포토레지스트(116)의 패터닝을 하고, 그 다음 포토레지스트로부터의 패턴을 제1 에칭으로 패드 스택(108)으로 이동시키는 것에 의해 도 3C에 도시된 구조물내로 트렌치 개구부(118)를 형성한다. 제1 에칭 단계에 이후, 패터닝된 포토레지스트를 제거하고 제2 에칭 단계가 수행되어 상기 패턴을 Si-함유층(106) 그리고 n-도핑 영역(104)내로 전이시킨다. 제2 에칭 단계는 n-도핑 영역(104) 아래에 있는 벌크 Si-함유 기판(102)의 상단 표면에서 정지한다.

[0040] 도 3E에 도시된 구조물을 제공하기 위해 측면 에칭이 잔존 n-도핑 영역(104)을 제거하기 위해 이용된다. 도면 번호 120은 측면 에칭에 의해 생성된 공극(void)을 나타낸다.

[0041] 도 3F는 공극을 산화물로 충진하고 층(106) 위의 여러 층들을 제거한 이후의 애디티브 기판(52)을 나타낸다. 측면 에칭되고 산화물 충진된 영역이 도 2에 도시된 구조물의 매립 절연체(70)가 된다. 수직으로 에칭된 트렌치내의 산화물은 상기 구조물의 트렌치 격리 영역(66)이 된다.

[0042] DC 노드 확산 영역(74) 밑에 있는 차별적 산화물 흘을 포함하는, 도 2에 도시된 선택적 SOI 구조물은 개선된 IC 성능을 제공하기 위해 다양한 IC 레이아웃에서 이용될 수 있다. 도 4A는 표준 선택적 SOI 기판의 표준 NAND 게이트에 대한 종래 IC 레이아웃을 나타내고, 도 4B는 동일 IC 레이아웃내의 진보된 선택적 SOI 구조물을 나타낸다. 각각의 도면에서, PC는 FET 디바이스의 게이트를 형성하는 폴리실리콘 도체를 나타내며, VDD는 인가된 포텐셜을 나타내며, RX는 활성 실리콘 영역을 나타내며, BX는 매립 산화물을 나타내며, BXHOLE은 매립 산화물 컷 아웃을 나타낸다.

[0043] 종래 IC 레이아웃에서, BXHOLE은 오직 채널 영역에서의 컷아웃이다. 본 발명에서, BXHOLE은 나타난 바와 같이 서플라이 확산 영역내로 확장된다. RX 경계 주변의 매립 산화물 링은 주로 딥 웰 격리(deep well isolation)를

강화시킨다. 몇가지 실시예에서, N+ 또는 P+ 스페이싱은 BX에 의해 커버된다면 0까지 줄어들 수 있다.

[0044] 애디티브 SOI 프로세스에서, 서플라이 확산 영역 아래에 매립 산화물을 피하는 것이 중요하다. 이와 같은 IC 레이아웃의 한가지 예가 도 5에 도시되어 있다. 도 5의 하단 왼쪽 코너에서, 활성 Si 일부가 GND 서블레이에서 3개의 NFET에 까지 연결된다.

[0045] 도 5에서, GND BXHOLE 및 VDD BXHOLE은 FET 디바이스 소스/드레인 영역의 DC 비-스위칭 노드이며, 그 아래에는 산화물이 형성되지 않는다. 산화물이 없는 상기 영역은 측면 에칭이후 Si 플레이트가 매달리기 위한 지지부를 제공한다(도 3E의 도면 번호 120 참조). VDD 그리고 GND로 라벨링된 다른 DC 노드는 아래의 산화물이 형성되기 이전에 동일한 지지 기능을 한다.

[0046] 본 발명은 바람직한 실시예를 참조하여 설명되었지만, 당업자라면 본 발명의 의도 및 범위를 벗어나지 않는 다양한 변경이 가능하다는 것을 이해할 것이다. 따라서, 첨부되는 청구항들의 범위내에 포함되는 전술한 설명과 특정 형성에 대한 예는 본 발명을 제한하려는 것이 아니다.

도면의 간단한 설명

[0013] 도 1A-1B는 서브트랙티브 SOI 기판(도 1A)을 포함하는 종래 구조물과 애디티브 SOI 기판(도 1B)을 포함하는 종래 구조물을 나타내는 단면도이다.

[0014] 도 2는 본 발명의 선택적 SOI 반도체 IC를 나타내는 단면도이다.

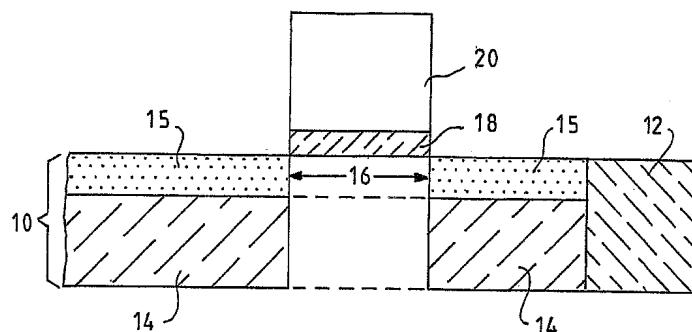
[0015] 도 3A-3F는 본 발명의 선택적 SOI 기판을 제조하는데 채택된 기본 프로세싱 단계를 나타내는 단면도이다.

[0016] 도 4A-4B는 종래(도 4A) 및 본 발명의(도 4B)의 상보성 금속 산화물 반도체(CMOS) IC 디자인 레이아웃을 나타내는 개략도이다.

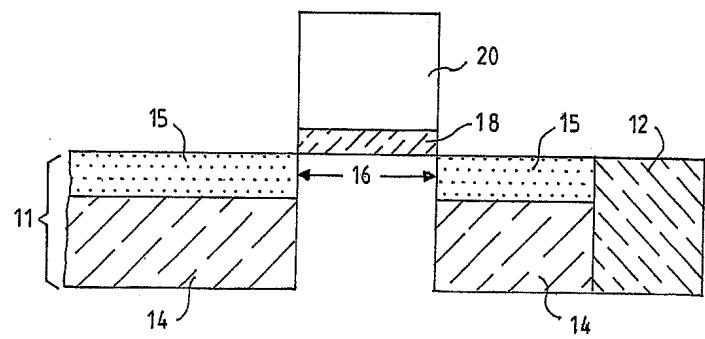
[0017] 도 5는 본 발명의 상보성 금속 산화물 반도체(CMOS) IC 디자인 레이아웃을 나타내는 개략도이다.

도면

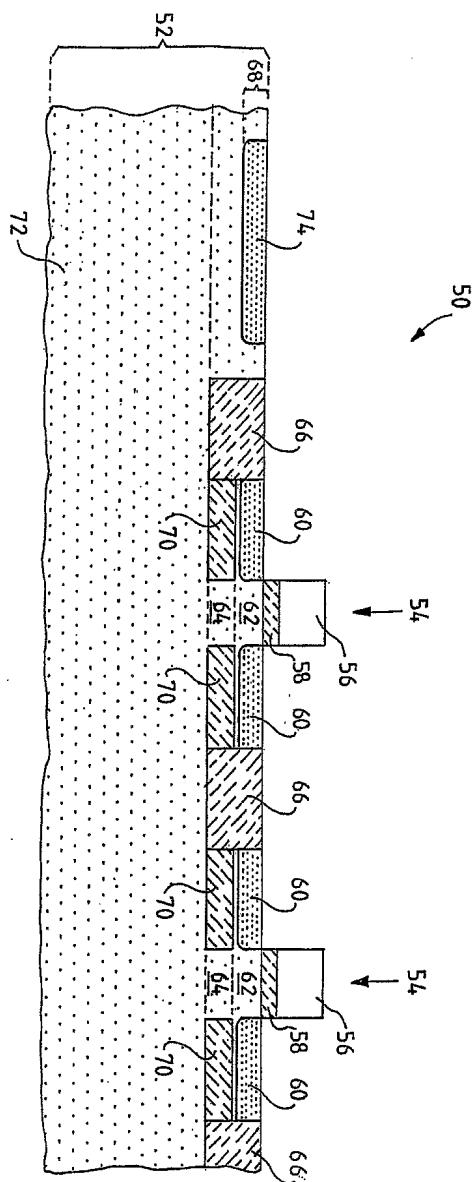
도면1A



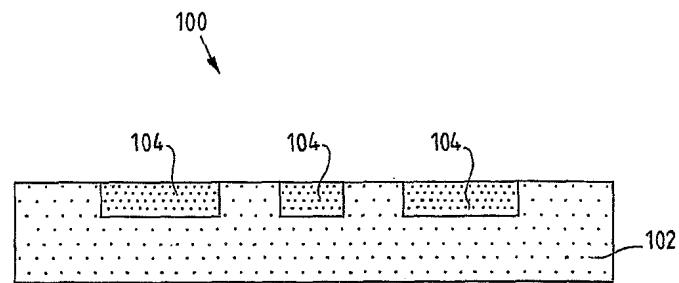
도면1B



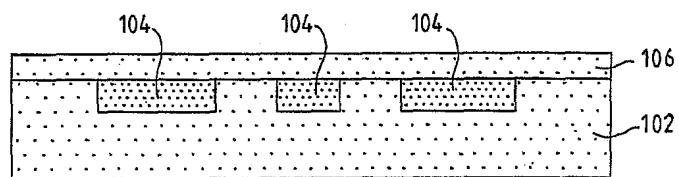
도면2



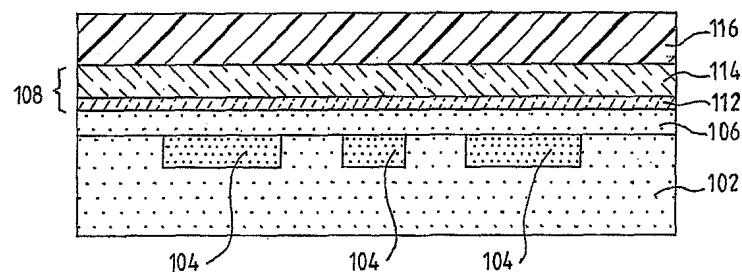
도면3A



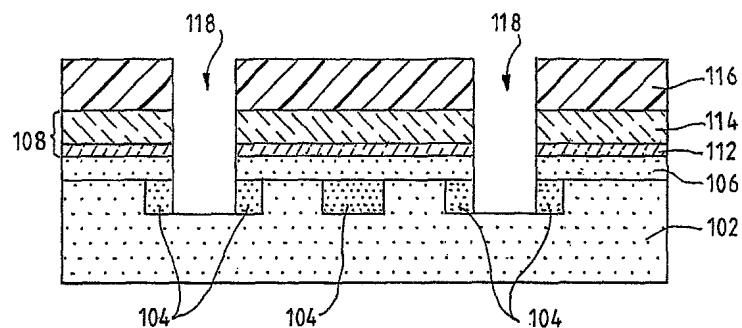
도면3B



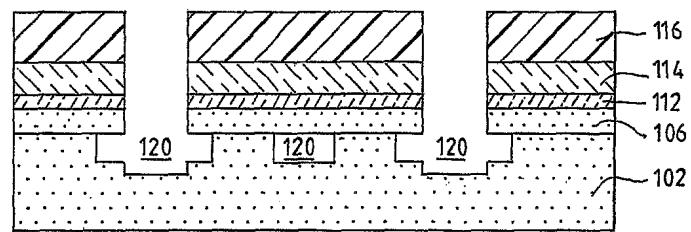
도면3C



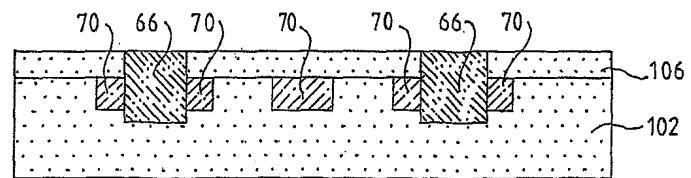
도면3D



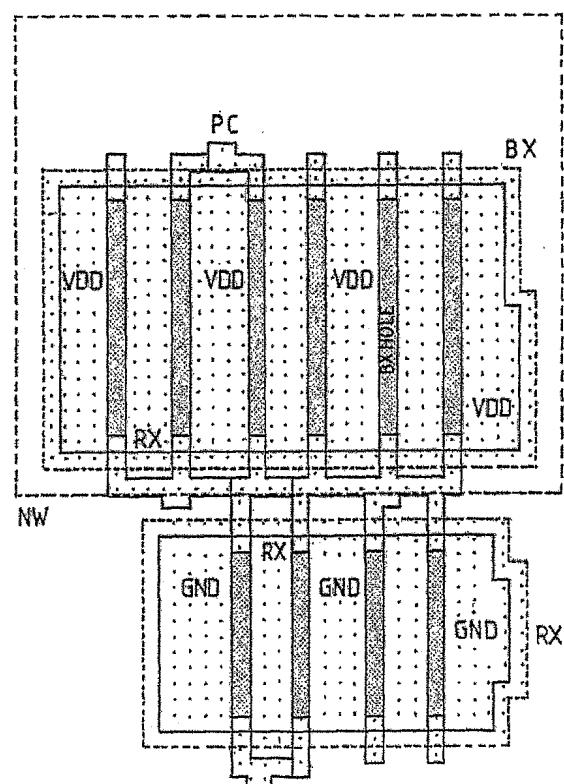
도면3E



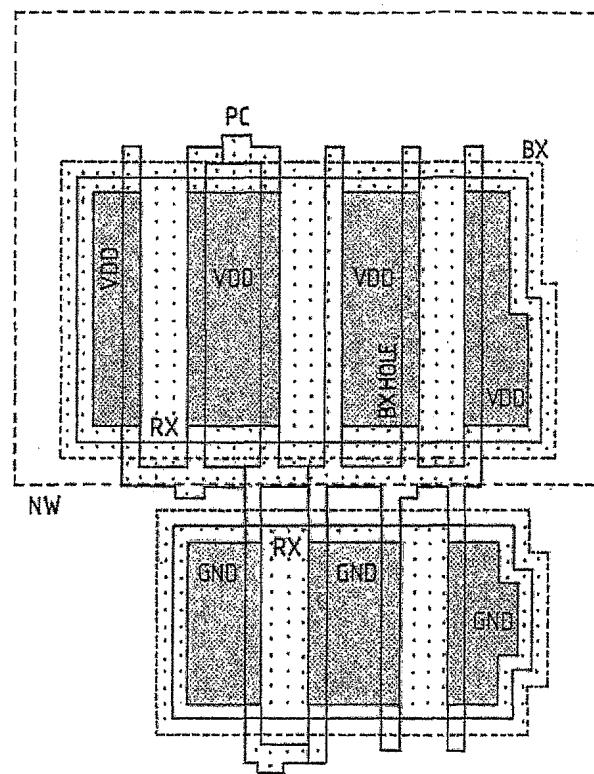
도면3F



도면4A



도면4B



도면5

